

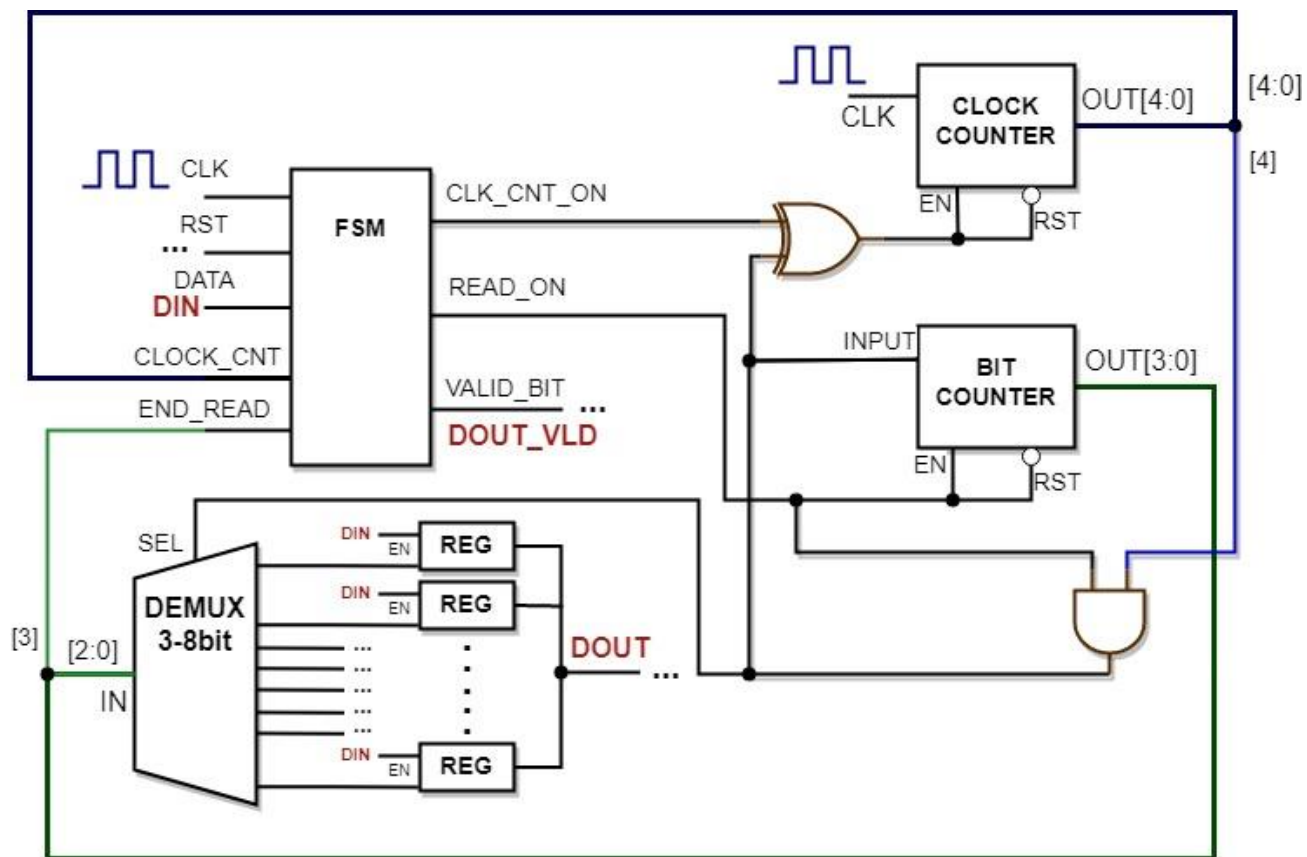
Projekt předmětu INC. Výstupní zpráva

Jméno: Vadim Goncarencu

Login: xgonce00

Architektura navrženého obvodu (na úrovni RTL)

Schéma obvodu



Popis funkce

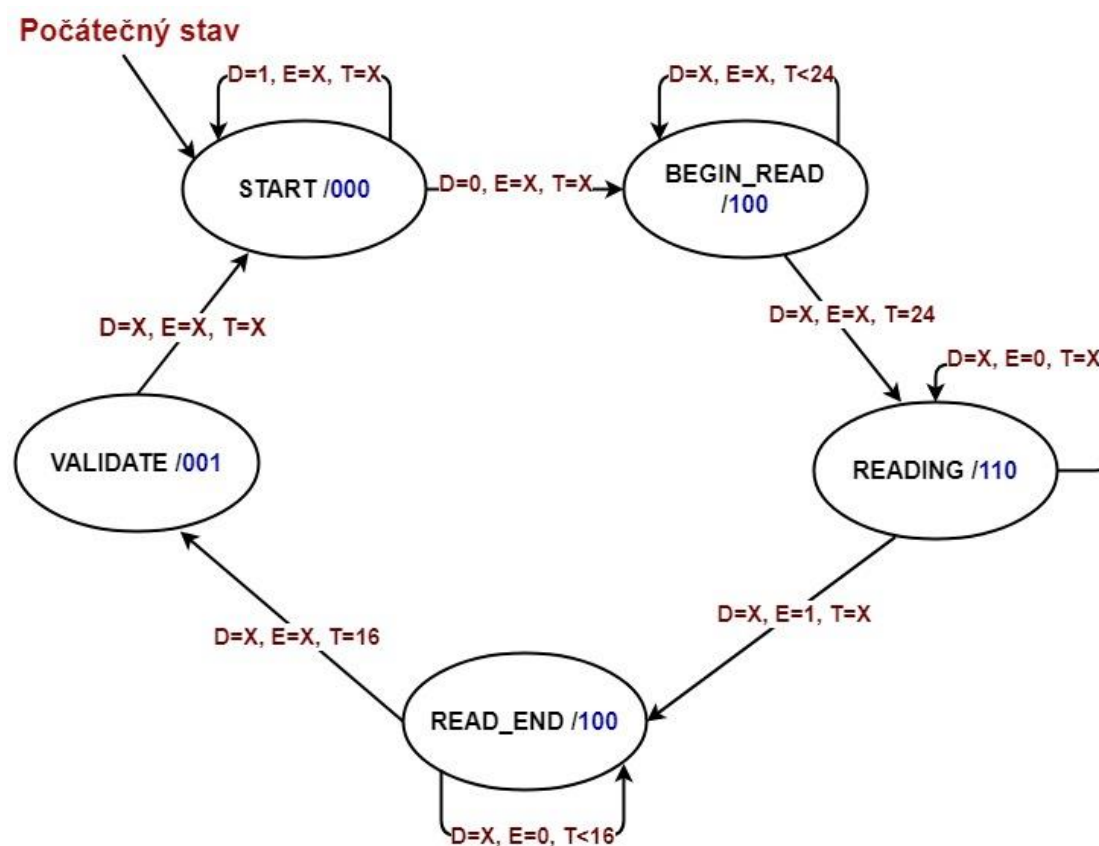
Činnost obvodu je řízena na základě stavu FSM. Stav FSM se mění hlavně v závislosti na počtu hodinových cyklů, zaznamenaných v počítadle **CLOCK COUNTER**, které je pravidelně nulováno po vzorkování jednotlivých bitů, jakmile jeho MSB nabývá hodnoty 1 (16+ hod. cyklů). Stav FSM je také závislý na počtu přečtených bitů, který je zaznamenán druhým počítadlem **BIT COUNTER**, nulovaným až po přečtení celého bajtu.

Návrh automatu (Finite State Machine)

Schéma automatu

Legenda:

- **Stavy automatu:** START, BEGIN_READ, READING, READ_END, VALIDATE
- **Vstupní signály:** DATA (D), END_READ (E), CLOCK_CNT (T)
- **Moorový výstupy:** CLK_CNT_ON, READ_ON, VALID_BIT



Popis funkce

V počátečním stavu START automat čeká na nulový bit, který znamená začátek dat. Pak ve stavu BEGIN_READ automat čeká 24 *UART hod. cyklů* a přechází do stavu READING, ve kterém se provádí vzorkování jednotlivých bytů uprostřed periodu hodin. Jakmile je přečten celý bajt, automat přechází do stavu READ_END, čeká 16 *UART hod. cyklů* a následně ve stavu VALIDATE nastaví VALID_BIT výstup na jedničku a vrátí se do počátečního stavu, což znamená úspěšné přečtení dat.

Snímek obrazovky ze simulací

