

Verilog HDL 实验-0

实验组员：史胤隆、林子超

实验目的

练习 Quartus II 软件的使用。

实验内容

完成与门电路的程序设计，生成电路图，进行实验箱验证。

实验步骤

1. 打开 Quartus II 13.1;
2. 选择 `File -> New Project Wizard...` 创建一个新的工程;
3. `Directory, Name, Top-Level Entity` 页面, 在 `altera\13.1\quartus` 目录下新建一个自命名文件夹并将其设为工程目录并赋予相同的项目名, 此处命名为 `exp0`;
4. `Family & Device Settings` 页面, 选择 `Cyclone III` 为 `Device Family`, `EP3C25Q240C8` 为 `Avialable Devices`;
5. 完成工程新建;
6. 选择 `File -> New -> Verilog HDL File` 创建一个新的 Verilog HDL 文件;
7. 编写程序并保存, 文件名应与模块名一致, 此处命名为 `exp0.v`;
8. 执行逻辑编译, 无误后, 执行全编译;
9. 选择 `Tools -> Netlist Viewers -> RTL Viewer` 查看电路图;
10. 核对电路图无误, 关闭 RTL Viewer;
11. 选择 `Assignments -> Pin Planner`, 打开引脚分配窗口;
12. 在 `All Pins` 选项卡的 `Location` 列中对各个端口分配引脚, 可选的芯片引脚如下:

性质	芯片引脚
输出端口	<code>PIN_9</code> <code>PIN_13</code> <code>PIN_18</code> <code>PIN_21</code> <code>PIN_22</code> <code>PIN_37</code> <code>PIN_38</code> <code>PIN_39</code>
输入端口	<code>PIN_70</code> <code>PIN_72</code> <code>PIN_76</code> <code>PIN_80</code>

- 此处为 `F` 分配 `PIN_9` 引脚, 为 `A` 分配 `PIN_70` 引脚, 为 `B` 分配 `PIN_72` 引脚;
13. 关闭引脚分配窗口, 重新进行全编译;
 14. 连接实验箱, 将实验箱上的 `MODUL_SEL` 拨码开关组合的 2 - 6 拨下为 ON, 1、7、8 拨下为 OFF, 使数码管显示为 `C1`;
 15. 点击程序上传按钮, 打开上传窗口;
 16. 在 `Hardware Setup...` 页面卡中选择对应的 USB 下载器, 在 `Add File...` 页面卡中选择 `output_files\` 目录下的 `exp0.sof` 文件, 点击 `Start` 按钮上传程序;
 17. 上传成功后, 操作实验箱进行验证。

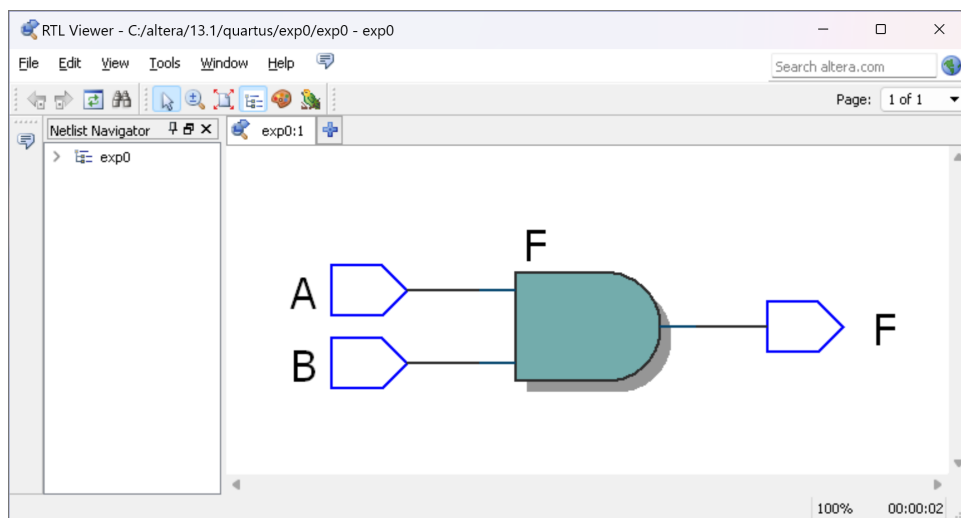
源程序

- exp0.v

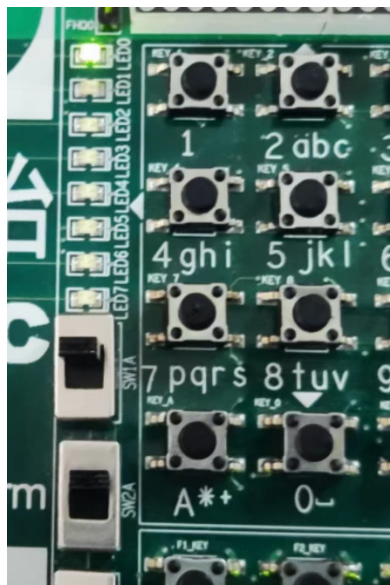
```
module exp0 (  
    output F,  
    input A, B  
);  
    assign F = A & B;  
endmodule
```

实验结论

- 电路图



- 实验箱验证



实验结果分析

1. 代码无误，电路图无误，实验结果正确。
2. 操作实验箱，当 PIN_70 和 PIN_72 对应的两个输入开关均为高电平时，PIN_9 对应的发光二极管点亮，否则该发光二极管熄灭。