

1. 简易数据传输加密处理电路

设计一个简易的数据传输加密处理电路，包括数据源生成电路、密码流生成电路、数据加密电路、数据传输电路、数据解密电路（测试验证用），题目包含基本要求和发挥部分。题目不涉及实体硬件电路，所有功能的设计及仿真均在 EDA 开发环境中实现，竞赛根据总体设计框图及说明、各个模块电路设计说明、时序说明、仿真结果、资源报告、设计总结和程序源代码评定成绩。

一、任务

设计一个简易数据传输加密处理电路，实现对数据源数据进行加密并将密文数据进行串行传输；同时设计一个数据接收及解密电路，将密文数据解密成明文数据并存储在 RAM 中，用来验证加解密电路。

简易数据传输加密处理电路的系统框图如图 1 所示。待加密的数据由**数据源生成电路**产生，V1 为待加密数据；密钥数据由**伪随机序列生成电路**产生，V2 为密钥数据流；**数据加密及传输电路**将 V1 和 V2 进行加密生成密文数据，并将密文数据 V3 串行输出；**数据接收及解密电路**将接收到的密文数据 V3 与解密数据流 V4 进行解密运算得到明文数据 V5，随即将明文数据 V5 存入 RAM 中。

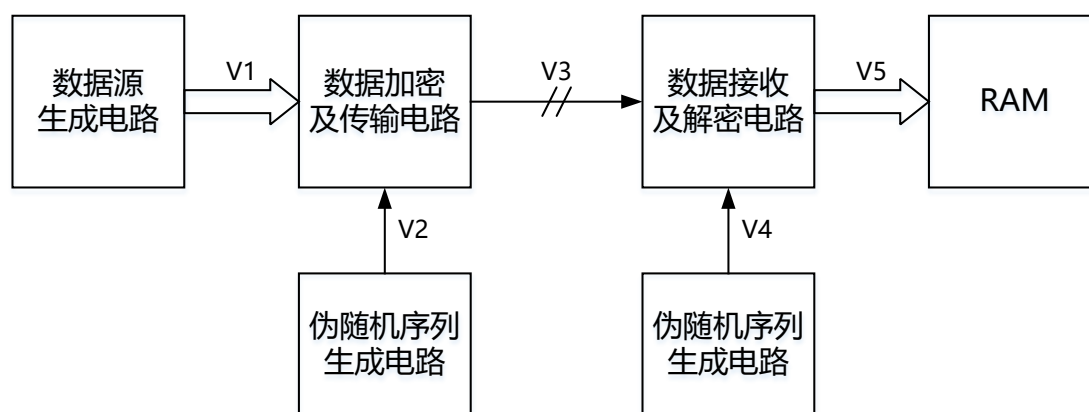


图 1 简易数据传输加密处理电路的系统框图

二、要求

1. 基本要求

(1) 设计一个数据源生成电路：

- 待加密数据 V1 由数据源生成电路产生，电路需设计必要的输入、输出控制信号和数据输出接口；
- 数据源输出的待加密数据 V1 为 4bit 宽度的并行数据；
- 每次使能信号到来，数据源生成电路将依次输出从 0 到 15 的二进制数据（共计 16 个 4bit 数据），每次时钟的上升沿将数据推出，时序图如图 2 所示。

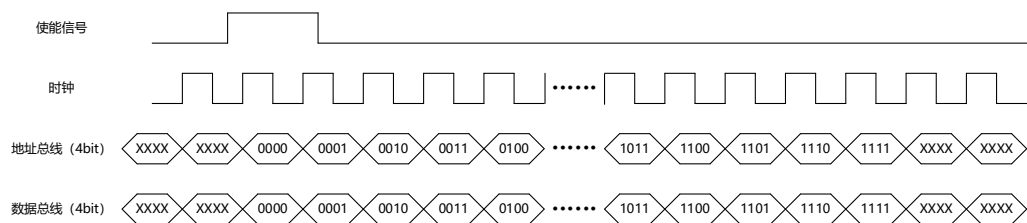


图 2 数据源生成电路时序图

- (2) 设计一个伪随机序列生成电路用来产生加密和解密的密钥数据：
- a) 密钥数据流 V2 由伪随机序列生成电路产生，电路需设计必要的输入、输出控制信号和数据输出接口；
 - b) 密钥数据流 V2 为 1bit 的串行数据；
 - c) 密钥数据流 V2 为 $f(x) = 1 + x^2 + x^5$ 的 m 序列，设其初始状态为 $(a_4, a_3, a_2, a_1, a_0) = (1, 0, 1, 0, 1)$ ，每次时钟的上升沿将数据推出。
- (3) 设计数据加密及传输电路：
- a) 数据加密及传输电路需设计必要的输入、输出控制信号和数据输入、输出接口；
 - b) 电路将 V1 的并行数据和 V2 的串行数据进行加密运算，并将加密后的密文数据 V3 以串行发送方式传输；
 - c) 传输协议可使用常用的串行传输协议，也可根据题目要求使用自定义串行传输协议。
- (4) 设计数据接收及解密电路：
- a) 数据接收及解密电路需设计必要的输入、输出控制信号和数据输入、输出接口；
 - b) 电路根据串行传输协议接收密文数据 V3，并将 V3 和 V4 进行解密运算，解密出的明文数据 V5 为 4bit 宽度的并行数据；（注：由于解密过程为加密过程的逆过程，因此密钥数据流可直接调用加密过程中的伪随机序列生成电路来生成 V4）
 - c) 为验证解密数据，电路需将明文数据写入 RAM 中。RAM 可不用设计，但解密电路需产生写入 RAM 的控制信号，控制信号如图 3 所示。

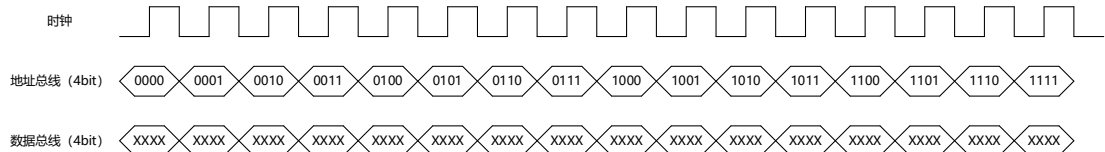


图 3 RAM 写入时序图

2. 发挥部分

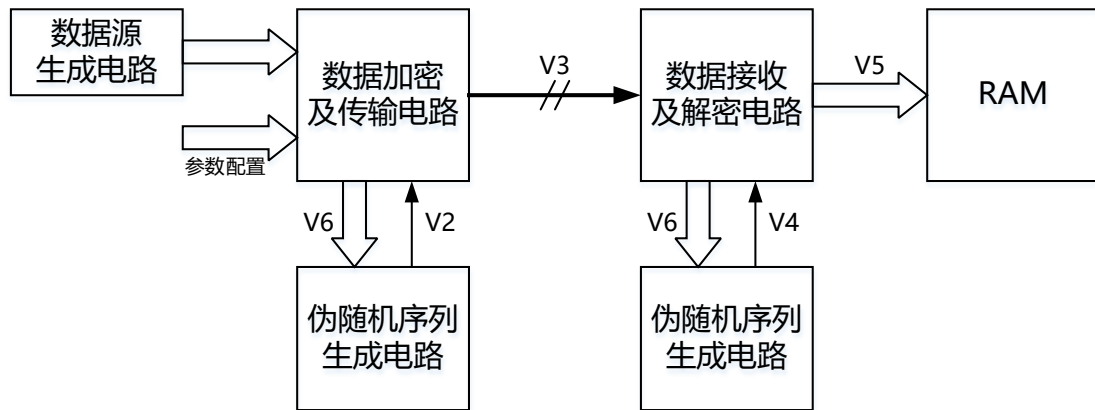


图 4 简易数据传输加密处理电路的系统框图（发挥部分）

- (1) 要求数据加密及传输电路增加参数配置接口（如图 4 所示）：
 - a) 参数配置接口为 4bit 输入数据，配置数据可由用户给定；
 - b) 参数配置数据即为 m 序列的初始状态值，数据加密及传输电路可根据参数配置数据 $V6$ 配置伪随机序列生成电路，使其根据不同的初始状态值产生不同的密钥数据流；
 - c) $V3$ 的密文数据需加入参数配置头（配置头格式自定义），以备数据接收及解密电路解析出配置参数的数值。
- (2) 要求数据接收及解密电路增加参数配置解析功能：
 - a) 由于 $V3$ 密文数据中加入了参数配置头，电路需正确解析出配置参数 $V6$ ，并将 $V6$ 值配置给伪随机序列生成电路，才能产生与加密密钥相同的 $V4$ 密钥数据流。

三、说明

1. 题目相关的必要说明

用 Quartus II 建立工程时，选择 Cyclone II 系列的 EP2C35F672C6 作为目标器件；硬件描述语言使用 VHDL 或 Verilog 均可，并在关键代码部分需进行注释。

2. m 序列简介

m 序列是最长线性反馈移位寄存器序列的简称。它是由线性反馈的移位寄存器产生的周期最长的序列。以一个 4 级线性反馈移位寄存器为例给出一个 m 序列的例子。设其初始状态为 $(a_3, a_2, a_1, a_0) = (1, 0, 0, 0)$ ，则在移位一次时，由 a_3 和 a_0 模 2 相加产生新的输入 $a_4 = 1 \oplus 0 = 1$ ，新的状态变为 $(a_4, a_3, a_2, a_1) = (1, 1, 0, 0)$ 。这样移位 15 次后又回到初始状态 $(1, 0, 0, 0)$ 。产生的 m 序列如图 5 所示。

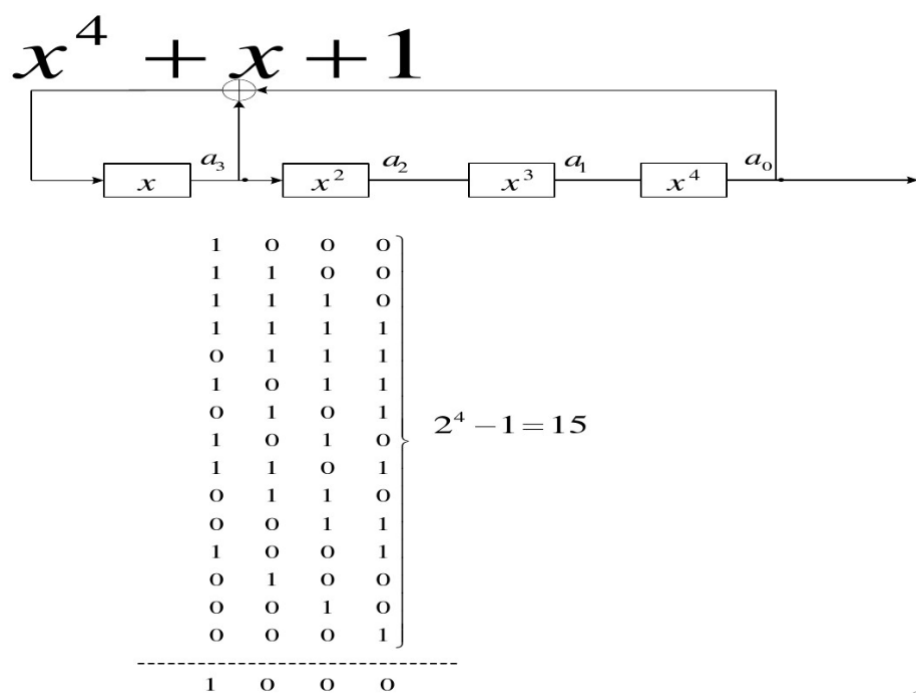


图 5 m 序列的产生

3. 加密解密原理简介

根据异或运算的可逆性，对任意的两串二进制数做异或运算，得到的结果再与其中任意一串二进制数做异或运算，之后将得到另一串二进制数。即 $a \oplus b = c$ ，则 $b \oplus c = a$ (a, b, c 分别表示一串二进制数)。那么，若 a 是想要加密的信息，则有一密钥 b ，对 a 和 b 做异或运算，得到的 c 就是加密后的信息，可进行传输。得到 c 后，只需要再与 b 做异或运算，即可得到原信息 a 。若应用到字符串上，则字符串上每一个字符都表示一串二进制数。

四、评分标准

项目	主要内容	分值
设计报告	系统方案	4
	理论分析与计算	4
	电路与程序设计	4
	测试方案与测试结果	4
	设计报告结构及规范性	4
	小计	20
基本要求	完成第（1）项目	10
	完成第（2）项目	10
	完成第（3）项目	25
	完成第（4）项目	15
	小计	60

发挥部分	完成第（1）项目	10
	完成第（2）项目	10
	小计	20
总分		100

设计报告内容：

1. 设计思路概述；
2. 总体设计框图及详细说明；
3. 时序说明；
4. 模块设计框图、引脚说明、相关时序；
5. 代码及必要注释；
6. 仿真结果：对顶层电路及中间信号的仿真时序图进行必要的截图，并做必要的说明；对顶层电路的综合结果进行截图；
7. 结论；
8. 其它需要说明的内容。

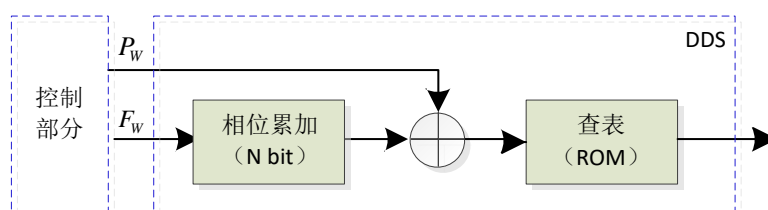
2. 任意波形发生电路

设计任意波形发生器电路，包括参数配置电路，相位计算电路，波形映射电路、波形控制电路。题目包含基本要求和发挥部分。题目不涉及实体硬件电路，所有功能的设计及仿真均在 EDA 开发环境中实现，竞赛根据总体设计框图及说明、各个模块电路设计说明、时序说明、仿真结果、资源报告、设计总结和程序源代码评定成绩。

一、任务

设计一个任意波形发生电路，产生正弦波、锯齿波、三角波和矩形脉冲等，对于正弦波，实现扫频功能，模拟存在多普勒效应下的正弦波形。对于矩形脉冲波形，实现脉冲占空比可调。

任意波形发生电路的基本结构如图 1 所示。主要包括控制和 DDS 两个部分。DDS 是波形产生的核心部分，通过相位累加和波形查表两个模块组成。控制部分主要完成通过对频率控制字 F_w 和相位控制字 P_w 的配置实现正弦波扫频控制和脉冲占比控制。



二、要求

1. 器件采用 CycloneII EP2C35F672C6。

2. 基本要求

(1) 设计 DDS 电路：

- DDS 工作时钟 f_s 为 100MHz；
- DDS 能够产生正弦、锯齿波、三角波和矩形脉冲波；
- 各个波形的相位和频率均可配置。
- 实现要求：内部 ROM 的查询深度不少于 1024，顶层模块如图 2 所示，其中 sel 信号为多路输出选通信号，当为二进制“00”时输出正弦波，当为二进制“01”时输出锯齿波，当为二进制“10”时输出三角波，当为二进制“11”时输出矩形脉冲波形。freq_w 为频率控制字，位宽为 32 位，pha_w 为相位控制字，位宽为 32 位，wave_o1 为波形输出，位宽为 16。

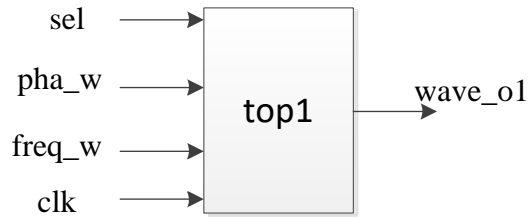


图 2

(2) 设计扫频控制模块

- a) 实现两种扫频模式，分别是线性扫频和正弦扫频；
- b) 线性扫频模式，以输出频率 $f_{out} = 1\text{MHz}$ 为例，线性扫频起始频率为 f_{out} ，以 1kHz/us 的扫描速度，线性扫描至最大频偏 $+100\text{kHz}$ ，再以 -1kHz/s 的扫描速度，扫描至最小频偏 -100kHz ，扫描轨迹可视为三角波，扫频过程循环往复，扫描轨迹尽可能连续；
- c) 正弦扫频模式，即扫频轨迹为正弦曲线，扫频范围同样为 $[-100\text{kHz}, +100\text{kHz}]$ ，最大扫描速率为 $\pm 1\text{kHz/us}$ 。同样，扫描轨迹尽可能连续。
- d) 实现要求：顶层模块如图 3 所示，rst 为复位信号，‘0’有效，sel 为扫频模式选择，‘1’为线性扫频，‘0’为正弦波扫频。wave_o2 为扫频波形输出，位宽为 16 位。ctrl_o 为扫频控制波形，位宽为 32 位。

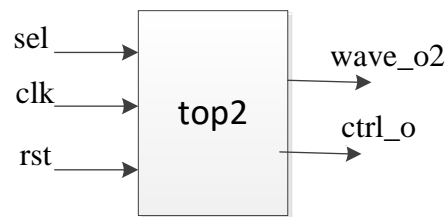


图 3

(3) 设计占空比控制模块

- a) 分别以 $1/2$ ， $1/4$ 两种占空比输出矩形脉冲波形，脉冲波形的频率为 5MHz ；
- b) 以 $1/3$ 、 $1/7$ 两种占空比输出矩形脉冲波形，脉冲波形的频率同上；
- c) 尽量保证占空比的精度。
- d) 实现要求：顶层模块如图 4 所示，rst 为复位信号，‘0’有效，sel 为多路选通信号，“00”为占空比为 $1/2$ 的矩形脉冲波形，“01”为占空比为 $1/4$ 的矩形脉冲波形，“10”为占空比为 $1/3$ 的矩形脉冲波形，“11”为占空比为 $1/7$ 的矩形脉冲波形，wave_o3 为输出的矩形脉冲，位宽为 1。



图 4

3. 发挥部分

(1) 要求扫频模式可配置，扫频参数可配置：

- a) 扫频模式可配置为线性扫频和正弦扫频两种方式；
- b) 线性扫频，扫频范围和扫频速度可配置，扫频范围配置可限制在 $[-200\text{kHz}, +200\text{kHz}]$ ，扫频速度配置可限制在 $[-4\text{kHz/us}, +4\text{kHz/us}]$ ；
- c) 正弦扫频，扫频范围和扫频最高速度可配置，扫频范围配置可限制在 $[-200\text{kHz}, +200\text{kHz}]$ ，扫频速度配置可限制在 $[-4\text{kHz/us}, +4\text{kHz/us}]$ 。
- d) 实现要求：顶层模块如图 5 所示，rst 为复位信号，‘0’ 有效，sel 为 ‘1’ 输出线性扫频波形，sel 为 ‘0’ 输出正弦扫频波形，scan_r 为扫频范围输入，位宽为 18，最小表示量为 1Hz，scan_v 为扫频速率，位宽为 12，最小表示量为 1Hz/us。Wave_o4 为输出扫频波形，位宽为 16，ctrl_o 为扫频控制波形，位宽为 16 位。

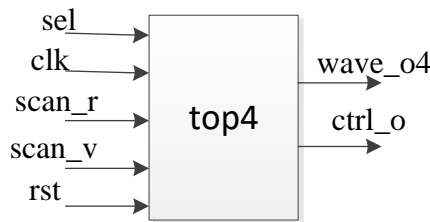


图 5

(2) 要求矩形脉冲波形的占空比可连续可调。

实现要求：顶层模块如如 6 所示，rst 为复位信号，‘0’ 有效，pul_r 为占空比输入，位宽为 10，10 位均为小数位，即最小量为 1/1024。wave_o5 为输出矩形脉冲波形，位宽为 16。

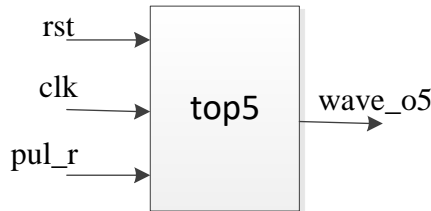


图 6

三、说明

DDS 简介。DDS 的核心是相位累加器和 ROM 查找表。在系统时钟 f_s 的控制下，相位累加器对频率控制字进行线性累加 F_w ，输出的和再与相位控制字 P_w 相加后作为地址，对 ROM 进行查表。其中

$$F_w = \frac{f_{out}}{f_s} 2^N$$
$$P_w = \frac{\phi}{2\pi} 2^N$$

四、评分标准

设计报告	项目	主要内容	分值
	系统方案	方案选择、论证	4
	理论分析与计算	进行必要的分析、计算	4
	电路与程序设计	电路设计 程序设计	4
	测试方案与测试结果	表明测试方案和测试结果	4
	设计报告结构及规范性	表格的规范性	4
	小计		20
基本要求	完成第（1）项目		30
	完成第（2）项目		15
	完成第（3）项目		15
	小计		60
发挥部分	完成第（1）项目		10
	完成第（2）项目		10
	小计		20
总分			100

实验报告内容：

1. 设计思路概述
2. 总体设计框图及详细说明（针对每一个顶层实体分别说明）
3. 模块设计框图、引脚说明、相关时序
4. 代码及必要注释
5. 仿真结果及分析
6. 结论及资源和时序情况说明
7. 其它需要说明的内容

3. 数字 ASK 调制系统

一、设计任务

设计一个简易数字信号 ASK 调制系统。系统数字基带信号 V_1 为 m 序列伪随机信号，载波信号 V_2 为正弦波周期信号， V_3 为 V_1 经二进制幅移键控调制后的输出。系统输入为 CLOCK 和 RESET 信号，CLOCK 是系统时钟信号，上升沿触发。RESET 为系统异步复位信号，高有效。

二、要求

(1) CLOCK 和 RESET 输入信号如图 1 所示。

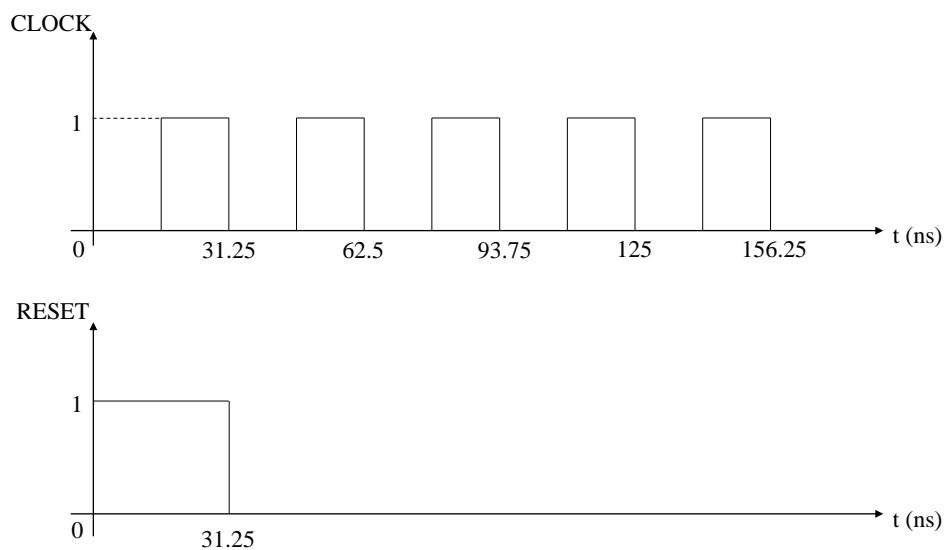


图 1 CLOCK 和 RESET 信号

(2) 仿真器件选择 CycloneII 系列 EP2C35F672C6。

(3) m 序列的特征方程为 $f(x)=1+x^3+x^5$ ，数字信号 V_1 码速率为 3.2kbps。其复位状态为：最高位为‘1’，其余各位均为‘0’。

(4) 正弦载波信号 V_2 频率为 10kHz，一个周期内采样 16 个样值，幅值分别为（以下数字以十进制数表示）：

128	179	222	249	254	238	202	154
101	53	17	1	6	33	76	127

三、说明

(1) m 序列根据所给定的特征多项式 $f(x)$ 采用线性移位寄存器来产生，移位寄存器状态信号 M_seq_REG 需预留仿真输出端口。

(2) V_1 、 V_2 、 V_3 信号及内部控制时钟信号均需预留仿真输出端口。

四、设计报告内容

- (1) 设计思路概述
- (2) 总体设计框图及详细说明
- (3) 时序说明：给出理论分析与计算
- (4) 模块设计框图、引脚说明、相关时序
- (5) 程序代码及必要的注释
- (6) 结果：给出系统编译综合结果；给出CLOCK及RESET输入下系统内部模块时钟信号、 V_1 、 V_2 、 V_3 信号以及生成m序列的移位寄存器状态信号M_seq_REG的仿真结果。
- (7) 结论
- (8) 其它需要说明的内容

五、评分标准

	项目	主要内容	满分
设计报告	电路与程序设计	设计思路 总体设计框图 时序说明：包括理论分析与计算 模块设计框图、引脚说明及时序 程序及注释	15
	测试方案与测试结果	测试结果完整性 测试结果分析	10
	设计报告结构及规范性	正文结构规范 图表的完整与准确性	5
	总分		30
设计任务	生成内部模块时钟信号		15
	产生基带信号 V_1		15
	产生正弦载波信号 V_2		15
	产生 2ASK 调制信号 V_3		15
	系统复位功能		10
	总分		70
合计			100

试题一 简易电子计算器电路设计

设计一个简易的电子计算器电路，包括数据输入处理电路，算数运算电路(包含加法、减法、乘法、除法和开方算数运算)，运算结果处理电路。所有运算电路的设计均不可使用 IP 核及查找表方式进行设计。题目包含基本要求和发挥部分。题目不涉及实体硬件电路，所有功能的设计及仿真均在 EDA 开发环境中实现，竞赛根据总体设计框图及说明、各个模块电路设计说明、时序说明、仿真结果、资源报告、设计总结和程序源代码评定成绩。

一、任务

设计一个简易的电子计算器电路，可实现整数（0~999999999）的加、减、乘、除和开方的算数运算，运算的结果可以保存在运算结果处理电路中，后续的显示电路可以访问电路中的数据并负责显示运算结果。显示电路不在题目的设计范围内，但运算结果处理电路要保留数据接口，用来验证运算结果。

电子计算器电路的系统框图如图 1 所示，包括独立按键电路、数据输入处理电路、算数运算电路和运算结果处理电路。

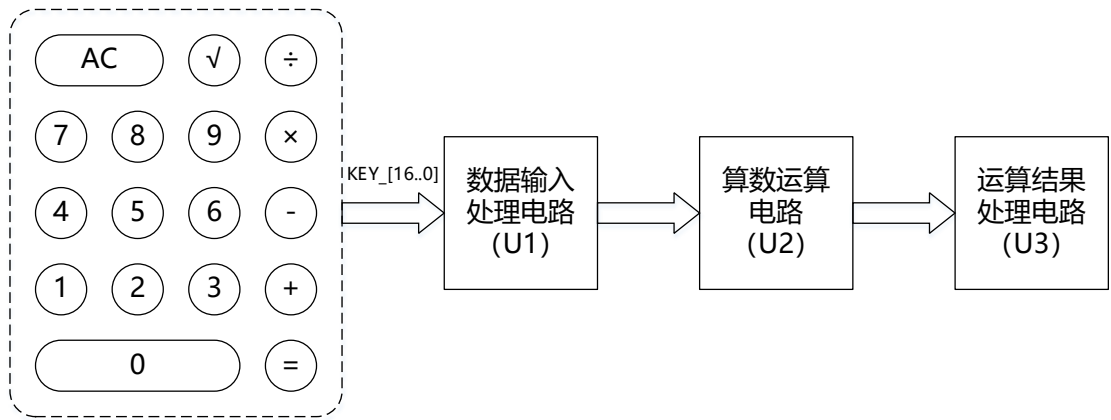


图 1 简易电子计算器电路的系统框图

独立按键电路由 17 个独立按键组成，每一个按键的电路如图 2 所示，按键定义如表 1 所示。

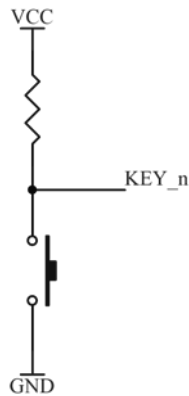


图 2 按键电路图

表 1 独立按键定义

按键标识	按键功能	引脚标号	按键标识	按键功能	引脚标号
9	数字 9	KEY_0	AC	输入清零	KEY_10
8	数字 8	KEY_1	√	开方运算	KEY_11
7	数字 7	KEY_2	÷	除法运算	KEY_12
6	数字 6	KEY_3	×	乘法运算	KEY_13
5	数字 5	KEY_4	-	减法运算	KEY_14
4	数字 4	KEY_5	+	加法运算	KEY_15
3	数字 3	KEY_6	=	等于	KEY_16
2	数字 2	KEY_7			
1	数字 1	KEY_8			
0	数字 0	KEY_9			

二、要求

1. 基本要求

(1) 设计数据输入处理电路 (U1):

- a) 数据输入处理电路 (之后用 **U1** 表示) 顶层实体如图 3 所示, 其中 CLK 为时钟输入、KEY_[16..0] 为 17 个独立按键输入信号 (低电平有效)、BUSY_P 为运算结果处理电路 (之后用 **U3** 表示) 反馈信号 (高电平有效)、BUSY_A 为算数运算电路 (之后用 **U2** 表示) 反馈信号 (高电平有效)、DATA1[26..0] 为第一个运算数输出、DATA2[26..0] 为第二个运算数输出、ARITH[2..0] 为运算控制、EN 为数据使能信号 (高电平有效)

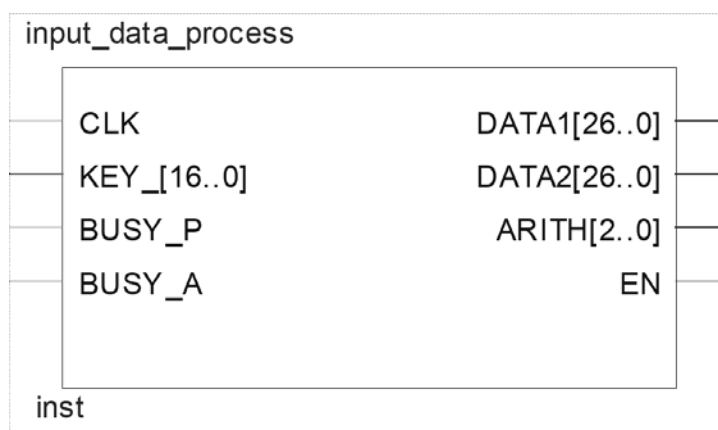


图 3 数据输入处理电路顶层实体

- b) 电子计算器通过 17 个独立按键将运算信息发送给 **U1**。**U1** 将独立按键输入 (KEY_[16..0]) 的信息转换为二进制运算数据 (DATA1[26..0] 与 DATA2[26..0]) 和算数命令字 ARITH[2..0], 并通过数据使能 EN 传递给 **U2** 进行运算处理; 参考时序如图 4 所示, 其中按键低电平有效时间 t_1 不小于 200ms, 按键与按键时间间隔 t_2 不小于 500ms, 算数命令字“010”代表乘法运算 (设计者需自行定义命令字)

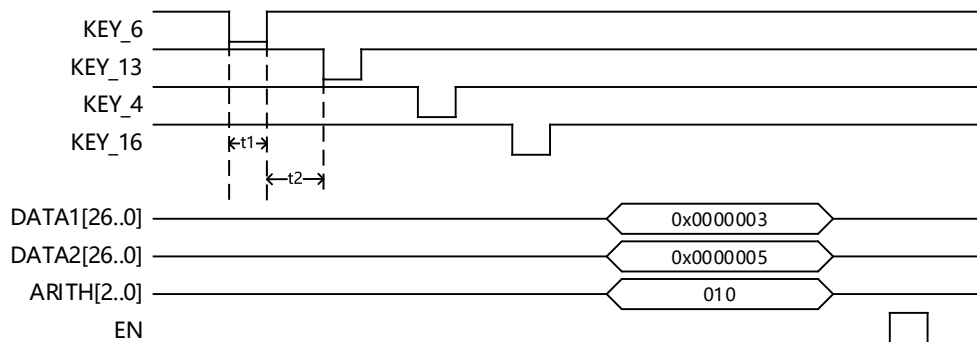


图 4 参考时序图

- c) **U1** 可接受的输入格式有 2 种，第一种为加减乘除运算输入格式，第二种为开方运算输入格式。第一种输入格式为：不超过 8 位的十进制数据+运算符（加、减、乘、除运算中的一种）+不超过 8 位的十进制数据+等于按键，如：“10901331+166=”，“3-360=”，“13355÷631=”均为有效输入，图 4 的输入的内容即为“3×5=”；第二种输入格式为：不超过 8 位的十进制数据+开方运算符，如：“11223344√”，“9√”均为有效输入；开方运算时 **U1** 将运算数值赋给 DATA1[26..0]，DATA2[26..0]为无效数据，**U2** 只读取 DATA1[26..0]的数据
- d) **U1** 识别按键为有效输入时，将独立按键信号转换为二进制值赋给 DATA1[26..0]、DATA2[26..0]和 ARITH[2..0]，待数据稳定后触发 EN 使能信号，**U2** 根据 EN 使能信号触发算数运算；当 **U1** 识别按键为无效输入时，EN 使能信号保持低电平
- e) 在按键输入过程中，当 **U1** 识别输入按键为“AC”时，将清除之前所有的输入信息
- f) **U1** 需监测反馈信号 BUSY_A 和 BUSY_P，如果反馈信号为高电平，说明 **U2** 或 **U3** 还没有完成运算或处理工作；因此这时再有按键输入，**U1** 不处理按键输入信号，直至 BUSY_A 和 BUSY_P 均为低电平时为止

(2) 设计算数运算电路（U2）：

- a) **算数运算电路**顶层实体如图 5 所示，其中 CLK 为时钟输入、DATA1[26..0]为第一个运算数输入、DATA2[26..0]为第二个运算数输入、ARITH[2..0]为运算控制输入、EN 为使能信号输入、DATA[53..0]为运算结果输出、DATA_LATCH 为数据锁存信号（上升沿锁存）、BUSY 为工作状态反馈信号（高电平有效）

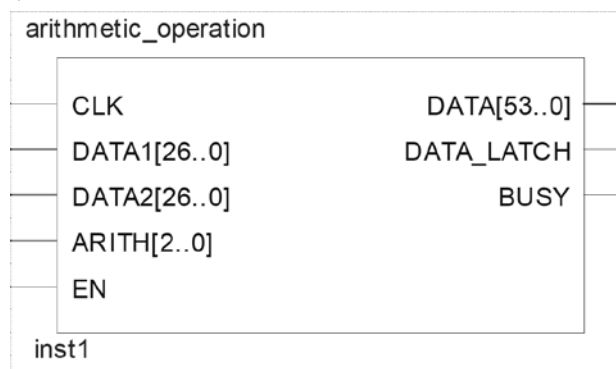


图 5 算数运算电路顶层实体

- b) **U2** 根据 EN 信号使电路进行计算工作，**U2** 根据 ARITH[2..0]的值判断执行相应的算数运算；**U2** 运算过中 BUSY 信号保持高电平，直至运算完成 BUSY 信号恢复低电平
- c) 加法运算，DATA1[26..0]与 DATA2[26..0]的相加结果赋给 DATA[53..0]
- d) 减法运算，当相减结果为正数时，相减结果直接赋给 DATA[53..0]；当相减结果为负数时，DATA[53]置“1”，相减结果的绝对值赋给 DATA[52..0]
- e) 乘法运算，DATA1[26..0]与 DATA2[26..0]的相乘结果赋给 DATA[53..0]
- f) 除法运算，视为两个整型数据相除，DATA1[26..0]与 DATA2[26..0]相除的整数部分结果赋给 DATA[53..0]
- g) 开方运算，视为对整型数据开方，DATA1[26..0]开方的整数部分结果赋给 DATA[53..0]
- h) 当计算结果 DATA[53..0]的数据总线稳定后，**U2** 发出锁存数据信号 DATA_LATCH

(3) 设计运算结果处理电路（U3）：

- a) 运算结果处理电路顶层实体如图 6 所示，其中 CLK 为时钟输入、DATA[53..0]为运算结果输入、DATA_LATCH 为锁存信号（上升沿锁存）、DATA_BCD15[3..0] ~ DATA_BCD0[3..0]为 16 位 BCD 码（8421 码）输出、EN 为使能信号输出（高电平有效）、BUSY 为工作状态反馈信号（高电平有效）

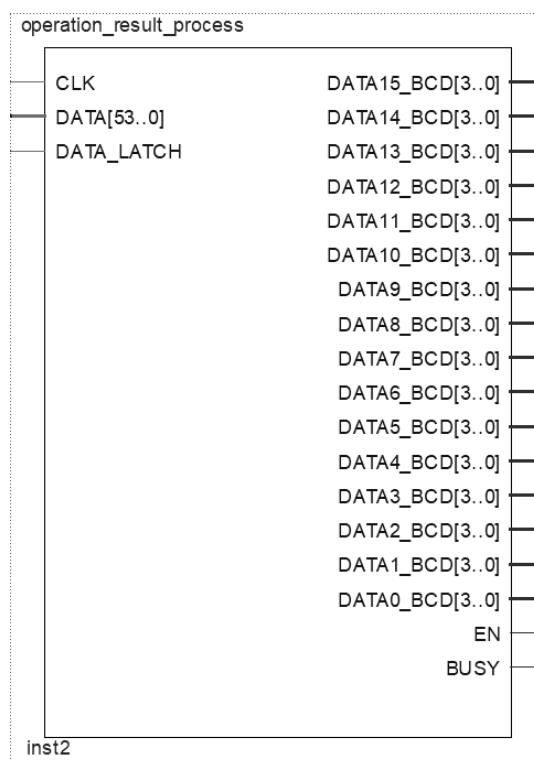


图 6 运算结果处理电路顶层实体

- b) **U3** 根据 DATA_LATCH 锁存信号触发电路进行处理工作，当 **U3** 检测 DATA_LATCH 上升沿的时候，说明 **U2** 已完成计算工作；**U3** 得到的 DATA[53..0]为二进制数计算结果，**U3** 需将计算结果转换为十进制 BCD

码的输出形式（详见表 2），以便后续显示电路

表 2 运算结果处理电路转换示例表

DATA[53..0] (十六进制表示)	0x0462D3A11F68B1	0x20000005F5E0FF
DATA_BCD15[3..0]	0001	1111
DATA_BCD14[3..0]	0010	0000
DATA_BCD13[3..0]	0011	0000
DATA_BCD12[3..0]	0100	0000
DATA_BCD11[3..0]	0101	0000
DATA_BCD10[3..0]	0110	0000
DATA_BCD9[3..0]	0000	0000
DATA_BCD8[3..0]	1001	0000
DATA_BCD7[3..0]	1000	1001
DATA_BCD6[3..0]	0111	1001
DATA_BCD5[3..0]	0110	1001
DATA_BCD4[3..0]	0101	1001
DATA_BCD3[3..0]	0100	1001
DATA_BCD2[3..0]	0011	1001
DATA_BCD1[3..0]	0010	1001
DATA_BCD0[3..0]	0001	1001
十进制数	1234560987654321	-99999999

- c) **U3** 处理数据过中 **BUSY** 信号保持高电平，直至数据处理完成 **BUSY** 信号恢复低电平
- d) 待处理结果 **DATA_BCD15[3..0] ~DATA_BCD0[3..0]**的数据总线稳定后，**U3** 发出 **EN** 使能信号（**EN** 信号保持一段高电平后自动复位为低电平）以便显示电路

2. 发挥部分

(1) 数据输入处理电路加入按键去抖电路：

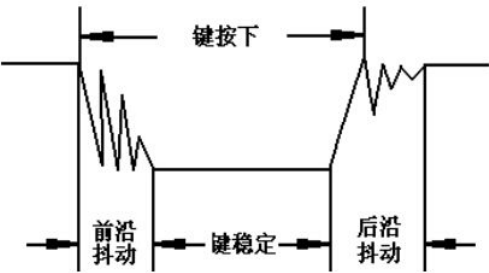


图 7 按键抖动

- a) 按键开关在闭合时不会马上稳定接通，在断开时也不会立刻断开。因而在闭合及断开的瞬间均伴随有一连串的抖动，导致按键输入不稳定。测试时，设**前沿和后沿抖动时间**为 10ms，**键稳定时间**不小于 200ms
 - b) **U1** 加入按键去抖电路后，按键可实现正常的输入，不会出现因按键抖动造成的重复输入或错误输入的现象
- (2) 为除法运算和开方运算增加余数输出功能：
- a) 修改 **U2** 和 **U3** 的外部接口和内部逻辑，实现除法和开方运算的余数输出
 - b) 新设计的 **U2** 和 **U3** 电路需在报告和仿真图中说明接口定义及电路使用说明

三、说明

1. 题目相关的必要说明

用 Quartus II 建立工程时，选择 Cyclone II 系列的 EP2C35F672C6 作为目标器件；硬件描述语言使用 VHDL 或 Verilog 均可，并在关键代码部分需进行注释。

2. 波形激励文件的说明

设计过程中，按键输入的波形激励文件，根据不同的运算需自行编写。按键的波形约束条件参图 4。

由于按键的波形约束条件是按照人手输入的时间考虑的，所以按照图 4 的时序仿真会消耗太多时间；为方便仿真快速进行，按键的波形测试文件可适当减小约束时间 t1 和 t2 的数量级。

四、评分标准

	项目	主要内容	分值
设计报告	系统方案	方案选择、论证	4
	理论分析与计算	进行必要的分析、计算	4
	电路与程序设计	电路设计 程序设计	4
	测试方案与测试结果	表明测试方案和测试结果	4
	设计报告结构及规范性	表格的规范性	4
	小计		20
基本要求	完成第（1）项目		20
	完成第（2）项目		30
	完成第（3）项目		10
	小计		60
发挥部分	完成第（1）项目		10
	完成第（2）项目		10
	小计		20
总分			100

设计报告内容：

1. 设计思路概述；
2. 总体设计框图及详细说明；
3. 时序说明；
4. 模块设计框图、引脚说明、相关时序；
5. 代码及必要注释；
6. 仿真结果：对顶层电路及中间信号的仿真时序图进行必要的截图，并做必要的说明；对顶层电路的综合结果进行截图；
7. 结论；
8. 其它需要说明的内容。

试题二 伪码同步电路

设计一个伪码同步电路，实现对输入数据的伪码同步。包括本地伪码生成电路，伪码调制电路和伪码同步判决控制电路。题目包含基本要求和发挥部分。题目不涉及实体硬件电路，所有功能的设计及仿真均在 EDA 开发环境中实现，竞赛根据总体设计框图及说明、各个模块电路设计说明、时序说明、仿真结果、资源报告、设计总结和程序源代码评定成绩。

一、任务

设计一个伪码同步电路，能够完成对输入的伪码调制信号进行同步。同步根据伪码的自相关特性，利用匹配滤波结构完成最终同步。

伪码同步电路的基本结构如图 1 所示。主要包括伪码生成模块和伪码同步两个部分。伪码生成模块根据 m 序列的原理产生伪随机序列，伪码同步模块利用匹配滤波器结构完成伪码同步与捕获，通过可靠的检测策略输出调制的信息。

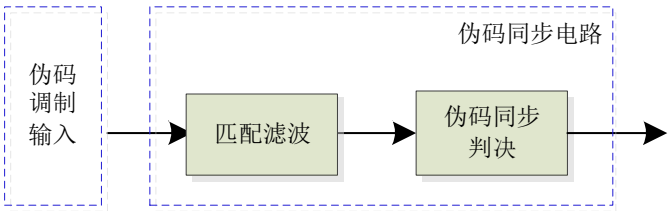


图 1 伪码同步电路的基本结构框图

二、要求

1. 器件采用 CycloneII EP2C35F672C6。

2. 基本要求

- (1) 设计本地伪码发生器：
 - a) 伪码采用 m 序列，由移位寄存器的初始状态和反馈异或运算确定，实现原理见说明（1）。
 - b) 该 m 序列的本原多项式为 $y = x^5 + x^2 + 1$ ，伪码周期为 31 个码片长度。复位状态下，移位寄存器的初始值设置为 00001。
 - c) 一个码片一个采样时钟，输出伪码序列。
 - d) 实现要求：顶层模块数图 2 所示，伪码序列 seq_o 连续输出，同时输出伪码周期脉冲信号 seq_p ，该脉冲信号可由计数器产生，用于后续数据调制使用。

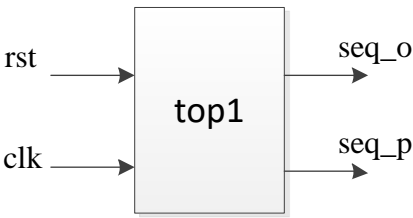


图 2

(2) 设计伪码调制电路

- 实现一个伪码周期调制一个比特数据信息，调制运算为异或，数据信息为一串规律的 010101....序列。
- 调制后数据 D_{in} 需按照下列要求映射为 S_{out} 并输出，具体原理见说明(2)

$$S_{out} = \begin{cases} 1 & D_{in} = 0 \\ -1 & D_{in} = 1 \end{cases}$$

- 实现要求：顶层模块如图 3 所示，data_o 为调制后的输出信号，位宽为 2 位，data_m 为调制数据（数据序列为 010101...），同时输出对应的伪码 seq_o 和伪码周期脉冲 seq_p。

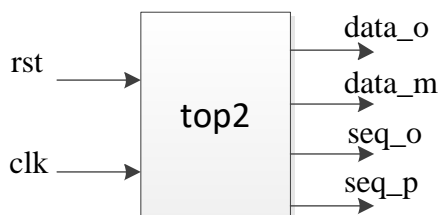


图 3

(3) 设计伪码同步电路

- 利用 (2) 的输出 data_o 作为伪码同步电路的输入。
- 提取伪码一个周期码字作为匹配滤波器系数。
- 设计匹配滤波器（可以采用 IP 核实现），采用全精度输出匹配结果，具体原理见说明(3)。
- 实现要求：顶层模块如图 4 所示，mf_o 为匹配滤波输出，位宽为 6 位，请在 modelsim 仿真中以十进制(decimal)波形形式显示，seq_p 为伪码周期脉冲。

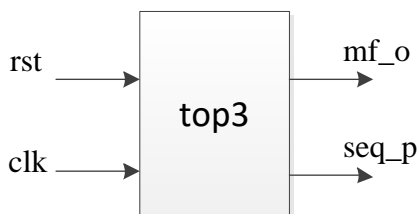
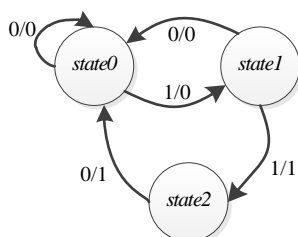


图 4

3. 发挥部分

- 要求可靠获得伪码同步判决结果，并输出原始调制数据
 - 当匹配滤波输出的大于设定门限时确定为检测到同步信息，门限可设置约为相关峰值一半。
 - 连续两次检测到相关峰，确定为可靠获得同步信息。
 - 利用图 5 所示状态机实现检测过程。
- 根据同步判决结果输出解调数据



单次检测结果/同步结果

state0为初始状态

state1为一次检测到相关峰状态

state2为成功检测到伪码同步状态

图 5 同步判决状态转移图

发挥部分实现要求：顶层模块如图 6 所示，要求输出状态机当前状态 $state_c$ ，位宽为 2 位， mf_o 为匹配滤波器的输出， $flag_o$ 代表成功检测伪码同步的标志， $data_r$ 是去除伪码调制后输出的数据比特。

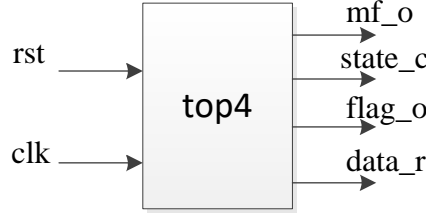


图 6

三、说明

(1) m 序列

m 序列具有良好的自相关特性，一般采用移位寄存和反馈结构实现，本原多项式 $y = \sum_{i=0}^n c_i x^i$ 对应的实现结构如图 7 所示

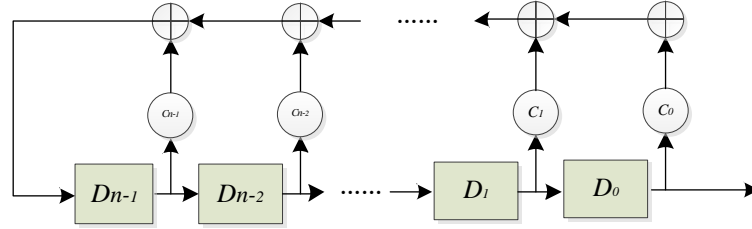


图 7 m 序列的实现结构

(2) 伪码调制

伪码调制的原理如图 8 所示，调制数据比特和伪码序列进行异或运算，之后通过映射规律映射为+1 或-1 信号。

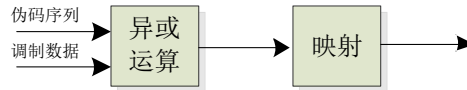


图 8 伪码调制原理

(3) 匹配滤波器

伪码的同步是利用伪码的自相关性确定接收伪码和本地伪码间相位是否对齐，可以表示为

$$c(\tau) = \sum_{i=0}^{N-1} r(i)s(i-\tau) \quad (1)$$

$r(i)$ 为接收伪码， $s(i-\tau)$ 为本地的伪码，当且仅当 $\tau = 0$ 时，自相关值 $c(\tau)$ 达到最大值，通过检测自相关峰值获得同步标志。

FIR 滤波器的系统函数可以表示为

$$y(n) = \sum_{i=0}^{N-1} h(i)x(n-i) \quad (2)$$

通过对式 (1) 和 (2) 简单分析，可得利用 FIR 滤波器结构可以实现伪码的匹配接收。

四、评分标准

设计报告	项目	主要内容	分值
	系统方案	方案选择、论证	4
	理论分析与计算	进行必要的分析、计算	4
	电路与程序设计	电路设计 程序设计	4
	测试方案与测试结果	表明测试方案和测试结果	4
	设计报告结构及规范性	表格的规范性	4
	小计		20
基本要求	完成第（1）项目		15
	完成第（2）项目		15
	完成第（3）项目		20
	小计		50
发挥部分	完成第（1）项目		20
	完成第（2）项目		10
	小计		30
总分			100

实验报告内容：

1. 设计思路概述
2. 总体设计框图及详细说明
3. 时序说明
4. 模块设计框图、引脚说明、相关时序
5. 代码及必要注释
6. 仿真结果
7. 结论
8. 其它需要说明的内容

试题三 汉明码编解码系统

设计汉明码编解码电路，包括 m 序列生成电路，串并转换电路，汉明码编码电路、加噪电路、汉明码解码电路、并串转换电路。题目不涉及实体硬件电路，所有功能的设计及仿真均在 EDA 开发环境中实现，竞赛根据总体设计框图及说明、各个模块电路设计说明、时序说明、仿真结果、资源报告、设计总结和程序源代码评定成绩。

一、设计任务

设计一个 (7, 4) 汉明码编解码电路，电路基本结构如图 1 所示。发送端由 m 序列发生器生成 m 序列伪随机信号 m_sequence，将 m_sequence 信号序列进行串并转换每 4 位为一组输出并行数据 m_seq_parallel_out，然后对 m_seq_parallel_out 信号进行 (7, 4) 汉明码编码，输出汉明编码信号 hanm_code_out。噪声发生器在输入信号 s 控制下产生的噪声信号 noise 与汉明码编码信号 hanm_code_out 进行模二加，得到 hanm_code_with_noise 信号。接收端对 hanm_code_with_noise 信号进行汉明解码，得到汉明解码信号 hanm_dec_out_parallel，然后对 hanm_dec_out_parallel 信号进行并串转换，得到串行输出序列 hanm_dec_out_serial。

系统输入包括 clock 信号、reset 信号和 s 信号，clock 是系统时钟信号；s 是噪声生成控制信号；reset 为系统异步复位信号，高有效。输入信号设置见 testbench 文件 (.vht 或 .vt 文件)。

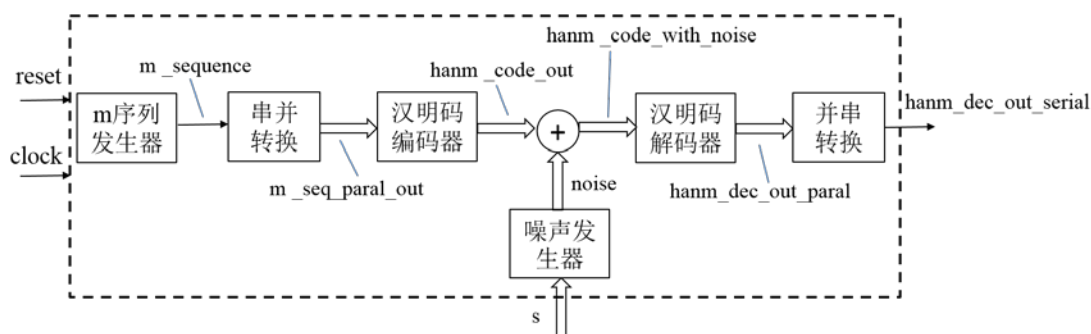


图 1 (7,4) 汉明编解码系统框图

二、要求

- (1) 仿真器件选择 CycloneII 系列 EP2C35F672C6。
- (2) 设计必要的时钟信号以满足各电路模块的工作需求，收发双方同步通信。
- (3) m 序列发生器电路

m 序列的特征方程为 $f(x)=1+x^3+x^4$ ，采用线性移位寄存器来产生，输出数字序列信号 m_sequence 码速率为 10kbps。电路在适当的时钟信号控制下工作，上升沿触发。reset 信号高有效时电路异步复位，其复位状态为：最高位为‘1’，其余各位均为‘0’。移位寄存器状态信号 A_reg(3..0)需预留仿真输出端口。

- (4) 串并转换电路

输入数据为 1 位宽串行数字序列 `m_sequence`，输出为 4 位宽连续并行输出的数据流 `m_seq_parallel_out(3..0)`。每 4 位串行输入的数据中，先输入的串行数据位于并行输出数据的高位，电路在适当的时钟信号控制下工作，上升沿触发。`reset` 信号高有效时电路异步清零。

(5) 汉明码编码电路

输入数据为 4 位宽并行数据流 `m_seq_parallel_out(3..0)`，输出数据为 7 位宽并行数据流 `hanm_code_out(6..0)`。输出数据码长 7 位，其中高 4 位为信息位，低 3 位为监督位。电路在适当的时钟信号控制下工作，上升沿触发。`reset` 信号高有效时电路异步清零。汉明码编码原理简介见第三部分。

(6) 噪声生成电路

输入 3 位宽噪声控制信号 `s(2..0)`，输出 7 位宽噪声信号 `noise(6..0)`。`reset` 信号高有效时电路异步清零。输入信号与输出信号关系如表 1 所示。

表 1 噪声生成电路输入信号与输出信号关系		
reset	s(2..0)	noise(6..0)
1	-	0000000
0	000	0000001
	001	0000010
	010	0000100
	011	0001000
	100	0010000
	101	0100000
	110	1000000
	其它	1100000

(7) 加噪电路

将 7 位宽噪声信号 `noise(6..0)`与 7 位宽汉明编码信号 `hanm_code_out(6..0)`进行模二加，输出 7 位宽汉明编码加噪信号 `hanm_code_with_noise(6..0)`。

(8) 汉明码解码电路

输入 7 位宽汉明编码加噪信号 `hanm_code_with_noise(6..0)`，输出 4 位宽汉明解码信号 `hanm_dec_out_parallel(3..0)`，误码存在指示信号 `ne` 和 3 位宽误码位置指示信号 `error_pointer(2..0)`。电路在适当的时钟信号控制下工作，下降沿触发。`reset` 信号高有效时电路异步清零。汉明码解码原理简介见第三部分。

信号状态含义如表 2 和表 3 所示：

表 2 信号 ne 状态含义	
ne	含义
1	输入数据存在误码
0	输入数据不存在误码

表 3 信号 error_pointer(2..0)状态含义

error_pointer(2..0)	含义
000	输入汉明码第 0 位出错
001	输入汉明码第 1 位出错
010	输入汉明码第 2 位出错
011	输入汉明码第 3 位出错
100	输入汉明码第 4 位出错
101	输入汉明码第 5 位出错
110	输入汉明码第 6 位出错
111	输入汉明码无错

(9) 并串转换电路

输入 4 位宽汉明码解码信号 hanm_dec_out_parallel(3..0)，输出串行数字序列 hanm_dec_out_serial。电路在适当的时钟信号控制下工作，上升沿触发。reset 信号高有效时电路异步清零。

三、说明

(1) (7, 4)汉明码编码原理简介

若用 $a_6a_5\dots a_0$ 表示(7,4)汉明码的 7 个码元，其中 $a_6a_5a_4a_3$ 为信息位， $a_2a_1a_0$ 为监督位；用 $S_2S_1S_0$ 表示 3 个监督关系式中的校正子，则 $S_2S_1S_0$ 的值与误码位置的对应关系如表 4 规定所示，其对应监督关系式如式 (1) 所示：

表4 (7,4) 汉明码校正子和误码位置的关系

$S_2S_1S_0$	误码位置	$S_2S_1S_0$	误码位置
001	a_0	101	a_4
010	a_1	110	a_5
100	a_2	111	a_6
011	a_3	000	无错码

$$\begin{aligned}
 S_2 &= a_6 \oplus a_5 \oplus a_4 \oplus a_2 \\
 S_1 &= a_6 \oplus a_5 \oplus a_3 \oplus a_1 \\
 S_0 &= a_6 \oplus a_4 \oplus a_3 \oplus a_0
 \end{aligned}
 \tag{1}$$

可以推导，监督位 $a_2a_1a_0$ 与信息位 $a_6a_5a_4a_3$ 应满足式 (2) 所示关系。

$$\begin{aligned}
 a_2 &= a_6 \oplus a_5 \oplus a_4 \\
 a_1 &= a_6 \oplus a_5 \oplus a_3 \\
 a_0 &= a_6 \oplus a_4 \oplus a_3
 \end{aligned}
 \tag{2}$$

因此，(7,4) 汉明码输入信息位后，可以直接按式 (2) 算出监督位。

(2) (7, 4) 汉明码解码原理简介

接收端收到每个码组后，先计算出 $S_2S_1S_0$ ，若为 000，则表示无错码；若不全为 0，则表示有错码，这时可查表 4 判断错码情况。例如，若接收码组 0000011，按式 (1) 计算可得： $S_2=0, S_1=1, S_0=1$ 。由于 $S_2S_1S_0=011$ ，查表 4，可知在 a_3 位有 1 位错码，因此可以在接收端纠正 1 位错码。

四、设计报告内容

- (1) 设计思路概述
- (2) 总体设计框图及详细说明
- (3) 时序说明：给出理论分析与计算
- (4) 模块设计框图、引脚说明、相关时序
- (5) 程序代码及必要的注释
- (6) 结果：给出系统编译综合结果；给出 clock、reset 及 s 信号输入下 A_reg(3..0)、m_sequence、m_seq_paral_out(3..0)、hanm_code_out(6..0)、noise(6..0)、hanm_code_with_noise(6..0)、hanm_dec_out_paral(3..0)、hanm_dec_out_serial 信号及内部控制时钟信号的仿真结果。
- (7) 结论
- (8) 其它需要说明的内容

五、评分标准

	项目	主要内容	满分
设计报告	电路与程序设计	设计思路 总体设计框图 时序说明：包括理论分析与计算 模块设计框图、引脚说明及时序 程序及注释	10
	测试方案与测试结果	测试结果完整性 测试结果分析	5
	设计报告结构及规范性	正文结构规范 图表的完整与准确性	5
	总分		20

设计任务	生成 A_reg(3..0)信号和 m_sequence 信号	10
	生成 m_seq_paral_out(3..0)信号	10
	产生汉明编码信号 hanm_code_out(6..0)	10
	产生噪声信号 noise(6..0)	10
	产生加噪的汉明编码信号 hanm_code_with_noise(6..0)	5
	产生汉明解码信号 hanm_dec_out_paral(3..0)、错误指示信号 ne 和误码位置指示信号 error_pointer(2..0)	15
	产生汉明解码串行输出信号 hanm_dec_out_serial	10
	系统内部时钟生成及复位功能	10
	总分	80
合计		100

数字 QAM 调制系统

设计一个 16QAM 数字调制电路，包括时钟生成电路，m 伪随机序列生成电路，串并转换电路，电平映射电路、载波信号发生电路、ASK 幅度调制电路及加法器，电路设计如无特殊说明不可使用 IP 核实现。题目不涉及实体硬件电路，所有功能的设计及仿真均在 EDA 开发环境中实现，竞赛根据总体设计框图及说明、各个模块电路设计说明、时序说明、仿真结果、资源报告、设计总结和程序源代码评定成绩。

一、设计要求

数字 QAM 调制电路原理如图 1 所示。输入数字基带信号使用 m 伪随机序列发生器生成。得到的串行 m 序列经串并转换电路输出 I、Q 两路并行数据，每路 2bit 位宽。电平映射电路分别对 I、Q 两路进行电平映射，输出 a、b 两路信号。载波信号发生器输出同频正交载波 $c_{\cos} = \cos 2\pi f_0 t$ 和 $c_{\sin} = \sin 2\pi f_0 t$ ，分别对 a、b 两路信号进行 ASK 调制。最后，将互为正交的调幅信号 I_{mod} 和 Q_{mod} 经加法器输出。输出调制信号 qam 可以表示为： $qam = a \cos 2\pi f_0 t - b \sin 2\pi f_0 t$ 。系统输入为 CLOCK 和 RESET 信号。CLOCK 是系统时钟信号，频率为 50MHz，上升沿触发。RESET 为系统异步复位信号，高有效。

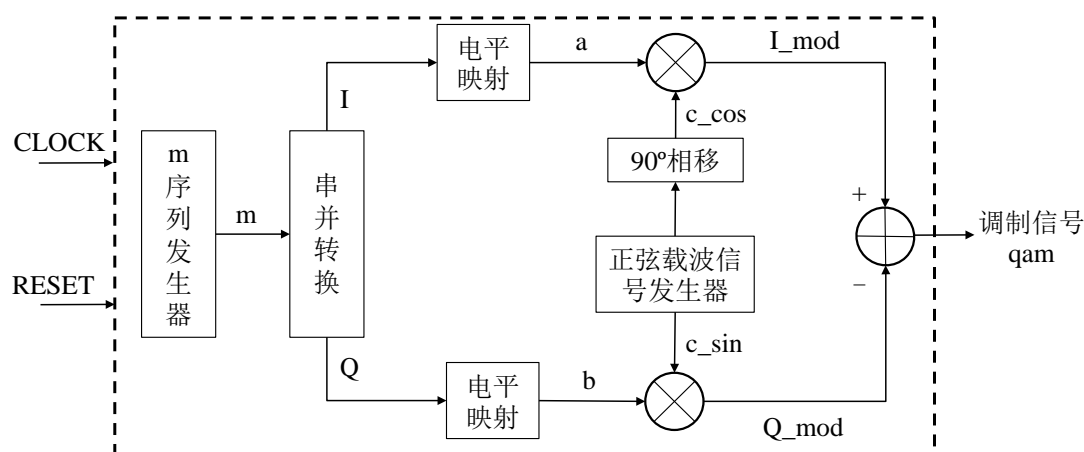


图 1 数字 QAM 调制电路原理图

设计任务各模块要求具体如下：

(1) 模块时钟生成电路

设计必要的模块时钟生成电路，输出满足电路各模块工作需求的时钟信号。对生成的时钟信号预留仿真输出端口。

(2) m 序列发生器

m 序列的特征方程为 $f(x) = 1 + x + x^3$ ，采用线性移位寄存器来产生，输出数字序列信号 m 的码速率为 4kbps。电路在适当的时钟信号控制下工作，上升沿触发。reset 信号高有效时电路异步复位，其复位状态为：全 1 信号。移位寄存器状态信号 A_reg 需预留仿真输出端口。

(3) 串并转换电路

串并转换模块将串行输入的 m 序列，逐位依次交替送入 I 路和 Q 路，I、Q

两路信号分别以 2 位为一组，生成输出信号 I、Q，先输入的串行数据位于并行输出数据的高位。这样，每 4 位串行输入的 2 进制序列中，第 1bit 和第 3bit 组合成并行 2 位宽 I 信号输出；第 2bit 和第 4bit 组合成并行 2 位宽 Q 信号输出。电路在适当的时钟信号控制下工作，上升沿触发。reset 信号高有效时电路异步清零。

(4) 电平映射电路

分别将 I、Q 两信号进行电平映射，得到两路 3 位宽数据流 a、b，映射规则如表 1 所示，其中 a/b 使用映射电平补码输出。电路在适当的时钟信号控制下工作，上升沿触发。reset 信号高有效时电路异步清零。

表 1 I/Q 输入信号与映射电平 a/b 关系表

I/Q 信号	映射电平	a/b
00	+3	011
01	+1	001
11	-1	111
10	-3	101

(5) 载波信号发生电路

载波信号发生器输出同频正交载波信号 c_cos 和 c_sin，分别表示为 $c_cos = \cos 2\pi f_0 t$ 和 $c_sin = \sin 2\pi f_0 t$ ，其中 $f_0 = 10\text{kHz}$ 。一个周期内采样 200 个样值。采样数据存储可以选择使用 IP 核实现。电路在适当的时钟信号控制下工作，上升沿触发。reset 信号高有效时电路异步清零。

(6) ASK 幅度调制电路

分别对 a、b 两路信号进行 ASK 幅度调制，得到互为正交的调幅信号 I_mod 和 Q_mod，分别表示为： $I_mod = a \cos 2\pi f_0 t$ 和 $Q_mod = b \sin 2\pi f_0 t$ 。电路在适当的时钟信号控制下工作，上升沿触发。reset 信号高有效时电路异步清零。

(7) 加法电路

设计加法器电路实现输出调制信号 $qam = a \cos 2\pi f_0 t - b \sin 2\pi f_0 t$ 。电路在适当的时钟信号控制下工作，上升沿触发。reset 信号高有效时电路异步清零。

二、说明

仿真器件选择 CycloneII 系列 EP2C35F672C6。

三、设计报告内容

- (1) 设计思路概述
- (2) 总体设计框图及详细说明
- (3) 理论分析与计算
- (4) 模块设计框图、引脚说明、相关时序
- (5) 程序代码及必要的注释
- (6) 结果：对顶层电路及中间信号的仿真时序图进行必要的截图，并做必要的

说明；对顶层电路的综合结果进行截图。

(7) 结论

(8) 其它需要说明的内容

四、评分标准

	项目	主要内容	满分
设计报告	系统方案	设计思路 总体设计框图及说明 必要的理论分析与计算	5
	电路与程序设计	模块设计框图 引脚说明及时序 程序及注释	5
	测试结果	编译综合结果和仿真结果完整性 结果说明与分析	5
	设计报告结构及规范性	正文结构规范 图表的完整与准确性	5
	总分		20
设计任务	生成内部模块时钟信号		10
	产生基带信号 m 及移位寄存器状态信号 A_reg		10
	生成串并转换输出信号 I、Q		10
	生成电平映射输出信号 a、b		10
	生成正、余弦载波信号 c_sin、c_cos		10
	生成 ASK 调制信号 I_mod、Q_mod		10
	生成加法器输出信号 QAM		10
	系统复位功能		10
	总分		80
合计			100

控制与驱动电路

设计用于某芯片的控制与驱动电路，包括状态控制电路，控制信号发生电路，以及参数配置电路。题目包含基本要求和发挥部分。题目不涉及实体硬件电路，所有功能的设计及仿真均在 EDA 开发环境中实现，竞赛根据总体设计框图及说明、各个模块电路设计说明、时序说明、仿真结果、资源报告、设计总结和程序源代码评定成绩。

一、任务

设计一个本振芯片的控制与驱动电路，该电路通过一系列的配置动作完成对芯片的复位、配置以及状态监测等功能，保证芯片正常使用。具体需要按照芯片的配置要求完成状态的控制，了解目的寄存器的地址已经配置字，并将地址和配置字按照要求输出，最后监测芯片状态。

二、要求

1. 基本要求

设计状态控制电路，该芯片需要完成一系列的配置后方可工作，用不同状态实现，状态转换如图 1 所示，状态转换条件未标记，根据后续要求完成。

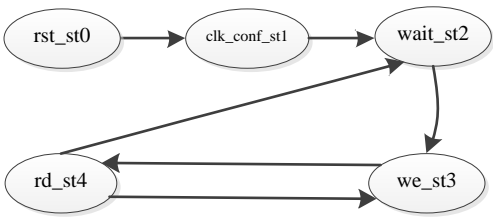


图 1 控制状态转换

各状态编码如表 1 所示

表 1 状态编码要求

状态	编码
rst_s0	0
clk_conf_st1	1
wait_st2	2
we_st3	3
rd_st4	4

(1) 准备状态控制

- a) 复位状态 rst_st0，要求输出复位信号 rst_cs 至少保持 5 个 clk,复位信号高电平有效。
- b) 输出时钟配置状态 clk_conf_st1：将输入时钟 clk 四分频作为数据时钟输出 clk_cs，要求之前状态 clk_cs 均处于低电平。
- c) 等待状态 wait_st2：等待保持相应的时间，要等待至少 3 个 clk 周期，当等待保持时间到达要求且配置使能信号 we_en 为高电平，即跳转到写使能状态。

实现要求：各状态编码严格参照表 1 完成，顶层模块如图 2 所示，系统复位信号 `rst` 为高电平有效，`flag_cs` 为配置状态返回标志位，当其为 1 时，证明配置成功，否则跳转到 `wait_st2` 状态，再次配置。为方便测试，请输出当前状态情况 `state_o`，位宽为 3，只实现 `rst_st0`，`clk_conf_st1`，`wait_st2` 和 `we_st3` 即可。

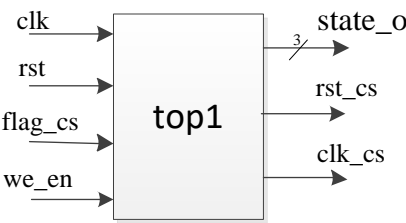


图 2 顶层模块

(2) 读写状态控制

- a) 写使能状态 `we_st3`：按照图 3 时序完成寄存器的配置，其中 `D0~D7` 为数据位，`A0~A7` 为地址位，`cs_o` 为片选信号，为低时传输数据信号有效写入，`clk_cs` 为数据时钟，`da_cs` 为数据输出端口。

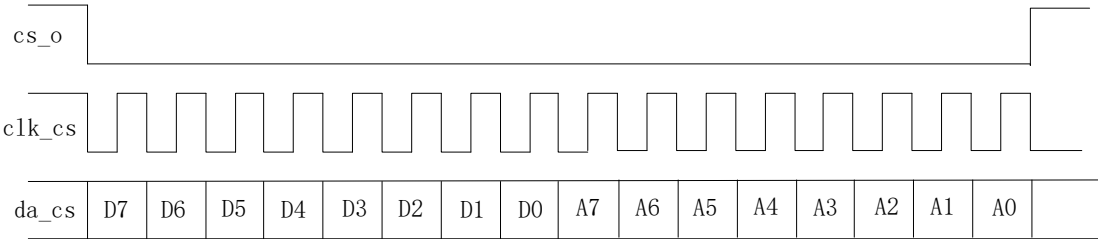


图 3 寄存器配置时序

- b) 读使能状态 `rd_st4`：读取配置状态前需等待 5 个 `clk` 时间，之后开始读取配置状态标志位 `flag_cs`，如果 `flag_cs` 为 1 表示配置成功，下一状态跳入 `wait_st2`，否则配置失败，下一状态跳入 `we_st3`，继续配置当前寄存器，直到配置成功。

实现要求：各状态编码严格参照表 1 完成，在要求（1）的基础上，完成对某个寄存器的配置，待配置寄存器数据为 `B10101100`，地址为 `B11110000`。顶层模块如图 4 所示。

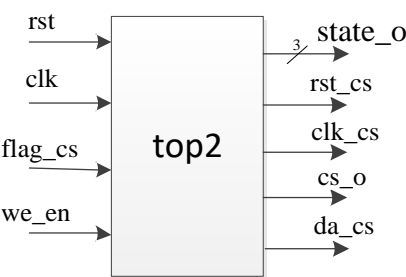


图 4 顶层模块

(3) 对四个寄存器完成配置

- a) 写使能状态 `we_st3`：按照图 5 完成时序配置，其中 `D0~D3` 为数据位，`A0~A1` 为地址位，`cs_o` 为片选信号，为低时传输数据信号有效写入，

- clk_cs 为数据时钟，da_cs 为数据输出端口。需要对四个寄存器完成配置，每配置完一个寄存器跳转到 rd_st4，需要读取 flag_cs 状态，成功配置后进入等待状态 wait_st2 再次配置下一个寄存器，配置失败进入 we_st3 继续配置当前寄存器值，直到配置成功开始配置下一个寄存器。
- b) 读使能状态 rd_st4: 读取配置状态前需等待 5 个 clk 时间，之后开始读取配置状态标志位 flag_cs，如果 flag_cs 为 1 表示配置成功，否则配置失败。

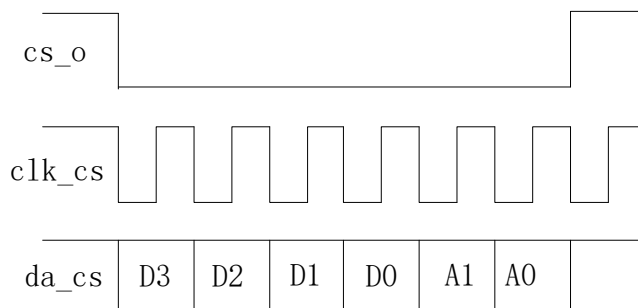


图 5 寄存器配置时序

实现要求：各状态编码严格参照表 1 完成，在（1）和（2）的基础上，完成对四个寄存器的配置，顶层模块如图 6 所示。需要配置的寄存器及地址如表 2 所示，**注意：不可扩展状态个数。**

表 2 寄存器地址与数据

寄存器序号	地址	数据
1	B00	B0010
2	B01	B0101
3	B10	B0110
4	B11	B0011

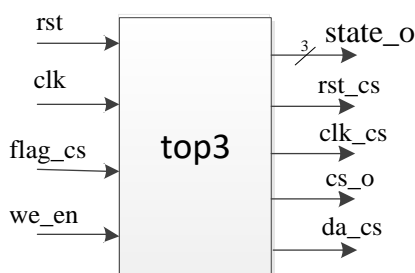


图 6 顶层模块

2. 发挥部分

- (1) 配置字以及待配置寄存器地址以 clk 为时钟，从外部连续输入(按照连续输入最大为 16 组设计)，顶层模块如图 7 所示，data_in 为 8 位数据，addr_in 为 4 位地址，wr_data 表示外部配置数据到来标志位，高电平时表示数据输入，低电平时代表数据未到来。在要求高速率写入芯片的需求下，选择并行配置芯片的方法，具体时序要求如图 8 所示，读写要求同基本要求(3)，不可扩展状态数。

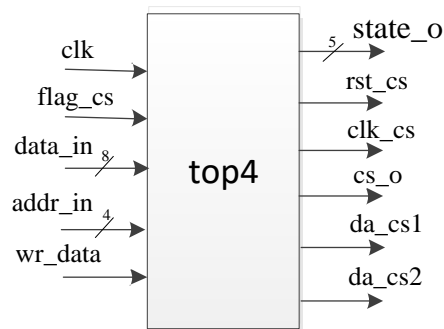


图 7

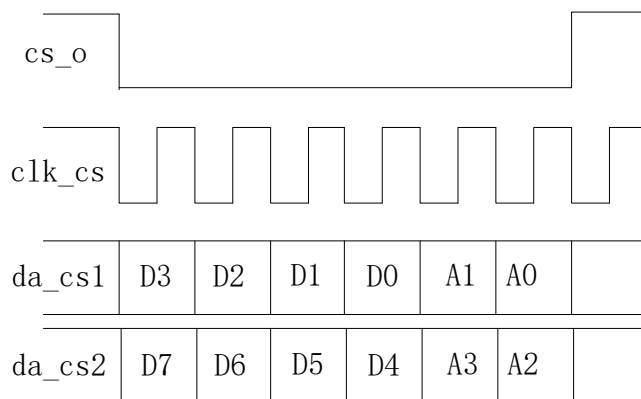


图 8 并行配置时序图

三、评分标准

	项目	主要内容	分值
设计报告	系统方案	方案选择、论证	4
	理论分析与计算	进行必要的分析、计算	4
	电路与程序设计	电路设计 程序设计	4
	测试方案与测试结果	表明测试方案和测试结果	4
	设计报告结构及规范性	表格的规范性	4
	小计		20
基本要求	完成第（1）项目		20
	完成第（2）项目		20
	完成第（3）项目		20
	小计		60
发挥部分	完成发挥部分		20
	小计		20
总分			100

实验报告内容：

1. 设计思路概述
2. 总体设计框图及详细说明
3. 时序说明
4. 模块设计框图、引脚说明、相关时序
5. 代码及必要注释
6. 仿真结果
7. 结论
8. 其它需要说明的内容

室内光通信调制解调电路设计

一、任务

根据室内光通信光源器件及调制带宽等特点，设计一套光通信系统的调制和解调电路。

光通信调制解调电路的系统框图如图 1 所示，包括数据预处理电路、调制电路、解调电路和解调数据读出电路。**数据预处理电路**将接收的并行数据进行转换，**V1** 为待调试数据，**调制电路**对 **V1** 进行调制输出 **V2** 调制信号，**解调电路**将 **V2** 信号解调恢复原始数据 **V3**，**解调数据读出电路**以并行接口输出 **V3** 的原始数据。

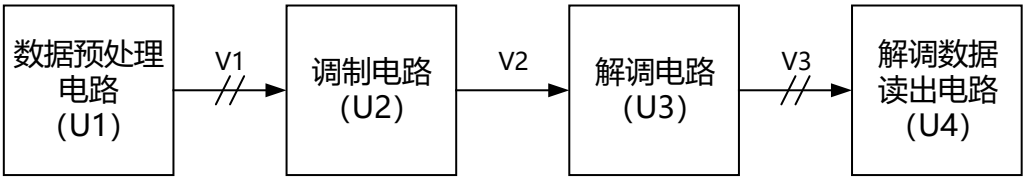


图 1 光通信调制解调电路的系统框图

二、要求

1. 基本要求

(1) 设计数据预处理电路 (U1)：

- a) **数据预处理电路**顶层实体参考图 2 所示，电路左侧为 4 个输入信号：**SYSCLK** 为系统时钟 (50MHz)、**CS** 为片选输入、**nWE** 为写使能输入、**DATA[15..0]** 为 16bit 数据输入；电路右侧为一组输出信号，输出信号为调制电路的输入信号，需根据 **U2** 需求自行设计。

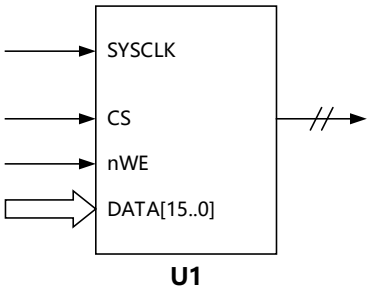


图 2 数据预处理电路顶层实体

- b) **U1** 的输入数据由波形激励文件给出，数据写入时序图参考图 3 所示；**CS** 为高电平时开始写入数据，写入数据为随机事件（详见说明 3），最大写入数据速率不高于 128kB/s。

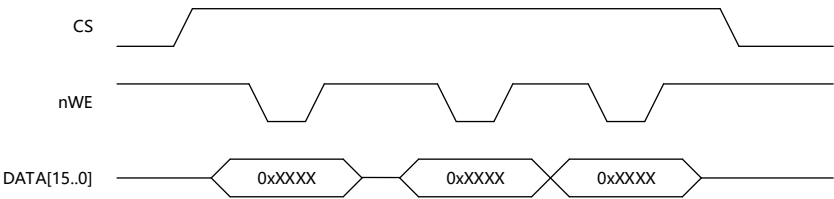


图 3 数据预处理电路数据写入时序图

- c) 由于写入 **U1** 数据为随机事件，因此 **U1** 需根据**调制电路**的调试方式，对输入数据进行一定的预处理，以确保通信系统的准确性和实时性要求：以最高速率连续（> 5ms）对 **U1** 写入数据时，系统满足解调数据准确且无丢失字；系统从数据输入至解调出数据的延时 < 1ms。

(2) 设计调制电路（**U2**）：

- a) **调制电路**顶层实体如图 4 所示，电路左侧为一组输入信号，输入信号来自 **U1** 的输出信号；电路右侧为调制波形输出信号，**MW** 为调制数据（1bit）输出。

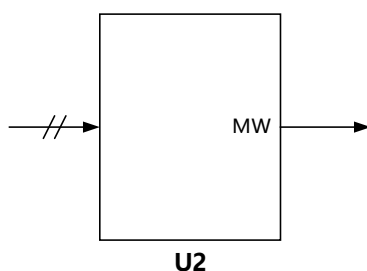


图 4 调制电路顶层实体

- b) 考虑到将 LED 作为光源的室内光通信受调制带宽限制（详见说明 4），设计一种数字基带调制方式，实现最大数据传输速率（128kB/s）。
- c) 调制方式、调制带宽根据要求自行设计。

(3) 设计解调电路（**U3**）：

- a) **解调电路**顶层实体如图 5 所示，电路左侧为调制波形输入信号，**MW** 为调制数据（1bit）输入；电路右侧为一组输出信号，输出信号为**解调数据读出电路**的输入信号，需根据 **U4** 需求自行设计。

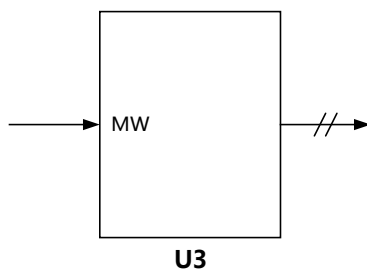


图 5 解调电路顶层实体

- b) 根据 **U2** 的调制方式，设计 **U3** 的解调方式，要求正确恢复调制前的原始信息。
- c) **U3** 解调后，需设计一组输出信号将数据发送给 **U4** 进行缓存。

(4) 设计解调数据读出电路（**U4**）

- a) **解调数据读出电路**顶层实体如图 6 所示，电路左侧为一组输入信号，输入信号来自**解调电路**的输出信号；电路右侧为 3 个输出信号：**EN** 为输出使能、**CLK** 为输出时钟、**DAT[15..0]** 为 16bit 输出数据。

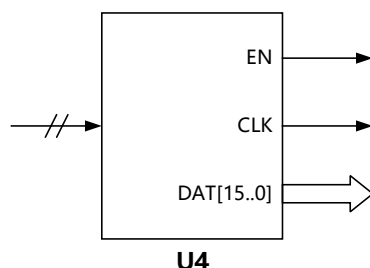


图 6 解调数据读出电路顶层实体

- b) **U4** 为并行接口输出，数据输出时序图参考图 7 所示；**U4** 根据解调数据决定一帧输出字的个数；**EN** 为高电平时，每个 **CLK** 的上升沿更新输出数据；最大输出数据速率不高于 128kB/s。

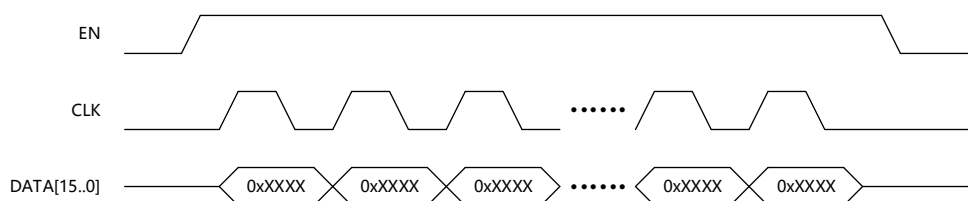


图 7 解调数据读出电路数据输出时序图

2. 发挥部分

(1) 调制带宽限制

在调制带宽受限的前提下，即脉冲宽度不可低于 1us，使系统最大通信速率依然可以达到 128KB/s。

(2) 闪烁缓解功能

对当前的调制方式进行改进，在保证基本要求的同时增加闪烁缓解功能（详见说明 5）。无数据需要调制时，**V2** 不能出现长时间的“0”或长时间的“1”，**V2** 上的周期信号至少要满足 > 100Hz。

三、说明

1. 题目相关的必要说明

用 Quartus II 建立工程时，选择 Cyclone II 系列的 EP2C35F672C6 作为目标器件；

硬件描述语言使用 VHDL 或 Verilog 均可，关键代码部分进行必要的注释；

电路的输入时钟均为 50MHz，电路设计均不可使用 IP 核实现；

设计报告中，需详细描述调制与解调的工作原理及实现过程。

2. 波形激励文件的说明

提供 2 个波形激励测试文件供测试使用，1 个为随机对系统写入数据，1 个为连续对系统写入数据。

3. 随机写入数据事件

U1 输入信号 CS 的每一次上升沿即为一帧数据的开始，随机事件包含以下两种情况：

- a) 帧数据与帧数据之间的间隔随机，帧间隔可以很长（> 5ms）也可以很短；
- b) 每一帧数据内写入字的数量随机，可以只写入 1 个字也可以写多个字。

4. 光通信调制带宽

光通信系统通过对光源器件的高速开关来传递信息，所以光源器件对控制信号的响应速度是关键参数，其大小将决定光通信系统的最大调制带宽。

目前应用到室内光通信系统中的数字基带调制方式有开关键控（OOK）、脉冲位置调制（PPM）、差分脉冲位置调制（DPPM）等。

5. 闪烁缓解

在光通信系统中，光源器件不仅具有通信功能，同时还为环境提供照明。为避免通信过程中因传输信息时，长时间的“0”或长时间的“1”造成光源闪烁问题，光通信系统需具备闪烁缓解功能。

闪烁缓解功能需要与调制技术相结合实现，对于某种特定调制方式，如果传输不同的数据会引起光源闪烁，则需要使用额外的闪烁缓解措施。

四、评分标准

	项目	主要内容	分值
设计报告	系统方案	方案选择、论证	4
	理论分析与计算	进行必要的分析、计算	4
	电路与程序设计	电路设计 程序设计	4
	测试方案与测试结果	表明测试方案和测试结果	4
	设计报告结构及规范性	表格的规范性	4
	小计		20
基本要求	完成第（1）项目		10
	完成第（2）项目		15
	完成第（3）项目		15
	完成第（4）项目		10
	小计		50
发挥部分	完成第（1）项目		20
	完成第（2）项目		10
	小计		30
总分			100

设计报告内容：

1. 设计思路概述；
2. 总体设计框图及详细说明；
3. 时序说明；
4. 模块设计框图、引脚说明、相关时序；
5. 代码及必要注释；
6. 仿真结果：对顶层电路及中间信号的仿真时序图进行必要的截图，并做必要的说明；对顶层电路的综合结果进行截图；
7. 结论；
8. 其它需要说明的内容。