**Verilog HDL 实验-2**

**实验组员：**

1. **实验目的：针对行为语句中的过程赋值、条件语句进行练习。**
2. **完成全加器电路，进行综合（RTL）和仿真（功能仿真），查看综合和仿真结果，源程序及Testbench整理入实验报告，并对仿真波形进行分析。**
3. **完成全加器电路，实验箱验证过程（包括实验箱管脚的设置及实验现象分析）。**