



Fondamenti di Elettronica

Sintesi e appunti delle lezioni

Anno Accademico 2024 – 2025

Politecnico di Milano

Indice

Dispense basate sulle lezioni relative agli A.A. 2023-2024/2024-2025 del corso di Fondamenti di Elettronica del Politecnico di Milano e sui libri Zappa e Sedra-Smith. Copre argomenti che spaziano dall'elettronica analogica a quella digitale; non contiene procedimenti o soluzioni dei temi d'esame, ma può essere utile per prepararsi all'esame dal punto di vista teorico.

Per altri appunti o progetti di Ingegneria Informatica visita <https://github.com/Vinello28>.

Capitoli

<i>Ripasso sulla Teoria dei Circuiti</i>	4
<i>Materiali per l'Elettronica</i>	6
<i>Giunzione PN / Diodo</i>	8
<i>MOSFET</i>	11
<i>Introduzione alle Porte Logiche</i>	15
<i>Invertitore cMOS</i>	16
<i>Consumi e ritardi nelle Porte Logiche</i>	18
<i>Famiglie Logiche</i>	21
<i>Porte Three-State</i>	23
<i>Logica PTL</i>	24
<i>Memoria RAM</i>	26
<i>Amplificatori Operazionali</i>	29
<i>Sistemi Retroazionati e Guadagni</i>	32
<i>Non idealità degli OPAMP</i>	34
<i>Applicazioni degli OPAMP</i>	37
<i>Applicazioni particolari degli OPAMP</i>	42
<i>Note operative e limiti dell'OPAMP</i>	44
<i>Teorema del Campionamento</i>	46
<i>Convertitore Analogico → Digitale</i>	51
<i>Tipologie di ADC</i>	53
<i>Convertitore Digitale → Analogico</i>	57

Ripasso sulla Teoria dei Circuiti

Tensione: energia per unità di carica spesa dalle cariche per spostarsi da un nodo iniziale ad un nodo finale.

Maglia: percorso chiuso tra nodi.

Anello: è una maglia che non contiene altre sotto – maglie al suo interno.

Nodo: punto del circuito in cui convergono almeno tre lati di un circuito; alle volte è indicato che sono sufficienti due morsetti connessi per indicare un nodo.

Legge di Kirchoff delle Tensioni: dato una maglia avente per ogni lato una tensione con la propria direzione, allora la somma delle correnti che si muovono in un verso sarà pari alla somma delle correnti che si muovono nell'altro verso.¹

$$\sum_{k=1}^n V_k = 0$$

Legge di Kirchoff delle Correnti: dato un nodo in cui convergono più di due lati della rete e le relative correnti, ciascuna con la propria direzione, allora la somma delle correnti in entrata nel nodo è pari alla somma delle correnti uscenti dal nodo.²

$$\sum_{k=1}^n i_k = 0$$

Partitore di Tensione: data una maglia con N resistori ed un generatore di tensione E, se si vuole conoscere il valore della tensione sul resistore K, allora sarà sufficiente usare la seguente formula.

$$V_k = E \cdot \frac{R_k}{\sum_{j=1}^N R_j}$$

- Nel caso in cui si abbia una maglia con due soli resistori uguali, allora avranno anche stessa tensione $V_{R_1} = V_{R_2} = \frac{E}{2}$.
- Nel caso in cui si abbia una maglia dove $R_1 \ll R_2$ allora vale $V_{R_1} \simeq E \cdot \frac{R_1}{R_2}$, mentre la $V_{R_2} \simeq E \cdot \left(1 - \frac{R_1}{R_2}\right)$.

¹ La LKV potrebbe essere intesa come proprietà del circuito, invece è propria del percorso scelto o, meglio, della maglia generalizzata scelta.

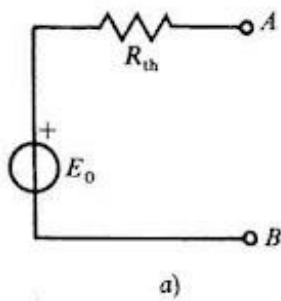
² In altre parole, tutto ciò che entra, poi deve uscire.

Partitore di Corrente: dato un circuito con N conduttanze³ ed un generatore di corrente A, se si vuole conoscere il valore della corrente sul resistore/conduttanza K, allora si può utilizzare la seguente formula.

$$i_k = A \cdot \frac{G_k}{\sum_{j=1}^N G_j}$$

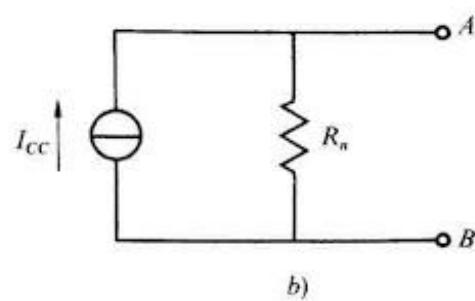
Principio di Sovrapposizione delle Cause e degli Effetti⁴: si analizza il circuito tenendo “acceso” solo un generatore alla volta, cosicché il risultato finale della variabile cercata sarà pari alla somma di tutti i valori ottenuti da ciascuna analisi degli effetti che ogni singolo generatore (indipendente) ha sul circuito.

Teorema di Thévenin: data una rete LTI, essa è rappresentabile agli effetti esterni da un bipolo di tipo generatore reale di tensione.



a)

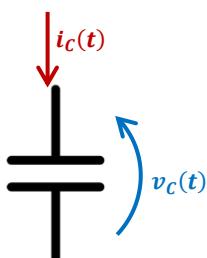
Teorema di Norton: data una rete LTI accessibile ad un bipolo misto o coppia di bipoli, esso è rappresentabile agli effetti esterni da un generatore reale di corrente.



b)

Teorema di sostituzione: posso sostituire, ad un bipolo, un generatore indipendente che abbia stessa corrente o tensione; può risultare particolarmente utili per una risoluzione più pulita degli esercizi.

Circuiti RC: anche detti circuiti dinamici del primo ordine, sono alla base dell'elettronica. Caratterizzati dall'avere tra gli elementi principali uno o più condensatori, costituito da due armature con cariche opposte divise da un materiale isolante.



$$i_C = C \cdot \frac{dV}{dt} \quad W_C = \frac{1}{2} \cdot C \cdot V^2 \quad \tau = R_{eq} \cdot C$$

$$x_s(t) = [x_s(0^-) - x_s(+\infty)] \cdot e^{-\frac{t}{\tau}} + x_s(+\infty)^5 \text{ per variabili di stato}$$

$$x_r(t) = [x_r(0^+) - x_r(+\infty)] \cdot e^{-\frac{t}{\tau}} + x_r(+\infty) \text{ per variabili di rete}$$

³ La conduttanza è l'inverso della resistenza, espressa come $G = \frac{1}{R}$.

⁴ Si applica solamente alle reti lineari e tempo – invarianti (LTI).

⁵ Andamento della variabile di stato (tensione sul condensatore $v_c(0^-)$) a fronte di una variazione topologica (o variazione delle correnti) del circuito in cui il condensatore è inserito.

Materiali per l'Elettronica

Materiali: sono utilizzati i semiconduttori ($\in IV$ gruppo della tavola periodica), in particolare il silicio, al quale verranno aggiunti (drogaggio) elementi del III e V gruppo.⁶ Un semiconduttore è detto intrinseco se puro mentre è estrinseco se drogato.

Silicio: numero atomico $z = 14$, al terzo livello energetico presenta quattro elettroni, usati per i legami energetici con gli altri atomi; ha densità atomica pari a $5 \cdot 10^{22} \frac{\text{atomi}_{(Si)}}{\text{cm}^3}$. A 0°K ha proprietà di perfetto isolante.



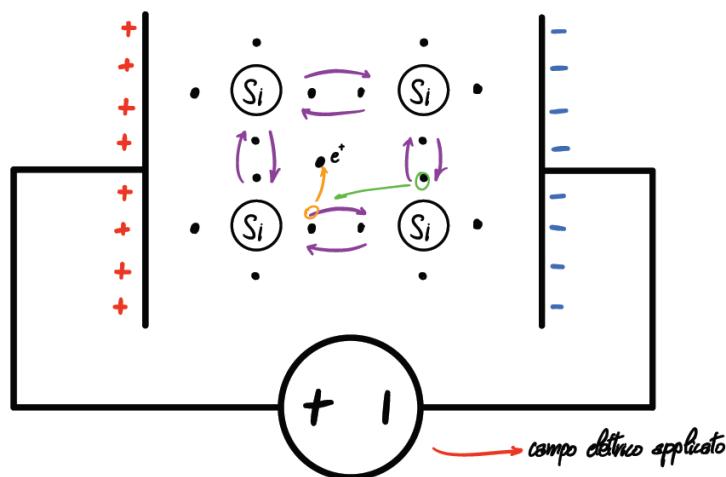
Principio di esclusione di Pauli: afferma che non esistono due elettroni con le stesse proprietà all'interno di uno stesso atomo.

Banda...

- **di valenza:** livello a più alta energia (piena).
- **di conduzione:** livello a più bassa energia (vuota), è una banda teorica.⁷

L'energia necessaria ad un elettrone per passare da una banda all'altra (valenza \rightarrow conduzione) è pari a $\Delta E = 1,1 \text{ eV}$ ($1 \text{ eV} = 1,6 \cdot 10^{-19} \text{ J}$).

Promozione in banda di conduzione: quando un elettrone "salta" in banda di conduzione lascia dietro di sé un *buco* detto Lacuna, che sarà occupato da altri elettroni in movimento. In un semiconduttore intrinseco la corrente totale è pari alla somma tra la corrente dovuta al moto delle cariche negative e la corrente dovuta al moto delle cariche positive, $I = I_N + I_P$.



⁶ Esempi di materiali droganti sono l'arseniuro di Gallio, il Boro ed il Fosforo.

⁷ A 0°K gli elettroni non hanno energia per muoversi; nei semiconduttori la resistività diminuisce all'aumentare della temperatura, per cui una maggiore agitazione termica \Rightarrow maggior numero di elettroni passati in conduzione.

Legge di azione di massa: afferma che il prodotto tra la densità dei portatori di carica negativa n e la densità delle lacune p è pari al quadrato della densità intrinseca $n_i = 1,4 \cdot 10^{10} \frac{[portatori]}{cm^3}$, di seguito in formule.

$$n \cdot p = n_i^2$$

- Si possono ora definire le funzioni di generazione coppia elettrone/lacuna $G(T)$ e ricombinazione coppia elettrone/lacuna $R(T)$. Si noti che le coppie sono generate per agitazione termica.
- Si ha che $G(T) = R(T) = r(T)np \rightarrow r(T)np = 1 \Rightarrow np = \frac{1}{r(T)} = n_i^2$.

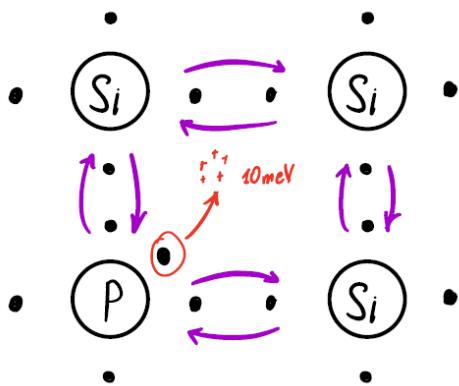
Semiconduttore estrinseco: semiconduttore ex-puro drogato con delle impurità per modificarne opportunamente le proprietà, le più utilizzate sono il Boro (Accettore) ed il Fosforo (Donore).

- *Drogaggio di tipo N:* viene aggiunto il Fosforo, per cui si avranno 4 cariche negative (su 5) che si legheranno agli atomi di Silicio, lasciando libero il quinto elettrone che potrà "slegarsi" e passare in banda di conduzione con solamente $\Delta E = 10 meV$. Per la Legge di Azione di Massa vale $N_D \cdot p = n_i^2$.

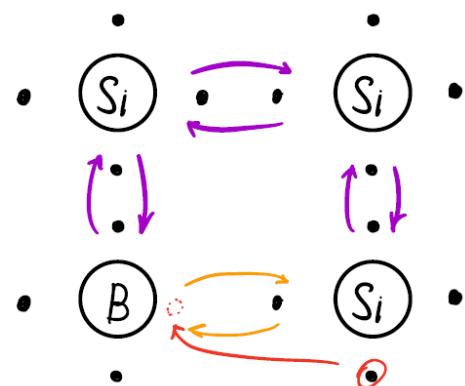
In breve, nel drogaggio N la conduzione primaria è affidata ai portatori di carica negativa ma la lacuna generata dal legame con l'atomo drogante è fissa.

- *Drogaggio di tipo P:* viene usato il Boro, per cui si avranno 3 legami covalenti ed uno dovuto alla lacuna generata dalla naturale mancanza del quarto elettrone (il Boro ne ha 3 contro i 4 del Silicio).

In breve, nel drogaggio p la conduzione primaria è affidata ai portatori di carica negativa ma l'elettrone che riempie la lacuna del Boro è fisso.



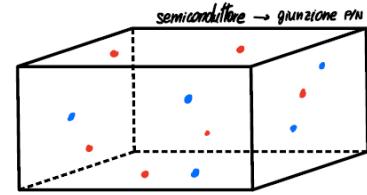
Drogaggio di tipo N.



Drogaggio di tipo P.

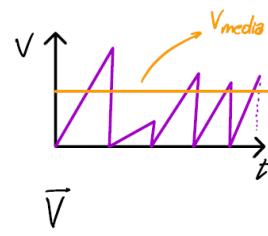
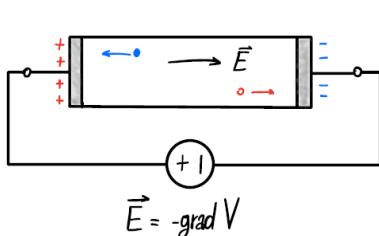
Giunzione PN / Diodo

Si consideri un particolare semiconduttore estrinseco in cui si hanno generazione termica, accettori e donatori; in altre parole, drogato sia con portatori negativi che positivi.



Neutralità della carica: sia n il numero di elettroni ottenuti termicamente e da donatori, per cui si avrà uno stesso numero di lacune generate termicamente e da accettori, allora vale la seguente relazione.

$$p + N_D^+ = n + N_A^-$$



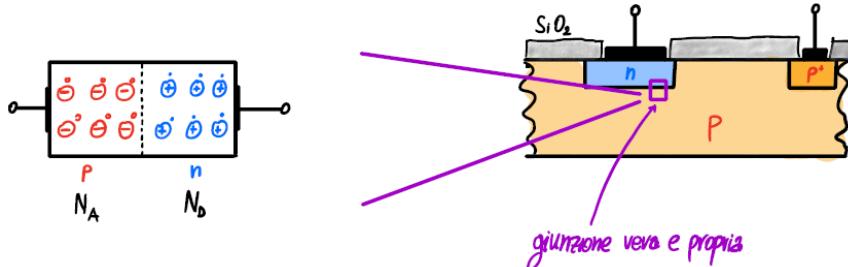
$$\vec{F} = q \cdot \vec{E} = m \cdot \vec{a}$$

$$\vec{V}_{MAX} = \frac{q}{m} \cdot \vec{E} \cdot \tau \quad \vec{V}_{media} = \mu \cdot \vec{E}$$

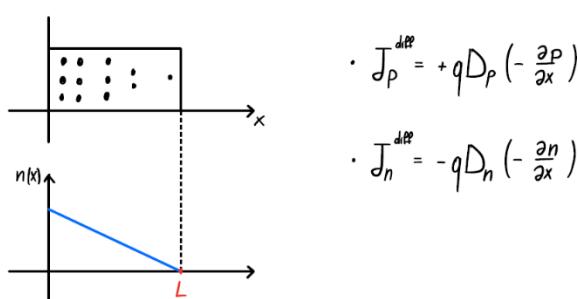
$$J = \frac{I}{S} = (q \cdot n \cdot \mu_n + q \cdot p \cdot \mu_p) \cdot E = \sigma \cdot E$$
⁸

L'elettrone liberato e accelerato in questo campo non si scontra con i nuclei degli altri atomi, piuttosto colpisce e talvolta spezza un legame covalente.

Giunzione PN: è il prototipo del diodo e presenta zone drogata con entrambi i tipi come di seguito; in viola è indicata la giunzione effettiva, nella quale avviene il fenomeno della *diffusione*.

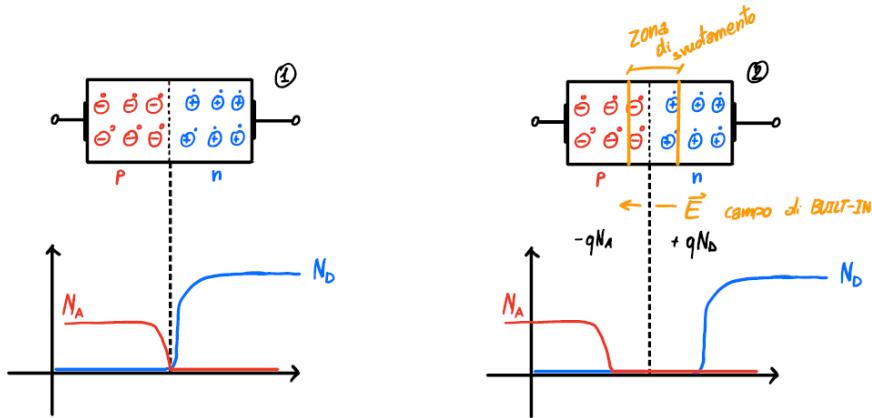


La densità degli elettroni non è uniforme nella giunzione, infatti le cariche si spostano da una zona a densità maggiore ad una minore; tale concetto può essere espresso negli schemi sottostanti (J rappresenta la corrente diffusiva).



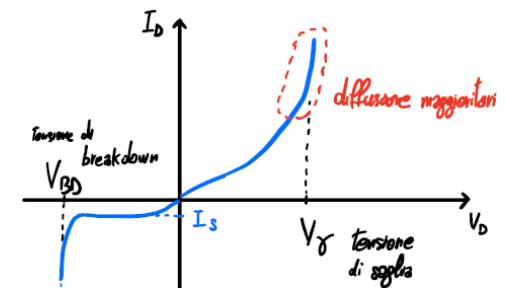
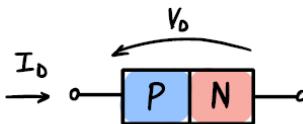
Si andrà a formare una zona detta *di svuotamento* al centro della giunzione, dove restano solo le cariche necessarie a far avvenire la ricombinazione delle coppie elettrone/lacuna. Per lo stesso motivo è presente nella *depletion zone* un campo elettrico di *BUILT-IN*: le spinte diffuse "mandano" gli elettroni nel campo di built-in che invece li rimanda indietro, arginando la diffusione.

⁸ Densità di corrente J .



Diodi: se si polarizza la giunzione PN si favorisce il moto dei portatori minoritari in direzione inversa rispetto alla corrente diffusiva; polarizzazione ottenuta per mezzo di un generatore di tensione. Allora possiamo definire il diodo come componente caratterizzato nel seguente modo.

Avalanche Breakdown: nota la velocità di deriva $v = \mu \cdot E$, all'aumentare del campo elettrico aumenta l'energia cinetica, un'energia che permetterà ad un elettrone di liberarsi dal reticolo cristallino andando ad urtare e rompere una coppia elettrone/lacuna. Si hanno ora tre portatori liberi che andranno a colpire altre coppie in zone del reticolo, formando nuovi legami per ricombinazione. Questo fenomeno viene detto *Avalanche Breakdown o moltiplicazione a valanga*.⁹

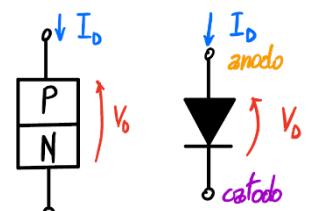
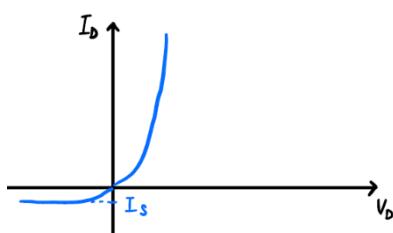


Effetto Tunnel: è un fenomeno della meccanica quantistica, afferma che vi è probabilità non nulla che una particella passi la barriera di potenziale; maggiore sarà la tensione inversa applicata, tanto maggiore sarà questa probabilità.

Applicando i due precedenti paragrafi alla modellizzazione del diodo, si avranno due situazioni:

- Se $V_{BD} \leq 5,6V$ ⇒ il diodo usa l'effetto tunnel.
- Se $V_{BD} \geq 5,6V$ ⇒ il diodo usa la scarica a valanga.

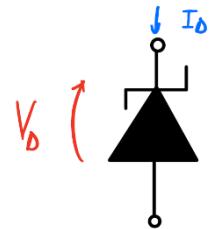
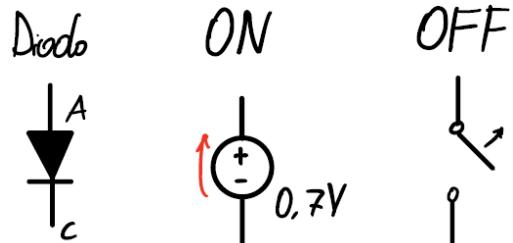
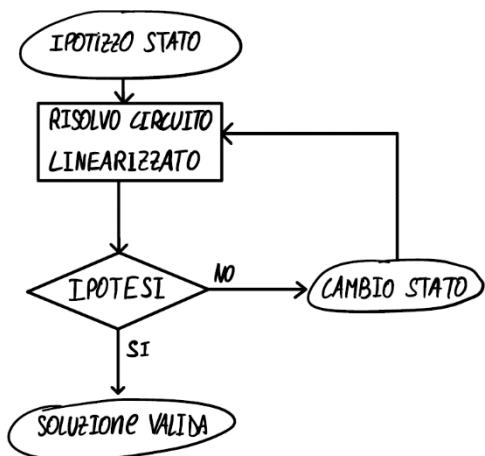
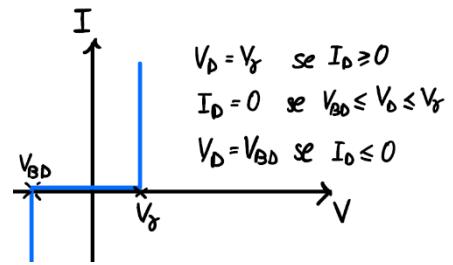
Equazione di Shockley: è il modello di rappresentazione del diodo che non include il *breakdown*, afferma che $I_D = I_S \cdot \left(e^{\frac{V_D}{V_{TH}}} - 1 \right)$ con I_S che è la corrente di saturazione inversa. Normalmente un diodo (di Shockley) che lavora in breakdown, si surriscalderebbe.



⁹ È simile alla fusione nucleare, è bene notare che non tutti gli urti liberano una coppia mandandola in banda di conduzione.

Analisi dei circuiti con Diodi: per risolvere i circuiti sarà utilizzato il secondo modello linearizzato, che a differenza degli altri è sufficientemente preciso e semplice da applicare.

Il metodo presentato segue un certo algoritmo operativo che può essere riassunto dallo schema seguente.



Diodo Zener: particolare diodo progettato per lavorare anche in breakdown. Quindi sarà necessario analizzarlo in polarizzazione diretta, inversa ed in breakdown, dove sarà rappresentato da un generatore di tensione pari alla tensione di breakdown.

I diodi e le loro varianti trovano molteplici applicazioni circuituali, in particolare ne osserveremo 3:

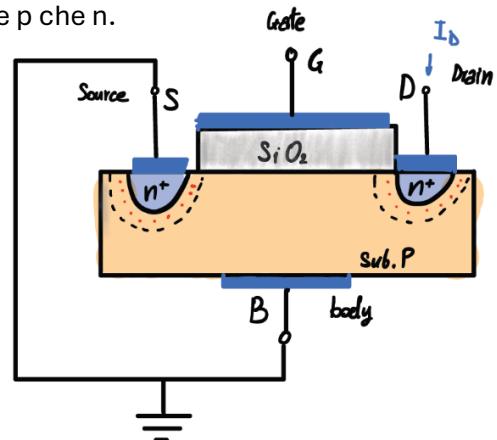
- *Circuiti di taglio*, utilizzati per proteggere l'elettronica a valle da sovratensioni o comunque per far sì che vengano rispettati i limiti di funzionamento. Né esistono differenti tipologie, tra cui il taglio (delle tensioni) positivo, taglio negativo e infine a taglio sia positivo che negativo.¹⁰ È importante sottolineare che in questi circuiti è presente un resistore con il compito di limitare la corrente in fase di taglio.
- *Stabilizzatore di tensione*, è un circuito che genera tensione stabile a partire da una "rumorosa" o con un ripple significativo. Opera in breakdown (Ziener), è sostanzialmente un piccolo alimentatore.
- *Raddrizzatore*, nel caso in cui sia della tipologia detta "a semionda semplice" con taglio negativo, quando la tensione di ingresso ad andamento sinusoidale sarà negativa ed in modulo $|V_{IN}| \geq 0,7V$ allora taglierà la semionda negativa dell'ingresso.

¹⁰ Un miglioramento può essere ottenuto con l'impiego delle Ziener, che per tagliare sia in positivo che in negativo vengono messi in serie a polarità opposte (cioè connettendo anodo di uno con anodo dell'altro); se li mettessi in parallelo si taglierebbe tra $\pm V_f$.

MOSFET

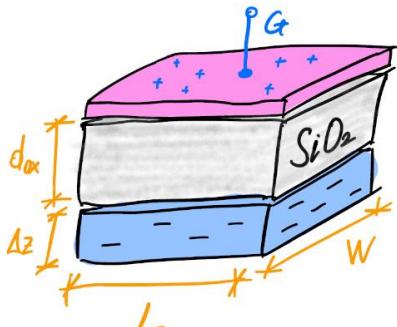
MOSFET¹¹: o resistenza di trasferimento, è un elemento in grado di variare la resistenza tra due terminali in funzione di un segnale nel terzo terminale/ingresso. In altre parole, i transistor sono utilizzati come resistori controllati¹² e pilotati in corrente, è dotato sia di canale p che n.

- **MOSFET ad arricchimento**, transistor dove il canale conduttivo (dove si muovono i portatori di carica) è controllato unicamente da un apposito segnale di controllo. Si può immaginare come un interruttore normalmente aperto che viene chiuso dal segnale di controllo.
- **MOSFET a svuotamento**, duale del precedente ha un canale preformato che si chiude con un segnale di controllo.



Il componente fisico presenta diverse sezioni, tra cui il *drain* che raccoglie le cariche in movimento, il *body/substrato/source* che invece sono equipotenziali.

Funzionamento: applicando un generatore di tensione tra *source* e *gate* si avrà lo stesso effetto di caricare un condensatore; così facendo, gli elettroni liberi del *substrato p* si sposteranno verso lo strato di *SiO₂*. Non saranno sufficienti per la conduzione ma basteranno a polarizzare il MOSFET, sfruttando i portatori fissi si creerà una zona di svuotamento. Questa zona aumenterà di spessore al crescere di V_{GS} , ma solamente quando $V_{GS} \geq V_T$ si formerà il canale di conduzione.¹³



$$C_{Gate} = C_{OX} = \epsilon_{OX} \cdot \frac{W \cdot L}{d_{OX}}$$

$$C'_{OX} = \frac{C_{OX}}{W \cdot L} = \frac{\epsilon_{OX}}{d_{OX}} \quad (\text{capacità specifica})$$

$$Q_n = (q \cdot n_{ch} \cdot \Delta z) \cdot L \cdot W = Q'_n \cdot L \cdot W$$

La principale differenza tra transistor e condensatore risiede nel fatto che il MOSFET accumula carica solo dopo aver superato una certa tensione di soglia V_T .

$$Q_n = C_{OX} \cdot (V_{GS} - V_T), \quad \forall V_{GS} \geq V_T$$

Per rendere possibile il movimento degli elettroni nel canale è necessario attivare una tensione V_{DS} verso il *drain*. Si avrà una resistenza propria del canale pari a R_{ch} , riassunta nella seguente formula.

$$R_{ch} = \beta \frac{L}{W \cdot d_{OX}} = \frac{L}{C_{ox} \mu_n \cdot W} = \frac{1}{C_{ox} \mu_n (V_{GS} - V_T)} \cdot \frac{L}{W}$$

resistività di un semiconduttore dropato n
 β = q n_s k / μ_n
 C_oX = ε_oX / d_oX
 μ_n = carica tecnologiche

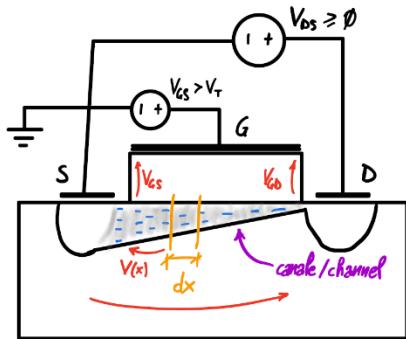
¹¹ Metal Oxide Semiconductor Field Effect Transistor è il nome della tecnologia con cui si realizza la tipologia di transistor che sarà approfondita nel corso; indica, sia i materiali utilizzati che il meccanismo utilizzato per ottenere una modulazione della sua resistenza apparente.

¹² La resistenza del MOSFET varia in maniera non lineare.

¹³ La notazione adottata prevede l'utilizzo di C per indicare la capacità e Q per la carica.

Nota: dei quattro terminali del *MOSFET*, saranno utilizzati solamente *Drain*, *Source* e *Gate*.

Lo spessore del canale è proporzionale all'overdrive, infatti va diminuendo fino al *drain*; ciò accade per aver applicato la tensione al terminale del *drain*. Per trovare la resistenza del canale si dovrà sommare la resistenza per ogni sezione infinitesima dx del canale stesso, utilizzando un integrale.



$$dR = \frac{1}{Q'_n \cdot \mu_n \cdot V(x)} \cdot \frac{dx}{W} \quad dV = I \cdot d$$

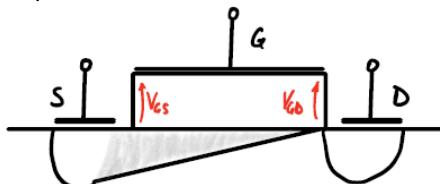
$$\Rightarrow dV = I_D \cdot \frac{1}{Q'_n \cdot \mu_n \cdot V(x)} \cdot \frac{dx}{W}$$

$$\rightarrow \int_0^{V_{DS}} Q'_n(V) \cdot dV = \int_0^L \frac{I_D}{\mu_n \cdot W} \cdot dx$$

$$\Rightarrow \frac{I_D}{\mu_n} \cdot \frac{L}{W} = C'_{OX} \cdot \left[(V_{GS} - V_T) \cdot V_{DS} - \frac{1}{2} \cdot V_{DS}^2 \right] \Rightarrow I_D = \mu_n \cdot C_{OX} \cdot \frac{W}{L} \cdot \left[(V_{GS} - V_T) \cdot V_{DS} - \frac{1}{2} \cdot V_{DS}^2 \right]$$

Fattore di Transconduttanza: $k_n = \frac{1}{2} \cdot \mu_n \cdot C_{OX} \cdot \frac{W}{L}$, per cui possiamo riscrivere la formula della corrente sul drain come $I_D = 2 \cdot K_n \cdot \left[(V_{GS} - V_T) \cdot V_{DS} - \frac{1}{2} \cdot V_{DS}^2 \right]$.

Pinch – Off: è un fenomeno che, in condizioni ideali, si presenta come una strozzatura del canale (in corrispondenza del drain) dovuta ad una tensione di drain eccessiva. Si ha il caso limite con la tensione di drain pari a quella di overdrive.

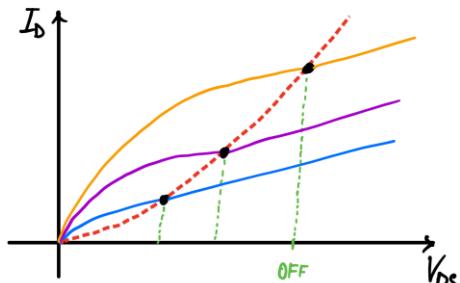
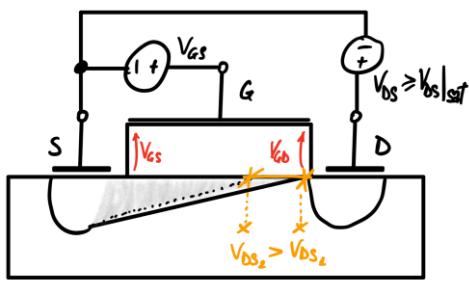


$$I_D = I_{ch} = \frac{V_{ch}}{R_{ch}} = \frac{V_{ds} - V_T}{R_{ch}}$$

$$I_{D_{sat}} = K_n (V_{GS} - V_T)^2, \quad \forall V_{ds} > V_{ds}$$

saturazione

- È importante sottolineare che si verifica in zona di saturazione (vedi paragrafo successivo).
- (*fenomeno di accorciamento di canale*) All'aumentare della V_{DS} il punto di strozzatura si allontana dal *drain*, avvicinandosi al *source*. Per effetto dell'accorciamento di canale diminuisce la resistività del canale ed aumenta¹⁴ di conseguenza la corrente di saturazione; la caratteristica effettiva con il fenomeno di pinch-off sarebbe:

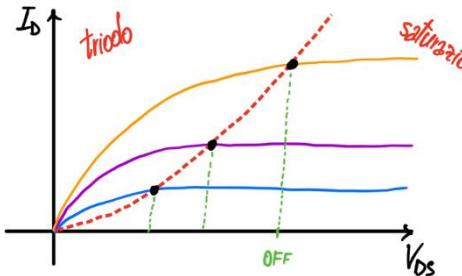


L'accorciamento di canale è – di fatto – il fenomeno di pinch off privo di approssimazione; mentre si avrà una $i_{D_{sat}} = k_n \cdot (V_{GS} - V_T)^2 \cdot (1 + \lambda \cdot V_{DS})$

¹⁴ L'aumento è di circa il 10% (per il valore λ usato nel corso), come si può osservare nel grafico della caratteristica.

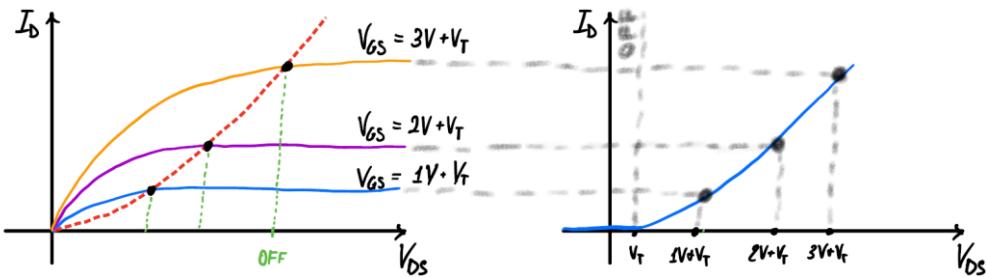
Modello ideale del MOSFET: prevede tre stadi di funzionamento distinti,

- *Interdizione*, il MOS è spento, ha $V_{GS} \leq V_T$ e non passa corrente, quindi $I_D = 0A$
- *Triodo/Ohmica*, il MOS è acceso, ha $V_{GS} \geq V_T$ e $V_{DS} \leq V_{DS}|_{sat}$ con la $V_{DS}|_{sat} = V_{GS} - V_T$, la corrente sarà pari a $I_D = 2 \cdot K_n \cdot \left[(V_{GS} - V_T) \cdot V_{DS} - \frac{1}{2} V_{DS}^2 \right]$.
- *Saturazione*, il MOS è acceso, ha $V_{GS} \geq V_T$ e $V_{DS} \geq V_{DS}|_{sat}$, mentre la corrente sarà pari a $I_D = K_n \cdot (V_{GS} - V_T)^2 \quad \forall V_{DS}$.



Nello schema a fianco si può osservare la *curva di saturazione* (tratteggiata): è espressa dalla funzione $I_D|_{sat} = K_n \cdot V_{DS|_{sat}}^2$.

Caratteristica di uscita: pari a $I_D|_{sat} = f(V_{GS})$, rappresenta il comportamento del transistor nella zona di saturazione.¹⁵



Transconduttanza: definita come $I_D = \frac{dI_D}{dV_{GS}}$, è utile per linearizzare la caratteristica. Di seguito alcune formule utili.

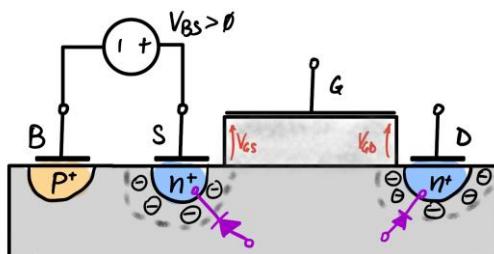
$$g_m = \frac{dI_D}{dV_{GS}} = 2 \cdot K_n \cdot (V_{GS} - V_T) = 2 \cdot \sqrt{k_n \cdot I_D} \quad I_D|_{sat} = K_n \cdot (V_{GS} - V_T)^2 \quad \text{per } V_{GS} \geq V_T$$

$$I_D|_{sat} = 0 \quad \forall V_{GS} \leq V_T$$

$$\text{Mentre la transconduttanza incrementale è } G_j = \frac{dI}{dV}$$

Effetto Body: serve per modificare o spostare la tensione di soglia V_T ; tale modifica viene ottenuta applicando tensione tra source e body V_{SB} (si avrà la modulazione della corrispettiva giunzione).¹⁶

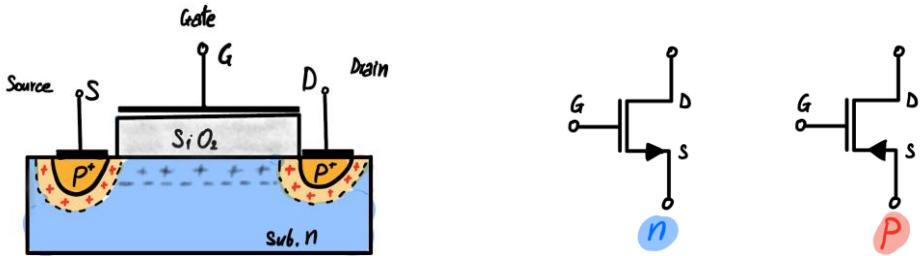
$$\Rightarrow V_T = V_{TO} + \gamma \cdot (\sqrt{2 \cdot \phi_f + V_{SB}} - \sqrt{2 \cdot \phi_f}) \quad \text{con } 0 < \gamma < 3, \quad 2 \cdot \phi_f \simeq 0.6V$$



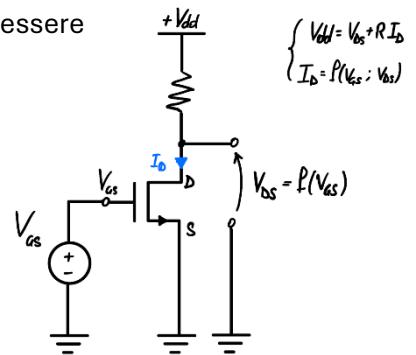
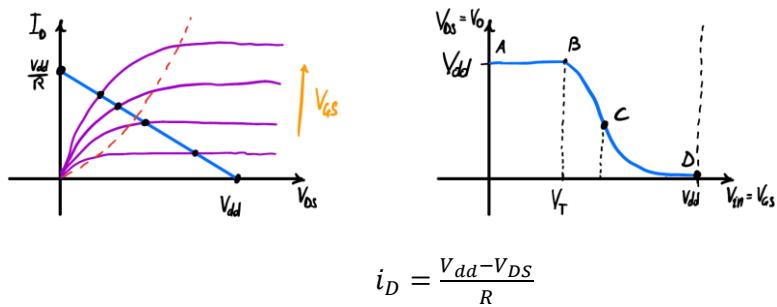
¹⁵ È anche detta caratteristica *Volt – Amperometrica*.

¹⁶ Si va' anche a ridurre la resistenza del substrato. Inoltre, è importante la scelta di una convenzione per il MOSFET tale che I_D e V_{DS} diano sempre la convenzione degli utilizzatori come risultante.

pMOS (in breve): è il transistor complementare all'nMOS (ottenuto per simmetria); le lacune saranno attratte da una tensione negativa applicata al *gate*. Il *drain* raccoglierà lacune al posto degli elettroni, con V_{DS} negativa. È importante sottolineare che la caratteristica Volt-Amperometrica risulterà dispare rispetto alla controparte.



Stadio nMOS su carico resistivo: particolare circuito che può anche essere "risolto" per via grafica. È anche detto *Invertitore nMOS*.¹⁷



Potenza (o "consumo") statica: potenza dissipata dall'nMOS o pMOS, si calcola come $P_S = V_{dd} \cdot I_D$.

¹⁷ Con lo stadio nMOS si può realizzare il prototipo di porta NOT, ma non è utilizzato nella microelettronica a casa dell'elevata dissipazione di potenza (e non solo).

Introduzione alle Porte Logiche

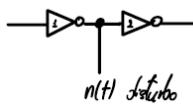
Convenzioni: saranno adottate le seguenti convenzioni/valori di default, $V_{dd} = 5V$ $R = 1k\Omega$ $V_T = 1V$ $K_n = \frac{1}{2} \cdot C'_{ox} \cdot \mu_n \cdot \frac{W}{L} = 1 \left[\frac{mA}{V^2} \right]$. Come anticipato, si considerano i seguenti stadi di funzionamento per gli nMOS,

- *Interdizione*, $V_{IN} \leq V_T$ dove si avrà $V_O = V_{dd}$, $I_D = 0A$.
- *Saturazione*, $V_{IN} \geq V_T$ dove si avrà $V_O = V_{dd} - (R \cdot I)$, $I = k \cdot (V_{IN} - V_T)^2$.
- *Triodo/Ohmica*, $V_{IN} \geq V_T$ ma con $V_O = V_{dd} - (R \cdot I)$, $I = 2 \cdot k \cdot [(V_{IN} - V_T) \cdot V_O - \frac{1}{2} \cdot V_O^2]$, mentre la resistenza di canale sarà pari a $R_{ch} = \frac{1}{2 \cdot K_n \cdot (V_{IN} - V_T)}$.

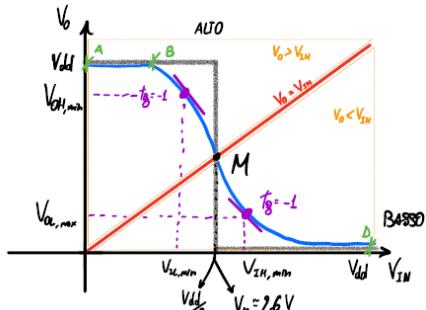
Noti i comportamenti o stati di funzionamento dell'nMOS¹⁸, è necessario osservare che non si utilizza una tecnologia composta solamente da questo tipo di transistor per realizzare le porte logiche. Si avrebbe altrimenti un elevato consumo di energia e conseguenti problemi di dissipazione della potenza statica (troppo elevata per applicazioni elettroniche).

Un'altra problematica riguarderebbe la velocità della transizione della porta logica da valore alto a basso e l'eccessiva lentezza da valore basso ad alto.

cMOS: particolare MOS dotato di entrambi i canali (*n* e *p*), viene analizzato separando lo stato basso da quello alto sfruttando la sovrapposizione degli effetti.

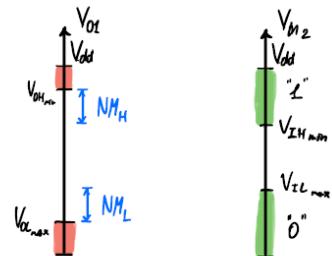


Noise Margin: analizzando ciò che accade introducendo un disturbo in una porta, è possibile definire il massimo rumore che può sopportare; allora viene definito come Noise Margin (NM) il "margin di sicurezza" per cui un segnale, generato alto o basso, viene accettato effettivamente come segnale alto o come segnale basso.



① "Ø" at caso peggiore

$$V_{in2} \leq V_{O,L,max} + NM_L$$



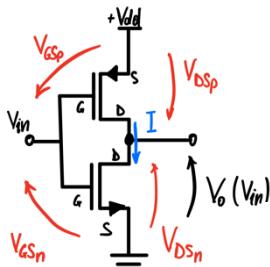
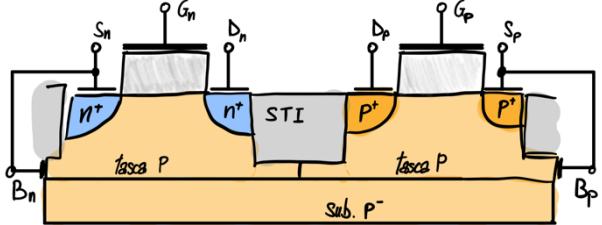
È bene avere il noise margin simmetrico, cioè lo stesso range sia per i valori alti che bassi. Inoltre, NM_L e NM_H rappresentano l'ampiezza massima del rumore che può essere sommato all'uscita di una porta logica affinché il contenuto informativo non risulti alterato; tanto maggiore sarà l'ampiezza, tanto robusta sarà la porta logica.

FAN-IN e FAN-OUT: rappresentano rispettivamente il numero di ingressi e di uscite di una porta logica. Per numero di uscite si intende il numero di ingressi sui quali si sta portando l'uscita. Va considerato che maggiore sarà il valore di *FAN-OUT* tanto più lenta sarà la porta logica, poiché dovrà caricare più capacità di uscita (una per uscita). Inoltre, il *FAN-OUT* è una caratteristica della rete logica, non della singola porta logica.

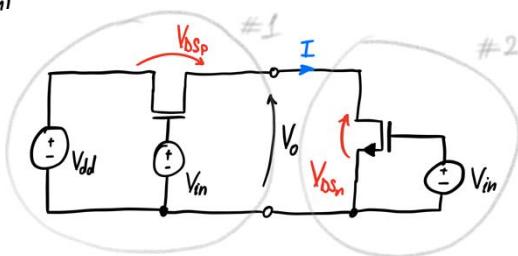
¹⁸ Riportati per semplicità nel precedente paragrafo.

Invertitore cMOS

Realizzato sostituendo il resistore con un MOSFET opportunamente commutato per rendere simmetrico il comportamento dell'invertitore.

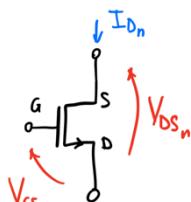


Questo componente può essere analizzato passando da una rappresentazione circuitale semplificata ad una più comoda per l'analisi; così facendo si potranno studiare separatamente le due parti.



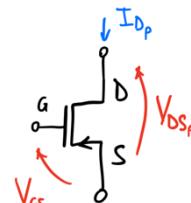
$$\begin{cases} V_{dd} = V_{DS_n} - V_{DS_p} \\ I = f(V_{DS_n}; V_{GS_n}), \quad V_{GS_n} = V_{in} \\ I = g(V_{DS_p}; V_{GS_p}) \end{cases}$$

Partendo dall'nMOS, scrivo le equazioni costitutive di entrambi i MOS.



$$\text{Triodo: } I_{Dn} = 2 \cdot K_n \cdot \left[(V_{GS_n} - V_{Tn}) \cdot V_{DS_n} - \frac{1}{2} \cdot V_{DS_n}^2 \right]$$

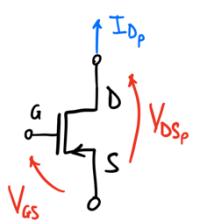
$$\text{Saturazione: } I_{Dn} = K_n \cdot (V_{GS_n} - V_{Tn})^2$$



$$\text{Triodo: } I_{Dp} = -2 \cdot K_n \cdot \left[(V_{GS_p} - V_{Tp}) \cdot V_{DS_p} - \frac{1}{2} \cdot V_{DS_p}^2 \right]$$

$$\text{Saturazione: } I_{Dp} = -K_n \cdot (V_{GS_p} - V_{Tp})^2$$

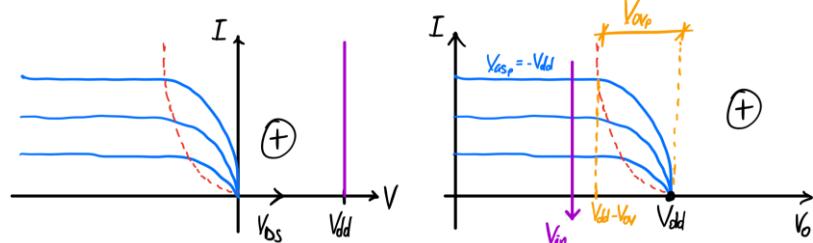
Si osservi che il segno negativo può essere tolto invertendo il verso di I_{Dp} .



$$\text{Triodo: } I_{Dp} = 2 \cdot K_n \cdot \left[(V_{GS_p} - V_{Tp}) \cdot V_{DS_p} - \frac{1}{2} \cdot V_{DS_p}^2 \right]$$

$$\text{Saturazione: } I_{Dp} = K_n \cdot (V_{GS_p} - V_{Tp})^2$$

Sarà utilizzata questa convenzione, a corrente inversa, per risolvere gli esercizi.



Quindi ho trovato le curve volt-amperometriche del bipolo #1; poiché si conosce il comportamento del #2, allora è sufficiente unire i dati per trovare la caratteristica di riferimento.

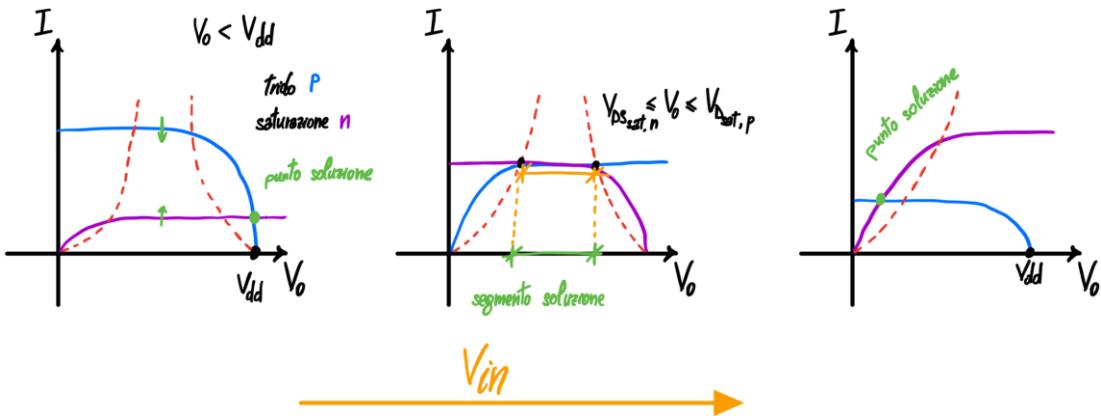
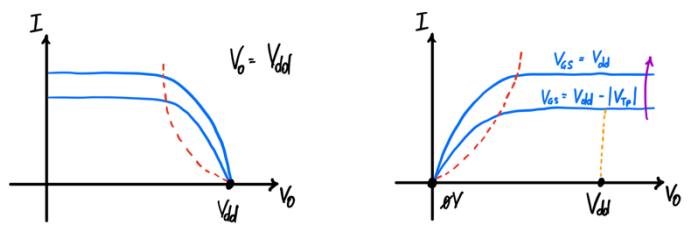
~~Per $V_{in} = 0V$~~

$$0 < V_{in} < V_{Tn}$$

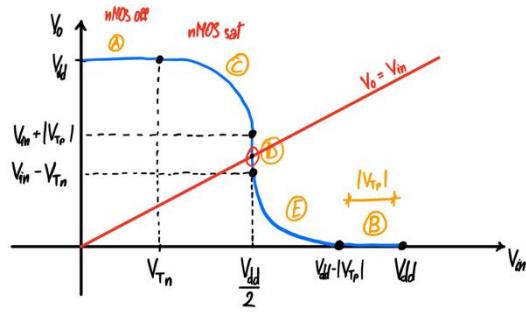
$$V_{dd} - |V_{Tp}| \leq V_{in} \leq V_{dd}$$

Che succede invece ai valori di ingresso intermedi?

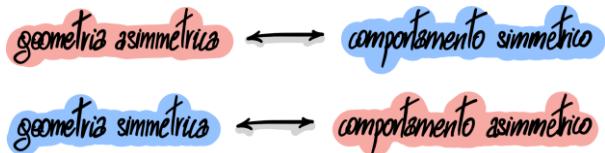
Dato $V_{Tn} \leq V_{in} \leq V_{dd} - |V_{Tp}|$ si avranno le caratteristiche seguenti, al crescere di V_{in} .



Come si può osservare dai grafici, il comportamento di questa tipologia di inverter è simmetrico.



Non è necessario che l'inverter abbia un comportamento simmetrico, è infatti una caratteristica legata alla "geometria" fisica del componente stesso; un concetto che può essere riassunto nello schema sottostante.



Un comportamento asimmetrico avrà come effetto una asimmetria nella caratteristica di trasferimento. Ciò permette – ad esempio – la realizzazione dell'invertitore a minima superficie¹⁹; inoltre, si avrà una soglia logica più bassa ($\approx 2V$) con un margine di rumore minore nello stato basso e maggiore nello stato alto.

Simmetria perfetta: nel comportamento, è ottenuta con un rapporto 1:3 tra le aree. Solitamente si preferisce utilizzare il più economico 1:2, per risparmiare silicio.

¹⁹ Per *minima superficie* si intende la minor superficie di silicio realizzabile, con $L = W$: il canale avrà un aspetto quadrato.

Consumi e ritardi nelle Porte Logiche

Come porta logica di riferimento sarà utilizzato l'*Inverter cMOS* introdotto nelle pagine precedenti.

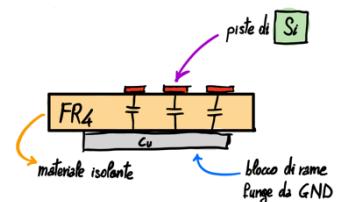
Potenza statica: impiegata per mantenere lo stato attuale, lavora sulla sua caratteristica statica, dove tutti i transitori legati a ingressi e uscite sono terminati.

$$P_S = V_{dd} \cdot I_D$$

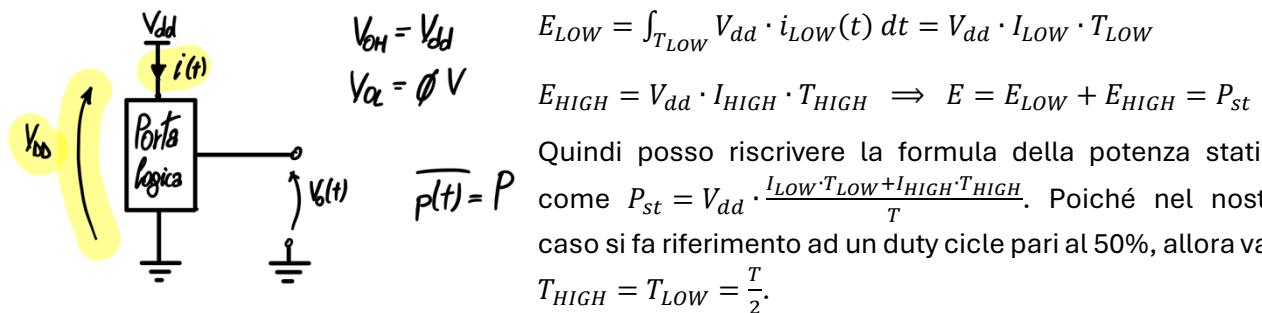
Potenza dinamica: assorbimento della porta per rendere ragione della sua dinamica, quindi sulle variazioni dei fronti di ingresso/uscita.

$$P_D = V_{dd} \cdot C \cdot \Delta V \cdot f$$

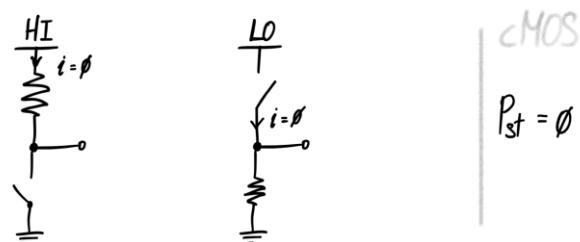
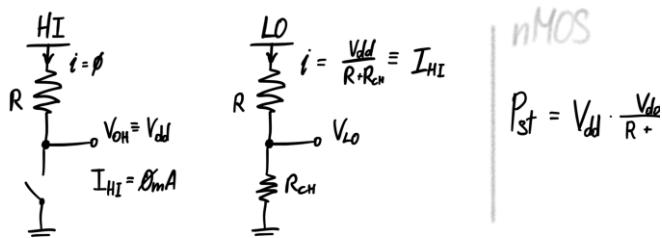
- **PCAP**, è la potenza che il generatore deve fornire per consentire la carica/scarica della capacità di uscita della porta logica.
- **Potenza di Cross-Conduction**, fenomeno che si verifica quando “spazzolando” la caratteristica di trasferimento entrambi i MOS risultano accesi \Rightarrow si avrà un percorso conduttivo nel transitorio che collegherà $+V_{dd}$ $\rightarrow GND$ tra i due MOS. Si analizza la transizione dell’ingresso.



Condizioni target: (per il calcolo della potenza) si considera l’andamento periodico degli ingressi ad una certa frequenza; la sovrateTemperatura²⁰ della porta logica dipenderà dalla potenza media. In evidenza le variabili coinvolte nel calcolo della potenza.

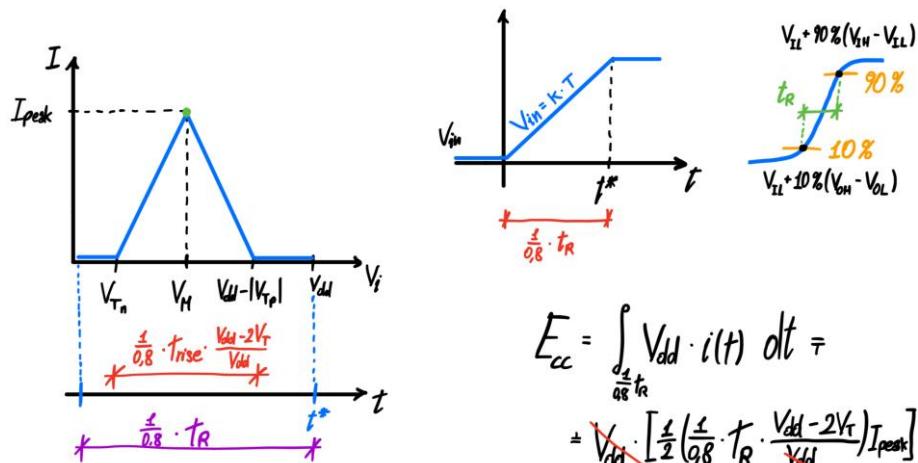
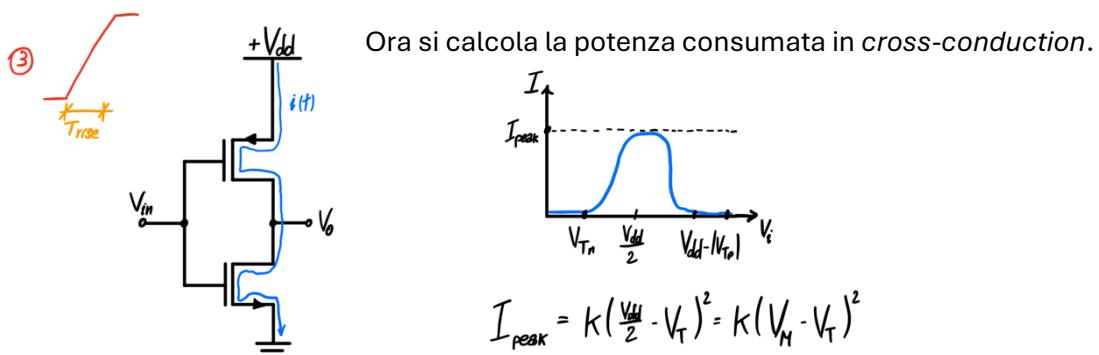
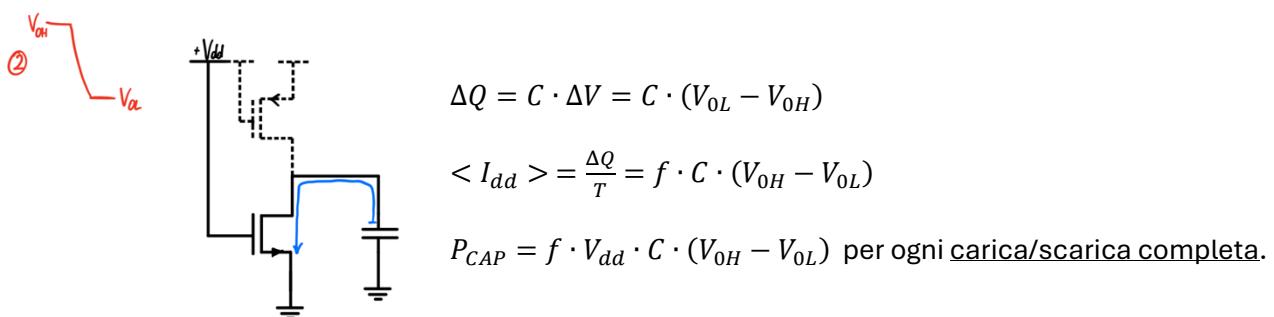
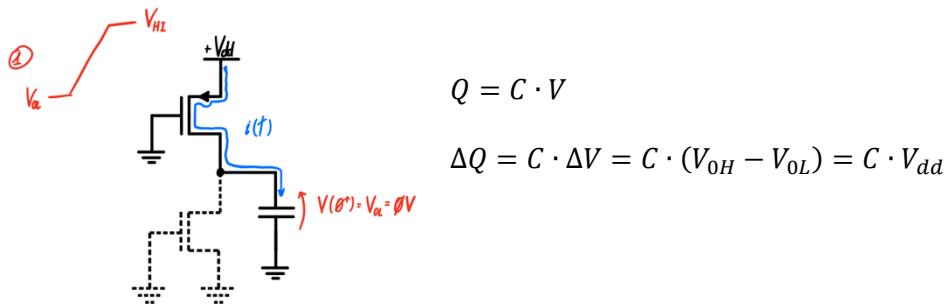


La formula finale (semplificata) della potenza statica sarà $P_{st} = V_{dd} \cdot \frac{I_{LOW} + I_{HIGH}}{2}$.



²⁰ Dal punto di vista termico la porta logica agisce come un filtro passa – basso.

Per il calcolo della potenza dinamica²¹ si userà invece il procedimento illustrato di seguito. In particolare, si osserva come per l'analisi dinamica si utilizzi la carica Q al posto delle correnti; con f viene indicata la frequenza.



$$P_{cc} = \frac{1}{f} \cdot 2E_{cc} = \frac{1}{0.8} \cdot t_{Rise} (V_{dd} - 2V_T) \cdot I_{peak} \cdot f$$

²¹ La potenza dinamica è influenzata dal quadrato dell'alimentazione; per questo motivo, minore è la V_{dd} minore sarà la potenza consumata.

Dalle equazioni precedenti si nota come la perdita di potenza dovuta alla *cross – conduction* sia molto bassa. Queste perdite possono essere evitate con l'introduzione di due tecniche.

Driver: è un dispositivo che converte il segnale in ingresso in un segnale a maggior potenza, funge da amplificatore di carico capacitivo.

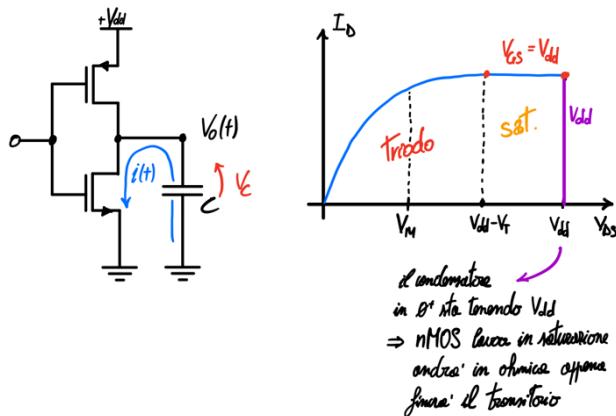
Death Time: prevede lo spegnimento del MOS "basso" prima di attivare quello "alto".

In questo modo si eliminerà la cross conduzione ma si rallenterà di molto la velocità del circuito. Pertanto, si cercherà di limitare la P_{cc} il più possibile senza eliminarla del tutto.

Tempi di propagazione: tempo necessario all'uscita per raggiungere la soglia logica a partire dall'istante di superamento della soglia logica da parte dell'ingresso.²² Serve per definire la *frequenza operativa massima* della porta logica, cioè quella frequenza oltre la quale non si avrebbe più l'uscita attesa.

$$f_{max} = \frac{1}{2 \cdot T_p}$$

Stima del tempo di propagazione T_p : (nella transizione $HIGH \rightarrow LOW$) dato il seguente circuito ed un ingresso a gradino si avrà $i_C(t) = C \cdot \frac{dV_O}{dt}$. Poiché l'nMOS si trova in saturazione (in $t = 0^+$) allora si avrà



$$I = K_n \cdot (V_{GS} - V_{Tn})^2 = C \cdot \frac{\Delta V}{\Delta t}, \text{ con } \Delta t = \frac{C \cdot \Delta V}{K_n \cdot (V_{dd} - V_T)^2}$$

Mentre la $i(t)$ sarà pari a...

$$i(t) = 2 \cdot K_n \cdot \left[(V_{dd} - V_T) \cdot V_O - \frac{1}{2} \cdot V_O^2 \right] = C \cdot \frac{dV_O}{dt}$$

Che è un'equazione differenziale risolvibile in due modi: il primo metodo prevede l'approssimazione della zona di triodo ad un generatore ideale di corrente,

$$\Delta t_{A \rightarrow C} = t_{p_{HL}} \approx \frac{C \cdot \Delta V}{K_n \cdot (V_{dd} - V_T)^2}$$

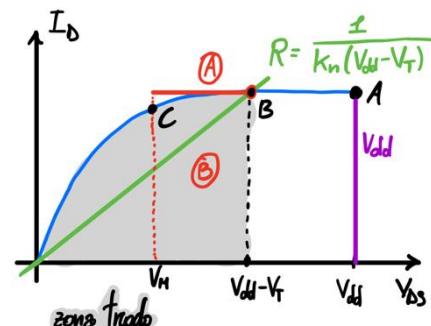
il metodo presentato è valido sia nella transizione $HIGH \rightarrow LOW$ che nella $LOW \rightarrow HIGH$.

Si noti che $\Delta V = V_{HL} - V_{TH} = V_H - \frac{V_{OL} + V_{HL}}{2}$.

Il valore di $t_{p_{HL}}$ calcolato con la formula precedente risulta essere una sottostima del suo valore reale. Il secondo metodo (preferibile) effettua una sovrastima, risultando essere più conservativo rispetto al precedente, di seguito le formule e le equazioni utilizzate.

$$\Delta T_{A \rightarrow B} = \Delta T_1 = \frac{(C \cdot V_{Tn})}{K_n \cdot (V_{dd} - V_{Tn})^2} \quad \Delta T_2 = \tau \cdot \ln \left[\frac{2 \cdot (V_{dd} - V_{Tn})}{V_{dd}} \right] = R \cdot C \cdot \ln \left(\frac{V_{dd} - V_{Tn}}{\frac{V_{dd}}{2}} \right)$$

$$t_{p_{HL}} = \Delta T_1 + \Delta T_2$$



²² Da non confondere con i tempi di salita e discesa.

Famiglie Logiche

Sono un insieme di porte logiche che adottano la stessa tecnologia, di seguito le principali caratteristiche.

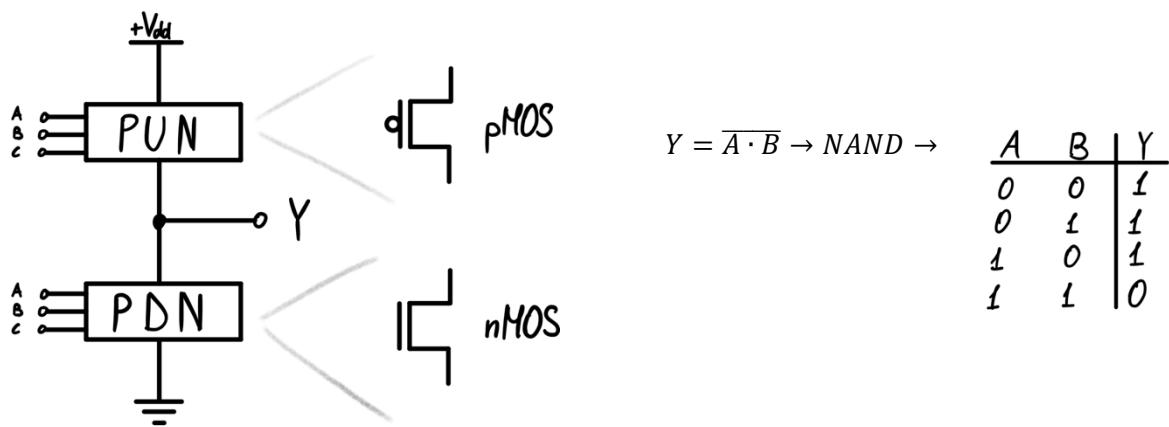
Tecnologia bipolare: ne è un esempio il transistor *BJT*, si differenzia dal *FET* in quanto polarizzato²³. Le principali tecnologie di porte logiche realizzate con la tecnologia bipolare sono la TTL e la ECL.

Tecnologia MOS: con la quale si realizzano soprattutto *nMOS*, *cMOS* e *PTL*, cioè *Pass Transistor Logic*.

Data una famiglia logica è necessario che i valori che definiscono le seguenti proprietà siano il più simili possibile:

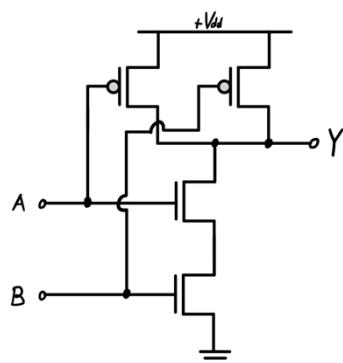
- *Funzione logica* $\bar{Y} = f(A; B; \dots)$
- *Caratteristica statica*
- *Dissipazione di potenza*
- *Velocità di risposta*

Notazione: sarà adottata una nuova notazione per i transistor di tipo *n/p*, che prevede l'introduzione delle *Pull Up Network* e *Pull Down Network*. Prendendo come esempio la realizzazione di una porta *NAND* si avrà il seguente procedimento.



- *PullDownNetwork*, $PDN \leftrightarrow Y = 0 \leftrightarrow \bar{Y} = 1$, $\bar{Y} = f(\text{ingressi non negati}) = \overline{\overline{A \cdot B}} = A \cdot B$, in altre parole la *PDN* è accesa quando i transistor A e B sono contemporaneamente accesi.
- *PullUpNetwork*, $PUN \leftrightarrow Y = 1$, $Y = f(\text{ingressi negati})$, $Y = \overline{A \cdot B} = \bar{A} + \bar{B}$.

Allora si otterrà il circuito seguente, il cui comportamento (cioè, determinare se è effettivamente una NAND) potrà essere verificato controllando la corrispondenza tra ingressi A/B e corrispettive uscite Y nella tavola di verità.

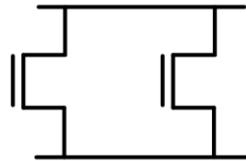


²³ Nei *MOSFET* la polarizzazione dipende dalla direzione della corrente.

Inverter equivalente: dal punto di vista metodologico è assimilabile al resistore equivalente; è una tecnica di risoluzione che si applica alle topologie circuituali ove sono presenti una PDN, una PUN e l'alimentazione. Questo è reso possibile dal fatto che una qualunque porta cMOS ha un comportamento assimilabile a quello di un inverter detto *equivalente*. Però, per il calcolo dell'inverter equivalente si dovranno considerare soltanto i transistor in ON.²⁴



$$K_{eq} = \frac{1}{\frac{1}{K_1} + \frac{1}{K_2} + \dots + \frac{1}{K_n}}$$



$$K_{eq} = K_s + K_e + \dots + K_h$$

Attenzione! Per applicare le precedenti semplificazioni, è necessario che i MOSFET abbiano tutti stessa tensione di soglia e di overdrive; si noti che la seconda è conseguenza della prima.

Dimensionamento porte logiche: preso un inverter equivalente, si fa in modo che la dimensione del canale *p* sia il doppio di quello *n*. La dimensione del canale è calcolabile dal rapporto $\frac{W}{L}$.²⁵

²⁴ Può anche essere visto come una somma “fisica” dei transistor. Inoltre, le prestazioni dinamiche sono fortemente influenzate dal K_{eq} .

²⁵ Si considera *n* come l’unità per il dimensionamento dei canali, con valore pari a 1.

Porte Three-State

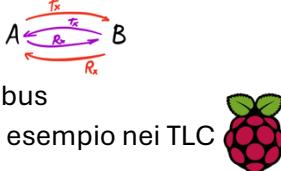
È una porta logica con tre stati di funzionamento: oltre agli usuali ON e OFF vi è lo stato di *Alta Impedenza*.

Alta impedenza²⁶: stato nel quale l'uscita non è vincolata né al GND né al V_{dd} , che ha – almeno virtualmente – un'impedenza Z quasi infinita. Grazie all'azione del condensatore, l'uscita mantiene il valore/stato precedente; per il precedente motivo viene anche detto *stato di hold*.

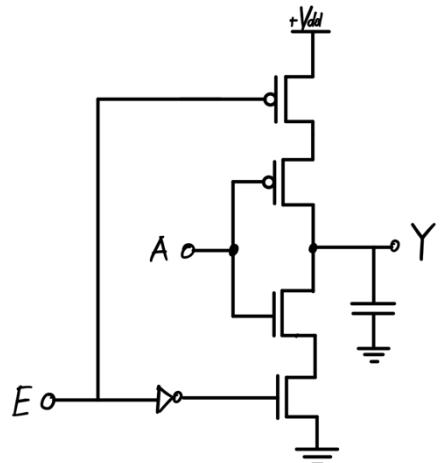
È una porta che necessita dell'utilizzo di un apposito segnale per entrare nello stato di alta impedenza, indicato con *enable E* che attiva i transistor alle estremità: in questo modo si staccano i due interni e si mantiene lo stato precedente.

Applicazioni operative: principalmente informatiche e nel campo delle telecomunicazioni, in particolare

- Collegamenti bidirezionali
- Collegamenti multipli su singolo bus
- Terminali di ingresso e uscita, ad esempio nei TLC



Attenzione! Per il calcolo della potenza statica non si dovrà considerare l'alta impedenza. Infatti, l'uscita viene mantenuta dal condensatore, non vi sono collegamenti a terra.

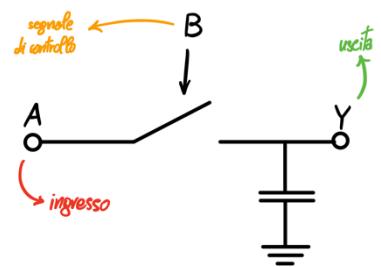


²⁶ Solitamente indicata anche con l'acronimo *HiZ* o *Hi – Z*.

Logica PTL

Particolare architettura dove il transistor²⁷ viene utilizzato per decidere se far passare il segnale di ingresso attraverso l'uscita oppure no, in funzione di un segnale di controllo; può essere inserito in circuiti costruiti con altre architetture, ad esempio la cMOS.

L'analisi di un circuito in logica *pass – transistor* prevede lo studio dei suoi quattro transitori.



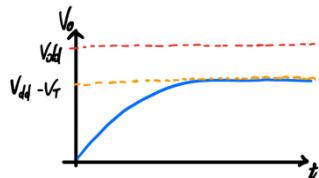
Proprietà:

- *Primo transitorio*, cioè la variazione dell'uscita con un ingresso che passa da basso ad alto.

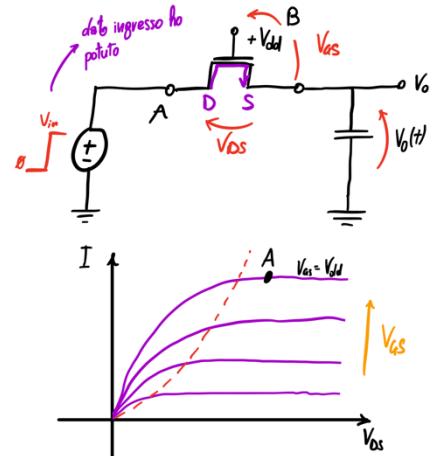
$$V_{GS}(0^+) = V_{dd} \quad V_{DS}(0^+) = V_{dd}$$

$$V_C(0^+) = 0V \quad V_{DS}(t) = V_{GS}(t)$$

$$V_{GS}(t^*) = V_{dd} - V_T$$



È caratterizzato da uno stato alto debole, manca V_T per arrivare a V_{dd} (vedi grafico a sinistra) e non si ha il canale conduttivo.²⁸

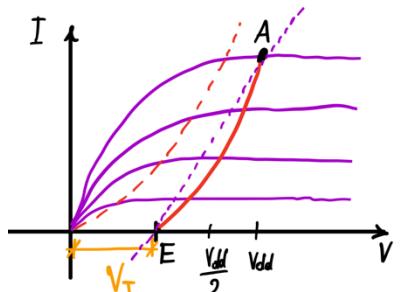


Il MOS che realizza la PTL ha il substrato collegato al GND. Il primo transitorio lavora sul segmento $A \leftrightarrow E$, approssimabile con una retta. Dal grafico a destra si può osservare che si comporta come un generatore di tensione V_T in serie ad una resistenza $R = \frac{V_{dd}-V_T}{I_{sat}} = \tau$.

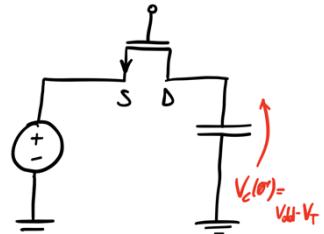
Sostituendo il circuito equivalente al transistor, si otterrà una $V_C = (V_{dd} - V_T) \cdot (1 - e^{-\frac{t}{\tau}})$.

Un esempio di calcolo è il seguente: $V_T = 1V$, $K_n = 1 \frac{mA}{V^2}$, $V_{dd} = 5V$, $C = 1pF$

$$t_{p_{LH}} = \frac{C \cdot \frac{V_{dd}}{2}}{I} = \begin{cases} & \text{se } I = I_{max} = 16mA \Rightarrow t_{p_{LH}} = 156ps \\ & \text{se } I = I_{avg} = 9,125mA \Rightarrow t_{p_{LH}} = 1111ps \\ & \text{se } I = I_{min} = 2,25mA \Rightarrow t_{p_{LH}} = 274ps \end{cases}$$



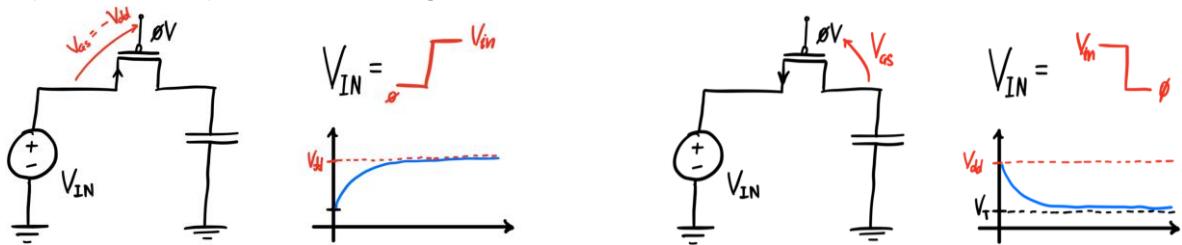
- *Secondo transitorio*, nella transizione da alto a basso del PTL si avranno le stesse equazioni dell'inverter cMOS in interdizione, eccetto la $V_C(0^+)$ che nel cMOS è pari a V_{dd} , contro la $V_C(0^+)$ del PTL leggermente più piccola (pari a $V_{dd} - V_T$). È caratterizzato da uno stato basso forte.



²⁷ Nel corso viene realizzato utilizzando un *nMOS*.

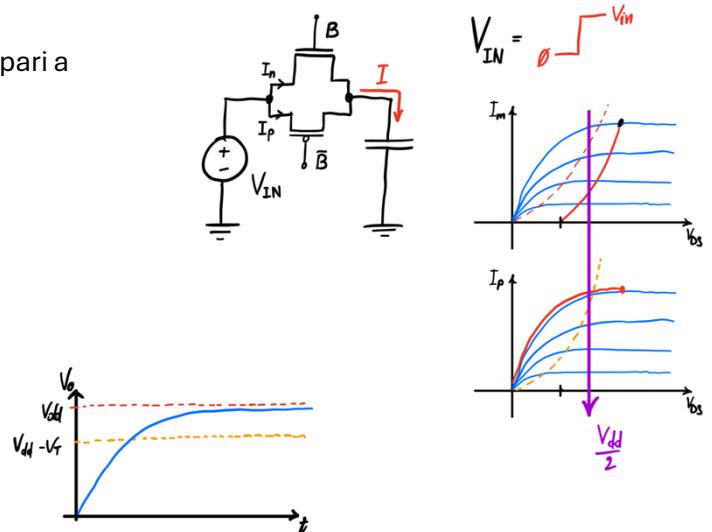
²⁸ Il *cMOS* si carica più velocemente del PTL; questo avviene perché l'architettura *cMOS* lavora sempre sulla curva con la massima corrente di carica.

- Terzo transitorio, è caratterizzato da uno stato alto forte ed uno stato basso debole, rispettivamente primo e secondo grafico.



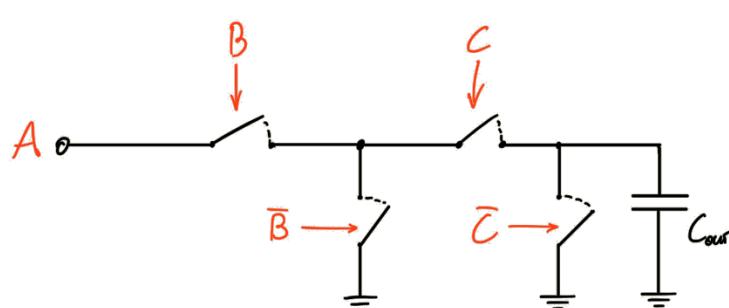
- Quarto transitorio, in logica cMOS si avrà una situazione come quella descritta di seguito.

Per cui si avrà un tempo di propagazione pari a
 $t_{p_{LH}} = \frac{C \frac{V_{dd}}{2}}{I}$.



Osservazione, a livello funzionale, la capacità di uscita della PTL è assimilabile a quella del three state.

Nella costruzione di una porta logica PTL è bene inserire per ogni nodo successivo ad un interruttore (cioè, il pass transistor) un interruttore per connettere il nodo a terra, che utilizzi lo stesso segnale – ma negato – dell'interruttore immediatamente prima al nodo.

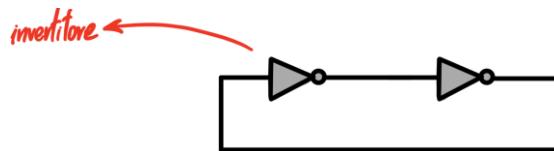


$$Y = A \cdot B \cdot C \rightarrow \text{in questo modo non si avrà lo stato di Hi-Z}$$

Memoria RAM

Per memoria RAM si intende l'architettura generale alla base delle *memorie ad accesso casuale*; saranno analizzate le RAM *statiche* e *dinamiche*, rispettivamente SRAM e DRAM.

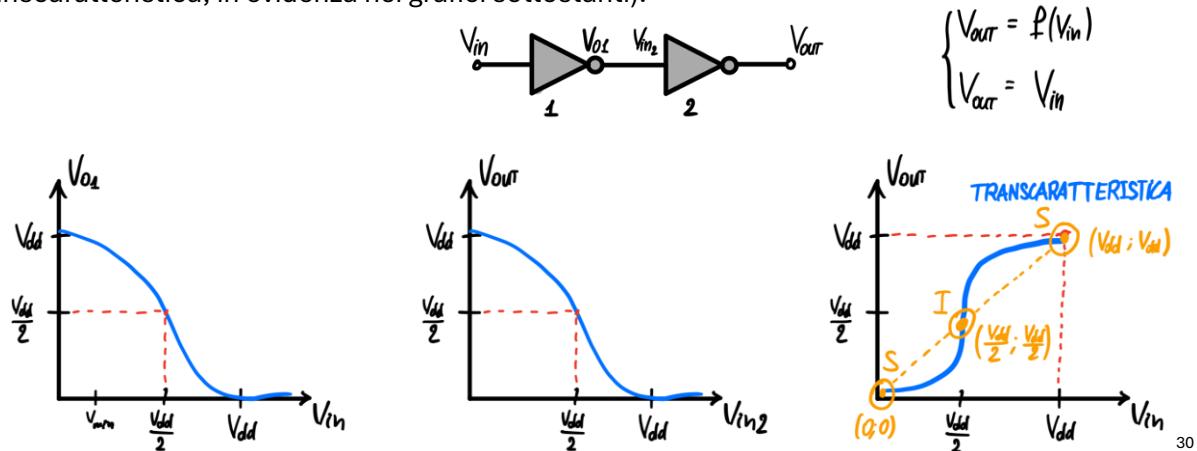
Static – RAM: realizzata con due *latch/bistabili*, è estremamente veloce e consuma molta energia per cambiare stato. Un esempio di memoria che adotta questa tecnologia è la *cache*.



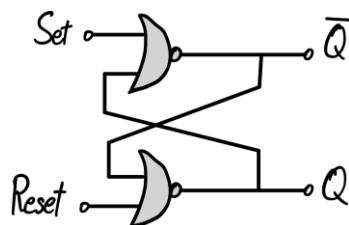
Dinamic – RAM: realizzata con un condensatore e di ridotte dimensioni, necessita di alimentazione per mantenere lo stato. Viene impiegata nei banchi di RAM dei pc.



Circuito bistabile: circuito utilizzato per memorizzare e/o amplificare un dato (solitamente un bit). Gli inverter/porte logiche riducono o amplificano il segnale in ingresso grazie alla loro natura (transcaratteristica, in evidenza nei grafici sottostanti).²⁹



È possibile modificare la struttura del bistabile appena introdotto per renderla più resistente ai disturbi; aggiungendo la retroazione si otterrà un *LATCH*, con cui si realizzeranno memorie costituite da celle dette “a sei transistor (6T)”.³¹



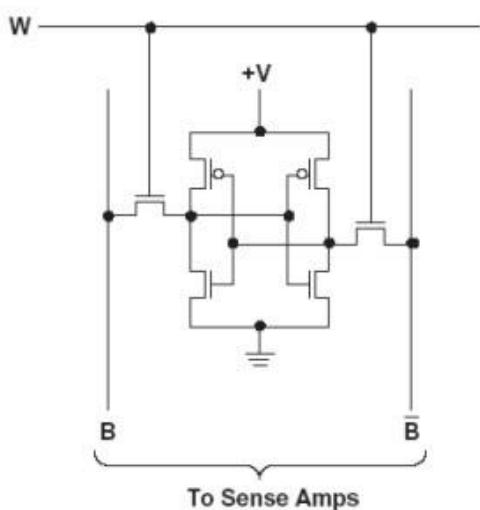
²⁹ Proprietà rigenerativa delle porte logiche: in presenza di rumore in ingresso, entro i limiti di funzionamento della porta logica, l'uscita dell'invertitore tende ad attenuare l'ampiezza di tale rumore (rigenerando il segnale originale).

³⁰ In questo grafico sono evidenziati gli unici tre punti di tensione che si possono avere ai morsetti di uscita.

³¹ Questo tipo di circuito non ammette la combinazione di ingressi (1; 1), mentre (0; 0) serve per mantenere lo stato attuale in uscita.

Osservazione: nel grafico contrassegnato con (30) sono evidenziati i punti S ed I, che indicano rispettivamente *stable* ed *instabile*. L'instabilità è dovuta al fatto che è sufficiente una piccola variazione dell'ingresso per modificare sensibilmente la tensione di uscita.

Memoria con cella a 6T (SRAM): di seguito lo schema che mette in evidenza la presenza dei 6 transistor; due di questi collegano la bit line e la bit line negata e sono controllati dalla word line. La word line collega tutti i bistabili su una riga alle rispettive bit line. Per accedere ad un certo dato si dovrà selezionare la bit line corrispondente.

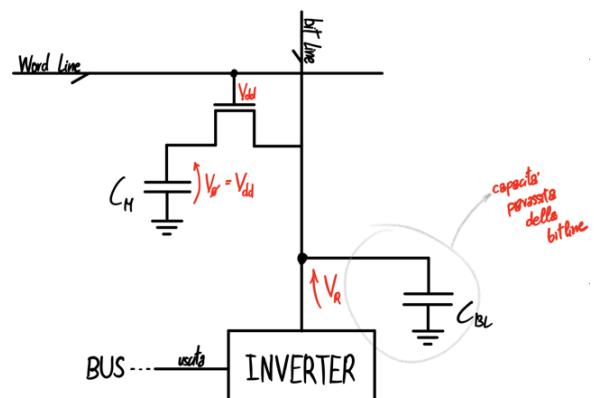


- *lettura*, si chiudono i transistor di accesso (viene selezionata l'intera riga di memoria), l'amplificatore di lettura/scrittura viene configurato in modalità lettura (HiZ). Poi viene portato sul bus il bit selezionato dal decodificatore di riga.
- *scrittura*, l'amplificatore di lettura/scrittura viene configurato in modalità scrittura (impongono la tensione alla bit line selezionata dal decodificatore di riga), si impone il nuovo stato ai due nodi di uscita del bistabile.
 - È necessario spendere energia per spostare il bistabile dal punto di lavoro iniziale al di fuori dal bacino di alterazione di quel punto; quindi il bistabile evolve naturalmente verso il nuovo punto di stabilità.

Memoria con cella 1T (DRAM): rappresentata nello schema circuitale sottostante. Il nome deriva dalla sua architettura, che prevede l'utilizzo di un singolo transistor; l'inverter presente nel circuito serve per rigenerare il segnale letto dalla *bit line* e per ridurre il disturbo provocato dalla capacità parassita della linea stessa (*bit line*).

La tensione di accesso alla *bit line* è vicina alla tensione di precarica $V_{BL} = \frac{V_{dd}}{2}$, si può osservare meglio nell'equazione di charge sharing³².

È importante sottolineare come l'operazione di lettura dalla memoria capacitiva porti alla distruzione del dato stesso; per rigenerare il dato si useranno due *porte not/latch a ridotta instabilità*³³. Nell'operazione di scrittura si avrà uno stato alto debole (scrivo '1') ed uno stato basso forte (scrivo '0').

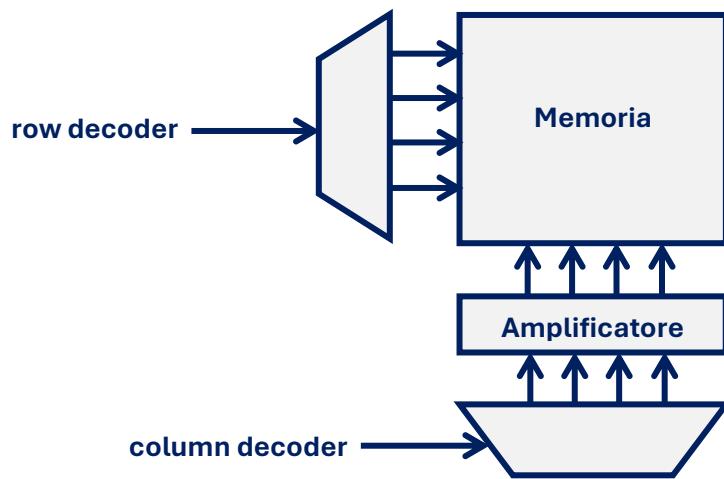


³² L'equazione di *charge sharing* afferma che $V_R = \frac{C_M}{C_M + C_{BL}} \cdot V_M + \frac{C_{BL}}{C_M + C_{BL}} \cdot V_{BL}$, dove il secondo addendo è molto più grande del primo. Si osservi che per V_R si intende la tensione letta.

³³ Grazie alla retroazione del *Latch* il dato in uscita sarà riportato sulla *bit-line*. La piccola variazione di tensione dovuta al *charge sharing* sarà comunque rilevata grazie all'instabilità propria del *Latch*.

Operazione di refresh: dato che la capacità C_M perde carica nel tempo, è necessario rigenerare ciclicamente il dato memorizzato (come nell'operazione di lettura). L'unica differenza risiede nel fatto che il dato non viene riportato verso il bus attraverso il decodificatore di riga. Inoltre, l'abilitazione di tutti i sense amplifier e della word line corrisponde alla rigenerazione dell'intera “riga di condensatori”, a prescindere dal fatto che i dati vengano o meno riportati sul bus.

Struttura: in breve, una memoria RAM è formata da una matrice che implementa la funzione di memoria vera e propria (costituita da latch per le *SRAM* e condensatori per le *DRAM*); i dati sono prelevati da ulteriori due componenti, il *decoder di riga* ed il *decoder di colonna*. È importante sottolineare come tra la matrice ed il decoder di colonna sia presente un amplificatore per adattare le tensioni.



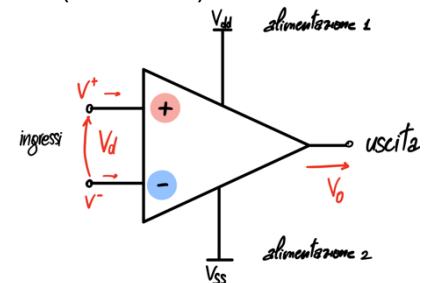
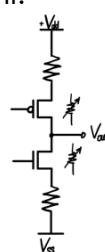
Amplificatori Operazionali

Gli OPAMP sono elementi fondamentali dell'elettronica di base, utilizzati in particolar modo nel trattamento dei segnali.

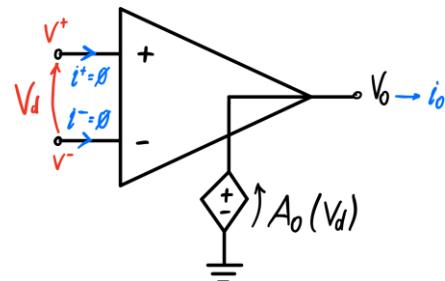
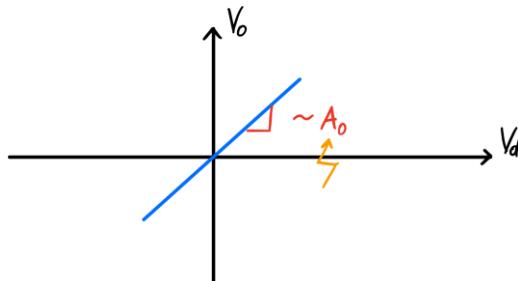
OPAMP ideale: è un componente attivo, cioè che necessita di alimentazione per funzionare; ha due rami in ingresso, di cui uno “positivo” (non invertente) ed uno “negativo” (invertente). Noto lo schema dell'OPAMP, si adotteranno le seguenti convenzioni.

$$V_d = V^+ - V^-$$

$$V_{SS} \leq V_O \leq V_{dd}$$

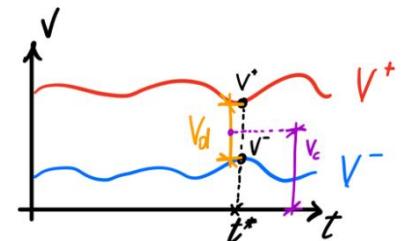


Con V_d come tensione differenziale, mentre il guadagno statico si indica con A_0 . Nel secondo caso, si avrà l'uguaglianza solamente in condizioni ideali, mentre con una V_{dd} troppo grande l'OPAMP si satura.



Analisi e tensioni virtuali: considerando un OPAMP con $V_O = A_0 \cdot (V^+ - V^-)$ e applicando due generatori di tensione in input, dal principio di sovrapposizione degli effetti si otterrà una tensione di uscita $V_O = A^+ \cdot V^+ - A^- \cdot V^-$. Questa relazione è vera sse $A^+ = A^- \triangleq A_0$. Per rappresentare meglio la relazione ingresso/uscita si possono definire una coppia di tensioni *virtuali*, legate agli ingressi, utilizzando le trasformazioni modali (modo comune e differenziale).

- Tensione comune, $V_{ic} = \frac{V^+ - V^-}{2}$
- Tensione differenziale, $V_{id} = V^+ - V^-$



Sfruttando il precedente grafico si potranno definire le seguenti relazioni inverse tra le tensioni appena introdotte.

$$V^+ = V_{ic} + \frac{V_{id}}{2} \quad V^- = V_{ic} - \frac{V_{id}}{2}$$

$$V_O = A^+ \cdot \left(V_{ic} + \frac{V_{id}}{2} \right) - A^- \cdot \left(V_{ic} - \frac{V_{id}}{2} \right) = \dots = \frac{1}{2} \cdot (A^+ + A^-) \cdot V_{id} + (A^+ - A^-) \cdot V_{ic}$$

Common Mode Rejection Ratio: il CMRR è un indicatore del comportamento dell'amplificatore, calcolato come $CMRR = \left| \frac{A_d}{A_c} \right|$. Indica quanto guadagna il segnale rispetto al suo sbilanciamento, cioè, di quanto il guadagno differenziale è superiore a quello comune (più il valore sarà maggiore, tanto più amplificato sarà il segnale); viene solitamente calcolato in decibel ($20 \cdot \log \left| \frac{A_d}{A_c} \right|$) per valori grandi, coi valori tipici compresi tra i $50dB \leftrightarrow 160dB$.

Applicazioni degli amplificatori operazionali

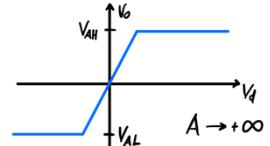
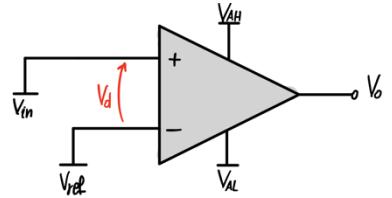
- **Comparatore:** circuito con amplificatore in configurazione ad anello aperto, si avrà

$$V_o = A_0 \cdot (V^+ - V^-), \quad \Delta V_{in} = \frac{V_{dd} - V_{ss}}{A}.$$

1. $V_{in} > V_{ref} \Rightarrow V_o = V_{AH}$
2. $V_{in} < V_{ref} \Rightarrow V_o = V_{AL}$
3. $V_{in} = V_{ref} \Rightarrow V_{AL} < V_o < V_{AH}$ ³⁴

Con questo circuito è possibile costruire un prototipo di convertitore analogico – digitale.

Il potenziale di riferimento è $V_{GND} = \frac{V_{AH} + V_{AL}}{2}$, cioè la semisomma dei potenziali di alimentazione; il punto terminale/di riferimento si indica con 

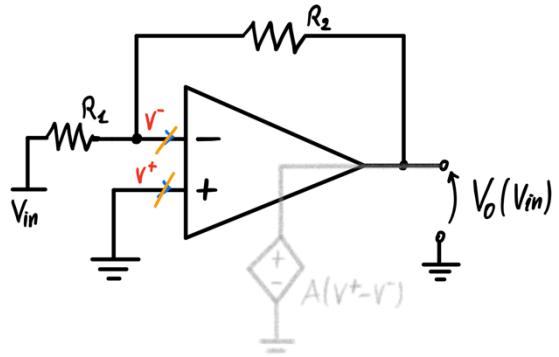


- **Amplificatore invertente:** il segnale in ingresso verrà amplificato e invertito mediante inversione di fase

$$V^+ = 0$$

$$\begin{cases} V_o = -A_0 \cdot V^- \\ \frac{V_{in} - V^-}{R_1} = \frac{V^- - V_o}{R_2} \end{cases}$$

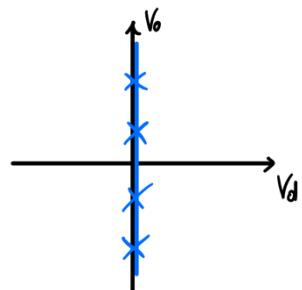
$$\frac{V_o}{V_{in}} = -\frac{R_2}{R_1} \cdot \frac{1}{1 + \frac{1}{A_0 \cdot \frac{R_1}{R_1 + R_2}}}$$



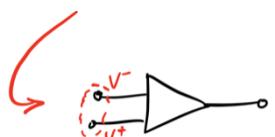
Come si “sposta” il potenziale V^- in funzione dell’ingresso?

$$\frac{V^-}{V_{in}} = -\frac{1}{A_0} \cdot \left(-\frac{R_2}{R_1}\right) \cdot \frac{1}{1 + \frac{1}{A_0 \cdot \frac{R_1}{R_1 + R_2}}} \Rightarrow \lim_{A_0 \rightarrow \infty} \frac{V^-}{V_{in}} = 0^+$$

$$\rightarrow V^- = 0 \cdot V_{in} = 0 \quad \forall V_{in}$$



Dalle precedenti equazioni si può osservare una verticalizzazione della caratteristica, un fenomeno che prende il nome di *massa virtuale*: il potenziale tra i due rami è pari al potenziale di massa anche se non in presenza di una connessione fisica reale.



³⁴ È una situazione di scarso interesse oltre che improbabile, proprio perché si lavora con segnali continui. Si potrebbe dire che il comparatore è un’applicazione circuitale dove l’OPAMP lavora principalmente in saturazione, negativa o positiva.

- **Amplificatore non invertente:** vengono invertiti i rami nello schema per disegnare e analizzare più facilmente il circuito.

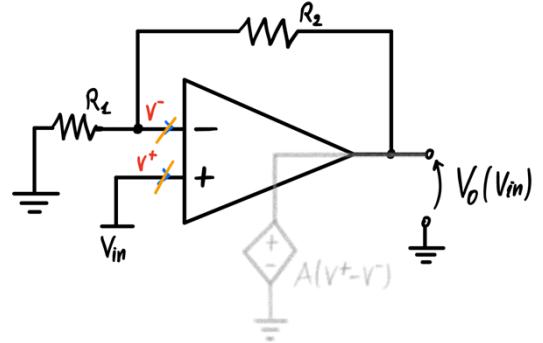
$$V^+ = V_{in}$$

$$\begin{cases} V_O = A_0 \cdot (V_{in} - V^-) \\ \frac{V^-}{R_1} = \frac{V_O - V^-}{R_2} \end{cases}$$

$$\frac{V_O}{V_{in}} = \frac{R_1 + R_2}{R_1} \cdot \frac{1}{1 + \frac{1}{A_0 \cdot \frac{R_1}{R_1 + R_2}}}$$

$$\Rightarrow \lim_{A_0 \rightarrow \infty} \frac{V_O}{V_{in}} = \frac{R_1 + R_2}{R_1} = 1 + \frac{R_2}{R_1}$$

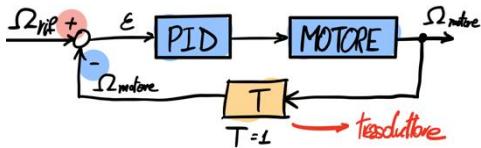
$$\lim_{A_0 \rightarrow \infty} \frac{V^-}{V_{in}} = -\frac{1}{A_0} \cdot \left(\frac{V_O}{V_{in}} \right) = 1 \quad V^- = V_{in} \quad \forall V_{in}$$



Nella precedente equazione viene descritto il fenomeno del *corto circuito virtuale*.

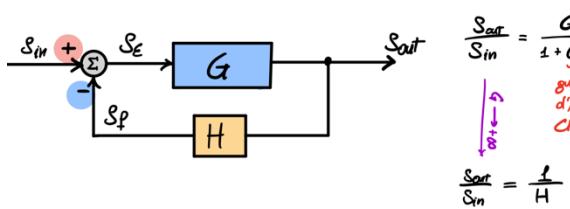
Osservazione, nelle configurazioni ad anello aperto l'uscita non ha influenza sugli ingressi; in altre parole, non è collegata/riportata allo stadio di ingresso.

Sistemi Retroazionati e Guadagni



Sistema retroazionato: è un sistema fisico nel quale una variabile viene riportata all'ingresso del sistema stesso per controllare, migliorare e stabilizzare le prestazioni dinamiche del sistema.

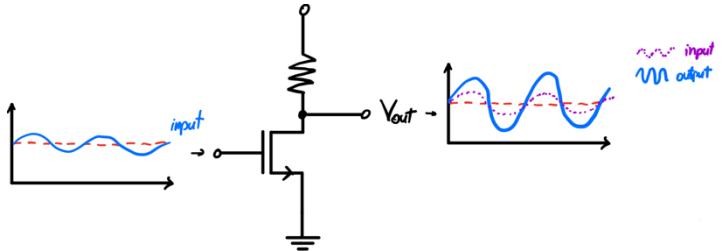
È possibile generalizzare lo schema del sistema retroazionato come segue, dove si avranno le seguenti condizioni/equazioni.



Si noti che le equazioni possono variare a seconda di come è costruita la retroazione.

Entrambe le modellizzazioni presentate non si adattano all'analisi dal punto di vista elettronico; infatti, risulterebbe molto più difficile individuare in questo modo le funzioni G ed H.

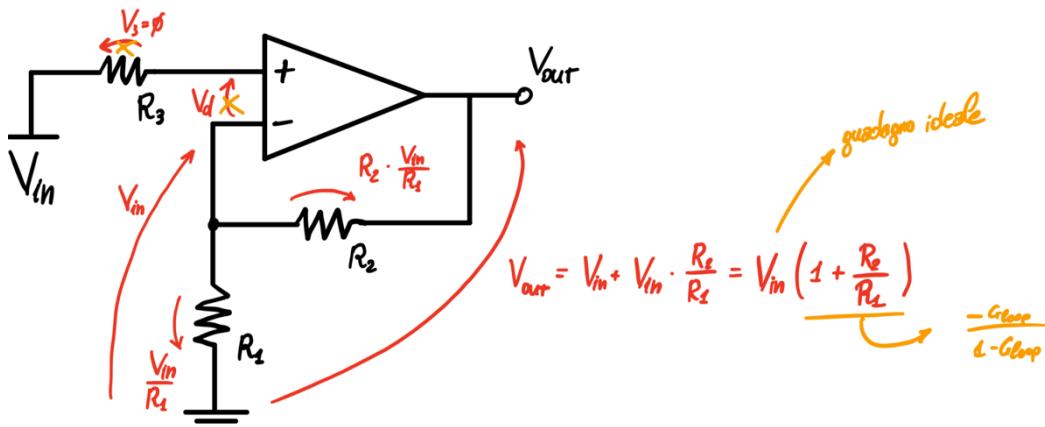
Esempio di calcolo di G ed H: dato il seguente circuito e relativi grafici degli andamenti di ingresso e uscite, cosa succede con la retroazione?



Se si fa passare il segnale di uscita in un partitore resistivo, che è un sistema avente guadagno > 1, si genera un segnale di feedback che viene riportato all'ingresso e miscelato con esso per stabilizzare il segnale di uscita.

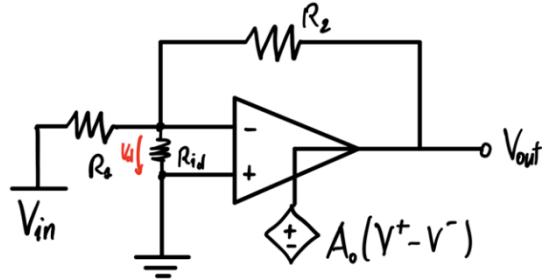
Poiché il partitore resistivo è un componente molto lineare, sarà possibile approssimare il guadagno in anello chiuso fino ad ottenere una funzione $G_{chiuso} = \frac{1}{H}$. Ora, ci interessa trovare la funzione H? Non da sola! A partire dalla formula $G_{chiuso} = \frac{G}{1+G \cdot H} = \frac{1}{H} \cdot \frac{G \cdot H}{1+G \cdot H} = G_{ID} \cdot \frac{-G_{loop}}{1-G_{loop}}$, si può osservare come gli elementi della parte evidenziata siano più facili da ottenere topologicamente nelle rappresentazioni circuituali.

Calcolo dei guadagni:



Calcolo dei guadagni: sarà utilizzato un esempio di calcolo del guadagno, enfatizzando le differenze tra situazione ideale e reale.

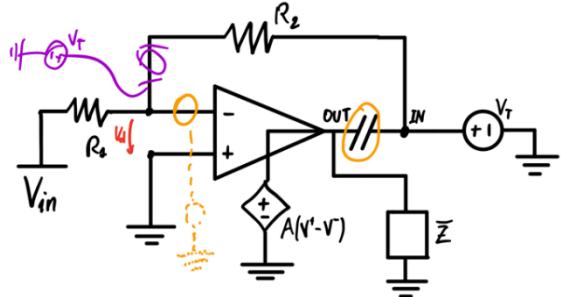
$V_d = 0 \rightarrow$ non circola corrente, dal punto di vista del guadagno ideale non cambia nulla $\rightarrow G_{ID} = -\frac{R_2}{R_1}$. in realtà la retroazione ha l'effetto seguente $\rightarrow V_d = -R_{id} \cdot i_{id}$.



Invece in una situazione reale si avrà

$$\begin{cases} V_d = V_t \cdot \frac{-R_1}{R_1 + R_2} \\ V_{out} = A \cdot V_d \end{cases}$$

$$G_{loop} = \frac{V_{out}}{V_t} = -A_0 \cdot \frac{R_1}{R_1 + R_2}$$



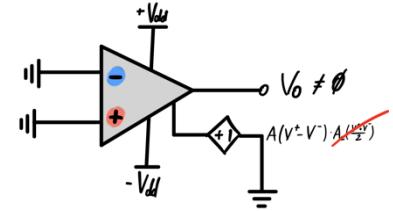
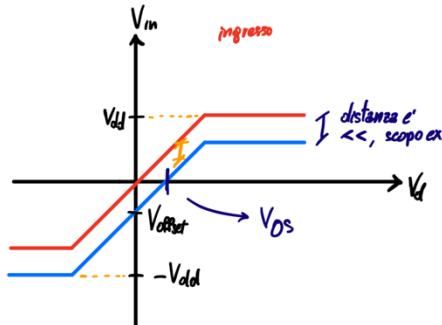
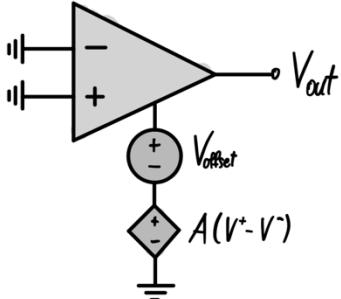
Si può osservare che applicando il taglio come indicato nella parte evidenziata, il guadagno non cambia G_{loop} . Non si deve assolutamente tagliare il circuito come nella parte viola, altrimenti si dovrà modificare il circuito per riportarlo alle condizioni iniziali (altrimenti il guadagno così calcolato non corrisponderà a quello effettivo); infine, il guadagno reale sarà $G_{reale} = G_{ID} \cdot \frac{-G_{loop}}{1 - G_{loop}}$. Inoltre, si noti che per avere un sistema stabile e lineare il G_{LOOP} deve sempre essere negativo.

Attenzione! Adottare la retroazione sul ramo positivo invece del negativo porterà ad avere un sistema – sicuramente – instabile. Prima di calcolare i guadagni si deve sempre verificare la linearità del sistema, cioè, verificare che la retroazione sia sul ramo negativo.

Non idealità degli OPAMP

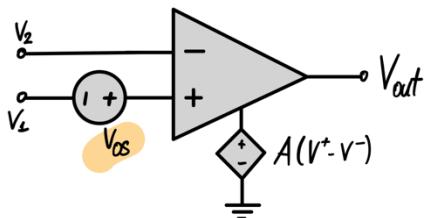
Le non idealità degli amplificatori operazionali sono tre (in continua, cioè a frequenza 0), la *tensione di offset*, la *corrente di polarizzazione/bias* e le *impedenze di ingresso e uscita*.

Tensione di Offset: l'uscita $V_o \neq 0$ anche in assenza di ingressi, a causa³⁵ la polarizzazione interna dell'OPAMP non riesce a compensare completamente le dissimmetrie costruttive (legate alle dimensioni) dei transistor allo stadio di uscita; questa tensione è detta "di offset", si



rappresenta a livello circuitale come un generatore ideale di tensione. Nel grafico a sinistra³⁶ sono rappresentati gli effetti di due fenomeni distinti, una traslazione verso il basso e la limitazione dell'uscita tra $\pm V_{dd}$.

Per un'analisi semplificata, è bene che la V_{offset} sia già presente all'ingresso. A tale scopo si potrà inserire un generatore equivalente in uno dei due rami in ingresso (vanno bene sia positivo che negativo); quindi la tensione d'uscita sarà pari a $V_{out} = A \cdot (V_1 - V_2) + V_{offset}$.



$$V^+ = V_1 + V_{OS} = V_1 + \frac{V_{offset}}{A}$$

$$\Rightarrow A \cdot (V^+ - V^-) = A \cdot (V_1 - V_2) + V_{offset}$$

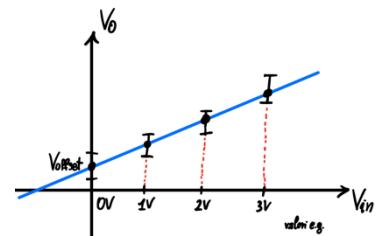
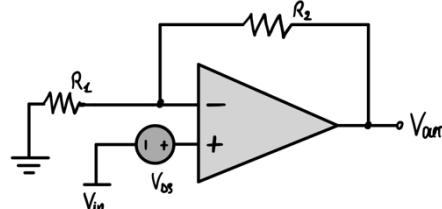
Se si mette V_{OS} sul ramo negativo si avrà $A \cdot (V_1 - V_2) - V_{offset}$.

Alimentazione per V_{offset} : a livello circuitale – dato un amplificatore non invertente – sarà del seguente tipo.

$$V_{out} = V_{OS} \cdot \left(1 + \frac{R_2}{R_1}\right) = V_{OS} \cdot \text{guadagno}$$

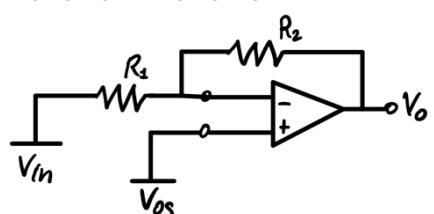
$$V_{offset} = \frac{V_{out}}{\text{guadagno}}$$

$$V_{OS} = \frac{V_{offset}}{A_0}$$



Le grandezze R_1 , R_2 e A sono sensibili all'incertezza di misura. Per capire come si propaga in uscita la tensione di offset sarà utilizzato un circuito con OPAMP in configurazione non invertente.

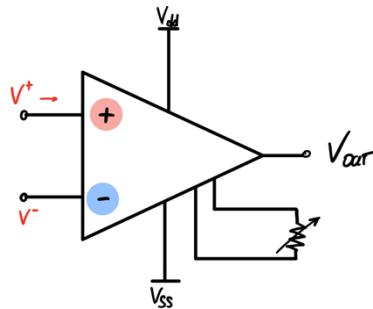
$$V_o|_{V_{in}} = -\frac{R_2}{R_1} \cdot V_{in} \quad V_o|_{V_{os}} = V_{OS} \cdot \left(1 + \frac{R_2}{R_1}\right)$$



³⁵ La tensione di offset nasce per una combinazione di polarizzazione dello stadio di uscita ed una realizzazione che per ragioni industriali risulta non essere perfetta, soprattutto oltre la sesta cifra decimale.

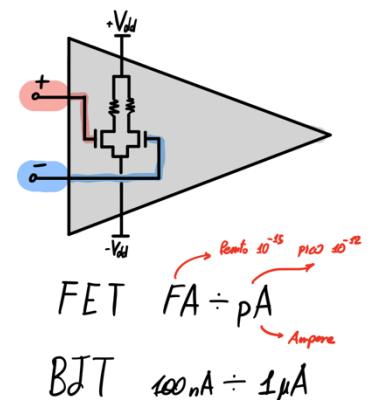
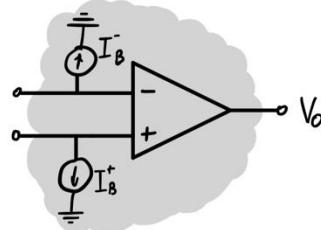
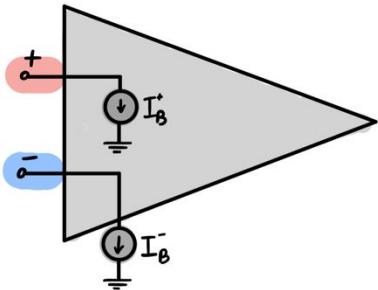
³⁶ $V_{OS} = \frac{V_{offset}}{A}$.

Con il seguente modello di amplificatore operazionale modificato, viene introdotto un circuito di compensazione che utilizza un resistore variabile³⁷ per azzerare la tensione di offset.



Corrente di polarizzazione: per analizzare questa non idealità sarà necessario osservare ciò che succede all'interno dell'operazionale. Per *correnti di polarizzazione o bias* si intendono quelle correnti assorbite dallo stadio di ingresso dell'OPAMP per essere polarizzato.

Procedendo con l'analisi, si può semplificare il modello di circuito proposto a destra, rappresentando le correnti di *bias* con dei generatori, come illustrato di seguito.



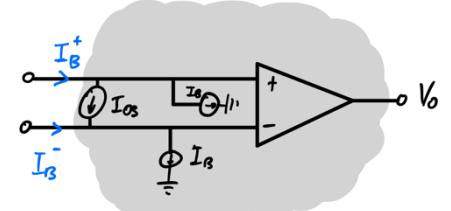
$$I_B = \frac{I_B^+ - I_B^-}{2} \rightarrow \text{input bias current}$$

$$I_{OS} = |I_B^+ - I_B^-| \rightarrow \text{input offset current}$$

$$\left. \begin{array}{l} I_B^+ = I_B + \frac{1}{2} I_{OS} \\ I_B^- = I_B - \frac{1}{2} I_{OS} \end{array} \right\}$$

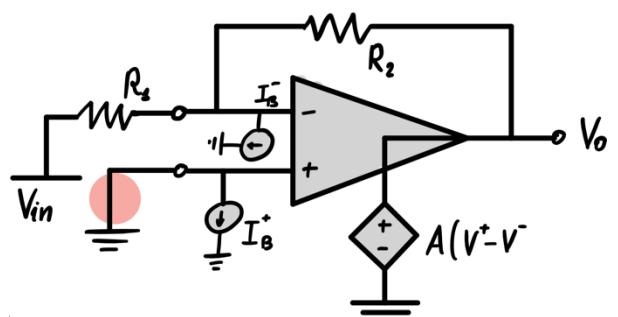
È importante sottolineare che $I_B \approx 10 \cdot I_{OS}$, mentre il modello a fianco rappresenta un amplificatore mettendo in evidenza le correnti di polarizzazione.

Per osservare l'influenza delle correnti di *bias* sull'uscita, considero un OPAMP invertente e due generatori si avrà:



$$V_O|_{V_{in}} = -\frac{R_2}{R_1} \cdot V_{in}, \quad V_O|_{I_B^+} = 0V, \quad V_O|_{I_B^-} = R_2 \cdot I_B^-$$

$$\Rightarrow V_O = -\frac{R_2}{R_1} \cdot V_{in} + R_2 \cdot I_B^-$$

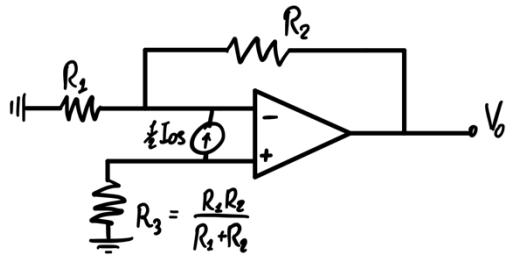


³⁷ Anche detto *Trimmer* o *potenziometro*.

Per annullare l'effetto delle *correnti di bias* sarà sufficiente inserire un resistore nel punto evidenziato del circuito precedente (in rosso). Una volta applicata tale modifica si avrà $V_O|_{I_B^+} = -R_3 \cdot I_B^+ \cdot \left(1 + \frac{R_2}{R_1}\right)$ con $R_3 = \frac{R_1 \cdot R_2}{R_1 + R_2}$.

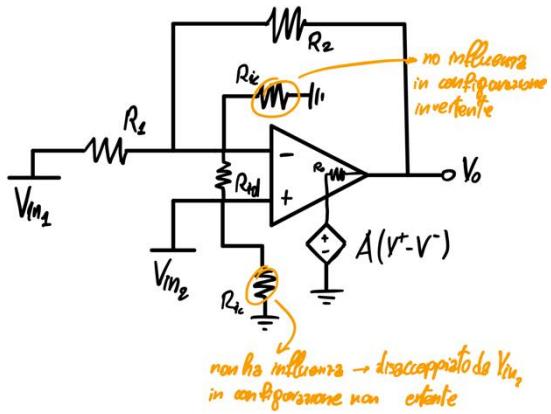
$$V^+ = V^-, \quad V^+ = -\frac{R_1 \cdot R_2}{R_1 + R_2} \cdot \frac{1}{2} \cdot I_{OS}$$

$$LKI \Rightarrow \frac{V^+}{R_1} = \frac{-V^+ - V_O}{R_2} + \frac{1}{2} \cdot I_{OS} \quad V_O|_{I_{OS}} = -R_2 \cdot I_{OS}$$



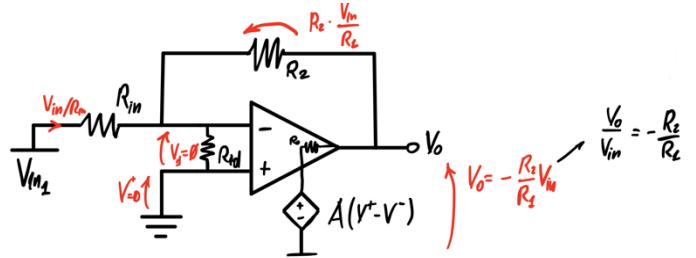
Le precedenti considerazioni sono valide poiché nel corso si ipotizza che le correnti di bias siano uguali, $I_B^+ = I_B^-$.

Resistenze³⁸ di ingresso e uscita: con $R_{id} \rightarrow 500k\Omega \div 1M\Omega$, $R_{ic} \rightarrow 10M\Omega \div 100M\Omega$, $R_O \rightarrow 10\Omega \div 100\Omega$, per analizzarle sarà utilizzato il circuito sottostante, sempre avendo come riferimento il modello a destra.



$$G_{id} \begin{cases} V^+ - V^- = 0, \quad i_{R_{id}} = 0 \\ R_O \text{ non ha effetto} \end{cases}$$

Per il calcolo del guadagno d'anello G_{loop} ridisegno il circuito con i seguenti dati.



Quindi posso iniziare a calcolare il guadagno d'anello.

$$V^- = V_T \cdot \frac{R_{in}}{R_{in} + R_2 + R_O} \quad V^+ = 0, \quad V_{out} = A \cdot (V^+ - V^-) = -A \cdot \frac{R_{in}}{R_{in} + R_2 + R_O} \cdot V_T$$

$$G_{loop}(R_O) = -A \cdot \frac{R_{in}}{R_{in} + R_2 + R_O}, \quad G_{loop}(R_O; R_{id}) = -A \cdot \frac{\frac{R_{in} \cdot R_{id}}{R_{in} + R_{id}}}{\frac{R_{in} \cdot R_{id}}{R_{in} + R_{id}} + R_2 + R_O}$$

Mentre il guadagno reale sarà pari a $G_{reale} = G_{id} \cdot \frac{-G_{loop}}{1 - G_{loop}} = \frac{1}{1 + \frac{1}{|G_{loop}|}}$, uso $x = \frac{1}{|G_{loop}|}$. Inoltre, vale anche

che $\frac{1}{1+x} \approx 1 - x$, quindi sostituisco e ottengo $G_{reale} = G_{id} \cdot \left(1 - \frac{1}{|G_{loop}|}\right)$ che posso riscrivere come $|G_{reale} - G_{id}| = \frac{|G_{id}|}{|G_{loop}|} \rightarrow \frac{|\Delta G|}{|G_{id}|} = \frac{1}{|G_{loop}|}$ è invece l'*errore di guadagno*.

³⁸ In realtà la non idealità è rappresentata dalle impedenze di ingresso e uscita, ma per semplicità di analisi saranno modellizzate come resistenze. Inoltre, si tenga presente che la resistenza è una proprietà passiva, perciò a differenza delle precedenti, avrà un impatto diverso sul circuito. R_{id} dovrà essere considerata solo nel calcolo del G_{LOOP} .

Applicazioni degli OPAMP

In questo capitolo saranno analizzate tutte quelle applicazioni degli amplificatori operazionali il cui obiettivo andrà oltre la semplice amplificazione di un segnale.

Sommatore Invertente³⁹: è un circuito che permette di miscelare più segnali facendone una somma; si vede bene l'azione di somma andando ad applicare il principio di sovrapposizione degli effetti su ciascuno dei suoi rami in ingresso. Infatti, si avrà una $V_{out} = \sum_{k=1}^N -\frac{R_F}{R_k} \cdot V_k \rightarrow$ l'uscita risulta essere una somma pesata degli ingressi; il peso è proprio di ciascun canale e pari al guadagno ideale (di canale)

$$G_{id_{ch}} = -\frac{R_F}{R_{ch}}.$$

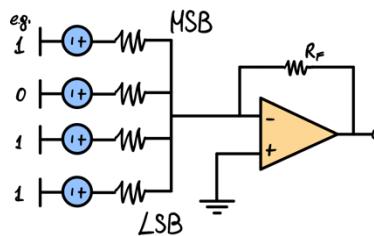
Se $R_k = R_{in} \forall k$ allora la $V_{out} = -\frac{R_F}{R_{in}} \cdot \sum_{k=1}^N V_{in,k}$, in questo caso particolare l'uscita risulta essere una somma amplificata degli ingressi.

Per ottenere in uscita una somma semplice degli ingressi si dovranno utilizzare dei valori di resistenza tali che $R_F = R_{in} = R_k \forall k$.

- *Guadagno d'anello*, come visto in precedenza, sarà pari a $G_{loop} = -A \cdot \frac{R_{eq//}}{(R_{eq//} + R_F)}$.
- L'uscita si può anche calcolare in funzione del guadagno d'anello come di seguito.

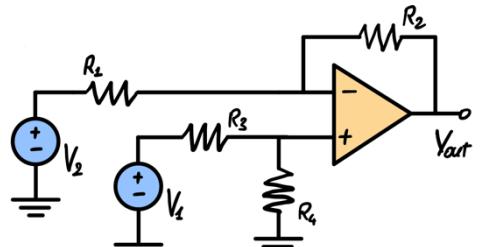
$$V_{out} = \left(-R_F \cdot \sum_{k=1}^N \frac{V_{in,k}}{R_k} \right) \cdot \frac{-G_{loop}}{1 - G_{loop}}$$

- Tra le applicazioni più ricorrenti del sommatore invertenti vi è il *mixer audio* (in versione molto basica). Oppure il *DAC* o *Digital – Analogic Converter*, che converte il segnale digitale e analogico, come si può vedere dal seguente schema circuitale ($G = -\frac{R_F}{R_{in}}$).



Sottrattore: circuito che permette di avere in uscita la differenza pesata di due segnali. La tensione di uscita sarà pari a $V_{out} = V_1 \cdot \left(1 + \frac{R_2}{R_1}\right) - V_2 \cdot \frac{R_2}{R_1}$, dalla cui equazione si può notare il peso dei segnali in ingresso. Per ottenere una sottrazione semplice in uscita si può utilizzare un partitore resistivo.

- Per le resistenze R_3 ed R_4 deve valere $\frac{R_4}{R_3} = \frac{R_2}{R_1}$.



Le prossime applicazioni (o circuiti) da analizzare saranno i derivatori ed integratori invertenti, che saranno studiati sia nel dominio del tempo che in quello delle frequenze, utilizzando le trasformate di *Fourier* e *Laplace*.

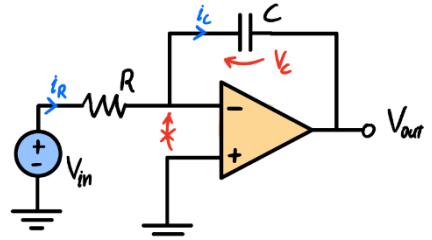
³⁹ Per invertire la somma è sufficiente aggiungere un altro amplificatore operazionale in configurazione invertente.

Integratore invertente: dato il circuito a fianco, si può ricavare l'uscita in funzione dell'ingresso studiando il modello circuitale attraverso le seguenti equazioni.

$$i_R = \frac{V_{in}}{R}, \quad i_C = I_R, \quad V_{out} = -V_C$$

$$C \cdot \frac{dV_C}{dt} = \frac{V_{in}}{R}, \quad \int_0^{V_C(t)} dV_C = \frac{1}{R \cdot C} \cdot \int_{-\infty}^t V_{in} dt,$$

$$V_C(t) = \frac{1}{R \cdot C} \cdot \int_{-\infty}^t V_{in}(\tau) d\tau \Rightarrow V_{out} = -\frac{1}{R \cdot C} \cdot \int_{-\infty}^t V_{in}(\tau) d\tau$$



Dalla precedente espressione si osserva che l'uscita è proporzionale all'integrale dell'ingresso; è importante sottolineare che tale formula può essere ampliata aggiungendo le condizioni (o stato) iniziale $\rightarrow V_{out} = -\frac{1}{R \cdot C} \cdot \int_0^t V_{in}(\tau) d\tau + V_{out}(0)$.⁴⁰ Tutta l'analisi svolta finora, è stata eseguita nel dominio del tempo, ma si potrebbe operare anche nel dominio delle frequenze.

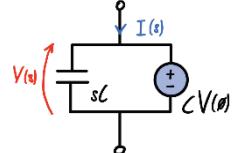
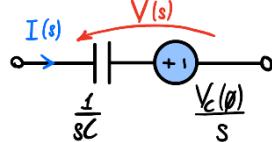
$$Z_R(s) = R, \quad Z_C(s) = \frac{1}{s \cdot C}, \quad V_C(s) = \frac{1}{C} \cdot \frac{I(s)}{s} = Z_C \cdot I(s)$$

Inoltre, $s = j \cdot \omega$ e $\bar{Z} = \frac{1}{j \cdot \omega \cdot C}$, mentre la $i_C = C \cdot \frac{dV}{dt}$. Allora utilizzando le trasformate di Laplace si otterranno le relazioni di seguito.⁴¹

$$\mathcal{L}\left(\frac{df(t)}{dt}\right) = s \cdot F(s) - f(0) \rightarrow \mathcal{L}(i_C(t)) = \mathcal{L}\left(C \cdot \frac{dV_C}{dt}\right)$$

$$I_C(s) = s \cdot C \cdot V(s) - C \cdot V(0)$$

Quindi la relazione di $I_C(s)$ può essere modellizzata come il circuito a fianco; si osserva facilmente come non sia il modello ideale per identificare o determinare il valore di carica iniziale. A tal proposito, è preferibile riscrivere la relazione di $I_C(s)$ come $V_C(s) = \frac{1}{s \cdot C} \cdot I_C(s) + \frac{V_C(0)}{s}$ che corrisponde alla seguente rappresentazione circuitale.

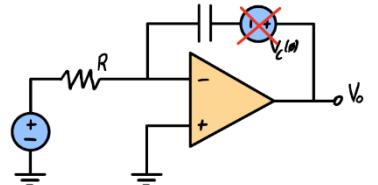


Si può osservare come la trasformata \mathcal{L} permetta di considerare il condensatore carico come un generatore ideale di tensione in serie ad un condensatore scarico.



Dato un integratore invertente, se si vuole analizzare tutta la storia considerando un valore iniziale, allora sarà necessario utilizzare il principio di sovrapposizione degli effetti \rightarrow se il condensatore ha una precarica, il circuito da analizzare sarà come quello a destra.

Quindi, analizzando tale circuito nel dominio delle frequenze ($j\omega$) dovrà essere eliminato il generatore $V_C(0)$ poiché in regime sinusoidale permanente ha frequenza nulla.



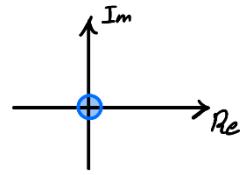
$$\text{Allora la funzione di trasferimento sarà } \frac{V_{out}(s)}{V_{in}(s)} = -\frac{1}{sRC} \quad \text{wavy arrow} \quad \frac{V_{out}(j\omega)}{V_{in}(j\omega)} = -\frac{1}{j\omega RC}.$$

⁴⁰ È importante controllare sempre le condizioni iniziali, fondamentali per la correttezza di un esercizio.

⁴¹ \mathcal{L} indica la *Trasformata di Laplace*.

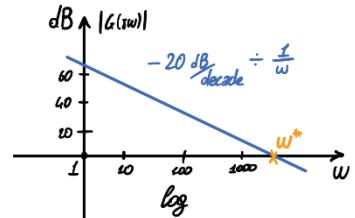
Per analizzare meglio la funzione di trasferimento saranno introdotti due nuovi strumenti.

- *Diagramma dei Poli/Zeri*, usato per la $G(s)$, è possibile osservare da tale diagramma che si ha un unico polo, poiché il valore che annulla il denominatore è $s = 0 \Rightarrow$ si avrà un polo nell'origine.

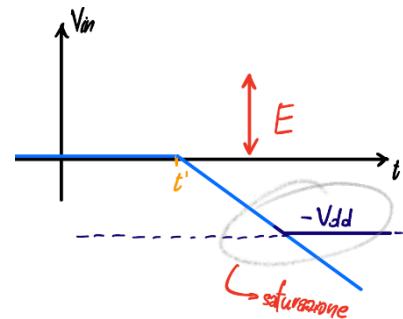
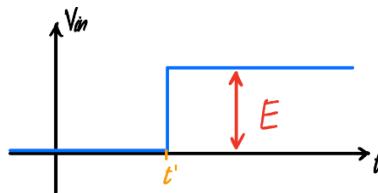


- *Diagramma di Bode*, usato per la $G(j\omega)$, dove affermare che $|G(j\omega)| = x$ vuol dire che l'ampiezza dell'uscita è pari a x volte l'ampiezza dell'ingresso⁴². Inoltre, più è alta la frequenza in ingresso, tanto minore sarà l'amplificazione.

$$\omega^* = \frac{1}{RC}$$



Tornando nel dominio del tempo, i precedenti due diagrammi possono essere rispettivamente tradotti nel dominio del tempo come illustrato nei due schemi successivi.



Nel grafico a destra è evidenziato il fenomeno della saturazione, che si ha oltre un certo valore, solitamente $\geq V_{dd}$; per evitare che ciò accada si possono adottare due differenti soluzioni.

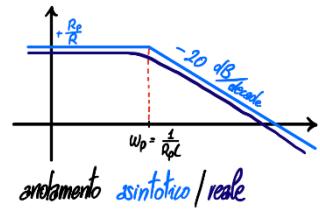
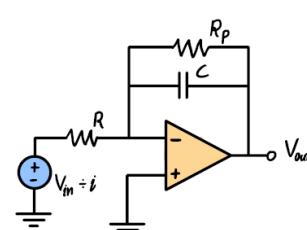
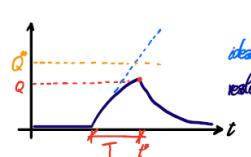
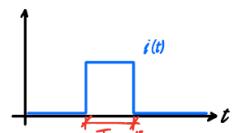
- Non dare costanti in ingresso, è la soluzione più logica ma non applicabile in contesti reali; funziona solamente con amplificatore operazionale ideale.
- Modifica del circuito con aggiunta di un resistore in parallelo al condensatore. Considerando la parte evidenziata si avrà $Z(j\omega) = \frac{R_p \cdot \frac{1}{j\omega C}}{R_p + \frac{1}{j\omega C}} = \frac{R_p}{1 + j\omega R_p C}$ dove per $\begin{cases} \omega \rightarrow 0 \Rightarrow Z(j\omega) = R_p \\ \omega \rightarrow \infty \Rightarrow Z(j\omega) = \frac{1}{j\omega C} \end{cases}$. Mentre come funzione di trasferimento si avrà la seguente.

$$G(j\omega) = -\frac{\frac{R_p}{1+j\omega R_p C}}{R} = -\frac{R_p}{R} \cdot \frac{1}{1+j\omega R_p C} \quad G(s) = -\frac{R_p}{R} \cdot \frac{1}{1+sR_p C} \quad \text{con } s = -\frac{1}{R_p C}$$

Inoltre, l'integratore funziona solo alle alte frequenze, in particolare quelle

$$\text{oltre } \omega_p = \frac{1}{R_p C} \text{ e } \frac{|G(j\omega)|}{|G(0)|} = -3dB = \frac{1}{\sqrt{2}} = 0.707.$$

Volendo osservare meglio l'andamento dell'uscita a seguito di un generico ingresso, di seguito uno schema esemplificativo di un prototipo di filtro passa-basso.

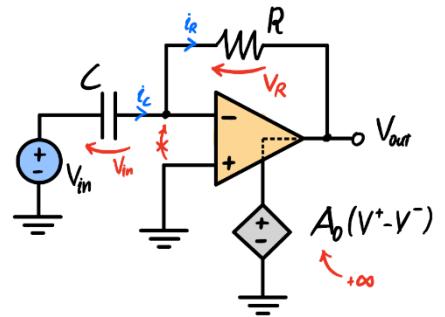


⁴² Amplificazione proporzionale al guadagno.

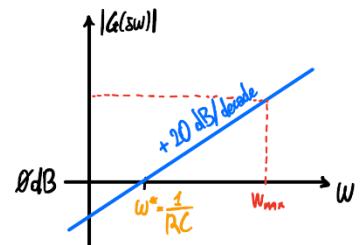
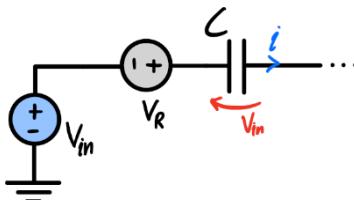
Derivatore invertente: circuito duale dell'integratore, si distingue anch'esso in ideale e reale. La funzione di trasferimento nel dominio del tempo sarà ottenuta grazie alle seguenti relazioni.

$$i_C = C \cdot \frac{dV_{in}}{dt}, \quad i_R = i_C, \quad V_R = R \cdot i_R = R \cdot i_C = R \cdot C \cdot \frac{dV_{in}}{dt}$$

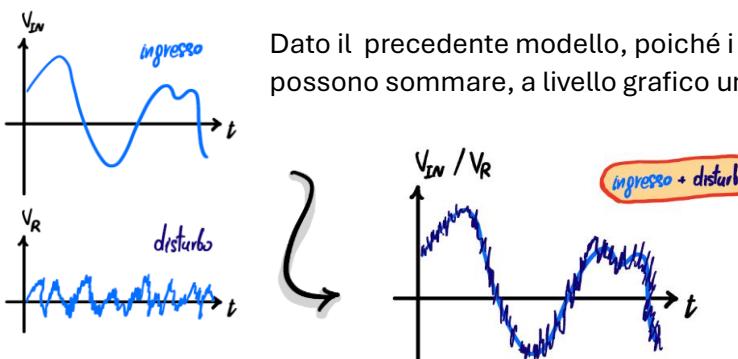
$$V_{out} = -V_R \Rightarrow V_{out} = -R \cdot C \cdot \frac{dV_{in}}{dt}$$



Dalla precedente equazione è possibile osservare come in uscita si abbia un segnale proporzionale alla derivata dell'ingresso. Inoltre, nel dominio delle frequenze la fase sarà $\phi = 180^\circ$, dovuta alla natura invertente del derivatore. Negli altri domini si avranno $G(s) = -s \cdot R \cdot C = \frac{V_{out}(s)}{V_{in}(s)}$ e $G(j\omega) = -j\omega \cdot R \cdot C$, rispettivamente dominio di Laplace e delle frequenze. Il modello appena presentato è errato poiché non considera il rumore. Si può inserire in una nuova rappresentazione circuitale come un generatore ideale di tensione V_R tra V_{in} e C .

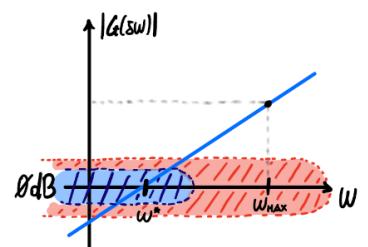


Come viene influenzato, dal rumore, il circuito?



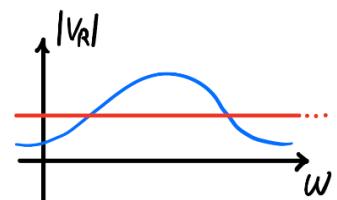
Dato il precedente modello, poiché i generatori ideali di tensione sono in serie si possono sommare, a livello grafico un esempio di seguito.

Si può vedere come il rumore abbia un'ampiezza molto limitata ma che varia velocemente nel tempo.



Se la banda del segnale si trovasse nella zona evidenziata in blu, allora la banda del rumore sarebbe nella zona considerata in rosso, comprendendo anche la banda del segnale.

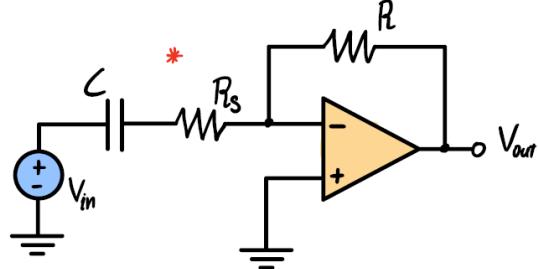
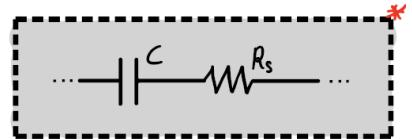
Inoltre, alcuni componenti possono generare rumore del seguente tipo. Ciò avviene in disaccordo con la teoria, dove si afferma che il rumore ha solamente banda piatta, ma tali componenti possono addirittura generare rumore in alta frequenza.⁴³



⁴³ Quando si manda in ingresso ad un derivatore un segnale con disturbi significativi (alta frequenza) allora in uscita non si avrà più la derivata del segnale, ma del segnale "affogato" in un mare di rumore.

Una possibile soluzione è l'utilizzo del dominio di *Laplace* per cercare l'origine del rumore in alta frequenza $\rightarrow |G(j\omega)| = \omega C \cdot R = \frac{R}{\frac{1}{\omega C}} \Rightarrow$ si osserva che è il condensatore a causare problemi: più la frequenza sarà alta, più si comporterà come un cortocircuito.

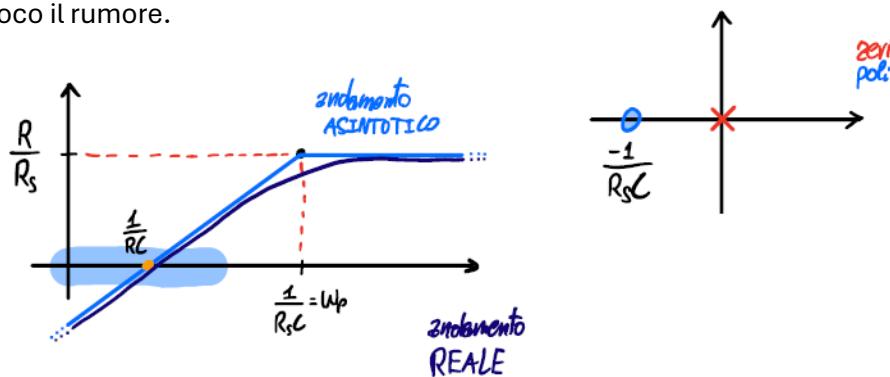
- Una soluzione è l'introduzione di una resistenza in uscita dal condensatore. In questo modo si realizza il derivatore ideale.



Quindi si possono scrivere ora le funzioni di trasferimento nei domini rispettivamente delle frequenze e di *Laplace*.

$$G(j\omega) = -\frac{Z_R(j\omega)}{Z_{in}(j\omega)} = \frac{R}{R_s + \frac{1}{j\omega C}} = -\frac{j\omega RC}{1 + j\omega R_s C} \quad G(s) = -\frac{sRC}{1 + sR_s C}$$

Effettuando un'analisi delle frequenze si avrà per $\begin{cases} \omega \rightarrow 0 \Rightarrow G(j\omega) = 0 \\ \omega \rightarrow \infty \Rightarrow G(j\omega) = -\frac{R}{R_s} \end{cases}$, cioè, viene amplificato il segnale ma poco il rumore.



Nota: il guadagno statico nel dominio di *Laplace* è pari $A(s) = \frac{A_0}{1+s\tau_0}$, che generalmente ha una frequenza di taglio molto bassa.

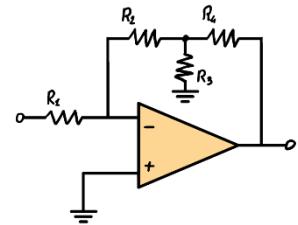
- *Gain BandWidth Product* viene indicato con GBWP
- Per una bassa frequenza ($|G_{LOOP}| \gg 1$) il Guadagno reale è circa $|G_{ID}|$.
- Per un'alta frequenza ($|G_{LOOP}| \ll 1$) il guadagno reale è circa $|G_{ID}| \cdot |G_{LOOP}|$.

Osservazione: a frequenze superiori a quelle del polo, il derivatore si comporta come un amplificatore invertente e avrà $|G(j\omega)|$ costante.

Applicazioni particolari degli OPAMP

Amplificatore ad alta impedenza: simile all'amplificatore invertente, è una tipologia di circuito che consente di caricare molto poco il sensore all'ingresso grazie all'elevata impedenza.

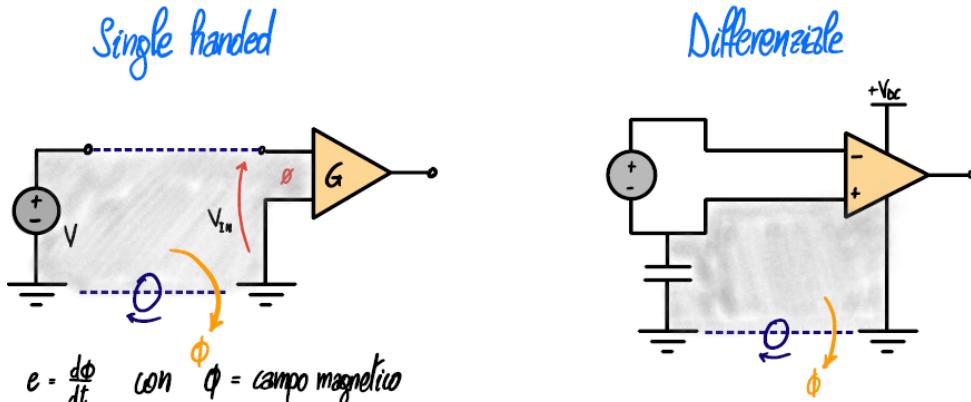
$$Z_{in} = 1M\Omega \quad |G| = 100$$



Come si possono ottenere i precedenti valori?

Analizzando il circuito, si osserva che $V_{R_2} = -R_2 \cdot i_1 = -\frac{R_2}{R_1} \cdot V_{in}$, $i_3 = \frac{V_{R_2}}{R_3} = -\frac{R_2}{R_1 \cdot R_3} \cdot V_{in}$, $i_4 = i_1 - i_3 = \left(\frac{1}{R_1} + \frac{R_2}{R_1 \cdot R_3}\right) \cdot V_{in}$, $V_{out} = V_{R_2} - V_{R_4} = -\left(1 + \frac{R_4}{R_2} + \frac{R_4}{R_3}\right) \cdot \frac{R_2}{R_1} \cdot V_{in}$. Per motivi produttivi si usano valori per le resistenze tali che $R_2 = R_4 = R_1$. Quindi si avrà $G = 1 \cdot \left(1 + 1 + \frac{1M\Omega}{R_3}\right) = 100$ $R_3 = \frac{1}{98} \cdot 1M\Omega = 10,2K\Omega$.

Connessione trasduttore \leftrightarrow PLC: può essere distinta in due tipologie dette rispettivamente *Single Handled* e *Differenziale*; di seguito due schemi rappresentativi delle connessioni.



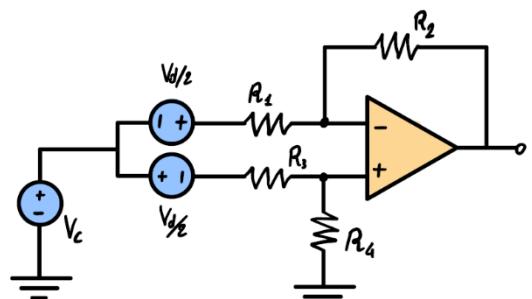
44

Per gestire una misura fatta con connessione differenziale si utilizza il sottrattore invertente, dove ai suoi ingressi vengono posti tre generatori ideali, che rappresentano la tensione di modo comune e differenziale.

$$\Rightarrow \frac{R_4}{R_3} = \frac{R_2}{R_1} \quad \begin{cases} V_1 = V_C + \frac{V_d}{2} \\ V_2 = V_C - \frac{V_d}{2} \end{cases}$$

$$COMUNE \rightarrow V_{out} = \frac{R_4}{R_4+R_3} \cdot \left(1 - \frac{R_2}{R_1} \cdot \frac{R_3}{R_4}\right) \cdot V_C$$

$$DIFFERENZIALE \rightarrow V_{out} = \frac{R_4+R_2}{R_1+R_3} \cdot V_d = \frac{R_3}{R_1} \cdot V_d = \frac{R_2}{R_1} \cdot V_d$$



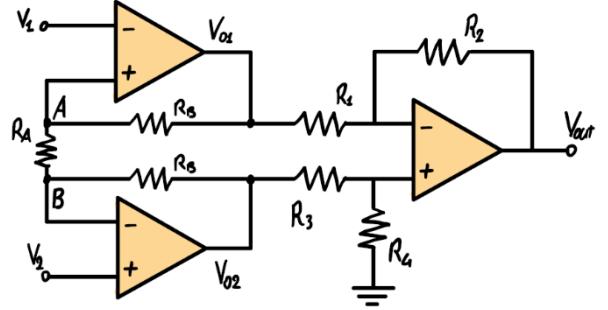
⁴⁴ Nel caso della differenziale si avrà un campo magnetico indotto, dove il rumore (grazie all'azione delle due spire) sarà spostato sul modo comune. Un ulteriore miglioramento prevede l'impiego di due cavi *twistati*, così facendo si porterà ancora di più il contributo del rumore sul modo comune.

INA o Amplificatore da strumentazione: nato dall'esigenza di amplificare i segnali differenziali ed abbattere il modo comune⁴⁵. Si compone di due stadi, dove il primo consente di trasdurre la componente differenziale della tensione in una corrente elettrica $i_{R_A} = \frac{V_1 - V_2}{R_A} = \frac{V_d}{R_A}$ ⁴⁶; in altre parole, adatta le impedenze di ingresso e uscita verso il secondo stadio ed aumenta il guadagno differenziale del sistema senza aumentare il guadagno di modo comune rispetto al guadagno di modo comune del sottrattore, dovuto al *mismatch* di resistenza.

$$V_{o1} = V_1 + R_B \cdot i_{R_A} = V_1 + (V_1 - V_2) \cdot \frac{R_B}{R_A}$$

$$V_{o2} = V_1 - R_B \cdot i_{R_A} = V_2 - \frac{R_B}{R_A} \cdot (V_1 - V_2)$$

$$\begin{aligned} (V_{o1} - V_{o2}) &= (R_A + 2 \cdot R_B) \cdot \frac{V_1 - V_2}{R_A} \\ &= \left(1 + 2 \cdot \frac{R_B}{R_A}\right) \cdot (V_1 - V_2) \end{aligned}$$



$$G_{diff,INA} = \left(1 + 2 \cdot \frac{R_B}{R_A}\right) \cdot G_{diff,SOTTRATTORE}$$

$$COMUNE \rightarrow V_1 = V_2 = V_C, \quad V_{o1}, C = V_1 = V_C, \quad V_{o2}, C = V_2 = V_C$$

$$DIFFERENZIALE \rightarrow V_{o1} = \frac{1}{2} \cdot V_d + \frac{R_B}{R_A} \cdot V_d, \quad V_{o2} = -\frac{1}{2} \cdot V_d - \frac{R_B}{R_A} \cdot V_d$$

$$CMRR_{INA} = \left| \frac{A_d}{A_c} \right| = \frac{1 + 2 \cdot \frac{R_B}{R_A}}{1} \cdot \frac{G_{diff,SOTT}}{G_{com,SOTT}}$$

Dai precedenti calcoli emerge che i resistori R_B sui due rami di retroazione sono necessari per avere l'amplificazione del modo differenziale. Se $R_{B_1} \neq R_{B_2}$ si "rompe" la simmetria del circuito, con uno sbilanciamento sul modo comune e non sul differenziale (dell'uscita). Per questo motivo, a livello reale, si cerca di rendere il più possibile simili i due resistori.

Osservazione. L'INA può essere visto come un sottrattore avanzato con un'impedenza di ingresso che tende all'infinito ($Z_{IN} \rightarrow \infty$, sia differenziale che comune) ed un miglior CMRR, circa $CMRR < \infty$.

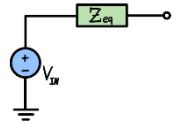
⁴⁵ Dovuta alla non perfetta uguaglianza (a livello reale) delle resistenze che dovrebbero rendere fare in modo di avere una sottrazione semplice in uscita.

⁴⁶ È la "chiave" del primo stadio dell'INA.

Note operative e limiti dell'OPAMP

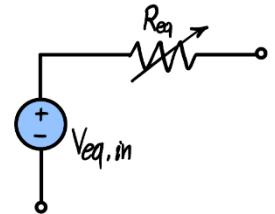


Tralasciando le modellizzazioni fatte sino ad ora, il trasduttore reale non è un generatore ideale di tensione; può essere rappresentato da un circuito equivalente Thevenin.

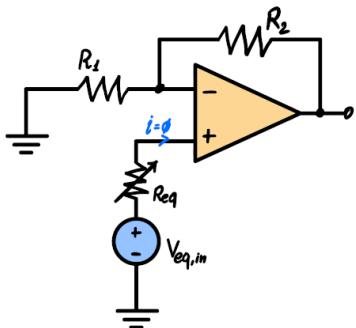


Impedenza di ingresso: applicando tensione ad uno dei morsetti in ingresso⁴⁷, questo morsetto richiederà una corrente → il loro rapporto sarà l'impedenza di ingresso; tale impedenza non è presente negli amplificatori non invertenti.

Agli effetti esterni, un trasduttore può essere visto come il circuito a destra, dove si avrà un resistore a resistenza variabile ed è essenzialmente un equivalente Thevenin. In questo modo, il guadagno dipende fortemente da R_{eq} .

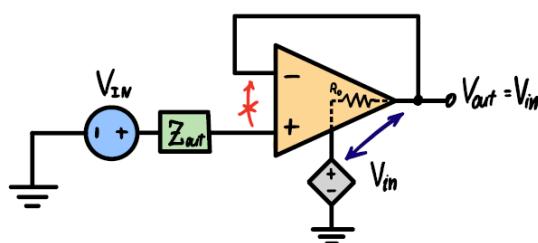


La soluzione prevede l'utilizzo di un amplificatore operazionale in configurazione non invertente modificato (come nel circuito sottostante).



Quindi si avrà $Z_{in} = +\infty$, $G = 1 + \frac{R_2}{R_1}$, ma per avere guadagno pari a 1 basterà porre $R_2 = 0 \forall R_1$ (prototipo di buffer).

Buffer: o *adattatore di impedenza*, è utilizzato per avere in uscita la tensione di ingresso; il ramo di retroazione consente di bypassare R_0 , per cui il circuito sarà visto agli effetti esterni come un generatore ideale di tensione. Quindi, per risolvere il circuito si procederà come di consueto.



Nella pagina seguente saranno analizzate le limitazioni dovute all'utilizzo di circuiti che integrano amplificatori operazionali reali.

⁴⁷ Si intende l'ingresso dello stadio amplificatore.

Limitazioni: dovute allo stadio di uscita dell'OPAMP (in particolare dovute alla $C_{parassita}$ e MOSFET), né saranno analizzati due, lo *slew rate* e la *corrente massima*.

- **Slew rate:** massima derivata dell'uscita rispetto al tempo, $\frac{dV_{out}}{dt} \Big|_{MAX}$. In altre parole, definisce la massima tendenza dell'uscita dell'operazionale; dovuto alla capacità parassita, è importante nell'analisi in frequenza dell'OPAMP.
 - Negli esercizi si dovrà calcolare la derivata dell'uscita, poi determinare il massimo valore ed assicurarsi che sia minore del valore dello *slew rate*.
 - È una limitazione **NON RISOLVIBILE**, l'unico modo è cambiare operazionale.
- **I_{MAX} :** corrente massima dell'operazionale, dovuta alla corrente di saturazione dei MOS interni all'operazionale. Si avrà una V_{out} che sale più lentamente rispetto a quanto ci si potrebbe aspettare.
 - Allo stesso modo della precedente limitazione, l'unico modo per risolvere tale problema sarà cambiare operazionale.

Teorema del Campionamento

L'esigenza del campionamento nasce dalla necessità di elaborare, conoscere il valore dei segnali reali, che sono continui (andamento privo di "salti"). Per determinare questi valori si utilizzano due operazioni, il **campionamento** e la **digitalizzazione**.

- **Campionamento** → discretizzazione sull'asse dei tempi di un segnale continuo, effettuata a passo costante così da agevolare l'analisi del segnale nel dominio delle frequenze. In altre parole, si valuta il segnale a tempo discreto.
- **Digitalizzazione** → discretizzazione sull'asse verticale, in maniera analoga a quanto visto con il campionamento; di fatto va a discretizzare i differenti valori assunti dal segnale nel tempo.

L'alterazione dello spettro del segnale non porta ad un'alterazione del suo contenuto informativo.

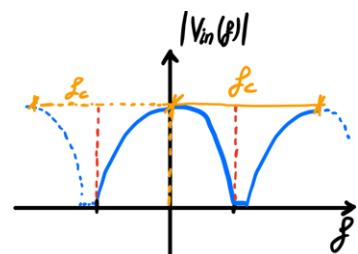
Sarà analizzata l'operazione di campionamento, motivo per cui si rende necessario introdurre le seguenti convenzioni:

- Il segnale campionato è una serie di *impulsi di Dirac*; l'impulso riesce a conservare le proprietà energetiche della funzione campionata (ricostruzione con integrale più facile).
- Si avrà una replica del segnale di partenza sull'asse delle frequenze, dallo stesso contenuto informativo.
- A partire dal segnale campionato – se valgono le ipotesi del **teorema del campionamento** – si potrà ricostruire il segnale.

Ipotesi del Teorema di Shannon: affinché valga il teorema, dovranno essere rispettate le seguenti condizioni operative.⁴⁸

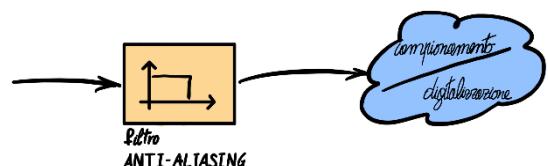
$$|V_{in}(f)| \neq 0 \quad \wedge \quad (-f_{max}; +f_{max}) \Leftrightarrow |F(j\omega)| = 0^{49}$$
$$f_c \geq 2 \cdot f_{max}$$

Teorema di Shannon: afferma che è necessario prendere almeno due punti o valori di campionamento per periodo, questo per avere le minime informazioni necessarie per ottenere un buon segnale privo di *aliasing*.



Aliasing: fenomeno causato dal sotto-campionamento⁵⁰ del segnale, dove si avrà la creazione di un *alias*, cioè un segnale campionato che non rappresenterà più quello in ingresso al sistema. Inoltre, si avrà sicuramente *aliasing* nell'eventualità in cui il segnale non sia a banda limitata (prima ipotesi del teorema).

Filtro anti-aliasing: filtro passa-basso utilizzato per far in modo che il segnale analizzato sia a banda limitata; viene inserito a monte della catena di conversione.



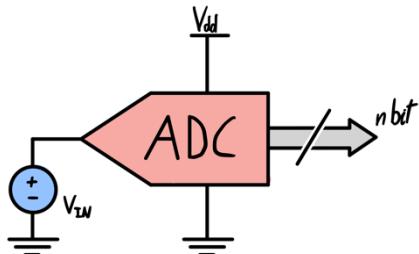
⁴⁸ Notazione utilizzata: f = frequenza, f_c = frequenza di campionamento.

⁴⁹ Cioè, non vi devono essere frequenze oltre la frequenza massima. È condizione necessaria per avere banda limitata.

⁵⁰ Corrisponde al non soddisfacimento della seconda condizione, in altre parole $f_c < 2 \cdot f_{max}$.

Condizioni reali: i segnali reali non sono a banda limitata, perciò si avrà sempre *aliasing*, ma potrà essere notevolmente ridotto con l'utilizzo del filtro e rispettando il più possibile il teorema del campionamento. Tutto ciò è reso possibile anche ad una caratteristica dei segnali reali; infatti, il loro spettro risulta essere estremamente ridotto oltre una certa banda (per cui può essere approssimato).

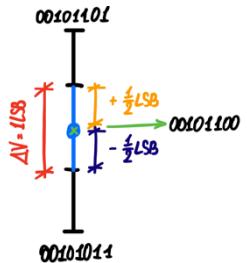
Introduzione all'ADC: è importante mantenere il segnale in ingresso senza cambiarlo finché l'ADC non ne termina l'elaborazione. Se la tensione analogica è compresa (varia) in un certo range di valori che non “sfora” andando a rappresentare un altro bit, allora l'ADC ne prosegue l'elaborazione senza difficoltà.



Per *LSB* si intende il *least significant bit* (dell'ADC), che vale $LSB = \frac{V_{FS}}{2^n}$ per un generico digitalizzatore a n -bit; mentre si indica con V_{FS} il valore di fondo scala.

Inoltre, per soddisfare il Teorema di Shannon, il sistema in esame dovrà rispettare la seguente condizione.

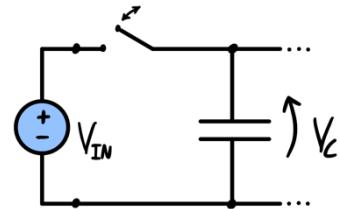
$$\left| \frac{dV_{in}}{dt} \right|_{max} \cdot T_{conversione} \leq \frac{V_{FS}}{2^n}$$



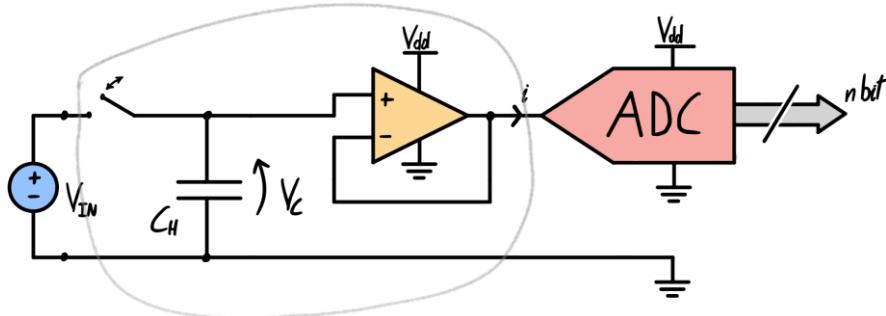
Mantenere una banda in ingresso accettabile per la precedente condizione è difficile, con la connessione diretta $V_{in} \rightarrow ADC$. Pertanto, sarà introdotto un apposito componente, il *Sample & Hold*.

Sample & Hold: componente che consente⁵¹, la stabilizzazione del segnale in ingresso all'ADC vero e proprio, mantenendolo fino al termine dell'operazione. Per far ciò è necessaria una *memoria analogica*, a questo scopo sarà adoperato un condensatore.

Poiché il condensatore potrebbe scaricarsi troppo velocemente, sarà aggiunto a valle del componente un circuito ad alta impedenza Z .

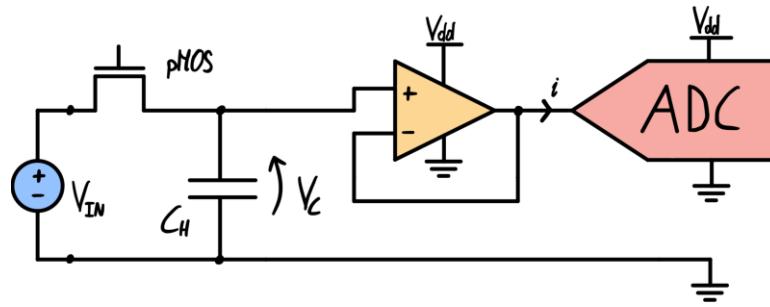


Con il seguente modello – completo – di digitalizzatore, viene illustrato all'interno dell'area tratteggiata il *sample & hold*. Inoltre, l'interruttore può essere realizzato con un *nMOS*, un *PTL*, un *pMOS* oppure un *gate*.

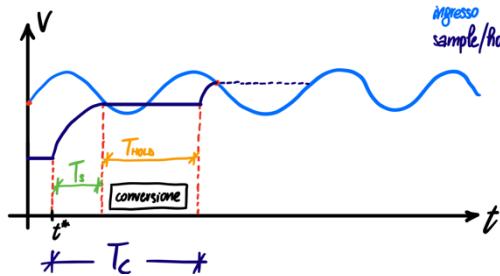


Una soluzione comunemente utilizzata prevede l'impiego di *pMOS* → grazie alla resistenza di canale la fase di *sample* avviene in un tempo finito. Dal momento in cui si attiva il transistor (approssimandolo a R_{ch}) quella porzione di circuito diventa un *circuito RC*, che avrà un transitorio RC.

⁵¹ Durante il processo di conversione.



Durante il transitorio di *sample* si potrà modellizzare il segnale in ingresso come costante (in maniera molto approssimata), oppure poco variabile. Nella fase di *hold* il segnale viene mantenuto idealmente costante; in questo modo si elimina la necessità di derivare il segnale per osservarne l'andamento.

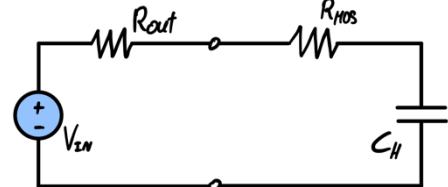


Allora il *Sample & Hold* permette di impostare un nuovo limite massimo (ideale) di frequenza di campionamento.⁵²

$$f_C = \frac{1}{T_{sample} + T_{hold}} \approx \frac{1}{T_{hold}} \approx \frac{1}{T_{conversione}}$$

Non idealità del Sample & Hold: prima delle non idealità sarà analizzata la Fase di Sample del componente. Partendo dal suo circuito equivalente si ottiene

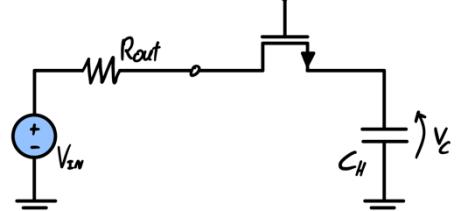
$$\tau = (R_{out} + R_{mos}) \cdot C_H$$



Per determinare R_{mos} si utilizza il circuito di seguito e tenendo presente che si vuole utilizzare il MOSFET come interruttore, quest'ultimo sarà usato in zona *ohmica* per far *caricare* più velocemente il condensatore⁵³.

$$R_{ch} = \frac{1}{2 \cdot K_p \cdot (V_{GS} - V_T)} \quad V_{GS, regime} = V_G - V_{in}$$

$$V_{G_{min}} = V_{OD_{min}} + V_T + V_{in_{max}} \quad \text{ON } ^{54}$$



$$V_G = V_{in_{min}} + V_T \quad \text{OFF}$$

Nota: R_{out} è decisa dal produttore.

$$V_{G_{max}} = V_{in_{min}} + V_T \quad \text{Hold}$$

$$\textcircled{1} \quad R_{on,max}$$

$$\textcircled{2} \quad V_{OD,min} = \frac{1}{2kR_{on,max}}$$

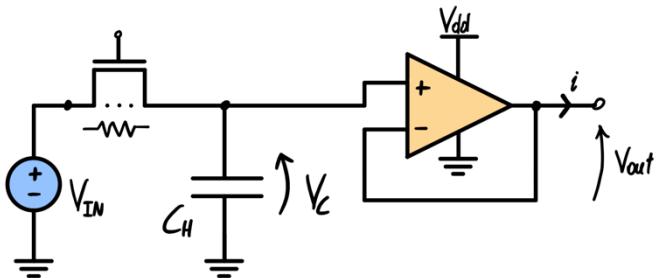
$$\textcircled{3} \quad V_{GS,min} = V_{OD,min} + V_T$$

$$\textcircled{4} \quad V_{G,min} = V_{GS,min} + V_{in,max} \quad \text{Sample}$$

⁵² Il limite precedente era rappresentato dalla derivata massima del segnale.

⁵³ La zona *ohmica* o *triodo* ha valori di resistenza di canale minori rispetto a quella di saturazione, dove contrariamente a quanto si potrebbe pensare la corrente è limitata a I_{sat} . La zona ohmica è quella a massima conduzione.

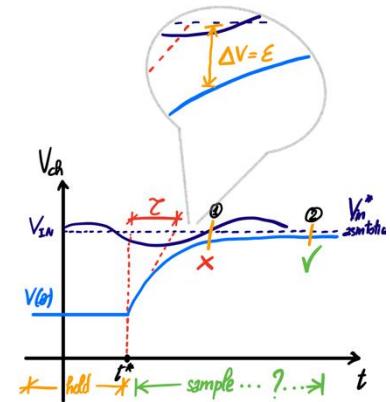
⁵⁴ $V_{G_{min}}$ per tenere il MOSFET in ON, tale che lavori in ohmica. Non si avranno problemi di 1 debole perché siamo "noi" a decidere che valore dare alla tensione di gate.



Utilizzando il modello circuitale a sinistra, saranno analizzate le non idealità del *sample & hold* nei successivi paragrafi.

- **Errore di acquisizione:** dovuto a variazione di tensione nel condensatore che funge da memoria, nel grafico sono indicate due situazioni in particolare,
 - Situazione di errore*, il sample termina troppo presto.
 - Situazione corretta*, il sample termina quando $V_H \approx V_{in}$.

Si ha l'*errore di acquisizione* quando la fase di sample termina prima che $V(0)$ abbia raggiunto il valore asintotico del segnale⁵⁵. L'errore è rappresentato da un valore espresso come una tensione ε



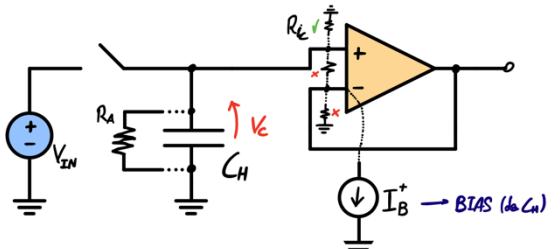
$$V_{ch}(t) = [V(0) - V_{in}^*] \cdot e^{-\frac{t}{\tau}} + V_{in}^* \quad \varepsilon = V_{in}^* - V_{ch}(t)$$

$$\Rightarrow \varepsilon = [V_{in}^* - V(0)] \cdot e^{-\frac{t}{\tau}}, \quad \omega_c = \frac{1}{R_{ON} \cdot C_H}$$

Tanto più la ω_c sarà maggiore (“in avanti” se si utilizzano i grafici di *Bode*) tanto più sarà trascurabile l’effetto dell’errore di acquisizione.⁵⁶

- **Errore di mantenimento:** il circuito opera in *hold*, è dovuto all’autoscarica di C_H (trascurabile, avviene molto lentamente)⁵⁷. L’effetto delle correnti di BIAS⁵⁸ sarà descritto dalla seguente equazione.

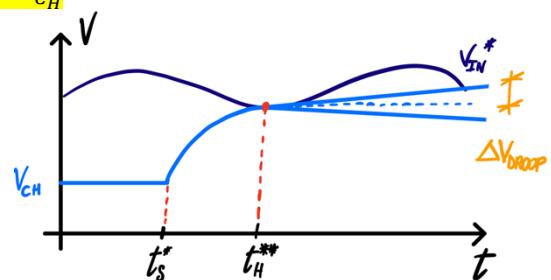
$$i_C = C \cdot \frac{dV}{dt} \rightarrow \frac{dV}{dt} = \frac{I_B}{C_H}$$



Dopo un tempo t_H^{**} la V_{ch} cambierà pendenza, verso l’alto se $I_B > 0$ altrimenti verso il basso per $I_B < 0$. Si può quantificare $\Delta V_{droop} \simeq \Delta T_C \cdot \frac{dV}{dt} = \Delta T_C \cdot \frac{I_B}{C_H}$; aggiungendo l’effetto delle resistenze in ingresso si avrà...

$$\frac{dV}{dt} = \frac{I_{eq}}{C_H} = \frac{V_C(0)}{R \cdot C_H} \quad R \equiv R_{ic}$$

$$I = I_B + \frac{V_C(0)}{R} \quad \Delta V_{droop} \simeq \frac{V_H}{R_{ic} \cdot C_H} \cdot \Delta t$$



⁵⁵ Solitamente è sufficiente che la fase di sample abbia una durata di almeno $5 \cdot \tau$.

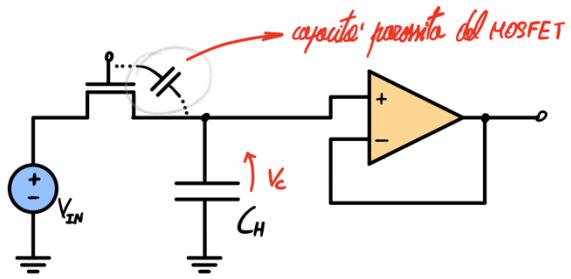
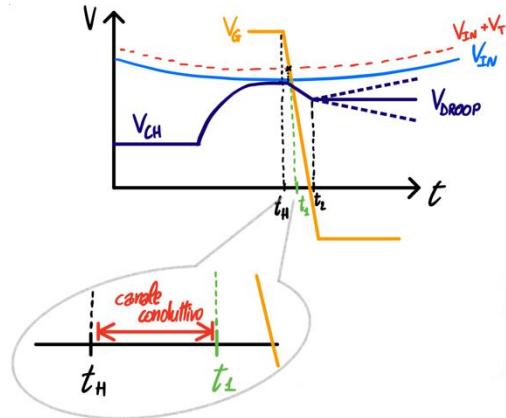
⁵⁶ Di norma sarà approssimato con le metodologie approfondite nel corso delle esercitazioni sull’argomento.

⁵⁷ Dovuta alle armature del condensatore, non perfettamente isolanti; tale fenomeno può essere visto come una resistenza molto elevata.

⁵⁸ Per ridurre l’effetto delle I_B posso aumentare la capacità C_H , oppure cambiare l’OPAMP con uno che abbia $< I_B$.

- **Iniezione di carica:**⁵⁹ fenomeno di non idealità legato al transitorio tra la fase di *sample* e quella di *hold*⁶⁰, coinvolge due condensatori connessi in serie che ad un certo punto si trovano connesso in alta impedenza → dovranno assestarsi la tensione del nodo centrale affinché si rispetti il principio di conservazione della carica.

L'effetto che ha la capacità parassita del MOSFET sulla tensione (assieme a C_H) è espresso dal grafico sottostante.

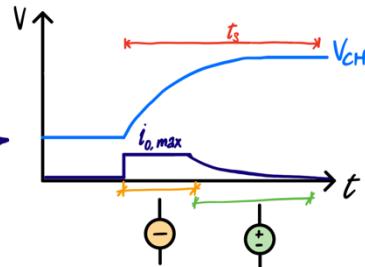
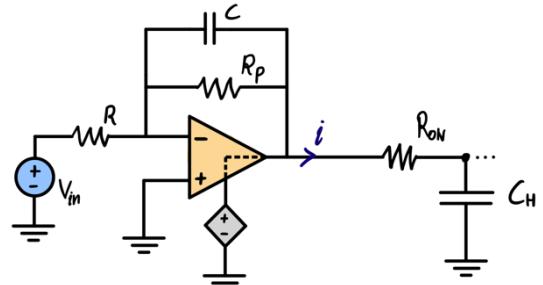
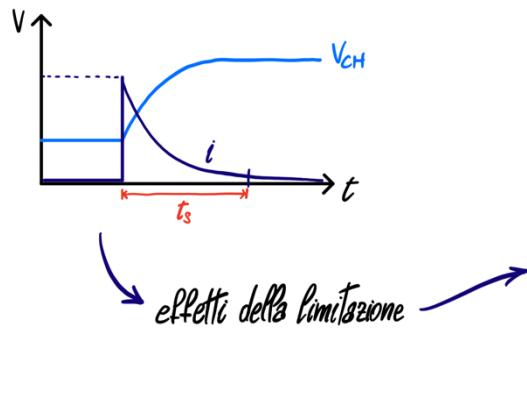


Si forma un canale conduttivo che rimane aperto finché V_G non scende al di sotto di $V_{in} + V_T$, si origina così il fenomeno dell'iniezione di carica; è possibile osservare il V_{droop} dopo t_2 . La grandezza che rappresenta questa non idealità è

$$\Delta V_{\max} = \Delta V_G \cdot \frac{C_{GS}}{C_{GS} + C_H}$$

È bene dimensionare correttamente C_H , se troppo piccolo gli effetti dell'*iniezione di carica* saranno più evidenti.

- **Limitazione in corrente:** data la presenza del filtro anti-aliasing in ingresso, si avrà in tale stadio una limitazione in corrente, i cui effetti sono visibili nei seguenti grafici.



Nel caso si utilizzi un pMOS si possono usare le seguenti equazioni:

- $V_{G_{on}} = V_{in_{min}} - |V_{OD}| - |V_{T_p}|$
- $R_{CH} = \frac{1}{2 \cdot k_p \cdot |V_{OD}|}$

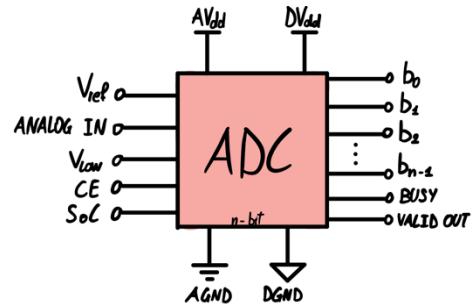
⁵⁹ È importante sottolineare che, nella rappresentazione circuitale utilizzata, viene impiegato un *nMOS*.

⁶⁰ È un fenomeno concettualmente simile a quanto accade nelle memorie RAM con il *charge – sharing*.

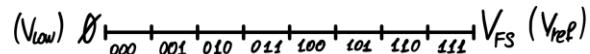
Convertitore Analogico → Digitale

Il *Convertitore Analogico Digitale* è un dispositivo che genera una parola digitale a partire da un segnale analogico. Utilizzando come riferimento lo schema seguente, si potranno definire gli ingressi e le uscite del componente.

- V_{ref} e V_{low} sono valore massimo e valore minimo delle tensioni digitalizzabili.
- *ANALOG IN* è il segnale che si vuole misurare (digitalizzare).
- *CE* è il segnale di abilitazione del chip/ADC (o chip enable).
- *SoC* segnale per dare inizio alla conversione.
- *BUSY* segnale asserito durante la conversione.
- *VALID OUT* segnale asserito una volta terminata la conversione.



Il segnale analogico digitalizzato viene generato seguendo il procedimento del grafico sottostante (in modo semplificato).



$$V_{DIGIT}[V] = \frac{\text{codice}}{2^n} \cdot (V_{FS} - V_{low})$$

Errore di quantizzazione: è la differenza tra valore digitale e valore analogico ad esso associato, assimilabile al rumore; è caratterizzato dall'aver valor medio nullo, compreso tra $\pm \frac{1}{2} LSB$.

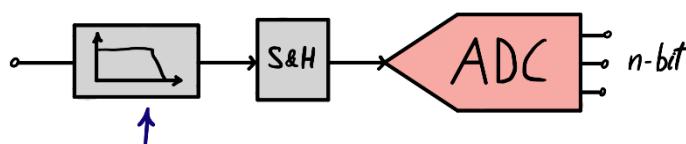
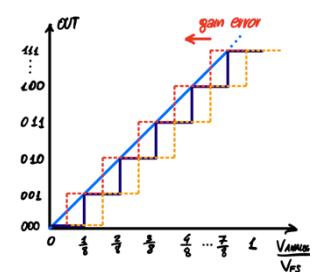
Risoluzione dell'ADC: rappresentata dall'LSB, calcolabile come $LSB = \frac{V_{FS}}{2^n}$, con $n = n^{\circ}\text{bit}$.

Caratteristica di trasferimento DAC⁶¹: data una parola digitale in ingresso, la tensione in uscita sarà proporzionale al codice numerico.

$$V_{DAC}[V] = V_{FS} \cdot \frac{\text{codice}}{2^n} = V_{FS} \cdot \frac{N_D}{2^n}$$

Errori nell'ADC: dato il grafico della caratteristica dell'ADC si potranno osservare i seguenti errori.

- *Errore di guadagno⁶²* → corrisponde ad una traslazione sull'asse delle $\frac{V_{analog}}{V_{FS}}$; se è verso sinistra allora l'uscita è troppo alta rispetto l'ingresso. È un errore *buono* perché si applica a tutta la caratteristica; è compensabile facilmente abbassando il guadagno del filtro anti-aliasing.⁶³

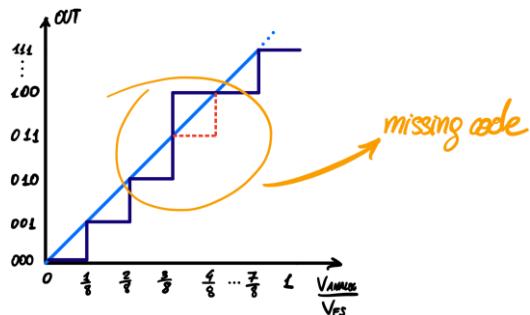


⁶¹ Non è un errore! In questo caso viene introdotta per una migliore comprensione del funzionamento di un convertitore analogico – digitale e viceversa. Chiaramente non va' confusa con quella presente al paragrafo successivo.

⁶² Si misura come differenza di ampiezza dell'ultimo gradino.

⁶³ Lo stesso vale per l'errore successivo, cioè l'*errore di offset*.

- *Errore di offset* → duale del precedente, si avrà una traslazione verso destra e potrà essere misurato come differenza di ampiezza del primo gradino. Come già anticipato si compensa facilmente.
- *Errore di non linearità differenziale (DNL)* → si ha una traslazione locale (cioè per singolo gradino), viene indicato sul *datasheet* del produttore un intervallo di variazione in termini di LSB.
- *Errore di non linearità integrale (INL)* → si ha uno spostamento del gradino dove l'errore sarà fortemente legato alla somma dei precedenti errori (dei gradini).
- *Errore di missing code* → viene rappresentato come un doppio salto tra i gradini, solitamente non più di uno.



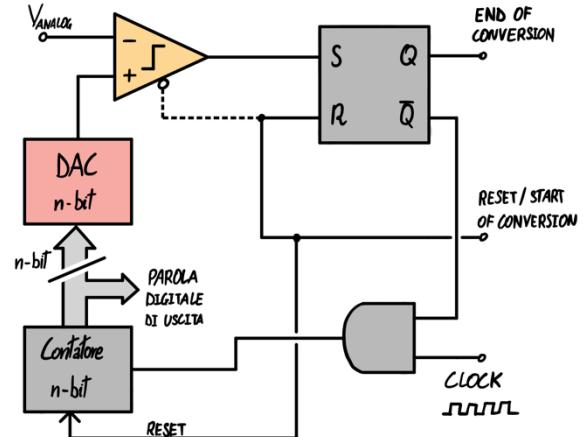
Inoltre, è bene precisare che DNL e INL sono minimizzabili solamente a livello di progettazione, pertanto non saranno presenti negli esercizi.

Attenzione! Analizzando meglio le caratteristiche dell'ADC si può osservare come il componente *Sample & Hold* non sia più strettamente necessario. Si sceglie comunque di mantenerlo perché agisce bene come filtro.

Tipologie di ADC

ADC a gradinata: implementato utilizzando diversi componenti, tra i quali un *Latch SR*⁶⁴, un DAC ed un contatore⁶⁵, ha una logica di funzionamento ripartita in tre stadi.

1. Si applica il *reset*, viene posto tutto a 0 (anche l'uscita del DAC); durante è preferibile fare in modo che l'uscita del comparatore sia ad alta impedenza.
2. Inizia la *conversione*, il contatore incrementa l'uscita e il DAC inizia ad alzare la tensione di uscita coerentemente con il codice binario in uscita dal contatore; l'uscita del comparatore è ora abilitata e pari a 0 finché $V_{out_{DAC}} < V_{ANALOG}$.
3. Quando si avrà $V_{out_{DAC}} > V_{ANALOG} \Rightarrow$ l'uscita del comparatore viene posta a 1 e l'SR viene settato per avere $Q = 1$ e $\bar{Q} = 0$, anche l'uscita *EoC* sarà pari a 1.

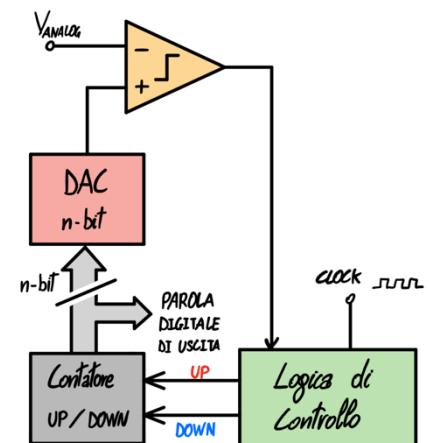


Si può osservare come un notevole svantaggio sia rappresentato dalla sovrastima del segnale in ingresso; infatti, la conversione scatta al verificarsi della condizione di maggioranza (introdotta al punto 3). È possibile risolvere/attenuare questo problema utilizzando un offset sul DAC, che osserverà la tensione di transizione del gradino; d'altro canto, aumenterebbe notevolmente la lentezza del sistema.

ADC Tracking: può essere visto come una semplificazione del precedente convertitore, il cui funzionamento è regolato da un comparatore, un DAC, un contatore e la logica di controllo. La logica di controllo è un essenzialmente un multiplexer che decide se indirizzare il clock verso *UP* o *DOWN* del contatore (funziona sia in avanti che all'indietro).

Non è più necessario l'*EoC* perché questo circuito è in grado di inseguire il segnale; funziona bene con i segnali a derivata limitata, cioè che variano lentamente. Al contrario, va' in crisi quando il segnale varia molto velocemente (molto ripido), non essendo più in grado di tracciarlo o inseguirlo (*tracking*).

I tempi di conversione si aggirano attorno ad 1 clock, a patto che l'ADC *Tracking* sia in aggancio; per rispettare questa condizione è necessario che la variazione massima sia pari ad 1LSB.



$$V_{in} = \frac{V_{FS}}{2} \cdot \sin(2 \cdot \pi \cdot f_{in} \cdot t) + \frac{V_{FS}}{2} \quad \left. \frac{dV_{in}}{dt} \right|_{\max} = 2 \cdot \pi \cdot f_{in} \cdot \frac{V_{FS}}{2} = \pi \cdot f_{in} \cdot V_{FS}$$

$$\pi \cdot f_{in} \cdot V_{FS} \cdot T_{clk} \leq \frac{V_{FS}}{2^n} \quad f_{in} \leq \frac{f_{clk}}{\pi \cdot 2^n}$$

⁶⁴ Dispositivo che implementa una memoria a 1bit.

⁶⁵ Componente che quando ha in ingresso il fronte di salita del clock, incrementa di 1 l'uscita.

ADC ad Approssimazioni Successive:⁶⁶ la novità in questo caso riguardo l'aggiornamento della logica di controllo, velocizzando la latenza del sistema e permettendo di avere intervalli di campionamento costanti.

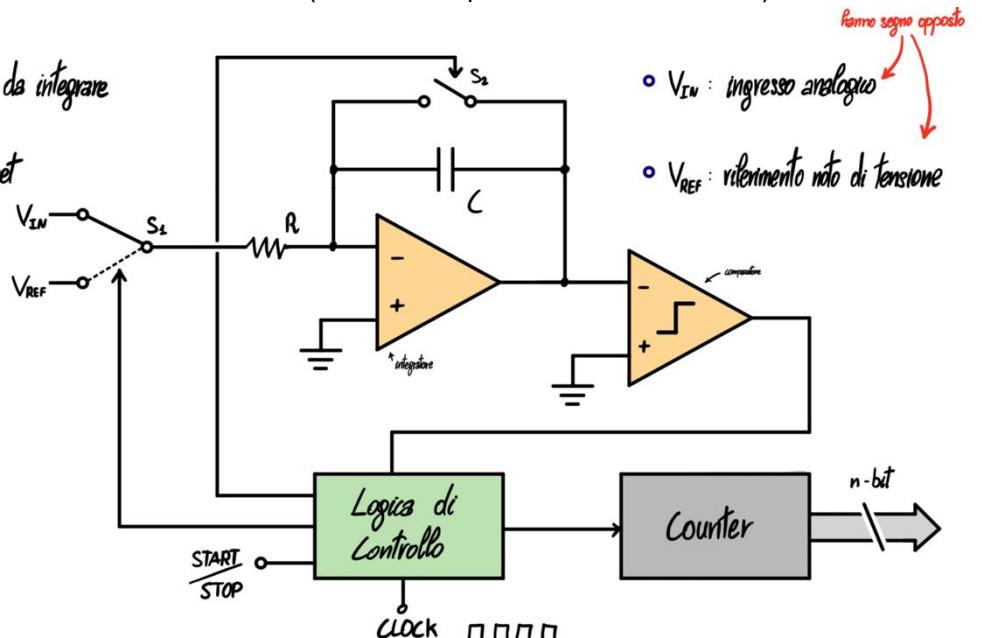
È bene sottolineare che funziona solamente con segnali costanti, quindi il componente di *Sample & Hold* deve mantenere l'ingresso V_{ANALOG} costante.

La logica implementata si basa sulla ricerca binaria – dove – dato un intervallo di tensioni da scansionare, lo si divide a metà e si controlla se l'attuale livello analogico in ingresso si trova nella prima o seconda metà → quindi, si itera il processo.

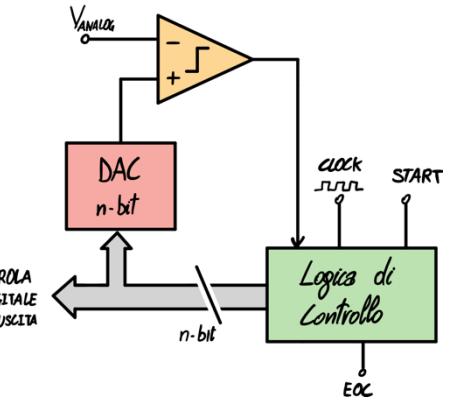
Tale procedimento non sarebbe possibile senza l'utilizzo del SAR; nello specifico, il procedimento prevede di testare prima il *MSB*, osservando se il valore attuale è maggiore o minore di quello del segnale e si itera il processo fino ad arrivare all'*LSB*. Il tempo di conversione è $T_{conv} = \frac{n}{f_{clk}} = n \cdot T_{clk}$, anche se talvolta è necessario attendere un ulteriore ciclo di clock per rendere stabili i bit sul buffer di uscita $T_{conv} = \frac{n+1}{f_{clk}} = (n+1) \cdot T_{clk}$.

ADC a Doppia Rampa: simile all'ADC a gradino ma con rampa analogica e generata da una tensione costante applicata all'ingresso di un integratore ideale. Il funzionamento del convertitore a *doppia rampa* può essere suddiviso due fasi ben distinte (descritte dopo lo schema circuitale).

- S_1 : seleziona livello tensione da integrare
- S_2 : scarica C , usato per reset



1. $S_1 \rightarrow V_{in}$ e $S_2 \rightarrow$ aperto, si considera $V_{in} < 0$ mentre V_1 cresce linearmente con una pendenza di $\frac{dV_1}{dt} = V_{in} \cdot \frac{1}{R \cdot C}$. Questa fase termina dopo 2^n conteggi⁶⁷, corrispondente al tempo T_1 .
2. L'overflow del contatore è sincronizzato con S_1 che ora sarà $S_1 \rightarrow V_{REF}$ con V_1 caratterizzata da una pendenza pari a $\frac{dV_1}{dt} = -\frac{V_{REF}}{R \cdot C}$. La fase termina (è a conteggi finiti) quando il comparatore rileva l'attraversamento dello zero.



⁶⁶ Concettualmente, usa una tecnica simile a quanto accade nell'informatica con gli attacchi di tipo *Bruteforce*.

⁶⁷ Genera l'*overflow* del contatore.

Per continuità (V_{peak} è l'elemento comune), si avranno le seguenti relazioni ed equazioni.

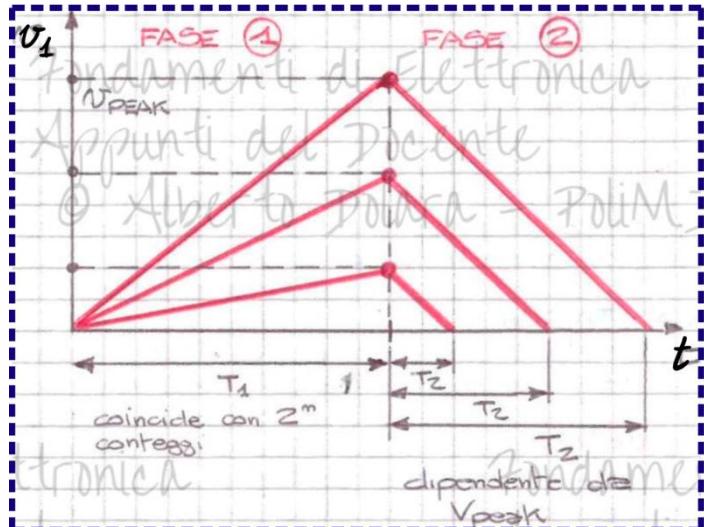
$$\frac{V_{in}}{R \cdot C} \cdot T_1 = \frac{V_{REF}}{R \cdot C} \cdot T_2 \quad (= V_{peak})$$

$$\rightarrow T_2 = V_{in} \cdot \frac{T_1}{V_{REF}}, \quad N \cdot T_{clk} = V_{in} \cdot \frac{2^n \cdot T_{clk}}{V_{REF}}$$

$$N = V_{in} \cdot \frac{2^n}{V_{REF}} \Rightarrow V_{in} = \frac{V_{REF} \cdot N}{2^n}$$

Risoluzione ADC: $\frac{V_{REF}}{2^n}$

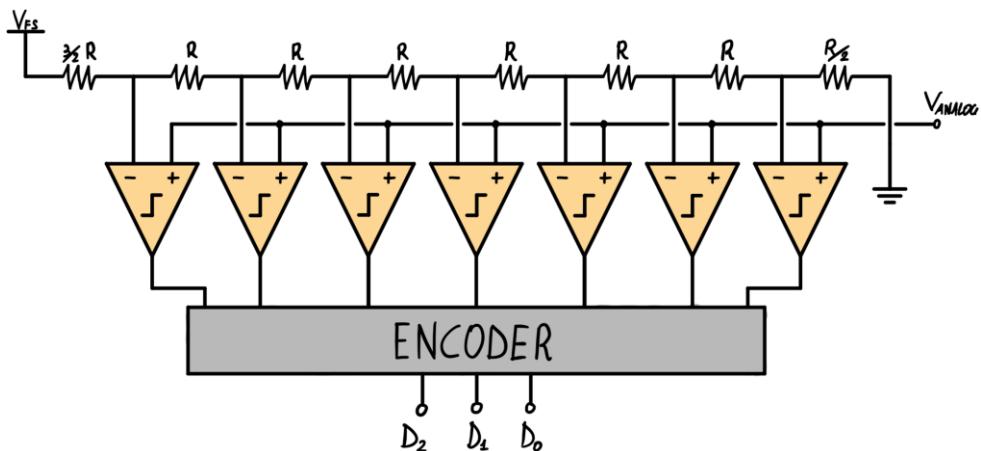
È un dispositivo molto accurato, a patto che V_{REF} sia generata con precisione. Inoltre, tutte le armoniche hanno *reiezione del rumore* $\rightarrow \infty$, questo perché l'integratore è limitato ad operare in T_1 (agisce come filtro passa-basso).



Questa tipologia di convertitore ha un numero di componenti ridotto, a discapito di un elevato tempo di conversione⁶⁸ e dipende dal livello di V_{in} .

Osservazioni: ciò che effettivamente compara (l'ADC a doppia rampa) non sono le tensioni, ma le tempistiche. Invece, T_2 è proporzionale al segnale di ingresso, N è il valore assunto dal contatore alla fine della fase (2), cioè la rappresentazione digitale di V_{in} . I tempi sono misurati in cicli di *clock*.

ADC Flash: l'equivalente elettronico di un termometro analogico⁶⁹ dove, al posto del mercurio, si usa V_{ANALOG} ; la scala graduata è invece rappresentata da un partitore resistivo che genera tutti i livelli di tensione corrispondenti a transizioni della caratteristica statica dell'ADC. Ha un'architettura parallela che gli conferisce elevata velocità di conversione. È il convertitore meno preciso tra quelli presentati finora, ma anche il più veloce, in grado di effettuare $\simeq 100Msample/s$.



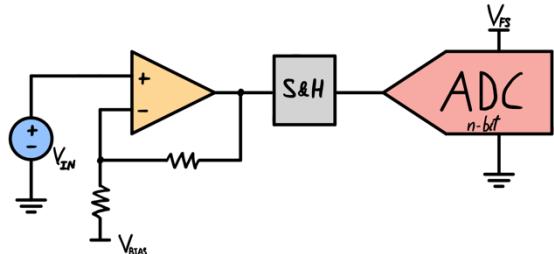
- L'**ENCODER** è un codificatore a priorità dove, tra tutti gli ingressi a 1, considera solamente l'ingresso più alto.

Come funziona? Il partitore genera - per ogni nodo – tutti i valori corrispondenti ai $2^n - 1$ livelli diversi da 0 dell'ADC. All'encoder arriva una sequenza formata da un gruppo di 0 seguito da un gruppo di 1, la frontiera che li divide cambia con il livello di tensione in ingresso.

⁶⁸ Il tempo di conversione è al massimo pari a $2 \cdot 2^n \cdot T_{clk}$.

⁶⁹ L'uscita dei comparatori impiegati dal circuito presentato è detta *codifica termometrica*.

Preprocessing dei segnali analogici: è bene fare in modo che il segnale venga pretrattato così da sfruttare tutto il fondo scala. È possibile effettuare quest'operazione utilizzando il modello seguente.



$$V_{out} = V_{in} \cdot \left(1 + \frac{R_2}{R_1}\right) + V_{BIAS} \cdot \left(-\frac{R_2}{R_1}\right)$$

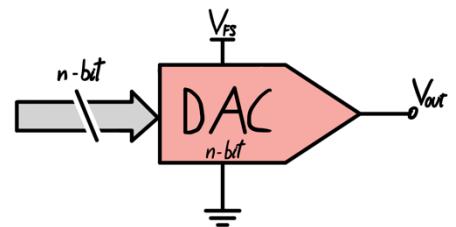
A questo punto è evidente che il segnale in uscita non rappresenta più quello originale, ma è noto di quanto è stato traslato e amplificato \Rightarrow è possibile ricostruirlo.

Una modifica a questo componente prevede di utilizzare l'amplificatore in configurazione non invertente, così da sfruttare il guadagno per adattare l'ampiezza; in tal modo il segnale in ingresso nel *Sample & Hold* avrà il rapporto tra segnale e rumore massimizzato.

In generale, si avrà una maggiore accuratezza nella conversione analogico \rightarrow digitale.

Convertitore Digitale → Analogico

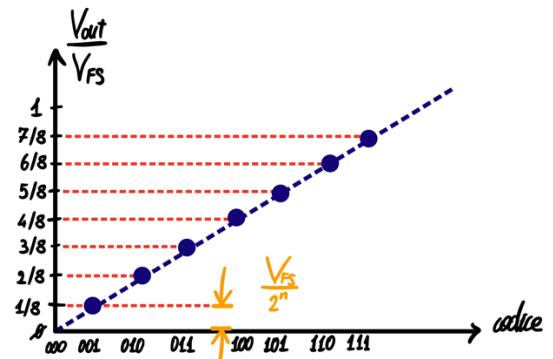
Il convertitore Digitale – Analogico è un dispositivo la cui tensione di uscita è proporzionale alla parola digitale in ingresso ed al valore di fondo scala; può avere uscita in tensione o corrente.



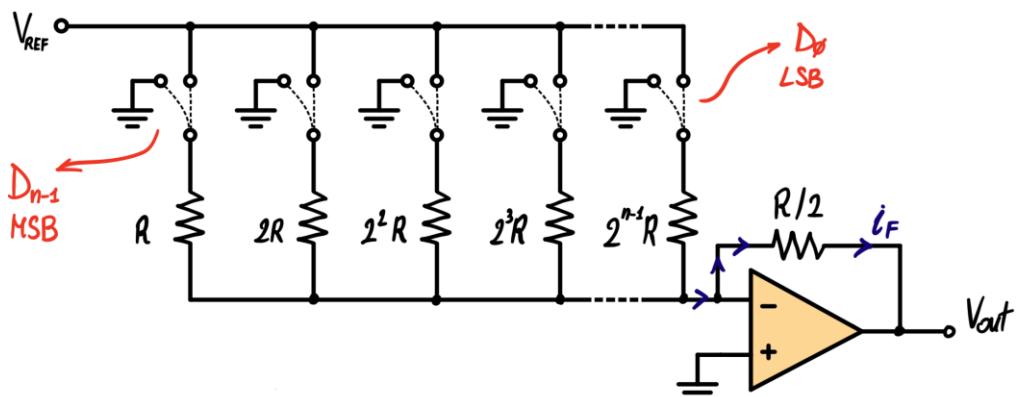
Caratteristica di trasferimento: si avrà in uscita la seguente relazione tra tensione di fondo scala e singoli bit.

$$V_{out} = V_{FS} \cdot \sum_{k=1}^n \frac{D_{n-k}}{2^k}$$

Nei paragrafi successivi saranno introdotte tre tipologie di convertitori DAC.



DAC a Resistenze Pesate: particolare circuito convertitore caratterizzato dall'avere una tensione di uscita pari a $V_{out} = -\frac{V_{REF}}{2^n} \cdot \sum_{k=1}^n (2^{n-k} \cdot D_{n-k})$, dove il sommatore ha convertito la parola digitale in una tensione proporzionale al valore decimale N_D . La i_F indicata nello schema seguente ha valore pari a $i_F = -\frac{V_{REF}}{2^n} \cdot \sum_{k=1}^n (2^{n-k} \cdot D_{n-k})$, è la “causa” della generazione di una tensione in uscita proporzionale al codice digitale; infatti $V_{out} = R_F \cdot i_F$.



Per realizzarlo sarà necessario tenere conto di alcuni parametri e condizioni costruttive, di seguito descritte.

- Le resistenze devono avere valori in progressione geometrica crescente di ragione 2.
- Si dovrà tenere conto del fatto che gli interruttori sono realizzati con i transistor; quindi, avranno anche delle resistenze di canale.
- Saranno presenti le non idealità come le correnti di polarizzazione, la V_{offset} e le resistenze (impedenze) in ingresso dell'amplificatore operazionale.
- La V_{REF} effettiva è minore rispetto quella ideale e dipende dalla parola digitale. Si può compensare invertendo resistori e deviatori.

Alcune delle non idealità presentate si possono attenuare o eliminare.

- *Tensione di offset* → trasla la caratteristica ideale verso l'alto/basso, il suo contributo aumenta al crescere del numero di bit; si può aggiungere un ramo di compensazione.

$$V_{out}|_{OS} = \pm \left(1 + \frac{R/2}{R_{eq}} \right) \cdot |V_{os}|$$

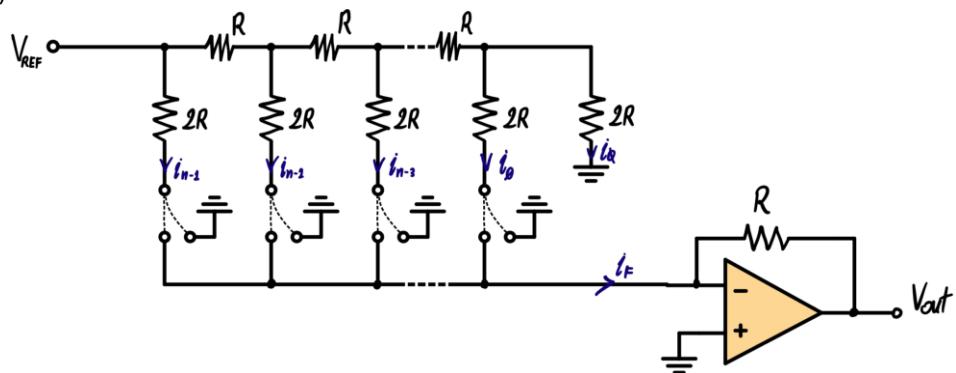
- *Correnti di Bias* → hanno un contributo analogo alla tensione di offset, facilmente compensabili aggiungendo $\frac{R}{2}$ in parallelo alla R_{eq} su ingresso non invertente.

$$V_{out}|_{IB} = -I_B \cdot \frac{R}{2}$$

- *Deviatori non ideali* → le R_{ch} portano ad una riduzione del guadagno medio (compensabile), il loro effetto è più evidente ai bit maggiori; sul grafico si traduce in una diminuzione della pendenza della caratteristica. Inoltre, sono presenti gli errori di non linearità (non compensabili).

- *Impedenze di uscita* → $V_{out} < \frac{V_{REF}}{2^n} \cdot N_D$ a causa della resistenza di carico R_L ; per ridurre l'errore si coordina R_L con Z_{out} , facendo in modo che $R_L \gg R_{out}$.
- *Settling time*⁷⁰ → tempo necessario affinché l'uscita analogica del DAC si assesti entro una certa banda (spesso $\pm \frac{1}{2} LSB$).
- *Glitch del segnale di uscita* → presenza di picchi o buchi nell'uscita durante le transizioni, dovuti alle commutazioni non perfettamente sincrone dei deviatori. Può causare generazione di codice intermedio.

DAC R-2R: vede applicato uno dei miglioramenti suggeriti al paragrafo precedente, dove resistori e deviatori sono invertiti. In questa configurazione la resistenza vista dal generatore V_{REF} è costante e pari ad R ; per funzionare è necessario che circoli sempre corrente. Potranno essere impiegati solamente due tipi di resistori, R e $2R$; la caduta di tensione su R_{REF} genera solo errore di guadagno (non quelli di non linearità).



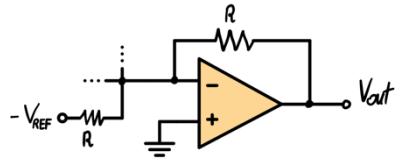
Valgono le seguenti relazioni, dove si avrà che $i_{n-1} = \frac{V_{REF}}{2 \cdot R} \rightarrow i_{n-2} = \frac{i_{n-1}}{2} \rightarrow ecc ...$

$$i_F = \frac{V_{REF}}{2 \cdot R} \cdot D_{n-1} + \frac{V_{REF}}{2^2 \cdot R} \cdot D_{n-2} + \dots + \frac{V_{REF}}{2^n \cdot R} \cdot D_0 \quad V_{out} = -\frac{V_{REF}}{2^n \cdot R} \cdot D_0 \quad i_0 = \frac{V_{REF}}{2^n \cdot R}$$

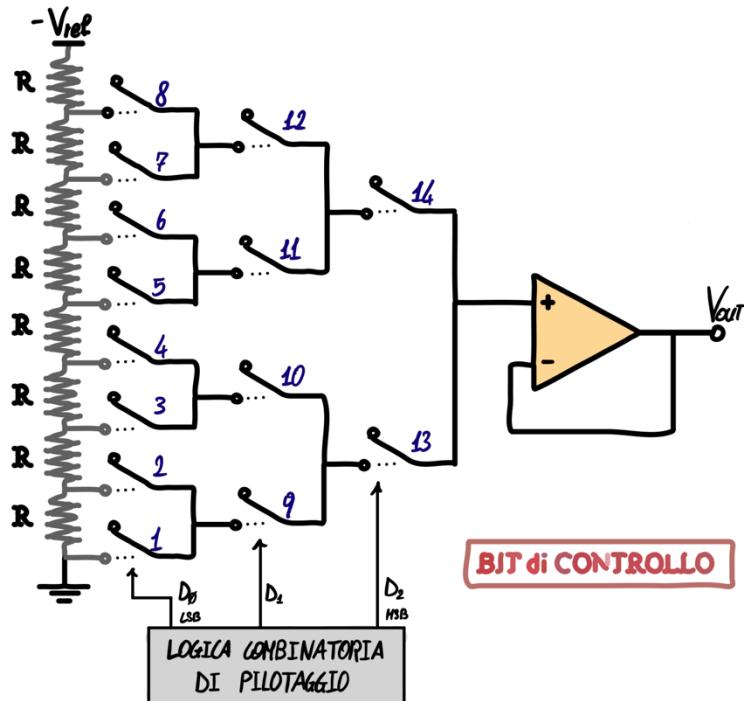
⁷⁰ Dipende dalle caratteristiche dinamiche dell'amplificatore operazionale.

Invece, non sarà possibile compensare globalmente l'*offset di uscita*, dovuto alle correnti di bias e alla tensione di offset dell'amplificatore operazionale.

- Esiste una versione bipolare di questo convertitore, dove sarà sufficiente aggiungere un valore costante al nodo di somma per traslare la caratteristica (quindi V_{out} bipolare).



DAC a Partitore di Tensione⁷¹: architettura dove tutti i valori da generare sono in un'unica rete resistiva; mentre una rete combinatoria porta fuori il valore selezionato. È necessario che le resistenze siano tutte uguali per evitare le non linearità; comunque saranno presenti, dovute alle non idealità dell'OPAMP e alle correnti di perdita degli interruttori (MOS).



Il buffer in uscita serve per non caricare il partitore in ingresso; inoltre, sarebbero sufficienti 2^n interruttori che collegano su bus comune. Un numero maggiore permette di semplificare la logica di controllo.

Può essere bipolare sostituendo la connessione a GND con un riferimento negativo; garantisce la monotonicità della caratteristica statica.

La logica di pilotaggio provvederà a chiudere gli switch dispari per i bit pari a 0, mentre chiuderà quelli pari per gli 1.

⁷¹ Architettura analoga all'*ADC Flash*.