

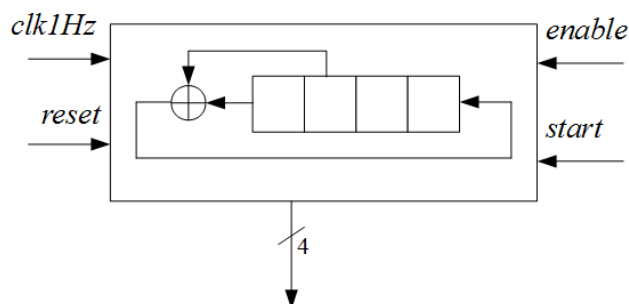
Laboratório 1 – Turma A (08:00 a 10:00) – Revisão Lógica Sequencial
Quarta-feira, 04 de Setembro de 2019

Instruções:

1. **Preparação:** enviar os seguintes arquivos: figura do diagrama de blocos planejado para cada exercício, arquivos VHDL, testbench e um print de simulação para cada exercício. Os arquivos que devem ser enviados em uma pasta zipada chamada “lab1_nome_sobrenome”.
Nota1: o diagrama de blocos não é o diagrama esquemático produzido pelo Vivado, mas um desenho de como planeja resolver o exercício.
Nota2: Não enviar o projeto no Vivado, apenas os arquivos solicitados!
2. **Preparação:** o envio dos arquivos é individual mesmo que sejam desenvolvidos em grupo. O estudante que não envie os arquivos terá a nota do laboratório zerada.
3. **Preparação:** os arquivos serão recebidos até a terça-feira 3 de setembro às 23:55.
4. **Em sala de aula:** apresentar os vistos ao professor ou monitor da disciplina. Verificar que os vistos foram devidamente anotados na planilha de registro.
5. **Folha de dados:** submeter via moodle o **PDF** do formulário contendo o diagrama de blocos proposto para o circuito, tabela de estimação de consumo de recursos pós-síntese, circuito RTL obtido após síntese lógica, layout do circuito, tabela de utilização de recursos após a implementação, gráfico do consumo de energia do circuito.
6. **Folha de dados:** a folha de dados será recebida até a sábado 7 de setembro de 2019 às 23:55 e deve ser realizada por apenas um membro do grupo.
7. **Folha de dados:** o grupo que não coletou todos os vistos durante a aula prática pode continuar o desenvolvimento dos experimentos e submeter a folha de dados completa.

Exercício 1. Gerador de sequências aleatórias

Implemente no FPGA dois registradores LFSR (*linear feedback shift register*) de 4 bits (vide figura abaixo). Cada LFSR é usado para gerar sequências de números aleatórios. O *clock* de entrada deve ser de 1 Hz. Os quatro bits de cada registrador devem ser apresentados nos leds da placa e nos displays de 7 segmentos em formato hexadecimal. Quando ambas as sequências são iguais o botão *enable* desabilita os LFSRs e a geração de novos números aleatórios só pode ser iniciada se pressionado o botão *start*. Se o botão *reset* é pressionado, o valor inicial de cada registrador é o último número de matrícula diferente de zero de cada integrante do grupo.

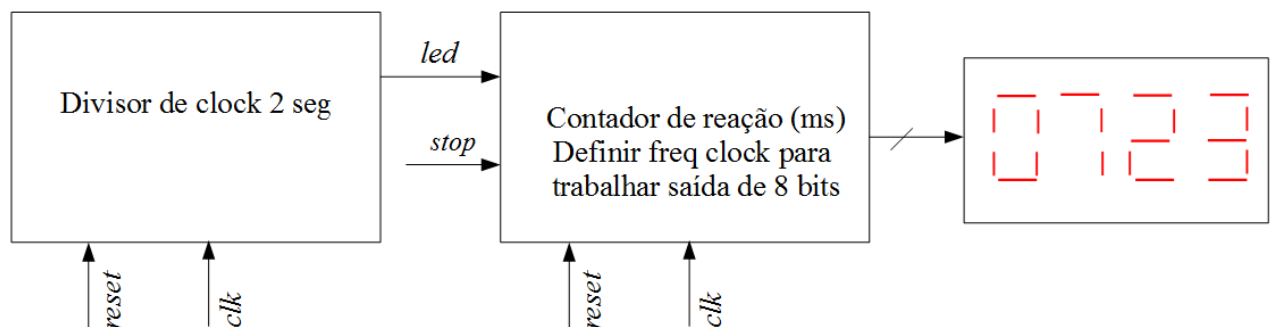


Visto1: apresentar testbench e simulação que demonstre o correto funcionamento do circuito. Essa simulação pode ser feita usando o clock master da placa de 100 MHz para evitar simulações demoradas.

Visto2: apresentar o circuito funcionando na placa.

Exercício 2. Contador de reação

Implemente no FPGA um contador de reação. Use um divisor de clock de 2 segundos para ligar e desligar um *led*. Quando o *led* ligar o sistema deve contar quantos milissegundos (ms) passaram até um dos integrantes do grupo pressionar o botão *stop*. O valor do contador deve ser apresentado em formato decimal nos displays de 7 segmentos da placa de desenvolvimento. O botão *reset* deve zerar o contador.



Nota: A saída do contador de reação deve ser de 8 bits para representar números entre 0 e 255. Portanto, deve-se usar uma frequência de clock que permita apresentar o valor do tempo usando 8 bits (valor máximo de 255).

Visto 1: apresentar testbench e simulação que demonstre o correto funcionamento do circuito. Na simulação não precisa mostrar o valor do contador no display de 7 segmentos.

Visto 2: implementação do circuito na placa de desenvolvimento.

Bom trabalho!