

UNIVERSIDADE ESTADUAL DO OESTE DO PARANÁ - UNIOESTE
CENTRO DE CIÊNCIAS EXATAS E TECNOLÓGICAS- CCET
CURSO DE CIÊNCIAS DA COMPUTAÇÃO

Guilherme Augusto Deitos Alves

Vinicius Vieira Viana

Trabalho de Sistemas Digitais

Cascavel

2022

UNIVERSIDADE ESTADUAL DO OESTE DO PARANÁ - UNIOESTE
CENTRO DE CIÊNCIAS EXATAS E TECNOLÓGICAS- CCET
CURSO DE CIÊNCIAS DA COMPUTAÇÃO

Guilherme Augustos Deitos Alves

Vinicius Vieira Viana

Trabalho de Sistemas Digitais

Trabalho prático apresentado para a disciplina de
Sistemas Digitais, pelo Curso de Ciências da
Computação da Universidade Estadual do Oeste
do Paraná – UNIOESTE, ministrado pelo
professor: Edmar Bellorini.

Cascavel

2022

Descrição:

O hardware criado pedido no trabalho, foi um conversor numérico, que utiliza um multiplexador (MUX), demultiplexador (DEMUX), um seletor (SEL), um conversor (CONV), e uma saída de erro (OR).

Esse hardware recebe um valor, e esse valor chega primeiramente ao circuito como um valor em complemento de 2 com 5 bits, que vai do -16 ao 15, vai direto para o MUX como entrada 0 recebendo um sexto bit de erro sendo ele '0', e também passa pelo CONV que converte esse valor para o excesso K, que vai de -15 ao 16, e que também recebe um sexto bit de erro mas que pode ser tanto '0' quanto '1', dependendo do resultado da conversão, e após esse processo o valor convertido vai para o MUX como entrada 1, e no final dessa primeira etapa o SEL escolhe qual das entradas irá para a saída do MUX.

Saindo do MUX, o valor convertido ou não entra no DEMUX, e o mesmo seletor que foi utilizado no MUX escolhe em qual das saídas será direcionado o valor recebido, e independente de qual saída o valor passar o sexto bit desse valor vai passar para uma porta OR que vai ser exclusivamente o bit de erro, que só irá acontecer em uma única situação, que vai ser quando entrar o valor '010000' em complemento de 2 no conversor, e sair '101101' em excesso K, na saída em que só sai valores em excesso K.

Tabela verdade:

Comentado [VV1]: Essa é a tabela verdade que utilizamos para fazer a simplificação a partir do Diagrama de Venn Karno.

Situações	Nº	c4	c3	c2	c1	c0	entrada Erro	s4	s3	s2	s1	s0	ERRO
1	0	0	0	0	0	0	0	0	1	1	1	1	0
2	1	0	0	0	0	1	0	1	0	0	0	0	0
3	2	0	0	0	1	0	0	1	0	0	0	1	0
4	3	0	0	0	1	1	0	1	0	0	1	0	0
5	4	0	0	1	0	0	0	1	0	0	1	1	0
6	5	0	0	1	0	1	0	1	0	1	0	0	0
7	6	0	0	1	1	0	0	1	0	1	0	1	0
8	7	0	0	1	1	1	0	1	0	1	1	0	0
9	8	0	1	0	0	0	0	1	0	1	1	1	0
10	9	0	1	0	0	1	0	1	1	0	0	0	0
11	10	0	1	0	1	0	0	1	1	0	0	1	0
12	11	0	1	0	1	1	0	1	1	0	1	0	0
13	12	0	1	1	0	0	0	1	1	0	1	1	0
14	13	0	1	1	0	1	0	1	1	1	0	0	0
15	14	0	1	1	1	0	0	1	1	1	0	1	0
16	15	0	1	1	1	1	0	1	1	1	1	0	0
17	-16	1	0	0	0	0	0	x	x	x	x	x	1
18	-15	1	0	0	0	1	0	0	0	0	0	0	0
19	-14	1	0	0	1	0	0	0	0	0	0	1	0
20	-13	1	0	0	1	1	0	0	0	0	1	0	0
21	-12	1	0	1	0	0	0	0	0	0	1	1	0
22	-11	1	0	1	0	1	0	0	0	1	0	0	0
23	-10	1	0	1	1	0	0	0	0	1	0	1	0
24	-9	1	0	1	1	1	0	0	0	1	1	0	0
25	-8	1	1	0	0	0	0	0	0	1	1	1	0
26	-7	1	1	0	0	1	0	0	1	0	0	0	0
27	-6	1	1	0	1	0	0	0	1	0	0	1	0
28	-5	1	1	0	1	1	0	0	1	0	1	0	0
29	-4	1	1	1	0	0	0	0	1	0	1	1	0
30	-3	1	1	1	0	1	0	0	1	1	0	0	0
31	-2	1	1	1	1	0	0	0	1	1	0	1	0
32	-1	1	1	1	1	1	0	0	1	1	1	0	0

Simplificação:

Essa são as expressões resultantes do DVK, que são o comportamento do conversor, o $C = \{c_0, \dots, c_4\}$ é a entrada do conversor e o $S = \{s_0, \dots, s_4\}$ é a saída dele.

$$s_4 = (c_1 \cdot \sim c_4) + (c_2 \cdot \sim c_4) + (c_0 \cdot \sim c_4) + (c_3 \cdot \sim c_4)$$

$$s_3 = (\sim c_2 \cdot \sim c_3 \cdot \sim c_0 \cdot \sim c_1) + (c_2 \cdot c_3) + (c_1 \cdot c_3) + (c_3 \cdot c_0 \cdot \sim c_2)$$

$$s_2 = (c_0 \cdot c_2) + (c_1 \cdot c_0) + (\sim c_1 \cdot c_3 \cdot \sim c_0 \cdot \sim c_2) + (\sim c_1 \cdot \sim c_2 \cdot \sim c_0)$$

$$s_1 = (c_1 \cdot c_2) + (\sim c_2 \cdot c_3 \cdot \sim c_1) + (\sim c_1 \cdot \sim c_2 \cdot c_0) + (\sim c_4 \cdot \sim c_1 \cdot \sim c_3 \cdot \sim c_2)$$

$$s_0 = (\sim c_1)$$

Diagrama do conversor:

