

- alle 18-24 Monate verdoppelt sich die Anzahl der Transistoren auf gleicher Fläche
- Exponentielles Wachstum der Transistorzahl, exponentieller Rückgang des Preises pro Transistor
- Herstellungskosten (Fixkosten, Variable Kosten, Technologiefaktor), Entwicklerproduktivität, Verlustleistungsdichte

Potenz	Vorsatz	Potenz	Vorsatz	$H z$	s^{-1}
10^{12}	T	10^{-1}	d	N	$kgms^{-2}$
10^9	G	10^{-2}	c	J	$Nm = VAs$
10^6	M	10^{-3}	m	W	$VA = Js^{-1}$
10^3	k	10^{-6}	μ	C	As
10^2	h	10^{-9}	n	V	JC^{-1}
10^1	da	10^{-12}	p	F	CV^{-1}
		10^{-15}	f	Ω	VA^{-1}
				H	VA^{-1}

$$Z = \sum_{i=-n}^{p-1} r^i \cdot d_i = d_{p-1} \dots d_1 d_0 . d_{-1} \dots d_n$$

$$d_{i2} \in 0, 1 \quad B = \sum_{i=-n}^{p-1} 2^i \cdot d_i \quad d_{-n} : LSB; \quad d_{p-1} : MSB$$

$$N \cdot M : n + m \text{ Bit}$$

	$Z \geq 1$	$Z < 1$
$r \rightarrow 10$	$Z_{10} = \sum r^i \cdot d_i$ $101_2 \rightarrow 1 \cdot 4 + 0 \cdot 2 + 1 \cdot 1$	$Z_{10} = \sum r^{-i} \cdot d_{-i}$ $0.11_2 \rightarrow 1 \cdot 0.5 + 1 \cdot 0.25$
$10 \rightarrow r$	$d_i = Z_{10} \% r^i \quad (d_i = Z_{10} \bmod r^i)$ $58/8 = 7 \text{ Rest } 2 (LSB)$ $7/8 = 0 \text{ Rest } 7 (MSB)$ (Ende wenn 0 erreicht) Auf Ende achten $1r3\%5 \rightarrow 0r1$	$0.4 \cdot 2 = 0.8 \text{ Übertrag } 0(MSB)$ $0.8 \cdot 2 = 1.6 \text{ Übertrag } 1$ (Wiederholen bis 1 oder Periodizität)

$Z \rightarrow -Z$ (Umkehrung gleich)	Bsp: Wandle 2 in -2 um
1. Invertieren aller Bits	$0010 \Rightarrow 1101$
2. Addition von 1	$1101 + 1 = 1110$
3. Ignoriere Überträge beim MSB	$\Rightarrow -2_{10} = 1110_2$



















$s(1)$	$e(8/11)$	$f(23/52)$
--------	-----------	------------

Spezialwerte: $Z = 0 \Leftrightarrow e = 0$ $Z = +(-)\infty \Leftrightarrow e = 255, s = 0(1)$

- Festkomma (Vorzeichenlos)
 - Erweiterung: Null vorne anhängen
 - Addition: Bitweise
 - Subtraktion: Bitweise
 - Multiplikation: Add-Shift (Add für jede 1 im Multiplikant) (Resultat eins rechts Shiften)
Sonderfall: Multiplikation mit 2-er Potenz → um Potenz mal shiften.
 - Division:
- Festkomma (Einser Komplement)
 - Erweiterung: Null an Stelle 2 einfügen.
 - Addition:

- Festkomma (Zweier Komplement)
 - Erweiterung: 1 vorne anhängen
 - Addition: Regulär (Gleiche Parameterlänge) (Overflow ignorieren)
 - Subtraktion: Addition mit komplementiertem Subtraktor (Gleiche Parameterlänge) (Overflow ignorieren)
 - Multiplikation:
 1. Zahlen auf Produktlänge erweitern.
 2. Zahlen mittels Add-Shift multiplizieren (Überflüssige Bits nach links rausschieben und ignorieren)

Base 10	Base 2	Base 8	Base 16
00	0000	0o00	0x0
01	0001	0o01	0x1
02	0010	0o02	0x2
03	0011	0o03	0x3
04	0100	0o04	0x4
05	0101	0o05	0x5
06	0110	0o06	0x6
07	0111	0o07	0x7
08	1000	0o10	0x8
09	1001	0o11	0x9
10	1010	0o12	0xA
11	1011	0o13	0xB
12	1100	0o14	0xC
13	1101	0o15	0xD
14	1110	0o16	0xE
15	1111	0o17	0xF

x	y	   AND $x \cdot y$	   OR $x + y$	   XOR $x \oplus y$	   NAND $\overline{x \cdot y}$	   NOR $\overline{x + y}$	   EQV $\overline{x \oplus y}$
0	0	0	0	0	1	1	1
0	1	0	1	1	1	0	0
1	0	0	1	1	0	0	0
1	1	1	1	0	0	0	1

- $x_i : f_{x_i} = f|_{x_i=1} = f(x_1, \dots, 1, \dots, x_n)$
- $\overline{x}_i : f_{\overline{x}_i} = f|_{x_i=0} = f(x_1, \dots, 0, \dots, x_n)$

Eigenschaften von $f(\underline{x})$

- tautologisch $\Leftrightarrow f(\underline{x}) = 1 \quad \forall \underline{x} \in \{0, 1\}^n$
- kontradiktorisch $\Leftrightarrow f(\underline{x}) = 0 \quad \forall \underline{x} \in \{0, 1\}^n$
- unabhängig von $x_i \Leftrightarrow f_{x_i} = f_{\overline{x_i}}$
- abhängig von $x_i \Leftrightarrow f_{x_i} \neq f_{\overline{x_i}}$

6 Beschreibungsformen

6.1 Disjunktive Normalform/Sum of products (DNF/DNF)

Eins-Zeilen als Implikanten (UND) schreiben und alle Implikanten mit ODER verknüpfen:
 $Z = \overline{A} \cdot \overline{B} + \overline{C} \cdot D$

6.2 Konjunktive Normalform/Product of sums (KNF/KNF)

Null-Zeilen negiert als Implikat (ODER) schreiben und alle Implikaten UND verknüpfen:
 $Z = (\overline{A} + \overline{C}) \cdot (\overline{A} + \overline{D}) \cdot (\overline{B} + \overline{C}) \cdot (\overline{B} + D)$

6.3 Umwandlung in jeweils andere Form

1. Doppeltes Negieren der Funktion: $Z = \overline{\overline{\overline{A} \cdot \overline{B} + \overline{C} \cdot D}}$

2. Umformung "untere" Negation (DeMorgan) : $Z = \overline{\overline{A} \cdot \overline{B} \cdot \overline{C} \cdot D} = \overline{(A + B) \cdot (C + D)}$

3. Ausmultiplizieren: $Z = (A + B) \cdot (C + D) = \overline{A \cdot C + A \cdot D + B \cdot C + B \cdot D}$

4. Umformung "obere" Negation (DeMorgan) :
 $Z = \overline{A \cdot C} \cdot \overline{A \cdot D} \cdot \overline{B \cdot C} \cdot \overline{B \cdot D} = (\overline{A} + \overline{C}) \cdot (\overline{A} + D) \cdot (\overline{B} + \overline{C}) \cdot (\overline{B} + D)$

Analog von KNF (KNF) nach DNF (DNF).

6.4 Shannon Entwicklung

$f = x_i \cdot f_{x_i} + \overline{x_i} \cdot f_{\overline{x_i}} = (x_i + f_{\overline{x_i}}) \cdot (\overline{x_i} + f_{x_i}) = (f_{x_i} \oplus f_{\overline{x_i}}) \cdot x_i \oplus f_{\overline{x_i}}$
 $\overline{f} = x_i \cdot \overline{f_{x_i}} + \overline{x_i} \cdot \overline{f_{\overline{x_i}}}$

7 Logikminimierung

7.1 Nomenklatur

- m_i Minterm: UND-Term in dem alle Variablen vorkommen (aus KDNF)
- M_i Maxterm: ODER-Term in dem alle Variablen vorkommen (aus KKNF)
- c_i Implikant: UND-Term in dem freie Variablen vorkommen können
- C_i Implikat: ODER-Term in dem freie Variablen vorkommen können
- p_i Primimplikant: UND-Term mit maximal freien Variablen
- P_i Primimplikat: ODER-Term mit maximal freien Variablen

7.2 Karnaugh-Diagramm

Zyklische Gray-Codierung:

2-dim	00 01 11 10
3-dim	000 001 011 010 110 111 101 100

$\geq \backslash xy$	00	01	11	10
0	1	0	0	0
1	X	1	1	0

Gleiche Zellen zusammenfassen: z.B. $\overline{x}\overline{y} + y \cdot z$

Don't Care Werte ausnutzen!

Achtung: Auf eventuelle Unterdefiniertheit überprüfen (Redundante Zeilen) (Kreiert Don't Cares)
Immer vollständig mit Nullen und Einsen ausfüllen

7.3 Quine Methode

geg.: DNF/DNF oder Wertetabelle von $f(x)$
ges.: alle Primimplikanten p_i (VollSOP)

Spezielles Resolutionsgesetz: $x \cdot a + \overline{x} \cdot a = a$
Absorptionsgesetz: $a + a \cdot b = a$

1. KDNF/KDNF bestimmen (z.B. $f(x, y, z) = xy = xyz + xy\overline{z}$)

2. Alle Minterme in Tabelle eintragen (Index von m ist (binär)Wert des Minterms)

3. 1-Kubus: Minterme die sich um eine Negation unterscheiden, zu einem Term verschmolzen (Resolutionsgesetz)

4. Der 1-Kubus muss zusammenhängend sein! (d.h. alle 1-Kubus Minterme müssen zusammenhängen)

5. Wenn möglich 2-Kubus bilden.

6. Wenn keine Kubenbildung mehr möglich \rightarrow Primimplikanten

666

5.3 Multiplexer

$f = x \cdot a + \overline{x} \cdot b$ (2 Eingänge a, b und 1 Steuereingang x)
 $f = \overline{x_1}\overline{x_2}a + \overline{x_1}x_2b + x_1\overline{x_2}c + x_1x_2d$ (Eingänge: a, b, c, d Steuerung: x_1, x_2)

5.4 Wichtige Begriffe

Wichtige Begriffe:	Definition	Bemerkung
Signalvariable	x	$\hat{x} \in \{0, 1\}$
Literal	$l_i = x_i$ oder $\overline{x_i}$	$i \in I_0 = \{1, \dots, n\}$
Minterme,0-Kuben	$M_0C \ni m_j = \prod_{i \in I_0} l_i$	$ M_0C = 2^n$
d-Kuben	$MC \ni c_j = \prod_{i \in I_j \subseteq I_0} l_i$	$ MC = 3^n$
Distanz	$\delta(c_i, c_j) = \{l \mid l \in c_i \wedge \overline{l} \in c_j\} $	$\delta_{ij} = \delta(c_i, c_j)$
Implikanten	$MI = \{c \in MC \mid c \subseteq f\}$ Terme, dessen Erfüllbarkeit identisch mit die der Formel sind	
Primimplikanten	$MPI = \{p \in MI \mid p \not\subseteq c \forall c \in MI\}$ Implikanten, die maximal freie Variablen besitzen	$MPI \subseteq MI \subseteq MC$
Kernprimimplikanten	Primimplikanten die für Überdeckung zwingend notwendig sind	Spalten mit 1 Eintrag in Überdeckungstabelle

DNF (DNF)	eine Summe von Produkttermen	Terme sind ODER-verknüpft
KNF (KNF)	ein Produkt von Summentermen	Terme sind UND-verknüpft
KDNF (KDNF)	Summe aller Minterme	WT: 1-Zeilen sind Minterme
KKNF (KKNF)	Menge aller Maxterme	WT: 0-Zeilen negiert sind Maxterme
DMF	Disjunktive Minimal Form	
VollSOP (nur 1)	Menge aller Primimplikanten	Bestimmung siehe Quine Methode oder Schichtenalgorithmus
MinSOP (min. 1)	Minimale Summe v. Primimplikanten	durch Überdeckungstabelle

FPGA: Field Programmable Gate Array
LUT: Look Up Table

Beispiel (Quine Methode): $y = a\overline{c} + abc + \overline{a}bc = \overline{a}b\overline{c} + abc + \overline{a}bc + \overline{a}bc$

Anzahl pos.	Minterme	A	Implikanten mit 1 freien Variable	A	Implikanten mit 2 freien Variablen	A
Literale						
0	$\overline{a}\overline{b}\overline{c}$	c_1	$c_1 = \overline{b}\overline{c}$			
1	$\overline{a}b\overline{c}$	c_1, c_2	$c_2 = a\overline{c}$			
2	$ab\overline{c}$	c_2, c_3	$c_3 = ab$			
3	abc	c_3				

	0-Kubus	A	1-Kubus	R	A	2-Kubus	A
m_1	$\overline{x_1}\overline{x_2}x_3$	✓	$\overline{x_2}x_3$	$m_1 \& m_5$	p_1		
m_4	$x_1\overline{x_2}\overline{x_3}$	✓	$x_1\overline{x_2}$	$m_4 \& m_5$	✓	x_1	p_2
m_5	$x_1x_2\overline{x_3}$	✓	x_1x_3	$m_4 \& m_6$	✓		
m_6	$x_1x_2x_3$	✓	x_1x_3	$m_5 \& m_7$	✓		
m_7	$x_1x_2x_3$	✓	x_1x_2	$m_6 \& m_7$	✓		

$\Rightarrow f(x_1, x_2, x_3) = p_1 + p_2 = \overline{x_2}x_3 + x_1$

7.4 Resolventenmethode

Ziel: alle Primimplikanten

Wende folgende Gesetze an:
Absorptionsgesetz: $a + ab = a$
allgemeines Resolutionsgesetz: $x \cdot a + \overline{x} \cdot b = x \cdot a + \overline{x} \cdot b + ab$

Anwendung mit Schichtenalgorithmus

1. schreibe die Funktion f in die 0. Schicht

2. bilde **alle möglichen** Resolventen aus der 0. Schicht und schreibe sie in die nächste Schicht als ODER Verknüpfungen (Resolventen zu f "hinzufügen")

3. überprüfe ob Resolventen aus der 1. Schicht Kuben aus Schicht 0 überdecken(Absorption) und streiche diese Kuben aus Schicht 0

4. Schicht i besteht aus den möglichen Resolventen von Schicht 0 bis ($i - 1$). Abgestrichene Kuben aus vorherigen Schichten brauchen **nicht** mehr beachtet werden.

5. Sobald in der i-ten Schicht +1 steht oder keine weiteren Resolventen gebildet werden können, ist man fertig. \Rightarrow alle nicht ausgestrichenen Terme bilden die VollSOP

$f(x_1, \dots, x_n)$	Schicht
$x \cdot w + \overline{x} \cdot w + x \cdot y \cdot w \cdot \overline{z} + \overline{x} \cdot y \cdot w \cdot \overline{z} + \overline{y} \cdot w \cdot \overline{z}$	0
$+ w + y \cdot w \cdot \overline{z}$	1
$+ w \cdot \overline{z}$	2
$+ w$	3

5.5 Gesetze der boolschen Algebra

	Boolsche Algebra (0, 1; $\cdot, +, \overline{}$)	Mengenalgebra ($P(G); \cap, \cup, \overline{A}; G, \emptyset$)
Kommutativ	$x \cdot y = y \cdot x$ $x + y = y + x$	$A \cap B = B \cap A$ $A \cup B = B \cup A$
Assoziativ	$x \cdot (y \cdot z) = (x \cdot y) \cdot z$ $x + (y + z) = (x + y) + z$	$(A \cap B) \cap C = A \cap (B \cap C)$ $(A \cup B) \cup C = A \cup (B \cup C)$
Distributiv	$x \cdot (y + z) = x \cdot y + x \cdot z$ $x + (y \cdot z) = (x + y) \cdot (x + z)$	$A \cap (B \cup C) = (A \cap B) \cup (A \cap C)$ $A \cup (B \cap C) = (A \cup B) \cap (A \cup C)$
Idempotenz	$x \cdot x = x$ $x + x = x$	$A \cap A = A$ $A \cup A = A$
Absorption	$x \cdot (x + y) = x$ $x + (x \cdot y) = x$	$A \cap (A \cup B) = A$ $A \cup (A \cap B) = A$
Neutral	$x \cdot 1 = x$ $x + 0 = x$	$A \cap G = A$ $A \cup \emptyset = A$
Dominant	$x \cdot 0 = 0$ $x + 1 = 1$	$A \cap \emptyset = \emptyset$ $A \cup G = G$
Komplement	$x \cdot \overline{x} = 0$ $x + \overline{x} = 1$ $\overline{\overline{x}} = x$	$A \cap \overline{A} = \emptyset$ $A \cup \overline{A} = G$ $\overline{\overline{A}} = A$
De Morgan	$\overline{x \cdot y} = \overline{x} + \overline{y}$ $\overline{x + y} = \overline{x} \cdot \overline{y}$	$\overline{A \cap B} = \overline{A} \cup \overline{B}$ $\overline{A \cup B} = \overline{A} \cap \overline{B}$

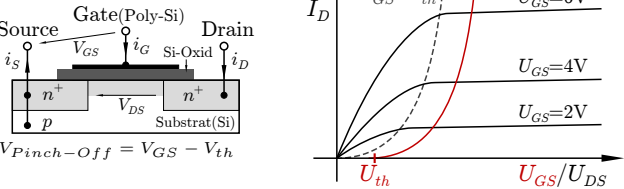
K : Anzahl der Primterme
 N : Anzahl der Minterme
 $L(p_i)$: Kosten/Länge der Primimplikanten
 $L(z)$: Länge des Terms z = Summe der Literale in Teiltermen + Anzahl der Teilterme
Primimplikanten von Tabelle ausrechnen: Minterme für jeden Primterm ablesen und reduzieren.
Länge Primimplikanten: anhand Anzahl von Kreuzen ablesen.

8 Halbleiter

	Isolator	Metall	undotiert	N-Typ	P-Typ
Ladungsträger	Keine	e^-	e^-/e^+	e^-	e^+
Leitfähigkeit	Keine	Sehr hoch	$\propto T$	Hoch	Mittel

9 MOS-FET's

Metal Oxide Semiconductor Field Effekt Transistor



9.1 Bauteilparameter

Verstärkung: $\beta = K' \frac{W}{L}$ mit $K' = \frac{\mu \epsilon_{ox} \epsilon_0}{t_{ox}}$ $[\beta] = \frac{A}{V^2}$

Kanalweite	W
Kanallänge	L
Elektronenbeweglichkeit	$\mu_{\mu n} \approx 250 \cdot 10^{-4} \frac{m^2}{Vs}, \mu_p \approx 100 \cdot 10^{-4} \frac{m^2}{Vs}$
rel. Dielektrizität des Gateoxyds	$\epsilon_{ox} \approx 3,9$
Dielektrizitätskonstante	$\epsilon_0 = 8.8541878 \cdot 10^{-12} \frac{As}{Vm}$
Gateoxyddicke	t_{ox}
Verstärkung	$\beta = \frac{\mu_n \epsilon_{ox} \epsilon_0}{t_{ox}} \cdot \frac{W}{L} = K' \frac{W}{L} = \frac{\mu_n C_G}{L^2}$
Kapazität	$C_G = \epsilon_{ox} \epsilon_0 \frac{WL}{t_{ox}}$
Verzögerungszeit	$t_{pHL} \propto \frac{C_L t_{ox} L_p}{W_p \mu_p \epsilon_{ox} (V_{DD} - V_{th})}$
Verzögerungszeit (2 Signale)	Zeit zwischen $S_1 = 50\%$ und $S_2 = 50\%$ LH/HL bezieht sich auf Ausgang t_r : Zeit zwischen 10% und 90% t_f : Zeit zwischen 90% und 10%
Anstiegszeit (Selbes Signal)	
Abfallzeit (Selbes Signal)	

- große Kanalweite \Rightarrow große Drain-Störme \Rightarrow schnelle Schaltgeschwindigkeit (da $i_d \propto \beta \propto \frac{W}{L}$)
Aber: große Fläche.
- nMos schaltet schneller als pMos

9.2 Drainstrom

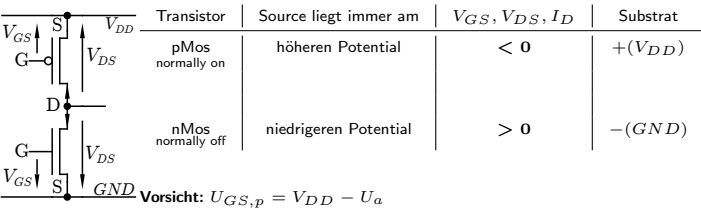
nMos (p-dotiertes Substrat, n-dotierte Drain/Source), schlechter pull up (Pegeldegenerierung)

$$I_d = \begin{cases} 0, & \text{für } U_{gs} - U_{th} \leq 0 \quad (\text{Sperrber.}) \\ \beta[(u_{gs} - U_{th}) \cdot u_{ds} - \frac{1}{2} u_{ds}^2], & \text{für } 0 \leq U_{gs} - U_{th} \leq u_{ds} \quad (\text{linearer Ber.}) \\ \frac{1}{2} \beta \cdot (u_{gs} - U_{th})^2, & \text{für } 0 \leq U_{gs} - U_{th} \leq u_{ds} \quad (\text{Sättigungsber.}) \end{cases}$$

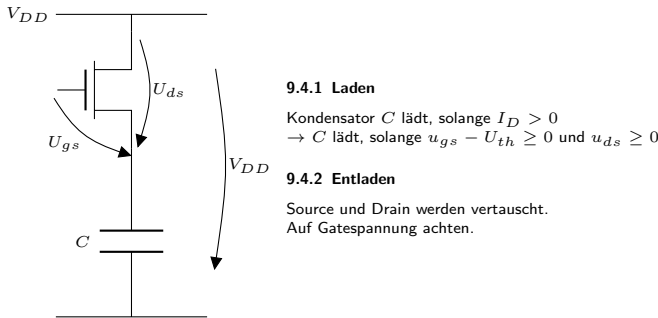
pMos (n-dotiertes Substrat, p-dotierte Drain/Source), schlechter pull down (Pegeldegenerierung)

$$I_d = \begin{cases} 0, & \text{für } U_{gs} - U_{th} \geq 0 \quad (\text{Sperrber.}) \\ -\beta[(u_{gs} - U_{th}) \cdot u_{ds} - \frac{1}{2} u_{ds}^2], & \text{für } 0 \geq U_{gs} - U_{th} \leq u_{ds} \quad (\text{linearer Ber.}) \\ -\frac{1}{2} \beta \cdot (u_{gs} - U_{th})^2, & \text{für } 0 \geq U_{gs} - U_{th} \geq u_{ds} \quad (\text{Sättigungsber.}) \end{cases}$$

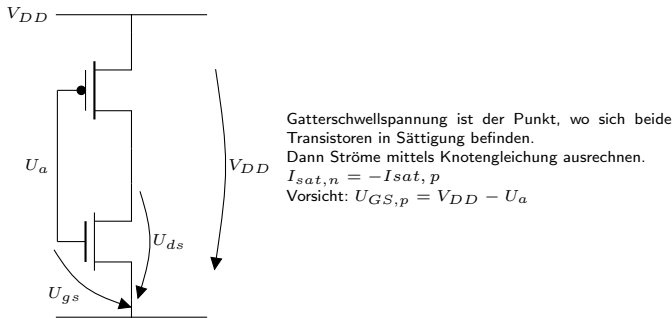
9.3 pMos und nMos



9.4 Kondensatoraufgaben

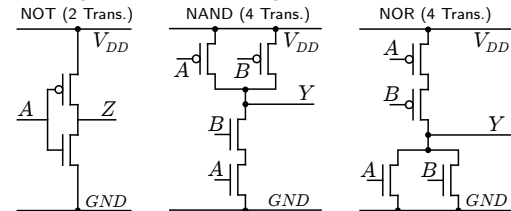


9.5 Gatterschwellspannungsaufgaben



10 CMOS - Logik

Vorteil: (Fast) nur bei Schaltvorgängen Verlustleistung - wenig statische Verluste
Drei Grundgatter der CMOS-Technologie:



Falls GND und V_{DD} vertauscht würden, dann $NAND \rightarrow AND$ und $NOR \rightarrow OR$
Allerdings schlechte Pegelgenerierung.

10.1 Gatterdesign

Netzwerk	Pull-Down nMos	Pull-Up pMos
Transistoren		
AND	Serienschaltung	Parallelschaltung
OR	Parallelschaltung	Serienschaltung

1. **Möglichkeit:** Direkt; ggf. Inverter vor die Eingänge und Ausgänge schalten.
2. **Möglichkeit:** Mit boolesche Algebra die Funktion nur mit NAND und NOR darstellen.

10.2 Umwandlung in Nand und Nor

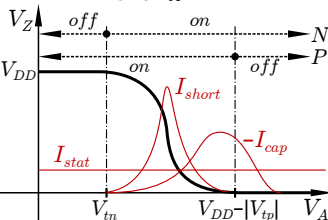
Gatter	Funktion	NAND Form	NOR Form
NOT	\bar{A}	$\overline{A \cdot A}$	$\overline{A + A}$
AND	$A \cdot B$	$\overline{\overline{A \cdot B \cdot A \cdot B}}$	$\overline{\overline{A + A + B + B}}$
OR	$A + B$	$\overline{\overline{A \cdot A \cdot B \cdot B}}$	$\overline{\overline{A + B + A + B}}$
NAND	$\overline{A \cdot B}$	$\overline{A \cdot B}$	$\overline{\overline{A + A + B + B + A + A + B + B}}$
NOR	$\overline{A + B}$	$\overline{\overline{A \cdot A \cdot B \cdot B \cdot A \cdot A \cdot B \cdot B}}$	$\overline{A + B}$

10.3 Anzahl Gatter aus Netzwerk berechnen

Jede Unterbrechung in der Mittellinie (Mittellinie \rightarrow Eingang CMOS Transistor) ist die Grenze zwischen zwei Gattern.

10.4 CMOS Verlustleistung

Inverterschaltvorgang $V_A : 0 \rightarrow 1$:



Achtung: Logikpegel sind über die Steigung der $|VTC| \leq 1$ des Inverters definiert.
Zusammensetzung I_{short} :

Transistor	$(0, V_{tn})$	$(V_{tn}, V_{DD}/2)$	Um $V_{DD}/2$	$(V_{DD}/2, V_{DD} - V_{tp})$	$(V_{DD} - V_{tp} , V_{DD})$
n-MOS	Sperrt	Sättigung	Sättigung	Linear	Linear
p-MOS	Linear	Linear	Sättigung	Sättigung	Sperrt

Dynamische Verlustleistung $P_{dyn} = P_{cap} + P_{short} \Rightarrow P_{dyn} \propto V_{DD}^2$
Kapazitive Verluste $P_{cap} = \alpha_{01} f C_L V_{DD}^2$
Kurzschlussstrom $P_{short} = \alpha_{01} f \beta_n \tau (V_{DD} - 2V_{tn})^3$

Schaltheufigkeit $\alpha_{0 \rightarrow 1} = \frac{\text{Schaltvorgänge (pos. Flanke)}}{\# \text{ Betrachtete Takte}} \quad (\text{max } 0.5)$
Schaltheufigkeit (periodisch) $\alpha = \frac{f_{switch}}{f_{clk}}$

Abhängig von den Signalfanken, mit Schaltfunktionen verknüpft
 $\approx V_{DD} / \alpha$ Schaltzeit: $\frac{V_{DD} - V_{th}}{C_L} = \frac{t_{D1}}{t_{D2}}$ (bei Schaltnetzen t_{log})

Verzögerungszeit $t_{pd} \propto \frac{C_L t_{ox} L_p}{W_p \mu_p \epsilon (V_{DD} - V_{th})}$

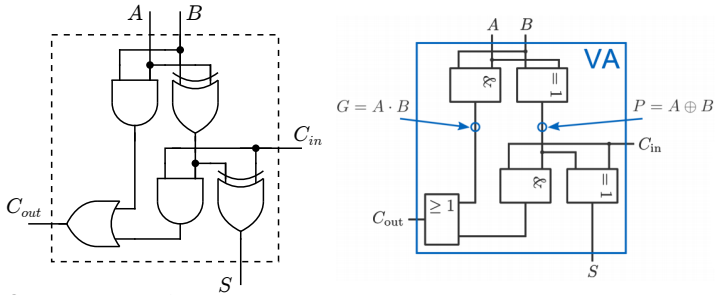
t_{pd} ist Zeit zwischen crossover 50% von Eingang zu crossover 50% am Ausgang.

Steigend mit: Kapazitiver Last, Oxiddicke, Kanallänge, Schwellspannung

Sinkend mit: Kanalweite, Ladungsträger Beweglichkeit, Oxyd Dielektrizität, Versorgungsspannung

Statische Verlustleistung P_{stat} : Sub-Schwellströme, Leckströme, Gate-Ströme Abhängigkeit:
 $V_{DD} \uparrow: P_{stat} \uparrow$ $V_{th} \uparrow: P_{stat} \downarrow$ (aber nicht proportional)

11 Volladdierer (VA)/Ripple-C(u)arry-Adder

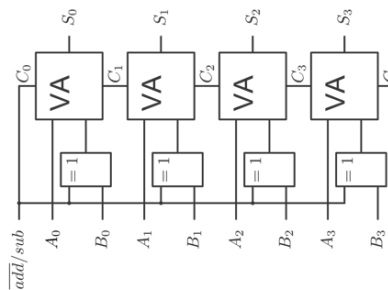


Generate $g_n = a_n \cdot b_n$
Propagate $p_n = a_n \oplus b_n$
Summenbit $S_n = c_n \oplus p_n = a_n \oplus b_n \oplus c_n$
 $S_n = a_n b_n c_n + a_n b_n \bar{c}_n + a_n \bar{b}_n c_n + \bar{a}_n b_n c_n$ (Ungerade Anzahl von Eingängen 1)
 genau ein Eingang high alle Eingänge high
Carry-out $c_{n+1} = c_n \cdot p_n + g_n$
 $c_{n+1} = a_n b_n \bar{c}_n + a_n \bar{b}_n c_n + \bar{a}_n b_n c_n + a_n b_n c_n$ (Mindestens zwei Eingänge 1)
 zwei Eingänge 1 drei Eingänge 1

Laufzeiten
 $t_{sn} = \begin{cases} t_{cn} + t_{xor} & t_{cn} > t_{xor} \\ 2t_{xor} & \text{sonst} \end{cases}$
 $t_{cn+1} = \begin{cases} t_{and} + t_{or} & a_n = b_n = 1 \\ t_{xor} + t_{and} + t_{or} & a_n = b_n = 0 \\ t_{cn} + t_{and} + t_{or} & a_n \neq b_n \end{cases}$ ($g_n = 1$) ($p_n = 0, g_n = 0$) ($p_n = 1$)

11.1 Multibit Addierer / Subtrahierer

Subtraktion entspricht Addition mit negativem Subtrahenden
 Zweierkomplement zur Bildung des negativen Subtrahenden
 → Invertieren aller Bits des Subtrahenden und Addition von 1
 $XOR: X \oplus 0 = X, X \oplus 1 = \bar{X}$



12 Sequentielle Logik

Logik mit Gedächtnis (Speicher).

12.1 Begriffe/Bedingungen

t_{Setup}	Stabilitätszeit vor der aktiven Taktflanke
t_{hold}	Stabilitätszeit nach der aktiven Taktflanke
t_{c2q}	Eingang wird spätestens nach t_{c2q} am Ausgang verfügbar
Min. Taktperiode	$t_{clk} \geq t_1, c2q + t_{logic, max} + t_2, setup$
Max. Taktfrequenz	$f_{max} = \left\lfloor \frac{1}{t_{clk}} \right\rfloor$ (Nicht aufrunden)
Holdzeitbedingung	$t_{hold} \leq t_{c2q} + t_{logic, min} \rightarrow$ Dummy Gatter einbauen
Durchsatz	$\frac{1}{t_{sample}} = f$
Latenz	$t_{clk} \cdot \# \text{Pipeline Stufen}$ (das zwischen den FFs)

12.2 Pipelining

Nur bei synchronen(taktgesteuerten) Schaltungen möglich!

- Aufteilen langer kombinatorischer Pfade Einfügen zusätzlicher Registerstufen
→ Möglichst Halbierung des längsten Pfades
- Zeitverhalten beachten (evtl. Dummy-Gatter einfügen)
- Durchsatz erhöht sich entsprechend der Steigerung der Taktfrequenz
- Gesamtlatenz wird eher größer
- Taktfrequenz erhöht sich

12.3 Parallel Processing

$$\text{Durchsatz} = \frac{\# \text{Modul}}{t_{clk, Modul}} = f \quad \text{Latenz} = t_{clk}$$

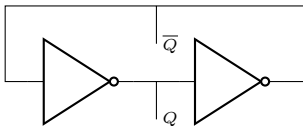
- Paralleles, gleichzeitiges Verwenden mehrere identischer Schaltnetze
- Zusätzliche Kontrolllogik nötig (Multiplexer)
- Taktfrequenz und Latenz bleiben konstant
- Durchsatz steigt mit der Zahl der Verarbeitungseinheiten
ABER: deutlich höherer Ressourcenverbrauch

13 Speicherelemente

Flüchtig Speicherinhalt gehen verloren, wenn Versorgungsspannung V_{DD} wegfällt - Bsp: *RAM
Nicht Flüchtig Speicherinhalt bleibt auch ohne V_{DD} erhalten - Bsp: Flash
Asynchron Daten werden sofort geschrieben/gelesen.
Synchron Daten werden erst mit $clk_{0 \rightarrow 1}$ geschrieben.
Dynamisch Ohne Refreshzyklen gehen auch bei angelegter V_{DD} Daten verloren - Bsp: DRAM
Statisch Behält den Zustand bei solange V_{DD} anliegt (keine Refreshzyklen nötig) - Bsp: SRAM
Bandbreite: Bitanzahl, die gleichzeitig gelesen/geschrieben werden kann.
Latenz: Zeitverzögerung zwischen Anforderung und Ausgabe von Daten.
Zykluszeit: Minimale Zeitdifferenz zweier Schreib/Lesezugriffe.

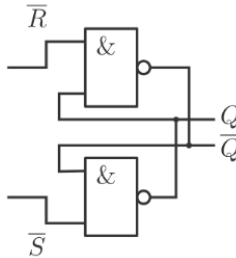
$$\text{Speicherkapazität} = \text{Wortbreite} \cdot 2^{\text{Adressbreite}}$$

13.1 Speicherzelle/Register



Ring aus zwei Invertiern.
 Logikpegel kann nur mit öffnen des Inverter-Rings gesetzt werden.

13.2 Latch



Set-Reset Latch:
 Zwei gegenseitig rückgekoppelte NAND-Gatter.

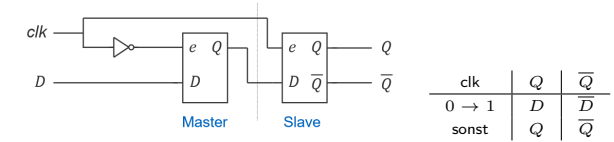
Active Low Logik:
 $\bar{S} = 0 \Rightarrow Q = 1, \bar{R} = 0 \Rightarrow Q = 0$

\bar{R}	\bar{S}	Q
1	1	Q
0	1	0
1	0	1
0	0	$Q = \bar{Q}$

Enable-Latch: ändert Speicherzustand auf D nur wenn $e = 1$.
 Level-Controlled \Leftrightarrow Latch.

e	Q
0	Q
1	D

13.3 Flip-Flop



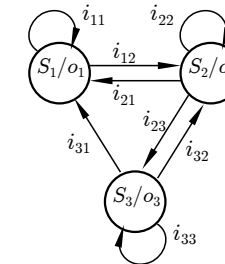
Besteht aus zwei enable-Latches
Flip-Flop: Ändert Zustand bei steigender/(fallender) Taktflanke.

14 Automaten

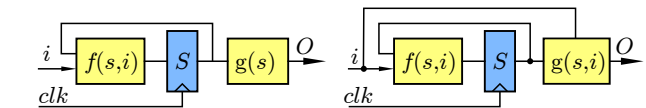
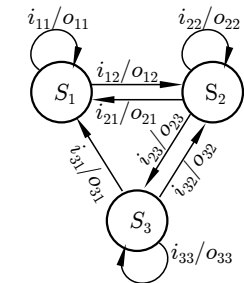
DFA 6-Tupel $\{I, O, S, R, f, g\}$

I	Eingabealphabet
O	Ausgabealphabet
S	Menge von Zuständen
$R \subseteq S$	Menge der Anfangszustände
$f: S \times I \rightarrow S$	Übergangsrelation
g	Ausgaberektion

Moore Automat



Mealy Automat



Zustandsnummerierung immer einfügen.

Moore	Mealy
Output hängt nur vom Zustand ab	Output hängt von Zustand und Eingabe ab
Kein direkter kombinatorischer Pfad Eingang \Rightarrow Ausgang	Generell weniger Zustände als Moore.
$s' = f(s, i), o = g(s)$	$s' = f(s, i), o = g(s, i)$
$g: S \rightarrow O$	$g: S \times I \rightarrow O$

14.1 Wahrheitstabelle einer FSM

i	$S = S_0 \dots S_n$	o	$S' = S'_1 \dots S'_n$
0	0...0	$o_{0,0} \dots o_{0,n}$	$S'_{0,0} \dots S'_{0,n}$
...
1	1...1	$o_{1,1} \dots o_{1,n}$	$S'_{1,1} \dots S'_{1,n}$

Moore: o ist $f(S)$, nächster Zustand $S' = f(i, S)$
Mealy: o ist $f(i, S)$, nächster Zustand $S' = f(i, S)$