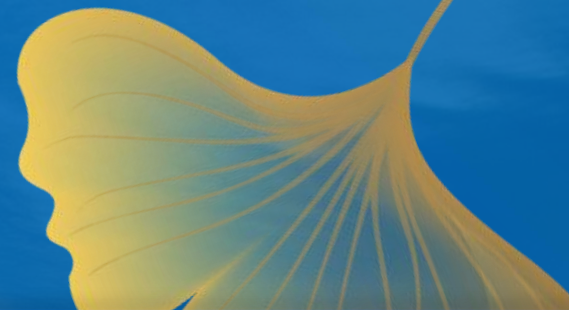




南京大学120周年校庆
120th ANNIVERSARY
NANJING UNIVERSITY
1902 - 2022

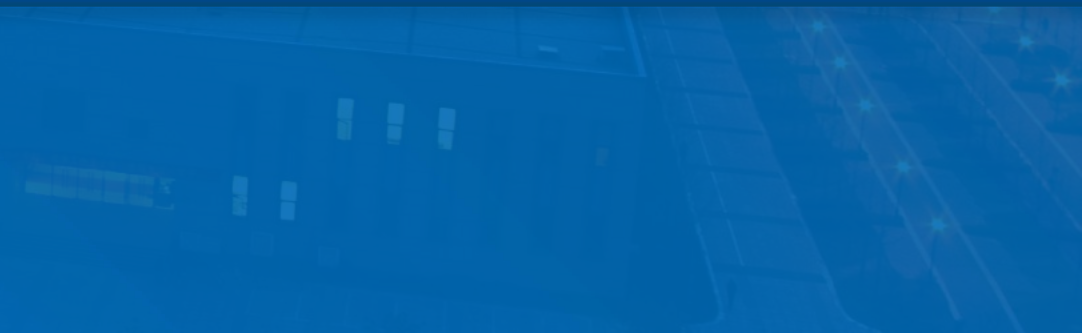
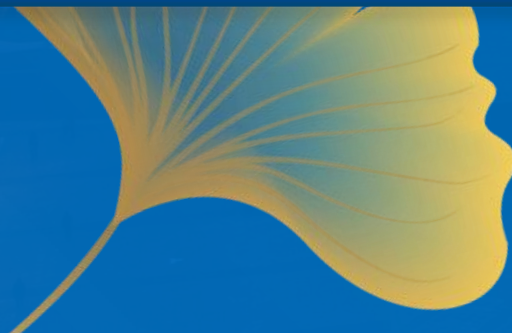
1902 2022



DLX系统

DLX System

李杉杉





南京大學120周年校庆
120th ANNIVERSARY
NANJING UNIVERSITY
1902 - 2022

CONTENT

目录

01 冯·诺依曼模型

02 中央处理器

03 DLX数据通路





南京大学120周年校庆
120th ANNIVERSARY
NANJING UNIVERSITY
1902 - 2022

01 冯·诺依曼模型



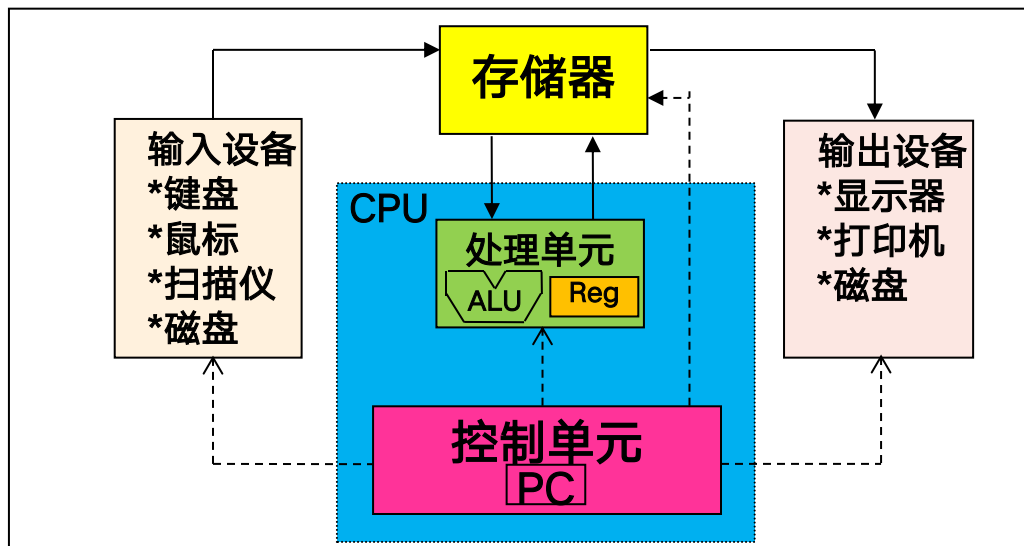
南京大學120周年校庆
120th ANNIVERSARY
NANJING UNIVERSITY
1902 - 2022



冯·诺依曼模型

冯·诺伊曼模型

- 冯·诺伊曼结构或“普林斯顿结构”
- 三个基本原则
 - 二进制
 - 存储程序
- 5个组成部分
 - 运算器：执行信息的实际处理
 - 控制器：指挥信息的处理
 - 存储器：地址和存储的内容
 - 输入设备：将信息送入计算机中
 - 输出设备：将处理结果以某种形式显示在计算机外





南京大學120周年校庆
120th ANNIVERSARY
NANJING UNIVERSITY
1902 - 2022



冯·诺依曼模型

拓展：哈佛结构

对比项	冯诺伊曼结构	哈佛结构
存储地址	程序指令和数据存储在同一个存储器的不同地址上	程序指令和数据存储在不同存储器上
数据宽度	程序指令和数据指令宽度相同	程序指令和数据指令宽度不同
指令执行效率	顺序执行，效率低	并行执行，程序和数据分开读取，效率高
成本	一般只需一个存储器，结构简单，成本较低	需多个存储器，设计复杂，成本较高
典型产品	Intel、MIPS、PowerPC、ARM Cortex-A	PIC、Atmel、ARM Cortex-M



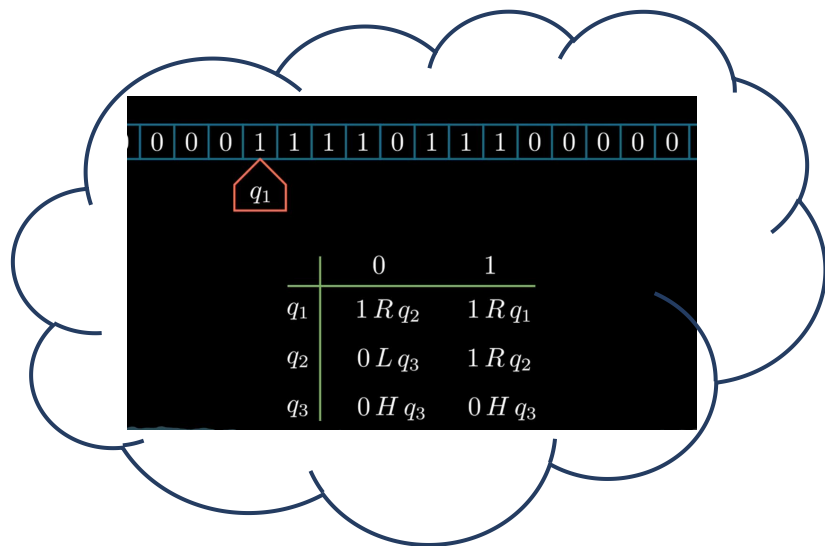
南京大學120周年校庆
120th ANNIVERSARY
NANJING UNIVERSITY
1902 - 2022



冯·诺依曼模型

冯·诺伊曼模型核心思想——“存储程序控制原理”

- 任何要计算机完成的工作都要先被编写成程序，然后将程序和原始数据送入主存并启动执行。一旦程序被启动，计算机应能在不需要操作人员干预下，自动完成逐条取出指令和执行指令的任务。
 - 应该有个主存，用来存放程序和数据
 - 程序由指令构成
 - 应该有一个自动逐条取出指令的部件
 - 应该有具体执行指令的部件
 - 指令描述如何对数据进行处理
 - 应该有将程序和原始数据输入计算机的部件
 - 应该有将运算结果输出计算机的部件



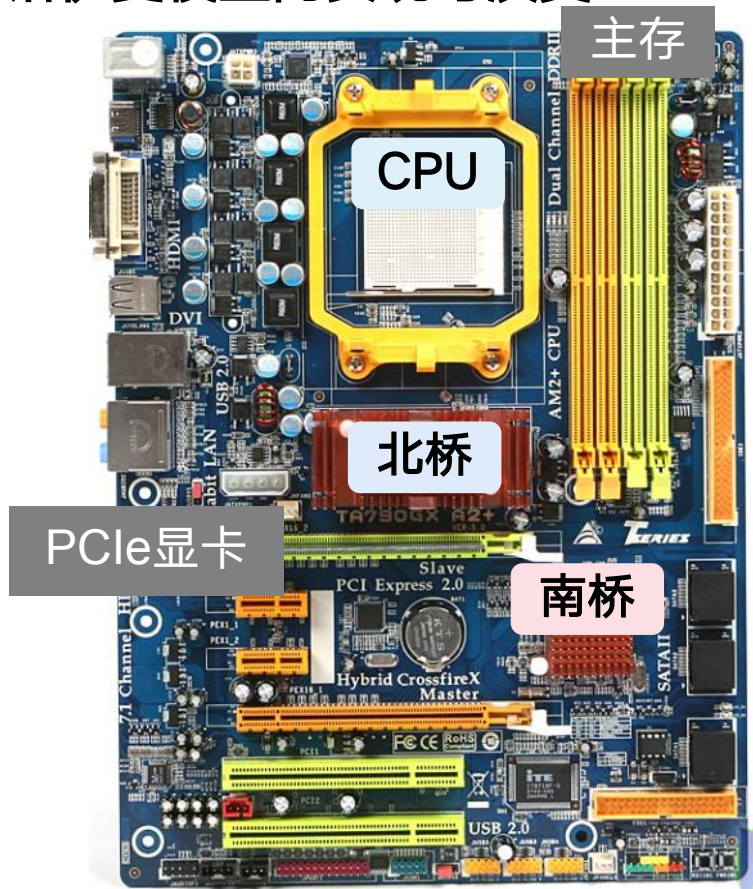


南京大學120周年校庆
120th ANNIVERSARY
NANJING UNIVERSITY
1902 - 2022

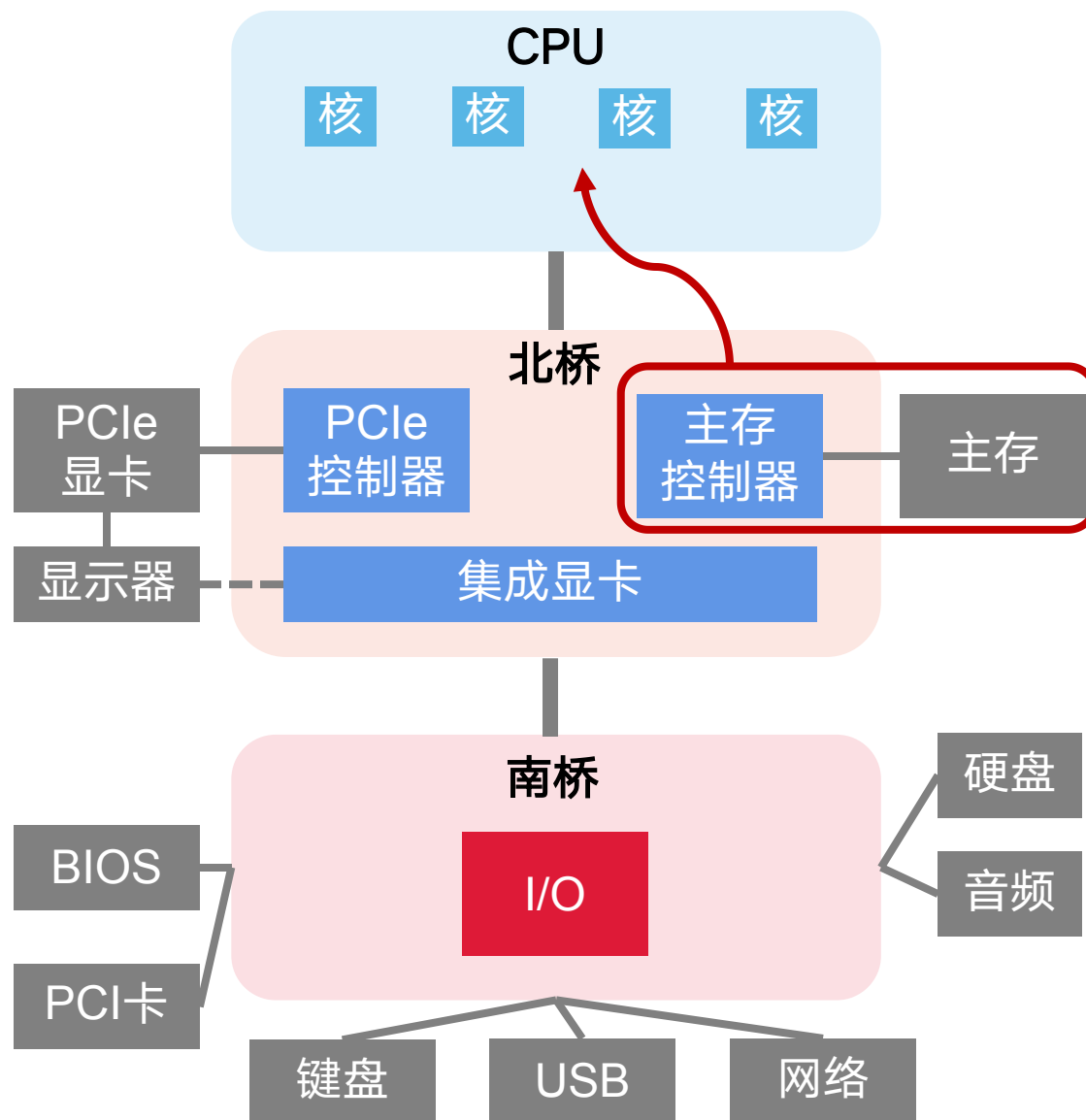


冯·诺依曼模型

冯·诺伊曼模型的实现与演变



2009年停产



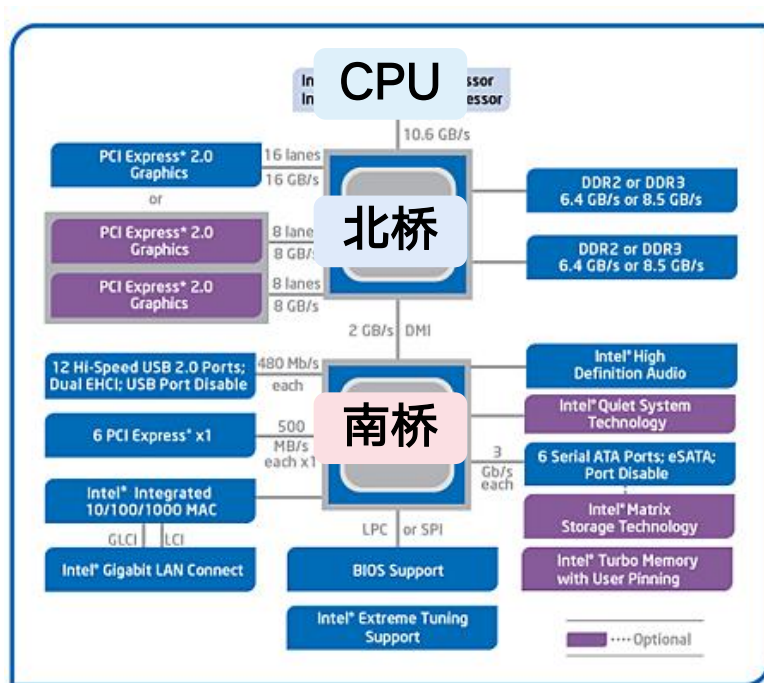


南京大學120周年校庆
120th ANNIVERSARY
NANJING UNIVERSITY
1902 - 2022

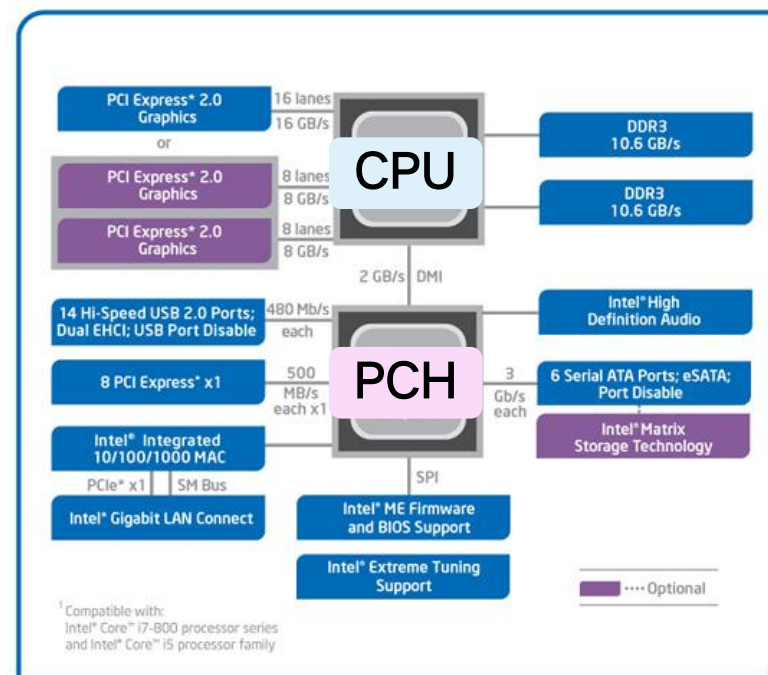


冯·诺依曼模型

冯·诺伊曼模型的实现与演变



40系列



50系列

2008年底进入酷睿时代，南北桥变成PCH



南京大學120周年校庆
120th ANNIVERSARY
NANJING UNIVERSITY
1902 - 2022

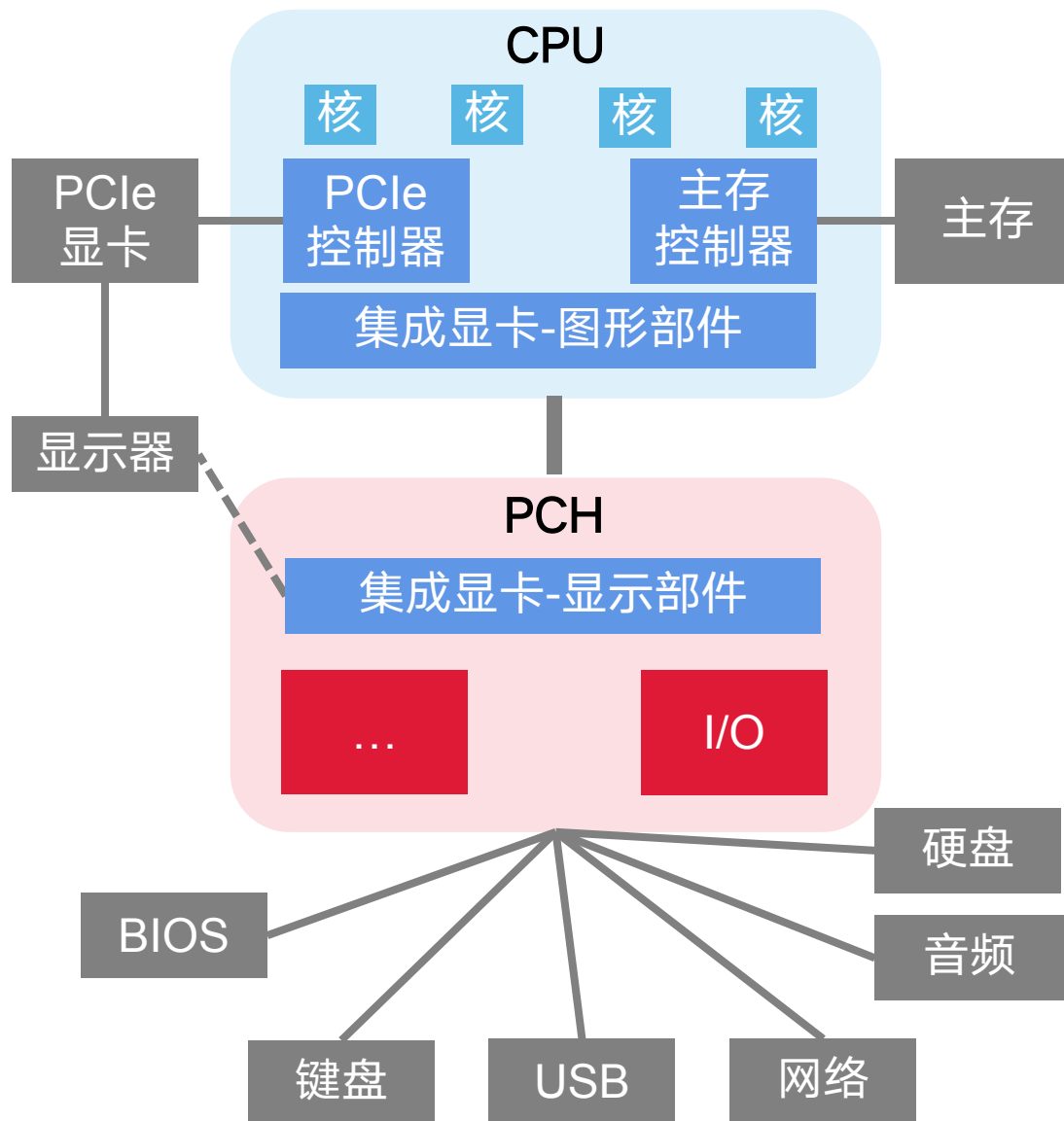


冯·诺依曼模型

冯·诺伊曼模型的实现与演变



2022年上市





南京大学120周年校庆
120th ANNIVERSARY
NANJING UNIVERSITY
1902 - 2022

02 中央处理器



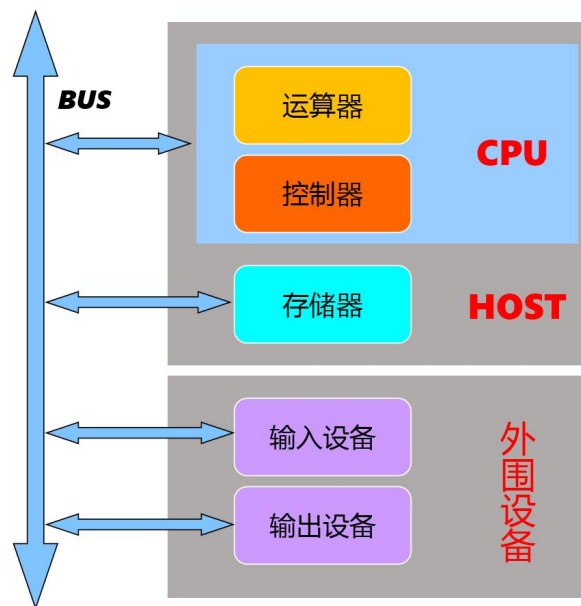
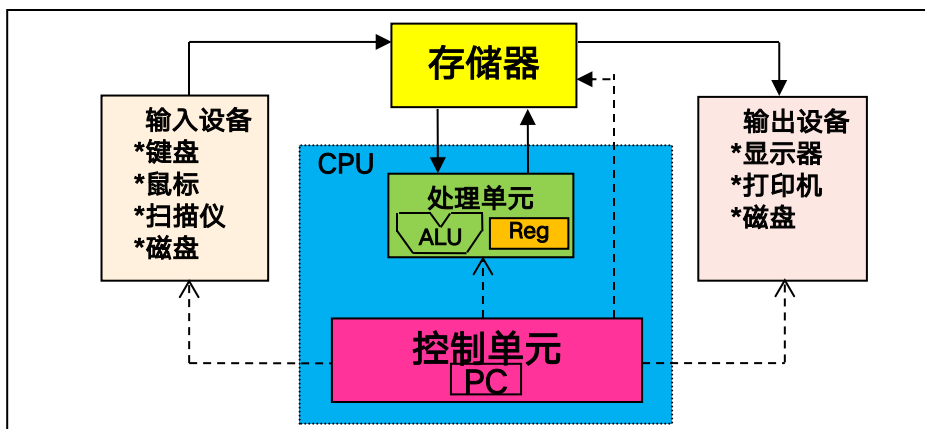
南京大學120周年校庆
120th ANNIVERSARY
NANJING UNIVERSITY
1902 - 2022



中央处理器

中央处理器（Central Processing Unit, CPU）

- 冯诺依曼机器的核心部件，取指令并执行指令
- CPU=控制单元CU+算术逻辑单元ALU+寄存器+中断系统
- CPU=控制器+运算器





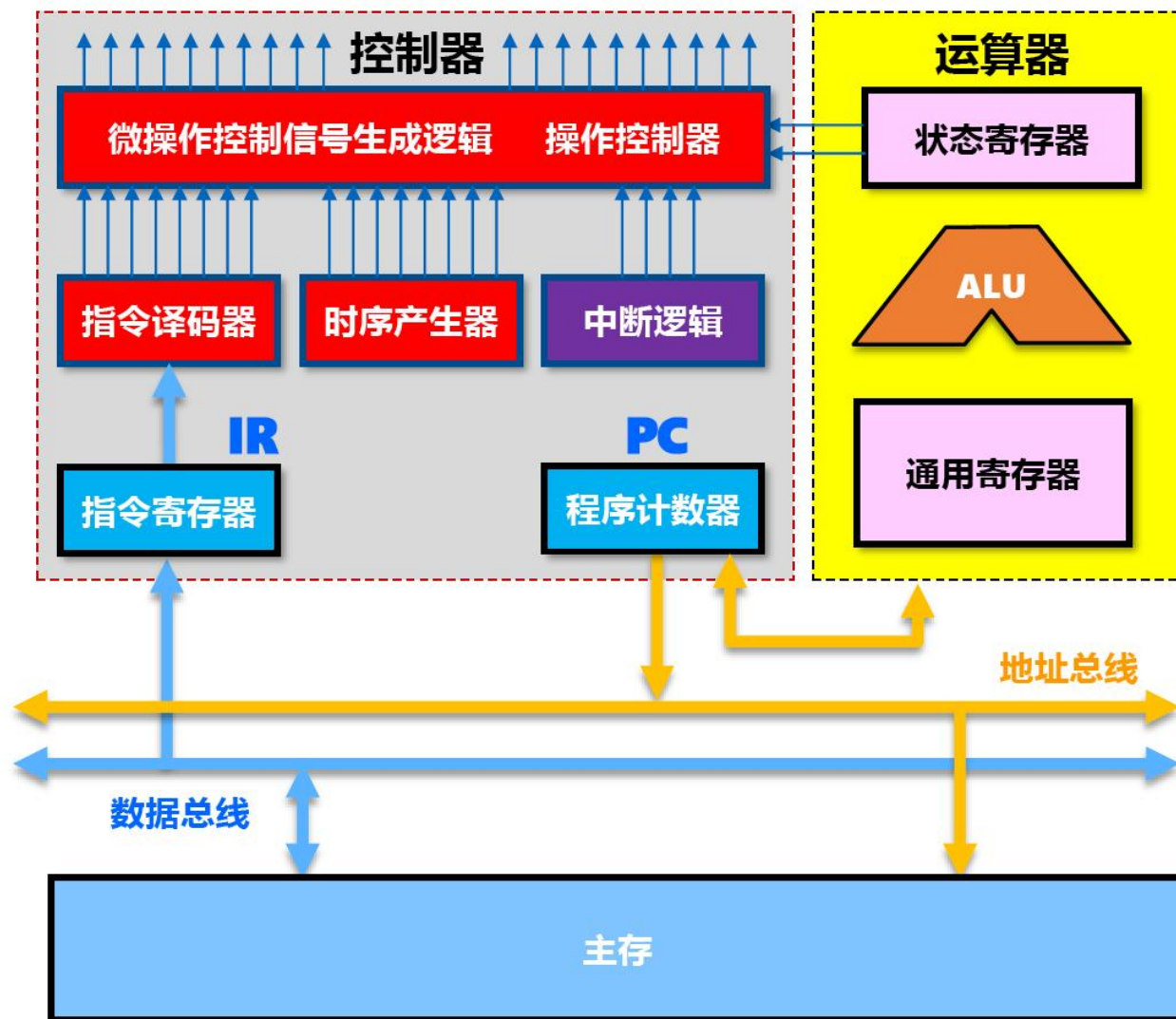
南京大學120周年校庆
120th ANNIVERSARY
NANJING UNIVERSITY
1902 - 2022



中央处理器

中央处理器（CPU）的组成

- 运算器：数据加工
 - 算术逻辑单元（ALU）
 - 通用寄存器组
 - 程序状态寄存器（PSW）
 -
- 控制器：程序执行、指令执行
 - 程序计数器（PC）
 - 指令寄存器（IR）
 - 指令译码器
 - 存储器地址寄存器（MAR）
 - 存储器数据寄存器（MDR）
 -





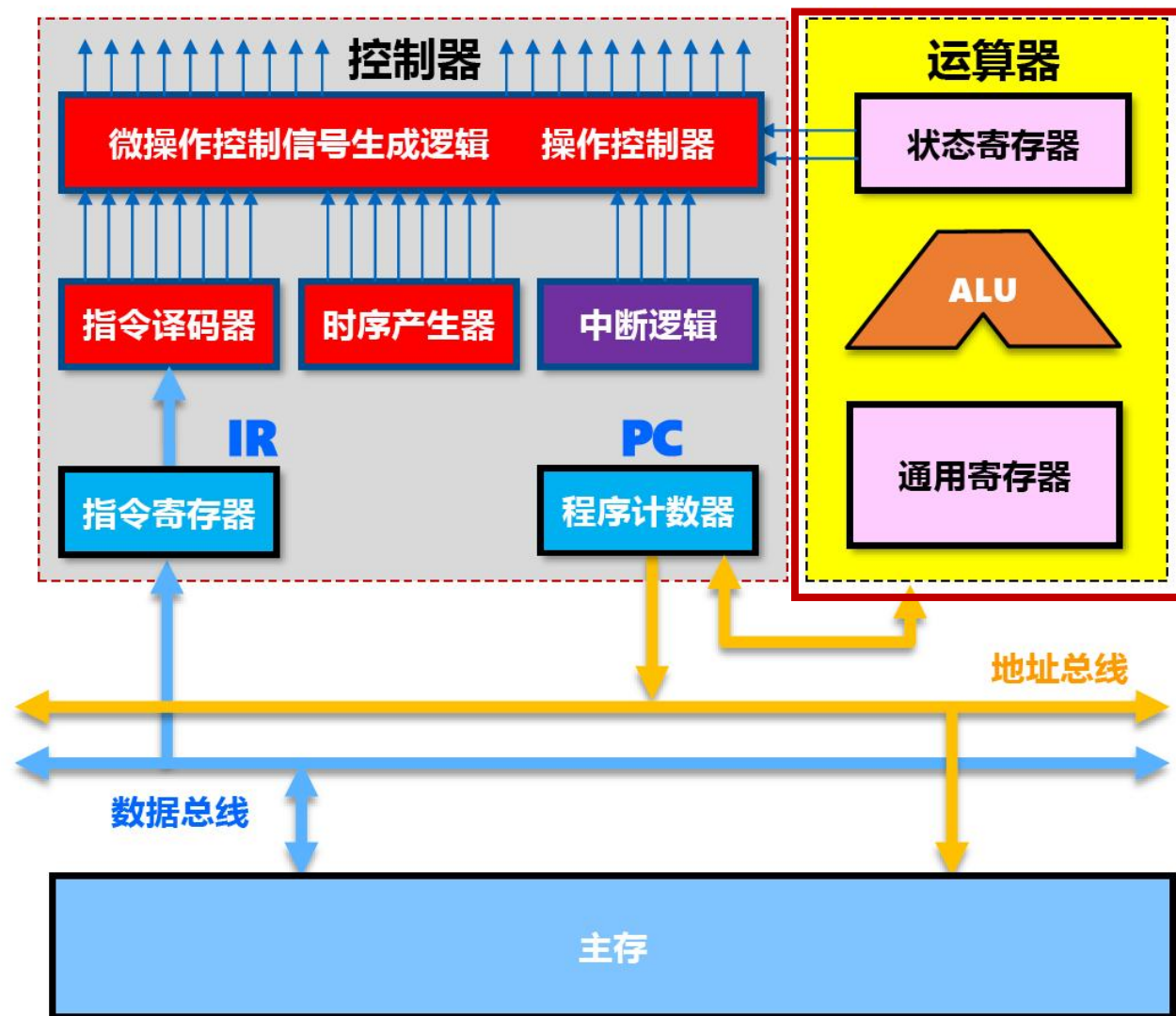
南京大學120周年校庆
120th ANNIVERSARY
NANJING UNIVERSITY
1902 - 2022



中央处理器

CPU: 运算器

- 算术/逻辑处理单元ALU
 - Arithmetic and Logic Unit
 - 最简单的处理单元
 - 功能：“执行信息的实际处理”
- 现代计算机包含许多复杂功能的处理单元，执行一个特定的运算（除法，平方根等）





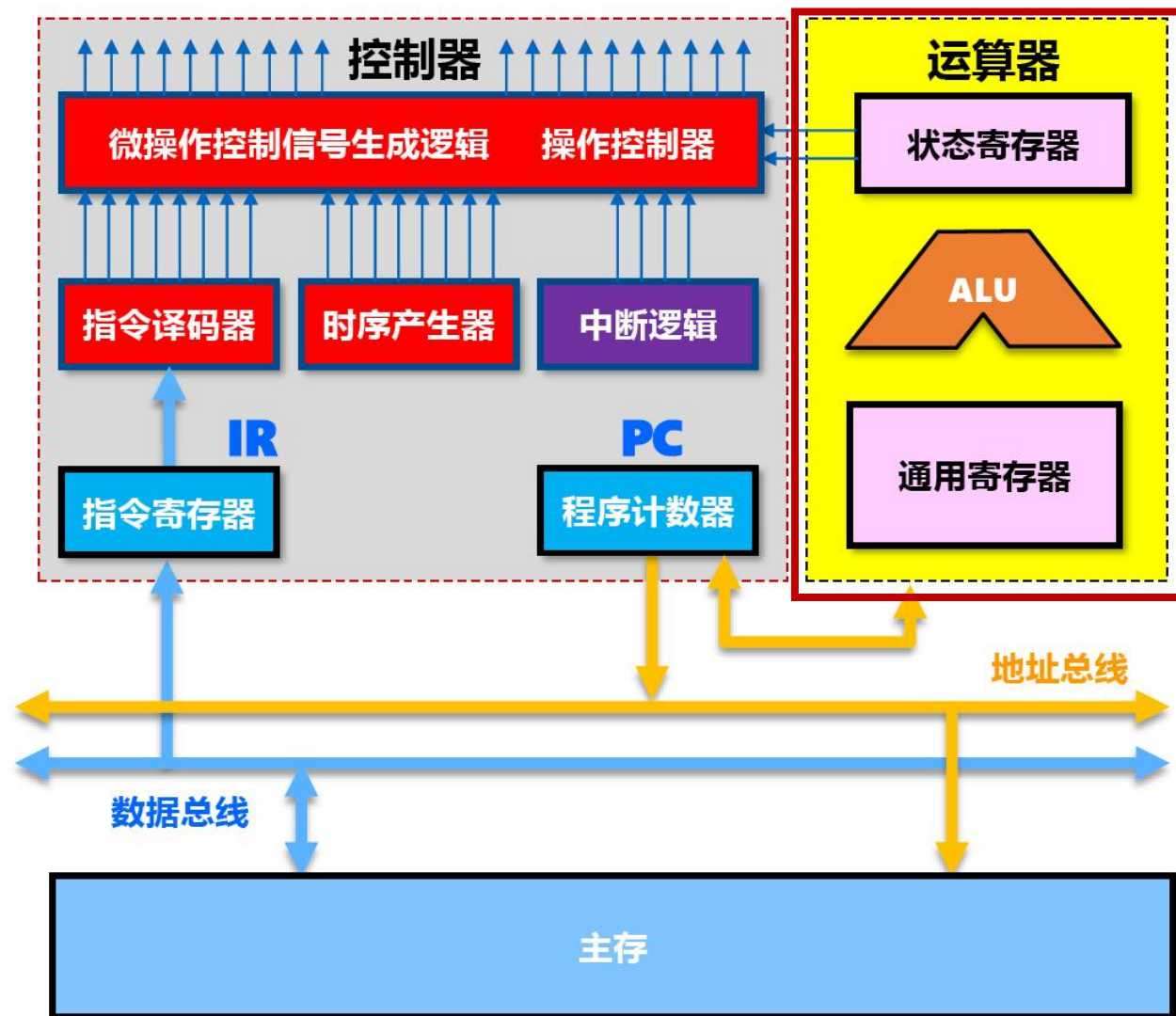
南京大學120周年校庆
120th ANNIVERSARY
NANJING UNIVERSITY
1902 - 2022



中央处理器

CPU: 运算器

- 寄存器堆/文件Reg, ALU附近
- 功能: 临时存取数据
 - 计算 $(A+B) \times C$, 先在存储器中存储 $A+B$ 的结果, 随后读取出来, 再和 C 相乘
 - 访问存储器的时间远长于执行加法或乘法的时间
 - 使用临时存储空间Reg存储 $A+B$ 的结果
- 典型寄存器的大小等于ALU一次处理数据位数
 - 每个寄存器都包含一个字





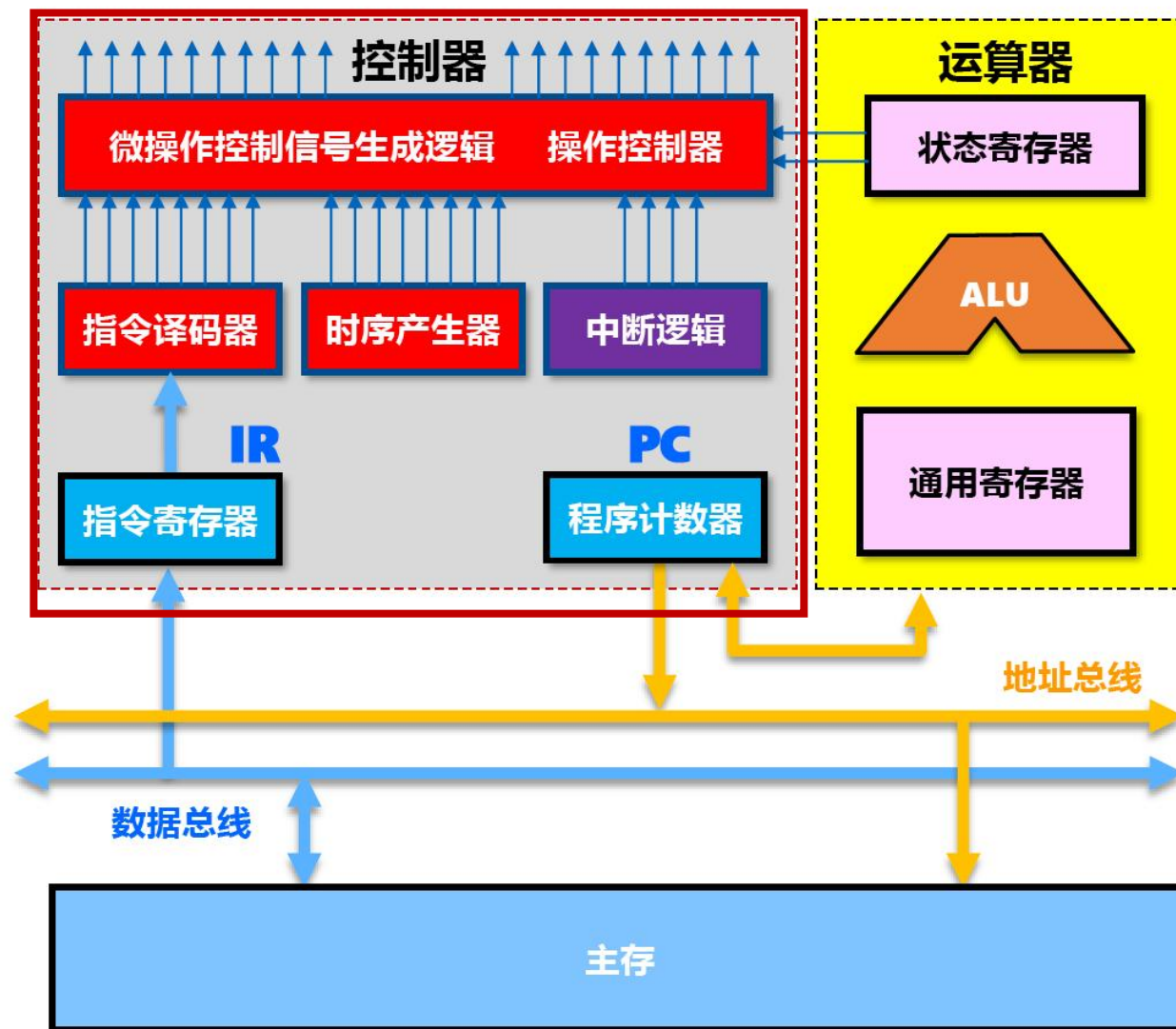
南京大學120周年校庆
120th ANNIVERSARY
NANJING UNIVERSITY
1902 - 2022



中央处理器

CPU: 控制器

- 功能：“**指挥**信息的处理”
- 程序控制：控制程序中指令执行顺序
- 操作控制：将机器指令翻译成执行部件所需的**操作控制信号**
- 时序控制：控制操作信号的**产生时间、持续时间**
- 异常控制：异常处理，外设交互





南京大學120周年校庆
120th ANNIVERSARY
NANJING UNIVERSITY
1902 - 2022

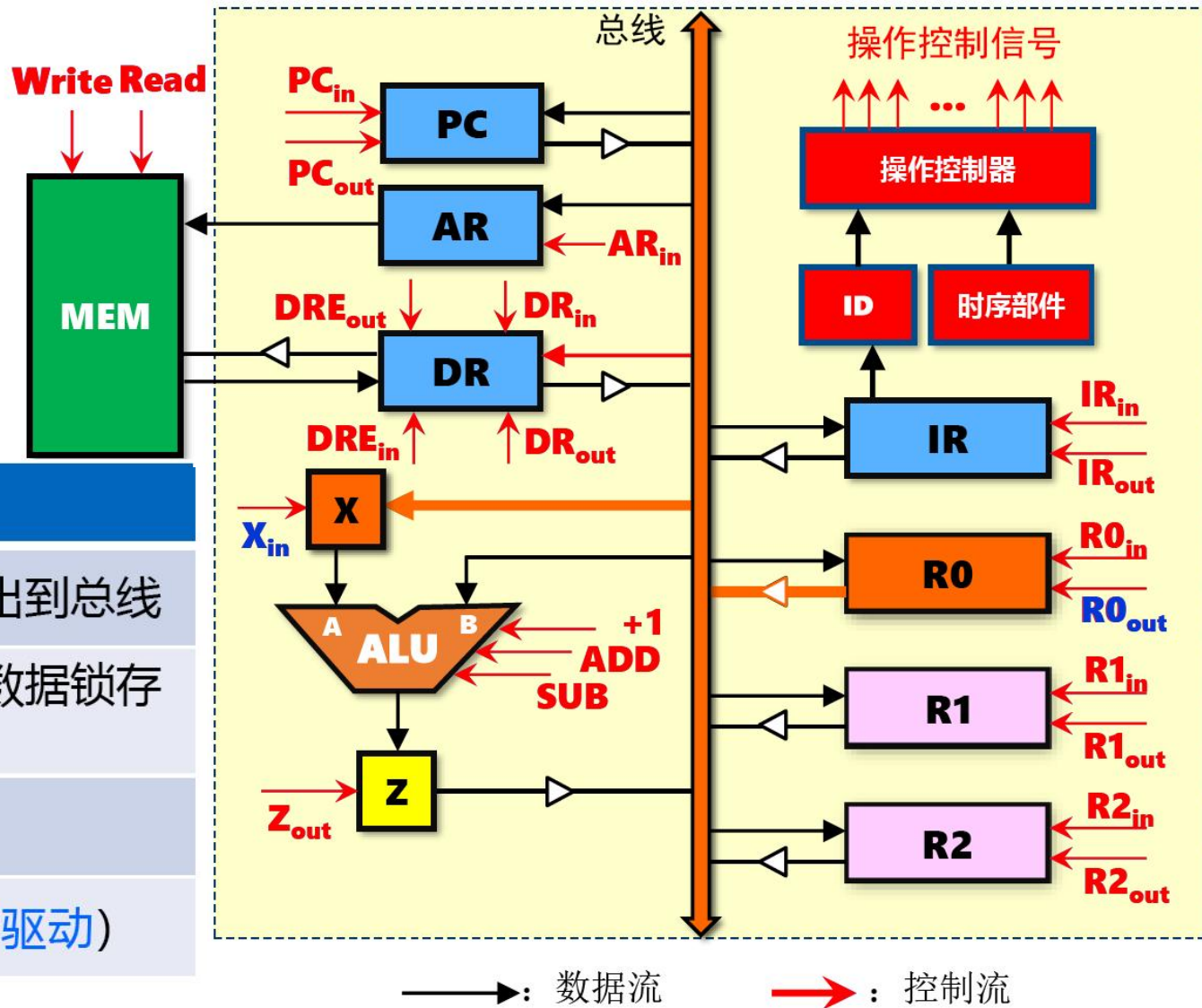


CPU概述

单总线结构CPU

- 主要部件都连接在总线上
- 各部件间通过总线进行传输

控制信号	作用说明
IR_{out} 、 PC_{out} 、... $R1_{out}$	控制三态门将寄存器值输出到总线
IR_{in} 、 PC_{in} 、... $R1_{in}$	控制寄存器使能端将总线数据锁存 (时钟驱动)
+1、ADD、SUB	运算控制信号
Write、Read	内存读写控制信号 (时钟驱动)



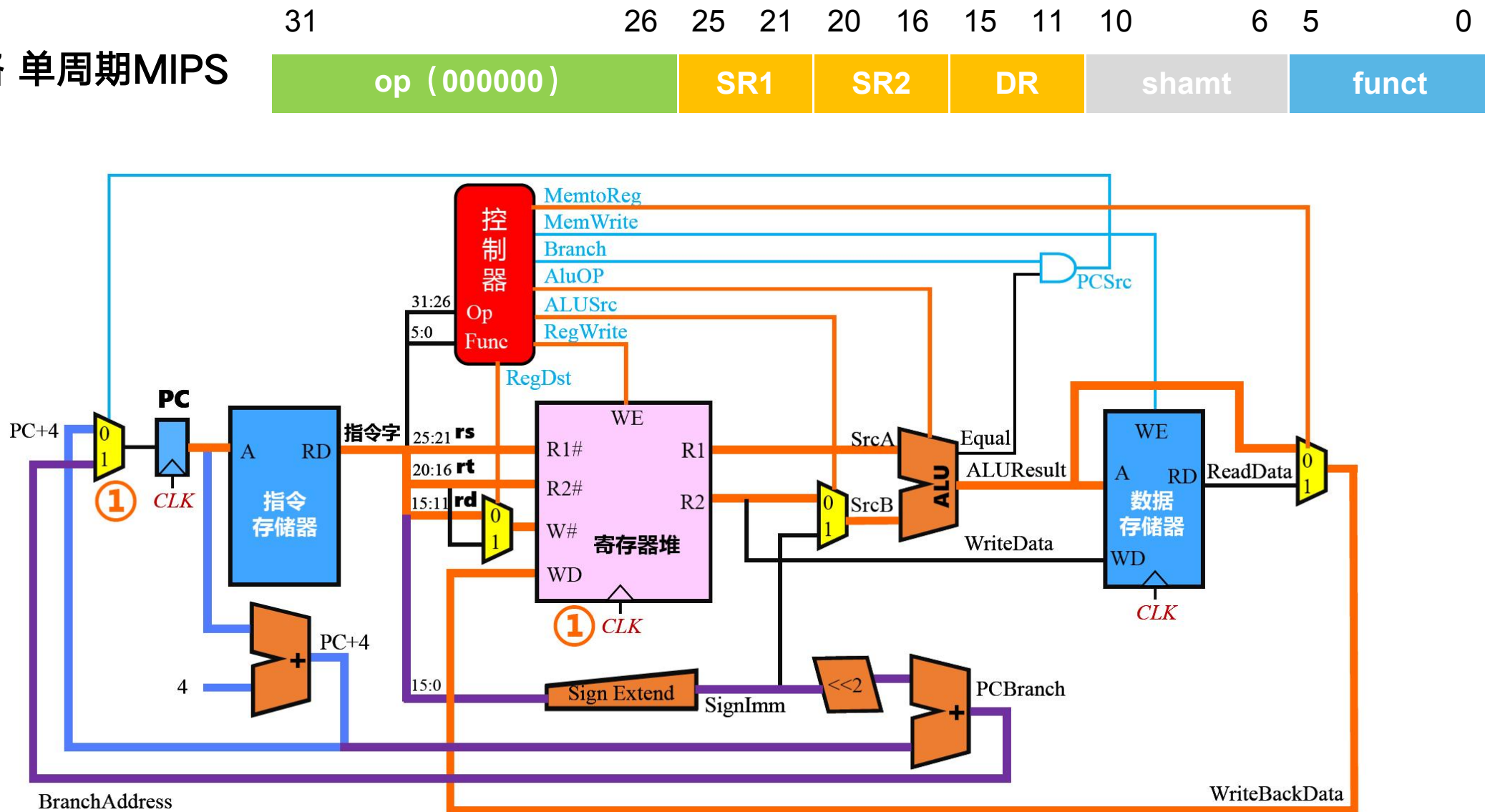


南京大學120周年校庆
120th ANNIVERSARY
NANJING UNIVERSITY
1902 - 2022



CPU概述

专用通路 单周期MIPS





南京大学120周年校庆
120th ANNIVERSARY
NANJING UNIVERSITY
1902 - 2022

03 DLX数据通路



南京大學120周年校庆
120th ANNIVERSARY
NANJING UNIVERSITY
1902 - 2022



DLX数据通路

数据通路

- 数据通路-----执行部件间传送信息的路径（部件的总和）
- 通路的建立由控制信号控制，受时钟驱动
- 不同指令、同一指令在执行的不同阶段的数据通路不同
- 数据通路分类： 共享通路（总线）、 专用通路
 - 共享通路（总线型）
 - 主要部件都连接在公共总线上，各部件间通过总线进行数据传输
 - 结构简单，实现容易，但并发性较差，需分时使用总线，效率低
 - 专用通路
 - 并发度高，性能佳，设计复杂，成本高
 - 可以看做多总线结构



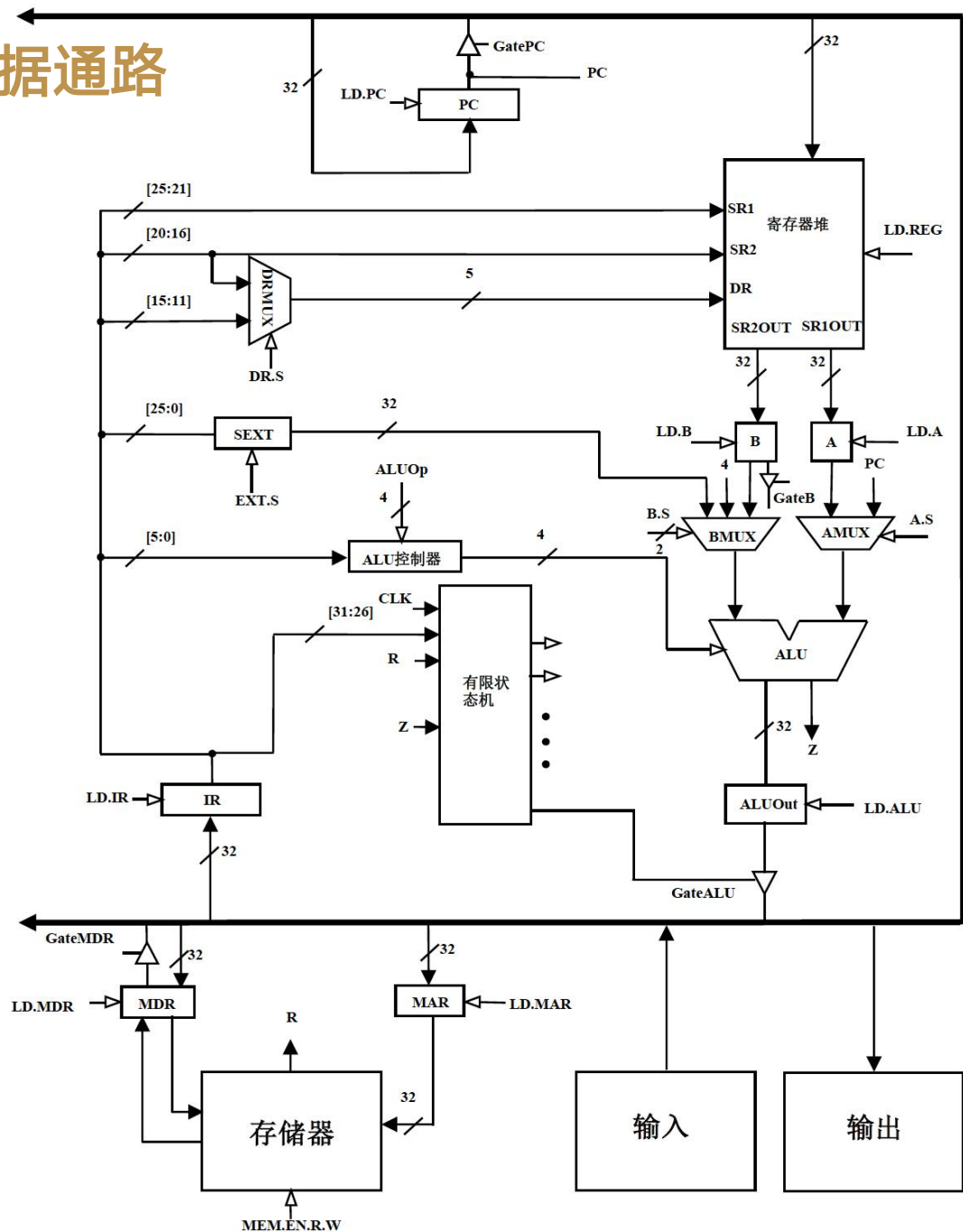
南京大學120周年校慶
120th ANNIVERSARY
NANJING UNIVERSITY
1902 - 2022



DLX数据通路

DLX数据通路

- 一个采用**总线结构**、**多时钟周期**的实现方案
- 主要部件都连接在总线上
- 各部件间通过总线进行传输





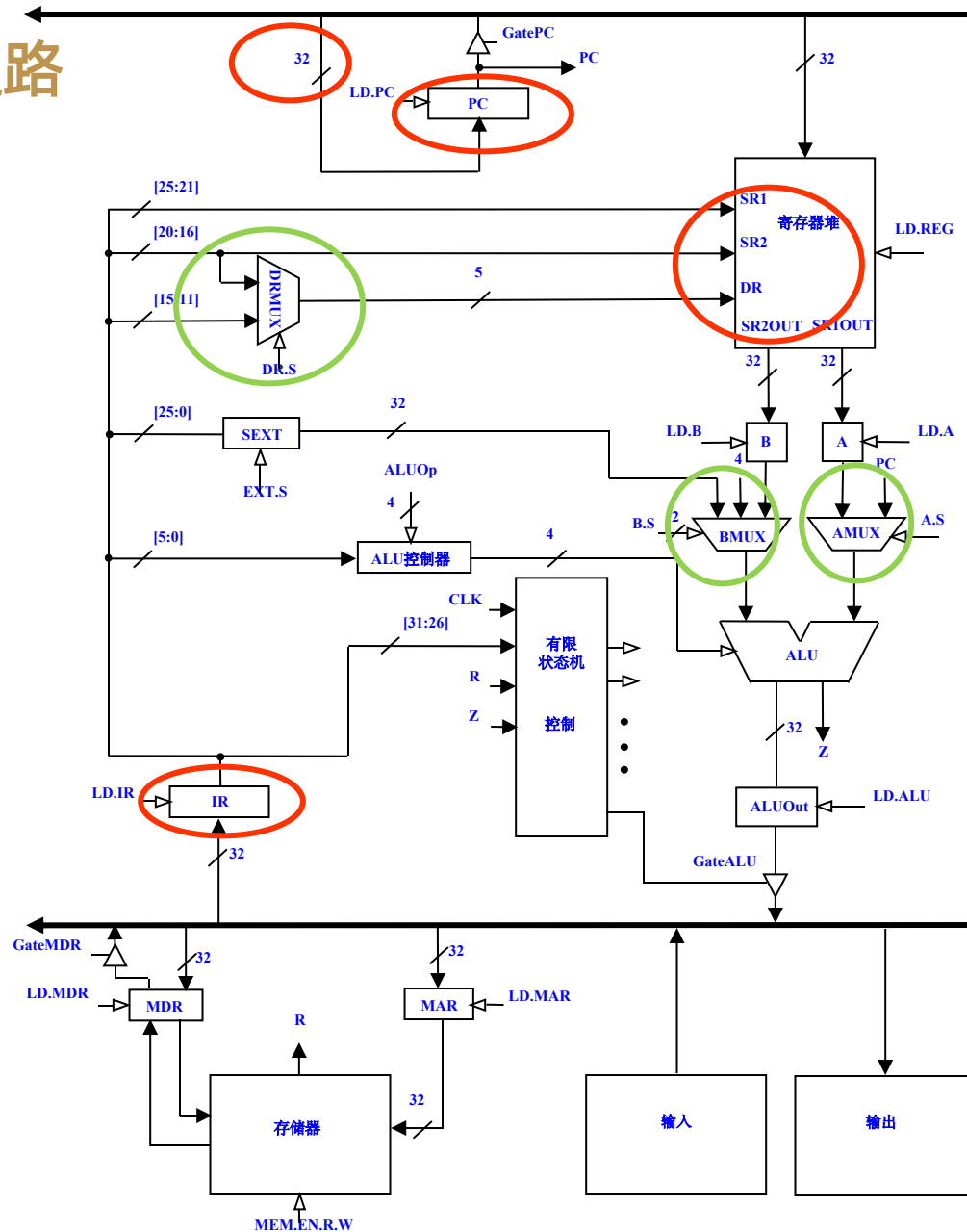
南京大學120周年校庆
120th ANNIVERSARY
NANJING UNIVERSITY
1902 - 2022



DLX数据通路

DLX数据通路

- 寄存器（32位）
 - 寄存器堆/文件
 - 程序计数器PC
 - 指令寄存器IR
- 多路选择器
 - DRMUX提供一个5位的地址给寄存器堆
 - AMUX和BMUX分别提供一个32位的数值给ALU
- 每根用交叉斜线标记32的线表示该线内共有32条线，
每条用来传送1位的信息





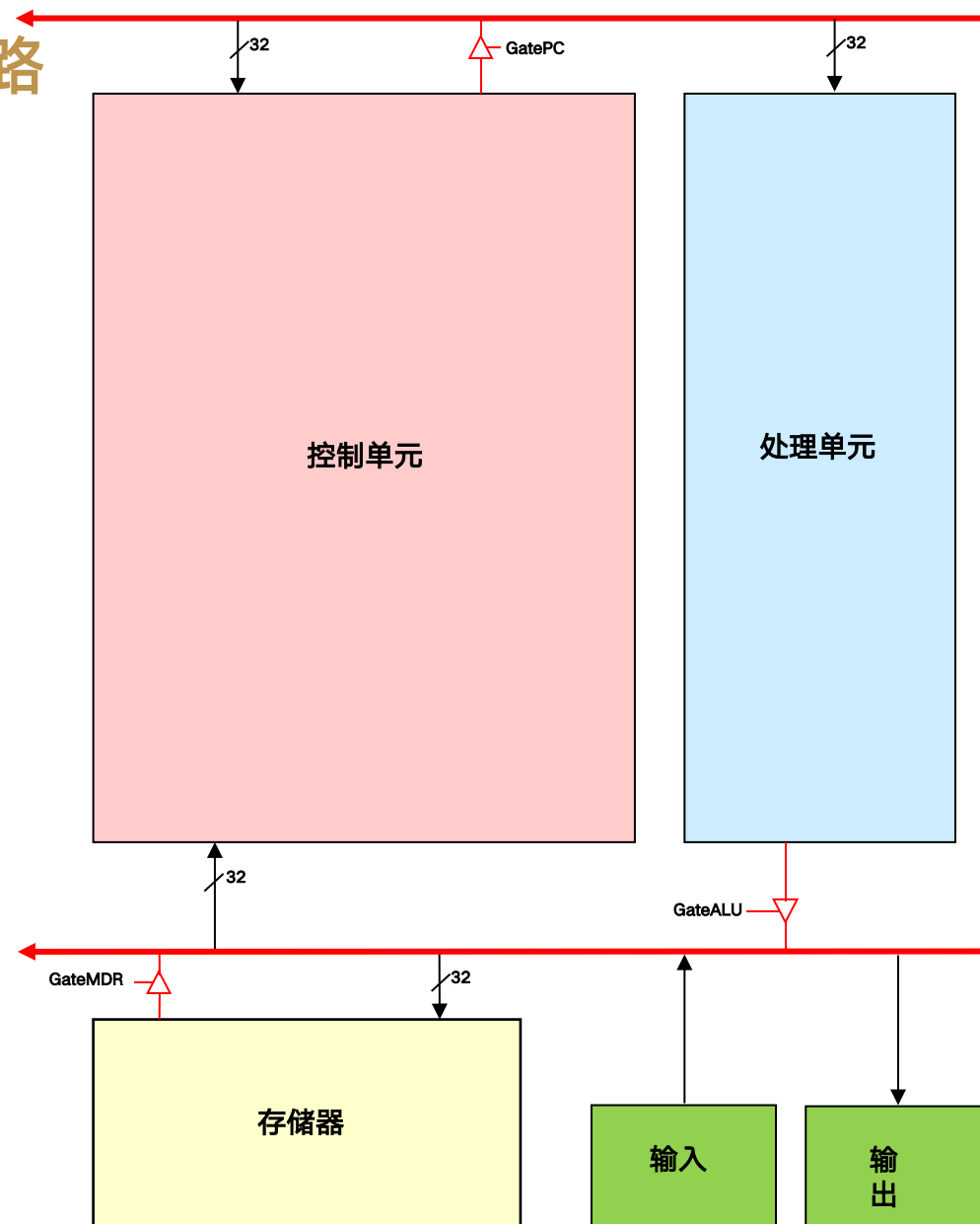
南京大學120周年校庆
120th ANNIVERSARY
NANJING UNIVERSITY
1902 - 2022



DLX数据通路

DLX数据通路：总线

- 两端都有箭头的粗黑线结构代表数据通路的**总线**（物理线或导线），
- 连接模型各组件之间，信息通信高速公路
- 数据/地址/控制总线
- 优点：功能多、成本低
- 缺点：性能和带宽对计算机性能有重要影响





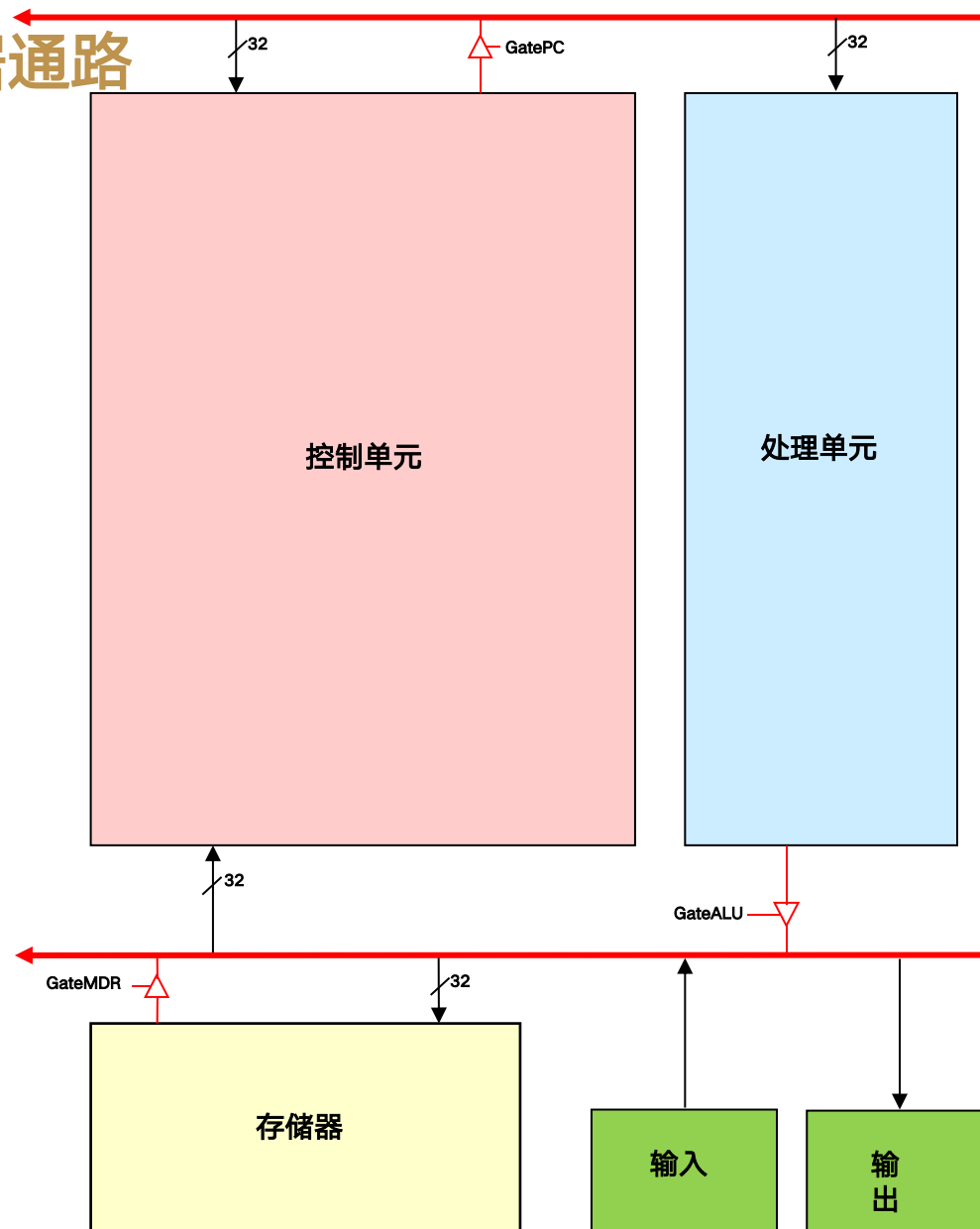
南京大學120周年校庆
120th ANNIVERSARY
NANJING UNIVERSITY
1902 - 2022



DLX数据通路

DLX数据通路：总线

- DLX的总线由**32根线**和相关的**电子元件**组成
- 允许将**32位信息**从一个组件传输到另一个组件
- 数据/地址/控制信号
- 在总线上一**次只可传输一个值**





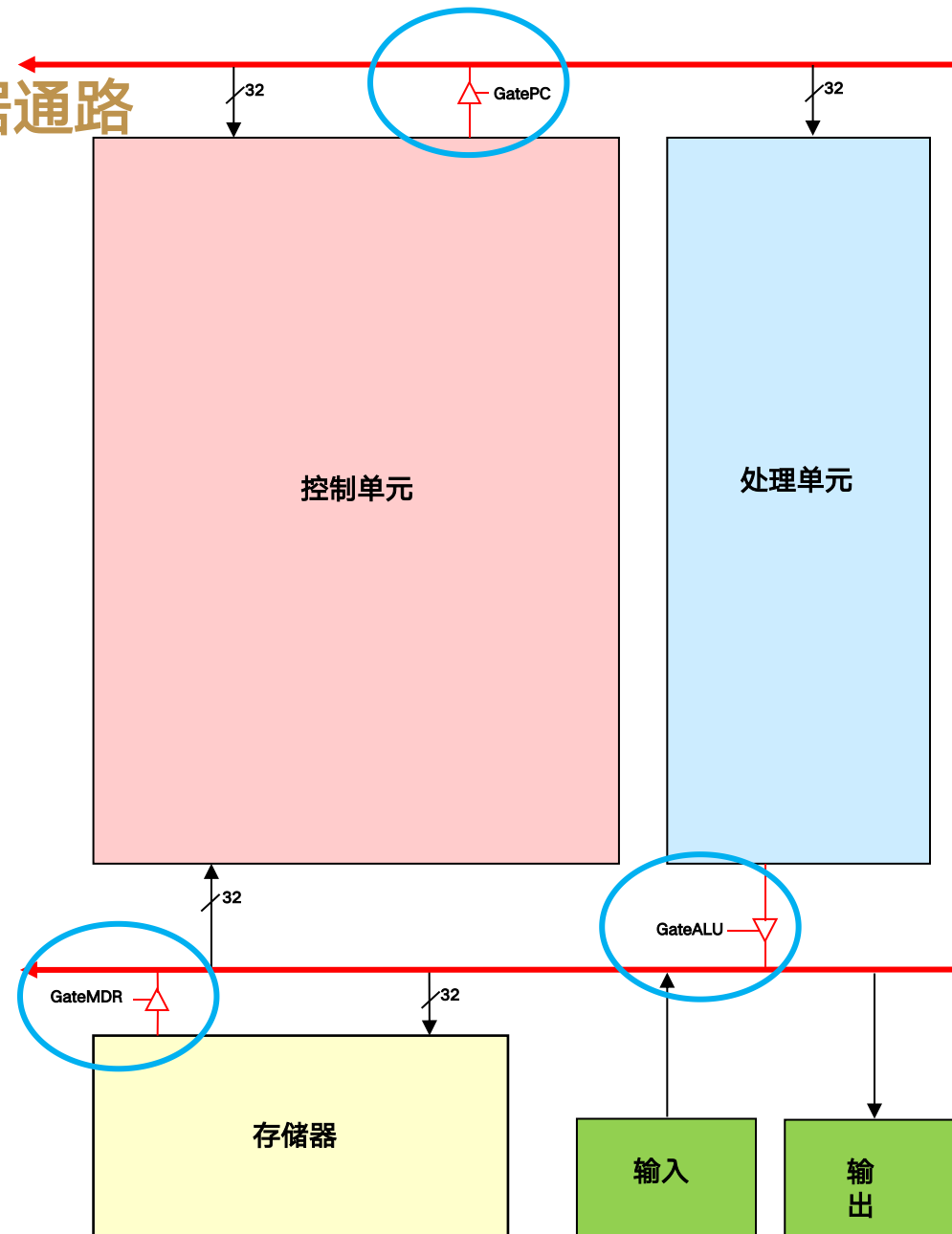
南京大學120周年校庆
120th ANNIVERSARY
NANJING UNIVERSITY
1902 - 2022



DLX数据通路

DLX数据通路：总线

- 每一个提供数据给总线的组件在它的输入箭头后都有一个**三角形**（称为**三态设备**）
- 使计算机的控制逻辑一次只允许一个提供者能提供信息给总线
- 从总线获得数据的组件通过将LD.x（加载使能）信号设为1（回忆门控锁存器），从而得到信息





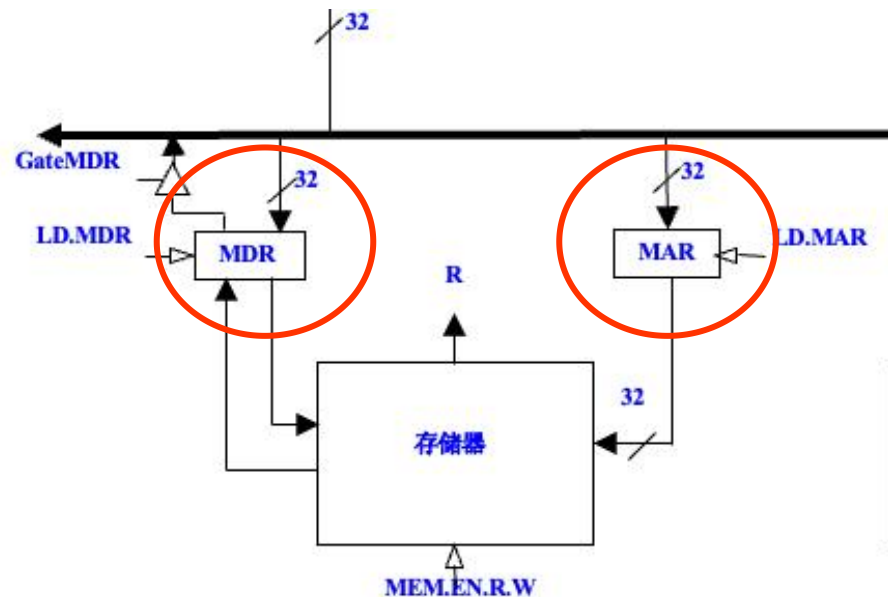
南京大學120周年校庆
120th ANNIVERSARY
NANJING UNIVERSITY
1902 - 2022



DLX数据通路

DLX数据通路：存储器

- 主存地址寄存器(Memory Address Register, MAR)
 - 保存数据传输目的位置或者数据来源位置的地址
 - 32位，DLX的存储器的地址空间是 2^{32} 个存储单元
- 主存数据寄存器(Memory Data Register, MDR)
 - 保存要被写入地址单元或者从地址单元读入的数据
 - 32位，DLX字节可寻址，即每个单元包含8位
 - 在大多数情况下，MDR包含从MAR中的地址开始的4个连续单元的数据，有时包含的是MAR所指的单元中的数据（8位）符号扩展的结果（32位）





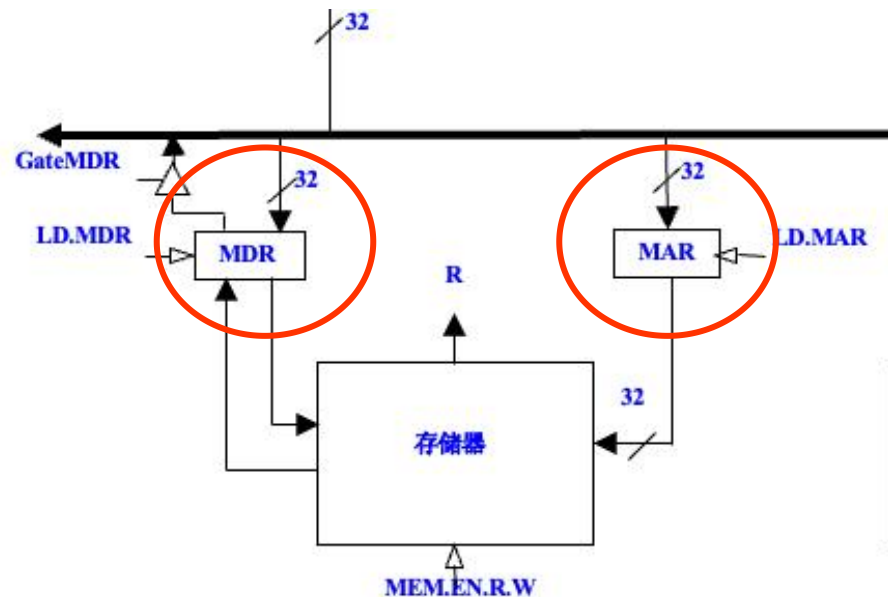
南京大學120周年校庆
120th ANNIVERSARY
NANJING UNIVERSITY
1902 - 2022



DLX数据通路

DLX数据通路：存储器

- 如果要读出某个存储单元中的内容，首先把它的地址存入地址寄存器（MAR），然后查询存储器，该地址所对应的存储单元的内容将会输出到数据寄存器（MDR）。
- 如果要写一个值到存储单元中，首先要把目的地址存入MAR，把值存入MDR中，然后设“写使能”信号为1，查询存储器，MDR里的信息就会被写到MAR中的地址所对应的存储单元里。





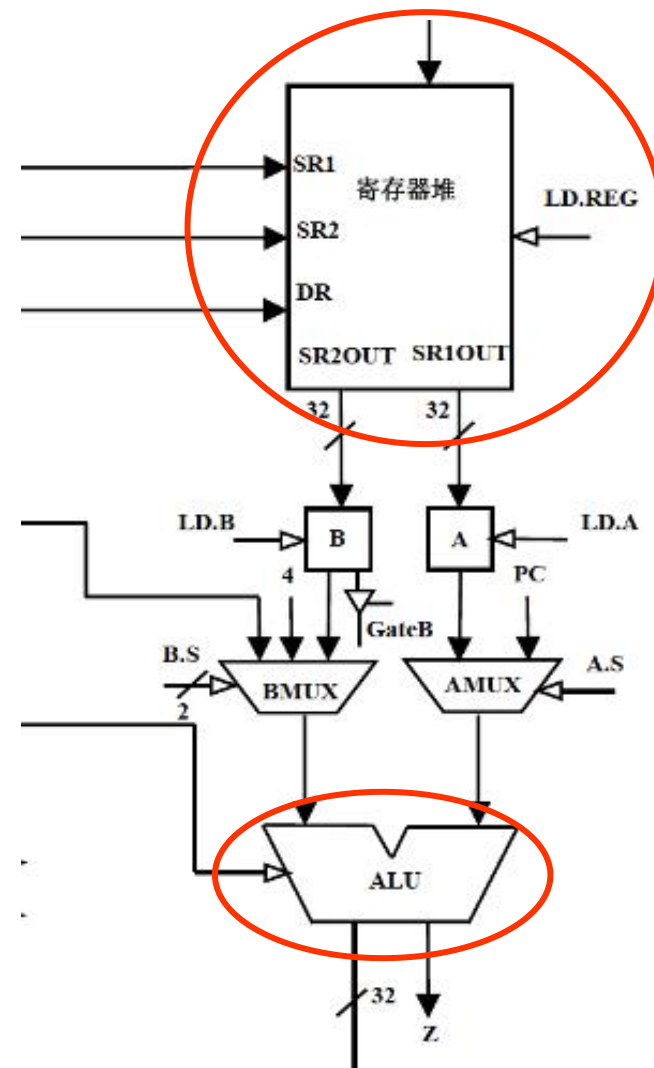
南京大學120周年校庆
120th ANNIVERSARY
NANJING UNIVERSITY
1902 - 2022



DLX数据通路

DLX数据通路：处理单元

- ALU和寄存器堆
- ALU可以做加法、减法、乘法、除法、与、或、异或、比较、移位等运算
- 32个整数寄存器、32个浮点寄存器
- **DLX子集**
 - 未包括整数乘法、除法及浮点数运算等操作
 - 也未包括浮点寄存器





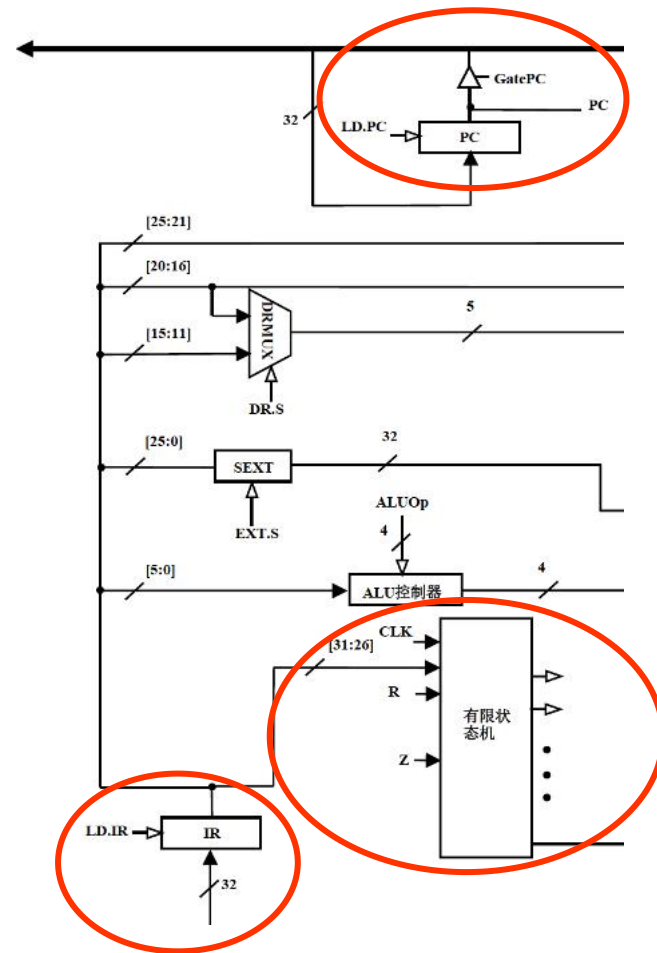
南京大學120周年校庆
120th ANNIVERSARY
NANJING UNIVERSITY
1902 - 2022



DLX数据通路

DLX数据通路：控制单元

- 所有管理计算机信息处理的组件
- 最重要是有限状态机，指挥所有行为
 - 有限状态机的一个输入是**CLK**，它说明了**每个时钟周期持续的时间**
 - 为了跟踪指令的处理阶段，控制单元还需要一个**指令寄存器**（Instruction Register，简称**IR**），用来**保存正在处理的指令**。**IR**也是有限状态机的一个输入，因为要处理的**DLX指令决定了计算机要执行的行为**。
- 程序计数器（**PC**）
 - 记录下一条要被执行的指令所在的地址





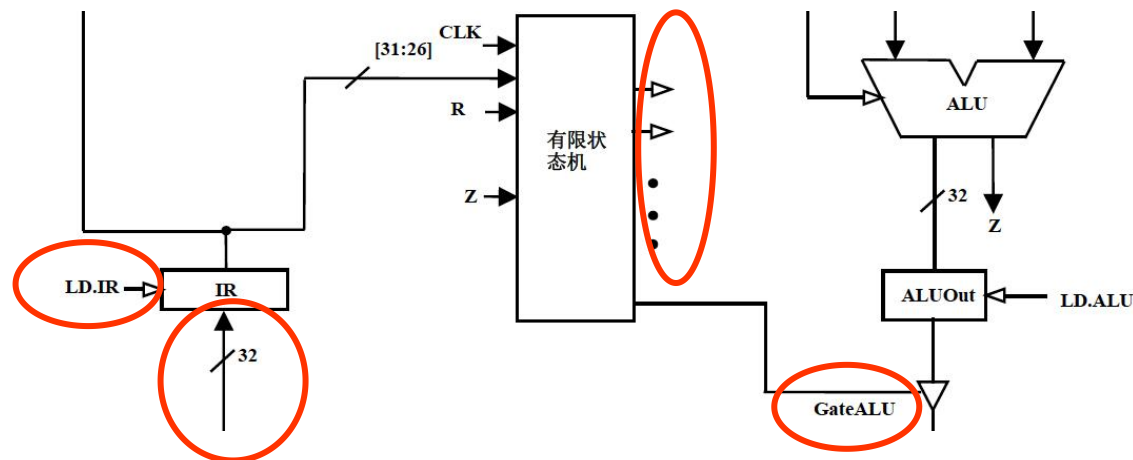
南京大學120周年校庆
120th ANNIVERSARY
NANJING UNIVERSITY
1902 - 2022



DLX数据通路

空心箭头

- 实心箭头表示沿着相应通路流动的是**数据元素**
- 空心箭头表示控制数据元素处理的**控制信号**
- 有限状态机的所有输出都是空心箭头
 - 控制了计算机的处理
 - **LD.IR (1位)**，控制了当前时钟周期内，指令寄存器 (IR) 是否要从总线上加载新的指令
 - **GateALU**，决定ALUOut的值在当前时钟周期内是否被提供给总线





南京大學120周年校庆
120th ANNIVERSARY
NANJING UNIVERSITY
1902 - 2022



DLX数据通路

DLX数据通路：输入/输出设备

- 由键盘和显示器组成
 - 最简单的键盘需要两个寄存器，一个数据寄存器（KBDR），用来保存由键盘键入字符的ASCII码，和一个状态寄存器（KBSR），用来提供键盘键入字符的状态信息
 - 最简单的显示器同样需要两个寄存器，一个用来保存那些将被显示在显示器上的内容的ASCII码（DDR），另一个用来提供相关的状态信息（DSR）
- 第12章

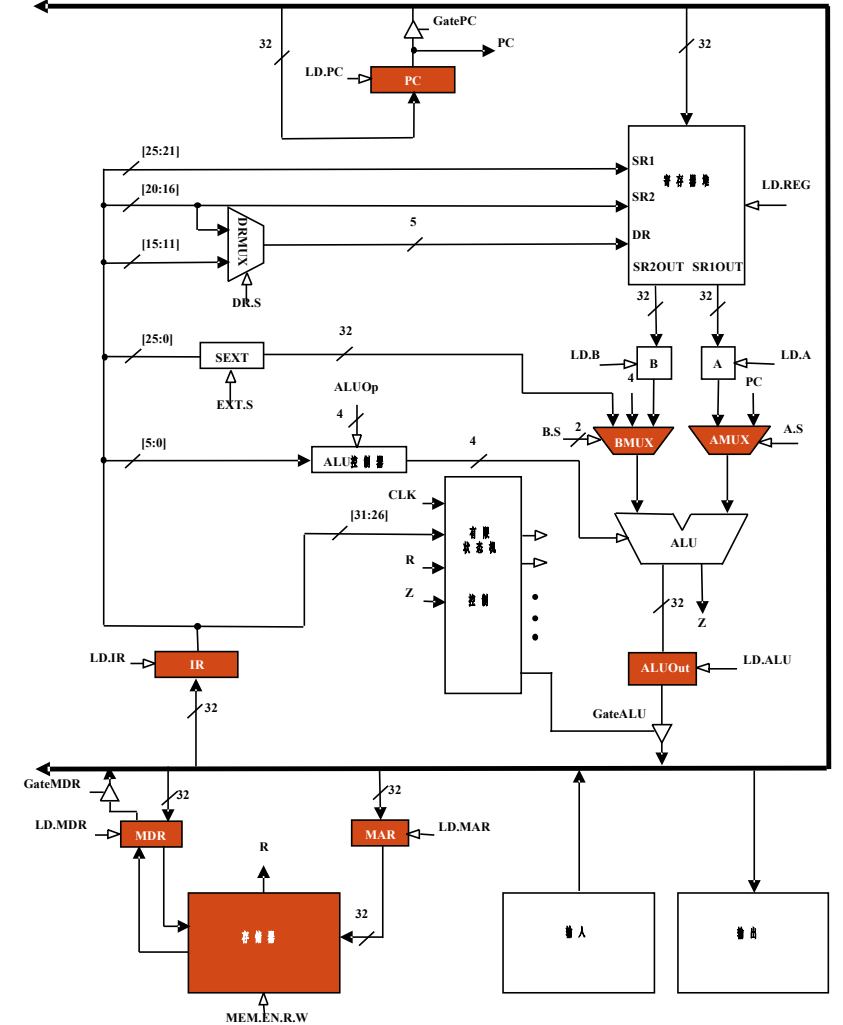
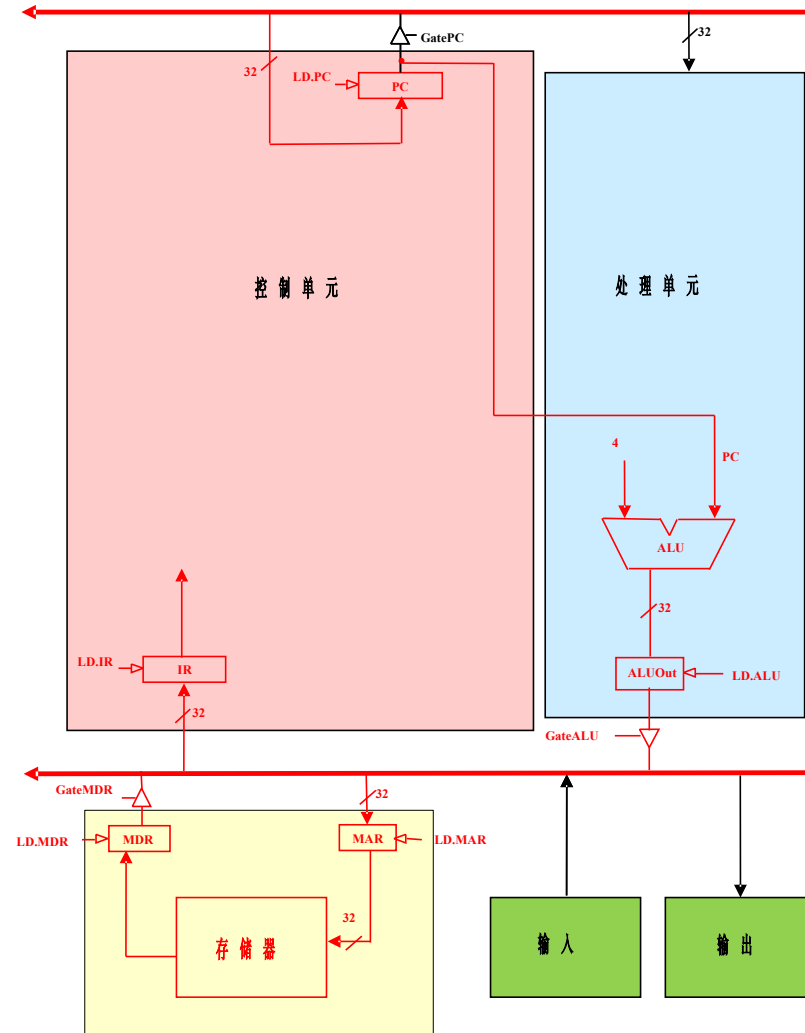


南京大學120周年校庆
120th ANNIVERSARY
NANJING UNIVERSITY
1902 - 2022



DLX数据通路

指令获取阶段工作的元件





南京大學120周年校庆
120th ANNIVERSARY
NANJING UNIVERSITY
1902 - 2022



总结

- 冯·诺伊曼模型
 - 三个基本原则、五个组成部分
 - 发展与演变
- 中央处理器（CPU）
 - 运算器和控制器功能和原理
- DLX数据通路
 - 对应冯·诺伊曼模型五个部分的具体实现



谢 谢

诚耀百世 雄创一流

