

## Лабораторная работа №3

### Тактирование. Питание. Энергопотребление

**Цель:** Изучить принципы построения систем с низким энергопотреблением на базе микроконтроллера MSP430F5529, .

**Задача:** Написать программу, переключающую режимы тактирования, питания и энергопотребления в соответствии с заданием.

#### 3.1 Режимы пониженного энергопотребления

Серия MSP430 разработана для использования в устройствах с низким энергопотреблением. Микроконтроллер поддерживает 7 режимов пониженного энергопотребления: LPM0 – LPM4, LPM3.5, LPM4.5. Режимы LPM0 – LPM4 конфигурируются битами CPUOFF, OSCOFF, SCG0, SCG1 регистра состояния микроконтроллера SR:

бит 4 – CPUOFF. Установка бита отключает процессор микроконтроллера;

бит 5 – OSCOFF. Установка бита отключает генератор частот, если только он не используется для формирования тактовой частоты MCLK или SMCLK;

биты 6, 7 – SCG0, SCG1 — отключение системного тактового генератора 0 (1), какого именно, зависит от серии устройства, например FLL или DCO.

Комбинации бит регистра состояния, соответствующие режимам, а также какие сигналы микроконтроллера при этом отключаются, приведены в таблице:

Таблица 3.1. Режимы пониженного энергопотребления

Режим	Сигналы				Биты SR			
	V <sub>core</sub>	CPU/MCLK	FLL	ACLK	CPUOFF	OSCOFF	SCG0	SCG1
LPM0	On	Off	On	On	1	0	0	0
LPM1	On	Off	Off	On	1	0	1	0
LPM2	On	Off	Off	On	1	0	0	1
LPM3	On	Off	Off	On	1	0	1	1
LPM4	On	Off	Off	Off	1	1	1	1

Как видим, во всех режимах отключается ЦПУ. При этом в LPM0 и в LPM1 тактирование периферии разрешено, DCO разрешен, если является

источником для частот ACLK или SMCLK; в LPM2 и LPM3 разрешена только одна тактовая частота периферии ACLK (SMCLK отключена), DCO разрешен, если является источником для частоты ACLK; в LPM4 – все тактовые частоты запрещены, отключены SMCLK, ACLK, DCO. Самоактивация возможна для режимов LPM0 – LPM3, в этих режимах доступны следующие источники прерываний: таймеры, включая WDT и RTC, АЦП, DMA, USART, цифровые входы-выходы, компаратор, внешние прерывания, USCI, а также другая периферия микроконтроллера и внешние прерывания. В режиме LPM4 самоактивация невозможна, доступны только внешние прерывания.

Установка любого из вышеназванных битов регистра состояния сразу же переводит микроконтроллер в требуемый режим. Предыдущий режим сохраняется в стеке (так как это регистр состояния) при выполнении прерывания. Биты CPUOFF, OSCOFF, SCG1 автоматически сбрасываются при обработке прерывания. Управление вернется к предыдущему режиму, если в обработчике прерываний сохраненное значение SR не изменяется, иначе при возврате установится новый режим. Периферия может быть отключена не только общим запретом тактирования, но и индивидуально установками в своих регистрах управления. В режимах LPM цифровые порты ввода-вывода и ОЗУ и регистры не изменяются.

В режимах LPMx.5 (LPM3.5, LPM4.5) отключается регулятор напряжения блока управления питанием PMM, содержимое регистров и ОЗУ теряется, но состояние цифровых входов-выходов сохраняется. Выход из этих режимов возможен включением питания, сигналом сброса, а также отдельными периферийными модулями. LPM3.5, в отличие от LPM4.5, позволяет выйти из режима по сигналу от RTC. Выход из LPMx.5 приводит к сбросу, поэтому требуется повторное конфигурирование устройств. Режим LPMx.5 устанавливается битом PMMREGOFF и битами регистра статуса LPM4.

Общие принципы построения систем с низким энергопотреблением:

- максимально длительное время нахождения в режимах пониженного энергопотребления (особенно LPM3 и LPM4);
- использование прерываний для управления ходом выполнения программ;
- включение периферии только по мере необходимости;
- использование интегрированной периферии с низким потреблением энергии вместо программного выполнения функций;
- вычисление ветвей и использование таблиц значений вместо опроса флагов и длительных программных вычислений;
- избегать частого вызова функций и процедур из-за дополнительных затрат;
- использовать одноктактные регистры ЦПУ в длинных процедурах;
- отключать недоступные и неиспользуемые сегменты памяти при помощи регистра управления ОЗУ RCCTL0.

### 3.2 Питание

Модуль управления питанием PMM обладает следующими характеристиками:

- входное напряжение 1,8-3,6 В;
- 4 уровня напряжения для питания ядра ( $V_{core}$ ), задаваемых программно;
- супервизор уровня напряжения (SVS - Supply Voltage Supervisor) с программируемым порогом как для выходного, так и для входного напряжения;
- монитор уровня напряжения (SVM - Supply Voltage Monitor) с программируемым порогом как для выходного, так и для входного напряжения;
- сброс при низком питании (BOR);
- программно доступные индикаторы сбоя питания;
- защита выводов от сбоя по питанию.

Монитор изменения напряжения SVM только отслеживает выход за пороговое значение, супервизор SVS еще и генерирует сигнал сброса. Структура модуля PMM изображена на рисунке:

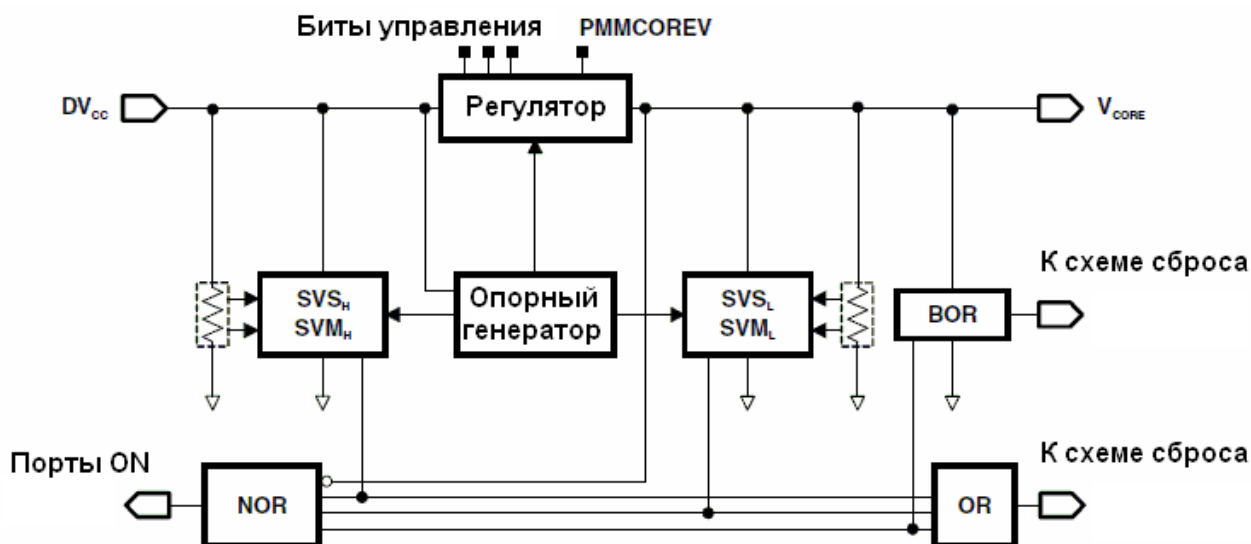


Рис. 3.1 Структура модуля управления напряжением

Повышение частоты тактирования MCLK требует повышения напряжения питания  $V_{core}$ . Уровень питания определяется битами PMMCOREV. При переключении на более высокую частоту необходимо убедиться, что уровень напряжения питания достаточен для нее. Несоблюдение этого правила может привести к непредсказуемым результатам. Допустимые параметры для разных значений уровня питания приведены на рис. 3.2 и в таблице 3.2. На рисунке цифрами 1, 2, 3, 4 обозначены допустимые значения бит PMMCOREV.

Таблица 3.2. Допустимые режимы

Входное напряжение DVCC, не ниже, В	Напряжение питания процессора Vcore, В активный / LPM	Биты PMMCOREV [1:0]	Максимальная тактовая частота Fsys max, МГц
1,8	1,4 / 1,44	00	8
2,0	1,6 / 1,64	01	12
2,2	1,8 / 1,84	10	20
2,4	1,9 / 1,94	11	25

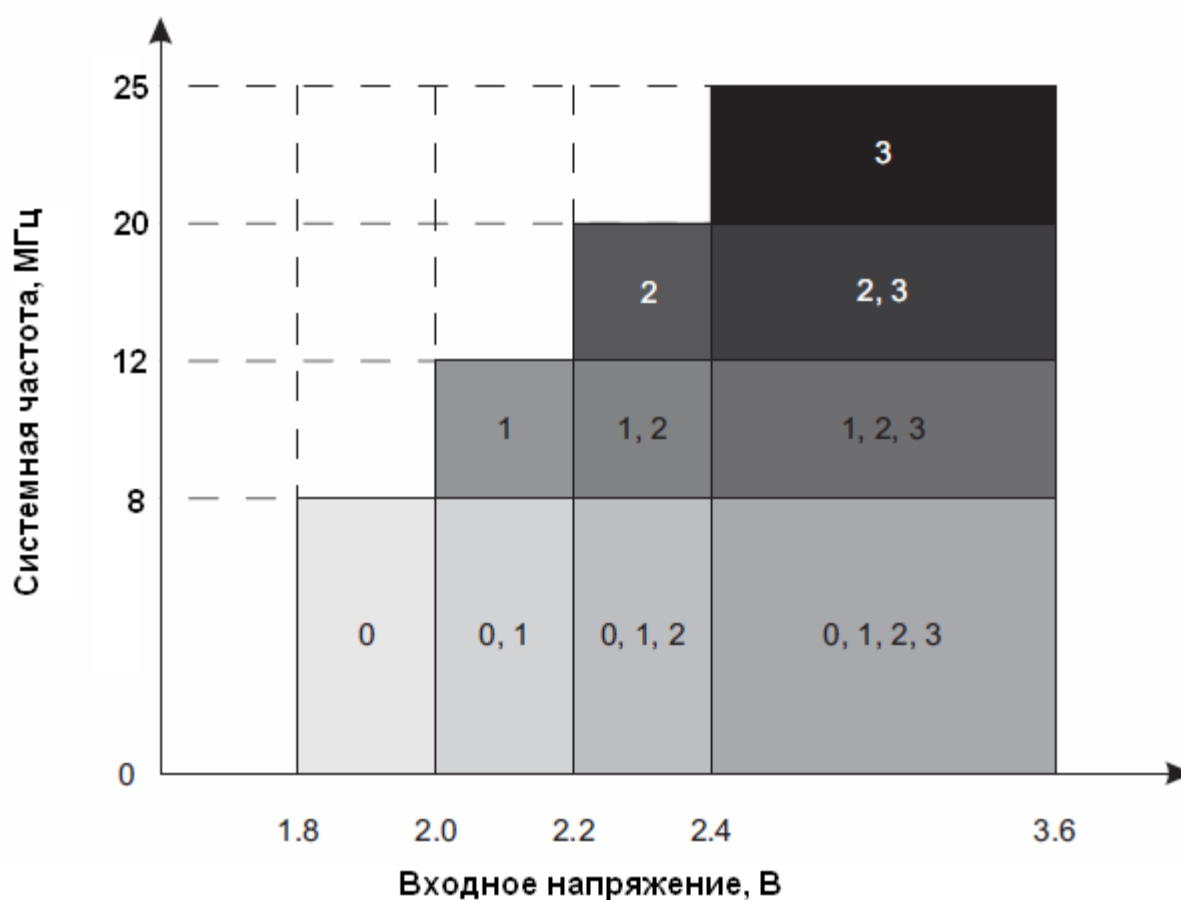


Рис. 3.2 Допустимые режимы

В регистрах монитора и супервизора устанавливаются соответствующие пороговые значения для контроля за уровнем напряжения. Принцип работы с пороговыми уровнями показан на рис. 3.3. В обозначениях SVS относится к супервизору, SVM – к монитору, Н – контроль сигнала на высокой стороне (на входе), L – контроль сигнала на низкой стороне (на выходе). Супервизор имеет петлю гистерезиса: при пороге  $SVS_{IT-}$  устанавливается соответствующий флаг прерывания и генерируется сигнал сброса, а при пороге  $SVS_{IT+}$  этот режим

заканчивается, причем второй порог выше первого. Порог для монитора один, при напряжении питания меньше порогового устанавливается соответствующий флаг. Рекомендуемые значения порогов сведены в таблицу 3.3. Типовые уровни напряжения порога  $SVS_{H\_IT-}$  равны 1,68; 1,88; 2,08; 2,18 В (для значений от 00 до 11 поля  $SVSHRVL$ ) и порога  $SVS_{H\_IT+}$  1,74; 1,94; 2,14; 2,30; 2,40; 2,70; 3,10; 3,10 В (для значений от 000 до 111 поля  $SVSMHRRL$ ). Допустимыми значениями для  $SVSHRVL$  являются все 4 комбинации, а для  $SVSMHRRL$  — зависит от выбора уровня питания  $PMMCOREV$  (рис. 3.4).

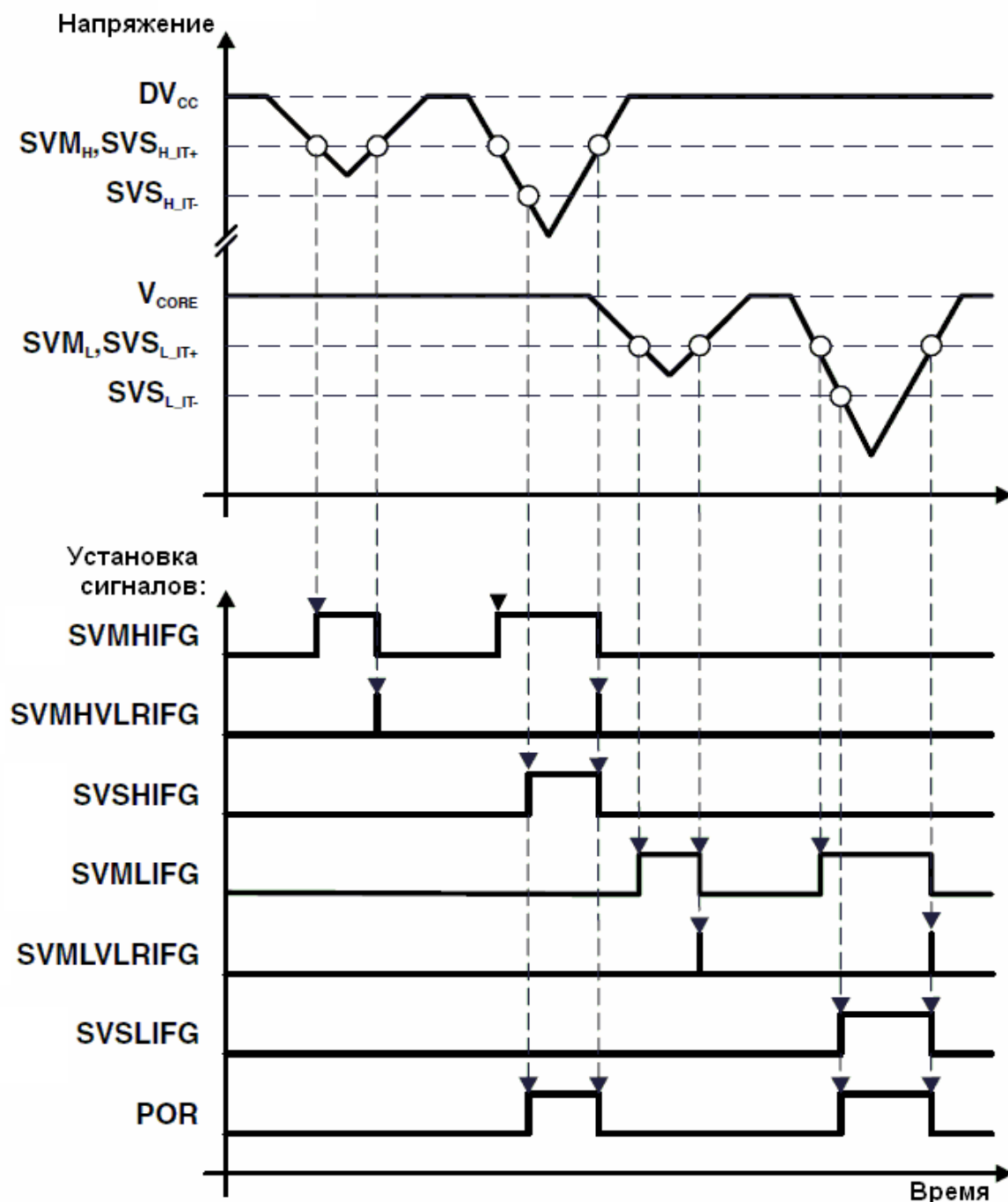


Рис. 3.3 Срабатывание порогов при изменении напряжения

Таблица 3.3. Рекомендуемые пороги

Биты PMMCORE V [1:0]	SVSRLVL [1:0] (Порог SVS <sub>L_IT-</sub> )	SVSMLRRL [2:0] (Пороги SVS <sub>L_IT+</sub> SVM <sub>L</sub> )	SVSHRVL [1:0] (Порог SVS <sub>H_IT-</sub> )	SVSMHRRL [2:0] (Пороги SVS <sub>H_IT+</sub> SVM <sub>H</sub> )
00	00	000	00	000
01	01	001	01	001
10	10	010	10	010
11	11	011	11	011

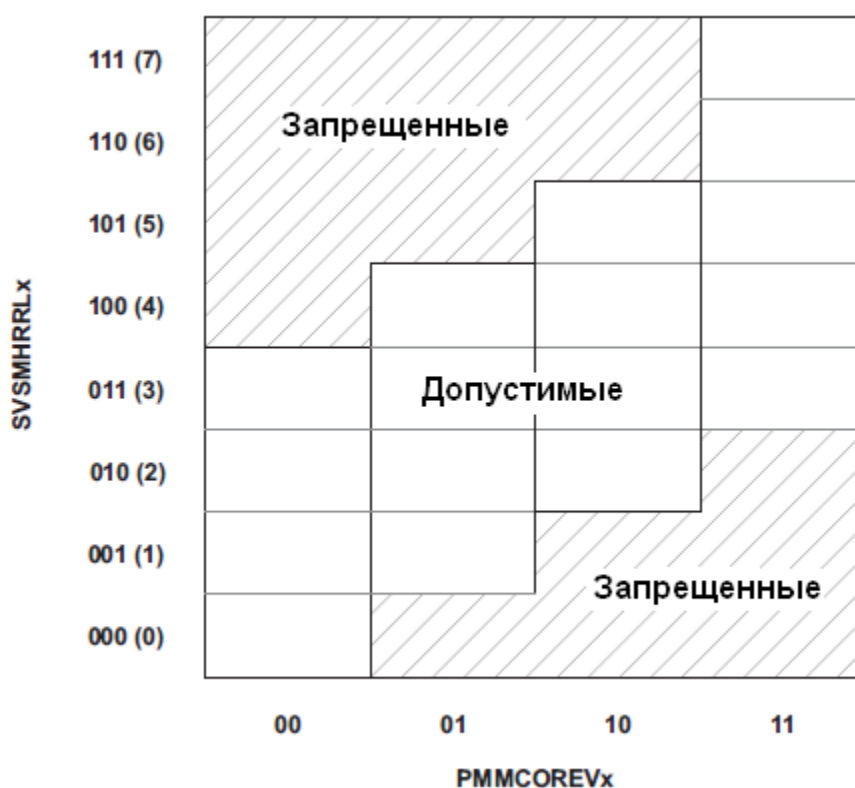


Рис. 3.4 Допустимые режимы порога SVSMHRRL

При изменении уровня Vcore нельзя увеличивать частоту MCLK, пока не установится новый уровень напряжения. Для проверки уровня Vcore используется SVM<sub>L</sub>. При снижении уровня питания необходимо убедиться, что его будет достаточно для установленной частоты. Vcore можно изменять только на один уровень за 1 раз.

При увеличении уровня напряжения необходимо выполнить следующую последовательность действий (см. рис. 3.5):

1. Устанавливаются новые уровни  $SVM_H$ ,  $SVS_H$ , чтобы убедиться, что входное напряжение  $DV_{CC}$  выше планируемого  $V_{core}$ . Установить новый уровень  $SVM_L$ , дождаться установки флага  $SVSMLDLYIFG$ .
  2. Установить  $PMMCOREV$  для определения нового уровня  $V_{core}$ .
  3. Дождаться установки флага  $SVMLVLRIFG$ .
  4. Установить новый уровень  $SVS_L$ .
- При снижении уровня напряжения необходимо выполнить следующее:
5. Устанавливаются  $SVM_L$ ,  $SVS_L$  для нового уровня и ожидается установка флага  $SVSMLDLYIFG$ .
  6. Программируем новый уровень  $V_{core}$ , задав  $PMMCOREV$ .

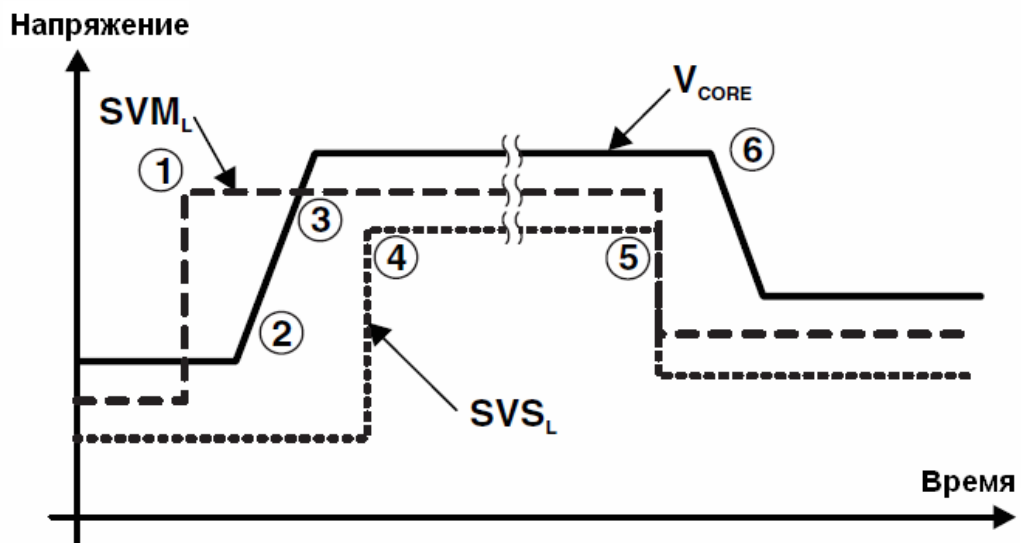


Рис. 3.5 Порядок изменения уровня напряжения питания

Для управления подсистемой питания используются регистры:

- PMMCTL0 (0120h) - управление PMM;
- PMMCTL1 (0122h) - управление PMM;
- SVSMHCTL (0124h) - управление SVS, SVM на входе;
- SVSMLCTL (0126h) - управление SVS, SVM на выходе;
- PMMIFG (012Ch) - флаги прерываний;
- PMMIE (012Eh) - разрешение прерываний;
- PM5CTL0 (0130h) - управление режимом LPMx.5.

Основные поля регистров подсистемы питания приведены в таблице:

Таблица 3.4 Поля регистров управления подсистемой питания

Регистр	Биты	Поле	Назначение	Определение флагов в msp430f5529.h
PMMCTL0	8-15	PMMPW	Пароль	PMMPW
	4	PMMREGOFF	Отключение регулятора	PMMREGOFF
	3	PMMSWPOR	Программный POR	PMMSWPOR
	2	PMMSWBOR	Программный BOR	PMMSWBOR
	0-1	PMMCOREV	Уровень питания Vcore	PMMCOREV_0... PMMCOREV_3
SVSMHCTL	15	SVMHFP	Режим высокой производительности SVM	SVMHFP
	14	SVMHE	Разрешение SVMH	SVMHE
	12	SVMHOVPE	Разрешение определения превышения напряжения на входе	SVMHOVPE
	11	SVSHFP	Режим высокой производительности SVS	SVSHFP
	10	SVSHE	Разрешение SVSH	SVSHE
	8-9	SVSHRVL	Уровень напряжения на входе для сброса	SVSHRVL_0 ... SVSHRVL_3
	7	SVSMHACE	Разрешение автоматического контроля SVSH, SVMH	SVSMHACE
	6	SVSMHEVM	Маскирование событий SVSH, SVMH	SVSMHEVM
	4	SVSHMD	Режим SVSH: генерация флагов прерывания в LPM2,3,4	SVSHMD
	3	SVSMHDLYST	Режим задержки SVSH, SVMH	SVSMHDLYST
SVSMLCTL	0-2	SVSMHRLL	Достигнутый уровень напряжения на входе	SVSMHRRL_0... SVSMHRRL_7
			Все поля аналогичны SVSMHCTL, но для напряжения на выходе	
SVSMIO	12	SVMHVLROE	Разрешение на вывод SVMOUT выдать флаг SVMHVLRIFG	SVMHVLROE
	11	SVMHOE	Разрешение на вывод SVMOUT выдать флаг SVMHIFG	SVMHOE
	5	SVMOUTPOL	Полярность сигнала SVMOUT: 1- активный высокий	SVMOUTPOL
	4	SVMLVLROE	Разрешение на вывод SVMOUT выдать флаг SVMLVLRIFG	SVMLVLROE
	3	SVMLOE	Разрешение на вывод SVMOUT выдать флаг SVMLIFG	SVMLOE



Продолжение табл. 3.4

Регистр	Биты	Поле	Назначение	Определение флагов в msp430f5529.h
PMMIFG	15	PMMLPM5IFG	Флаг прерывания, если система находилась в режиме LPMx.5	PMMLPM5IFG
	13	SVSLIFG	Флаг прерывания по напряжению выхода	SVSLIFG
	12	SVSHIFG	Флаг прерывания по напряжению входа	SVSHIFG
	10	PMMPORIFG	Флаг прерывания программного POR	PMMPORIFG
	9	PMMRSTIFG	Флаг прерывания по выводу сброса	PMMRSTIFG
	8	PMMBORIFG	Флаг прерывания программного BOR	PMMBORIFG
	6	SVMHVLRIFG	Флаг прерывания при достижении уровня напряжения на входе	SVMHVLRIFG
	5	SVMHIFG	Флаг прерывания по напряжению входа	SVMHIFG
	4	SVSMHDLYIFG	Флаг прерывания при достижении установленной задержки SVS и SVM на входе	SVSMHDLYIFG
	2	SVMLVLRIFG	Флаг прерывания при достижении уровня напряжения на выходе	SVMLVLRIFG
	1	SVMLIFG	Флаг прерывания по напряжению выхода	SVMLIFG
	0	SVSMLDLYIFG	Флаг прерывания при достижении установленной задержки SVS и SVM на выходе	SVSMLDLYIFG
PMMRIE	13	SVSHVLRPE	Разрешение POR при превышении уровня напряжения на входе	SVMHVLRLPE
	12	SVSHPE	Разрешение POR при падении напряжения на входе ниже заданного уровня	SVSHPE
	9	SVMLVLRPE	Разрешение POR при превышении уровня напряжения на выходе	SVMLVLRPE
	8	SVSLPE	Разрешение POR при падении напряжения на выходе ниже заданного уровня	SVSLPE
	6	SVSHVLRIE	Разрешение прерываний по уровню напряжения сброса на входе	SVMHVLRLIE

Окончание табл. 3.4

Регистр	Биты	Поле	Назначение	Определение флагов в msp430f5529.h
PMMRIE	5	SVMHIE	Разрешение прерываний по напряжению входа	SVMHIE
	4	SVSMHDLIE	Разрешение прерываний по истечении задержки SVS, SVM на входе	SVSMHDLIE
	2	SVMLVLRIE	Разрешение прерываний по уровню напряжения сброса на выходе	SVMLVLRIE
	1	SVMLIE	Разрешение прерываний по напряжению выхода	SVMLIE
	0	SVSMLDLIE	Разрешение прерываний по истечении задержки SVS, SVM на выходе	SVSMLDLIE
PMM5CTL0	0	LOCKLPM5	Блокировка конфигурации I/O при входе или выходе из LPMx.5. После установки, сбрасывается только пользователем или при следующей подаче питания	LOCKLPM5

### 3.3 Тактирование

В микроконтроллере MSP430F5529 имеются следующие источники синхросигналов:

- внутренний генератор низкой частоты со сверхмалым потреблением (VLO), около 9,4 КГц;
- внутренний низкочастотный генератор (REFO), 32 КГц;
- 32 КГц кварцевый генератор (XT1 LF);
- интегрированный внутренний цифровой управляемый генератор (DCO), стабилизируется с помощью цифровой автоподстройки частоты (FLL – frequency locked loop);
- высокочастотный кварцевый генератор (XT2) 4 – 32 МГц. На плате используется резонатор 4 МГц.

Три синхросигнала выбираются из этих источников:

- вспомогательная тактовая частота (ACLK);
- главная частота (MCLK), используется для тактирования процессора;
- SMCLK (Sub-Main), используется для тактирования периферии;
- буферный выход частоты ACLK/n ( $n = 1, 2, 4, 8, 16, 32$ ).

Структура системы тактирования представлена на рисунке:

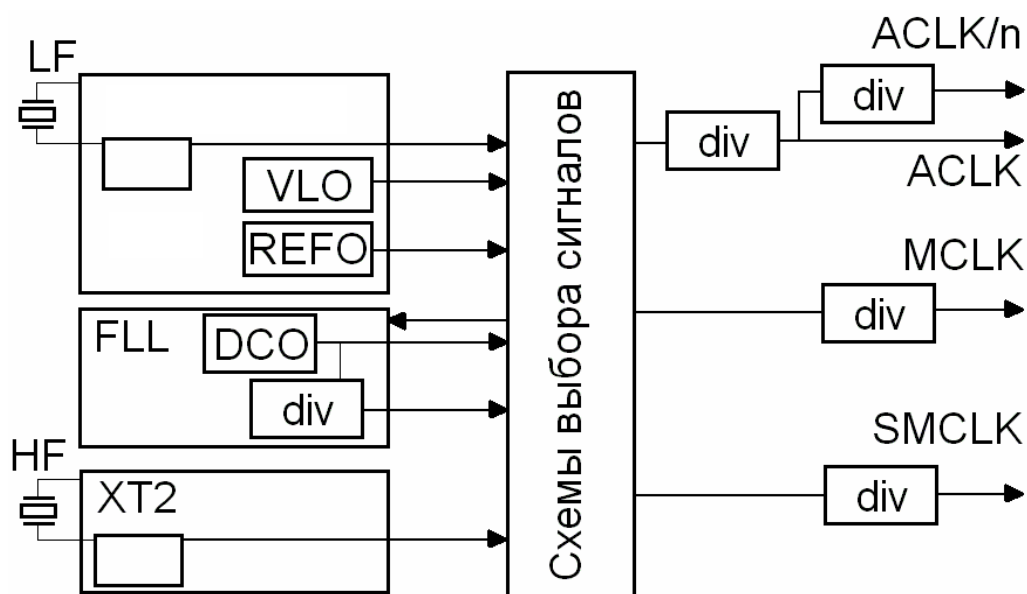


Рис. 3.6 Структура схемы тактирования

Генератор VLO активен, если он используется в качестве источника для любой из частот MCLK, SMCLK, ACLK. REFO — если он установлен как источник: для частоты ACLK в активном режиме, либо LPM0 – LPM3; частоты MCLK в активном режиме; частоты SMCLK в активном режиме и LPM0, LPM1; частоты FLLREFCLK и при этом DCO выбран источником для трех вышеперечисленных вариантов. XT1 и XT2 разрешаются для тех же 6 вариантов, что и REFO, а также в случаях, когда поля XT1OFF = 0 (запрещено отключение XT1) либо XT2OFF = 0 соответственно.

После сброса устанавливается следующий режим:

- источником для ACLK выбирается XT1CLK;
- источником для MCLK, SMCLK выбирается DCOCLKDIV;
- разрешается автоподстройка, источником для FLL выбирается XT1CLK;
- для F5529 выводы кварцевых генераторов разделяются с цифровыми I/O, поэтому после сброса эти выводы конфигурируются как цифровые, и сигналы от кварца недоступны.

При переключении MCLK или CLK с одного источника на другой, момент переключения синхронизируется для избегания возникновения гонок (см. рис. 3.7).

Генератор XT1 в MSP430F5529 поддерживает только низкочастотный (LF) режим. Ток потребления генератора в этом режиме регулируется полем XT1DRIVE. Частотный сигнал можно подавать непосредственно с резонатора (поле XT1BYPASS), в этом случае собственно генератор отключен. Кроме того, в этом случае необходимо установить диапазон выходного напряжения битом XT1BYPASSLV. Кроме того, поскольку резонатор внешний, а выводы разделяются с цифровыми, то необходимо установить нужный режим портов ввода-вывода (P5.4 – XIN, P5.5 – XOUT).

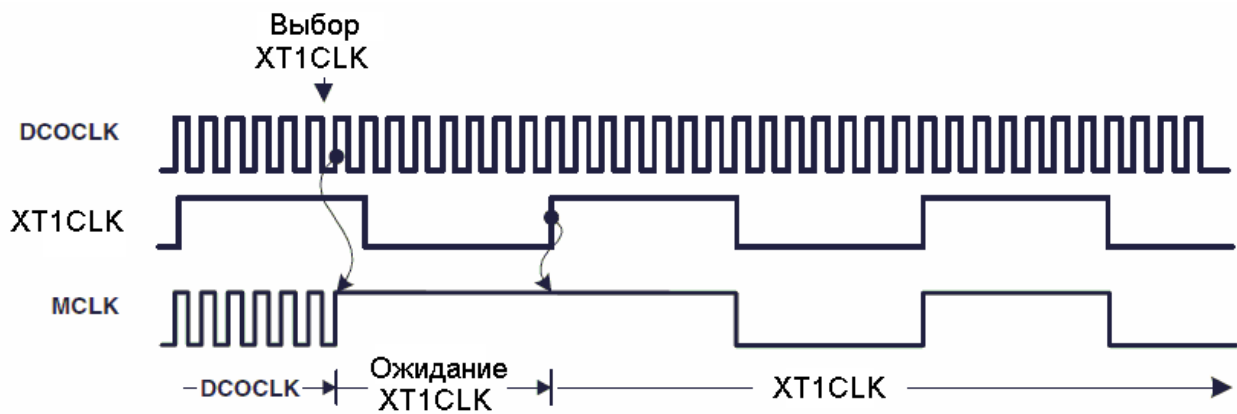


Рис. 3.7 Безопасное переключение частоты MCLK, SMCLK

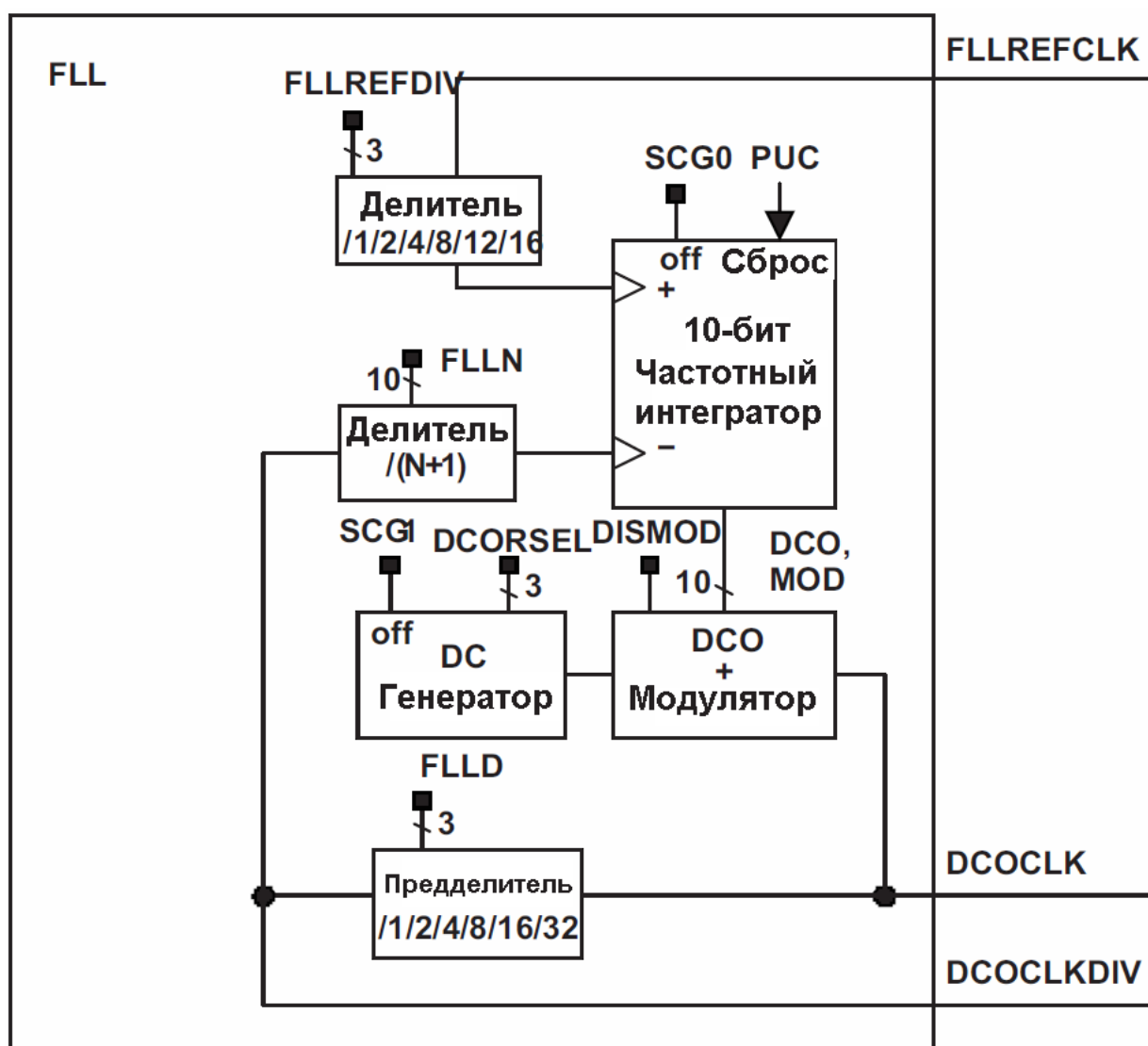


Рис. 3.8 Структура управляемого цифрового генератора

Управление высокочастотным генератором XT2 аналогично, за исключением того, что XT2DRIVE управляет частотным диапазоном. Резонаторы соответствуют выводам P5.2 (XT2IN) и P5.3 (XT2OUT).

Генератор DCO имеет широкий диапазон перестраиваемых частот, его структура показана на рис. 3.8. Входная частота FLLREFCLK для FLL выбирается битами SELREF регистра UCSCTL3. Поле FLLREFDIV задает делитель (/n) этой частоты: 1,2,4,...,16. Поле DCORSEL (регистр UCSCTL1) задает один из 8 диапазонов частот. Поле FLLN (регистр UCSCTL2) задает множитель, определяющий 1 из 32 уровней N внутри диапазона. Поле FLLD (регистр UCSCTL2) задает делитель  $D = 1, 2, 4, \dots, 32$  для частоты DCOCLKDIV на выходе.

На выходе блока генерируются следующие частоты:

$$DCOCLK = FLLREFCLK / n \cdot (N + 1) \cdot D;$$

$$DCOCLKDIV = FLLREFCLK / n \cdot (N + 1).$$

Следует обратить внимание, что обязательно должен быть установлен соответствующий диапазон DCORSEL, иначе блок автоподстройки частоты установить нижнюю (либо верхнюю) границу диапазона, не достигнув заданной частоты. Для ускорения подстройки частоты используются поля MOD и DCO, устанавливающие начальную частоту блока автоподстройки. Время подстройки на один уровень DCO равно  $32 \cdot n \cdot FLLREFCLK$  тактов, и в худшем случае может составить  $32 \cdot 32 \cdot n \cdot FLLREFCLK$  тактов. Дождаться стабилизации частоты можно, используя проверку флагов ошибок. Рабочие диапазоны частот DCO в зависимости от режима представлены на рисунке:

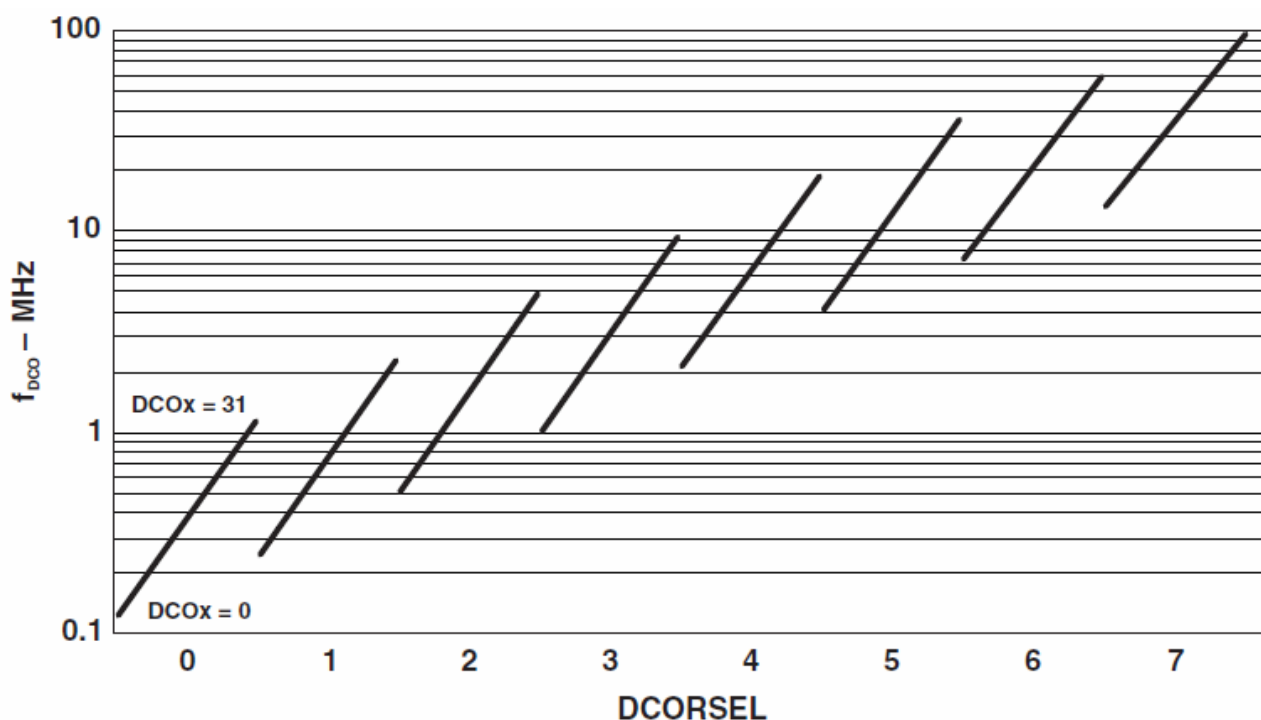


Рис. 3.9 Рабочие диапазоны частот DCO в зависимости от режима

Для управления блоком частот используются регистры UCSCTL0 – UCSCTL8 (адреса соответственно 0160h, 0162h, ... , 0170h). Основные поля этих регистров представлены в таблице 3.5.

Таблица 3.5 Поля регистров управления блоком частот

Регистр	Биты	Поле	Назначение	Определение флагов в msp430f5529.h
UCSCTL0	8-12	DCO	Поддиапазон частот DCO	DCO0 ... DCO4
	3-7	MOD	Счетчик модулятора	MOD0 ... MOD4
UCSCTL1	4-6	DCORSEL	Выбор диапазона частот DCO 000 — 0,07 МГц — 1,7 МГц 001 — 0,15 МГц — 3,45 МГц 010 — 0,32 МГц — 7,38 МГц 011 — 0,64 МГц — 14,0 МГц 100 — 1,3 МГц — 28,2 МГц 101 — 2,5 МГц — 54,1 МГц 110 — 4,6 МГц — 88 МГц 111 — 8,5 МГц — 135 МГц	DCORSEL_0 DCORSEL_1 DCORSEL_2 DCORSEL_3 DCORSEL_4 DCORSEL_5 DCORSEL_6 DCORSEL_7
	0	DISMOD	Запрет модуляции (FLL)	DISMOD
UCSCTL2	12-14	FLLD	Делитель FLL (DCOCLKDIV): /1, /2, /4, /8, /16, /32, /32, /32	FLLD__1, FLLD__2, FLLD__4, ..., FLLD__32
	0-9	FLLN	Множитель DCO. Больше 0	FLLN0 ... FLLN9
UCSCTL3	4-6	SELREF	Выбор источника для FLL: 000b – XT1CLK 010b – REFOCLK 101b – XT2CLK, если доступен, иначе REFOCLK	SELREF__XT1CLK SELREF__REFOCLK SELREF__XT2CLK
	0-2	FLLREFDIV	Делитель частоты FLL: /1, /2, /4, /8, /12, /16, /16, /16	FLLREFDIV__1, FLLREFDIV__2, FLLREFDIV__4, ... , FLLREFDIV__16
UCSCTL4	8-10	SELA	Выбор источника для ACLK: 000b – XT1CLK 001b – VLOCLK 010b – REFOCLK 011b – DCOCLK 100b – DCOCLKDIV 101b – XT2CLK, если доступен, иначе DCOCLKDIV	SELA__XT1CLK SELA__VLOCLK SELA__REFOCLK SELA__DCOCLK SELA__DCOCLKDIV SELA__XT2CLK
	4-6	SELS	Выбор источника для SMCLK (значения аналогичны SELA)	SELS__XT1CLK ... SELS__XT2CLK
	0-2	SELM	Выбор источника для MCLK (значения аналогичны SELA)	SELM__XT1CLK ... SELM__XT2CLK

Окончание табл. 3.5

Регистр	Биты	Поле	Назначение	Определение флагов в msp430f5529.h
UCSCTL5	12-14	DIVPA	Делитель ACLK (внешний): /1, /2, /4, /8, /16, /32, /32, /32	DIVPA__1, DIVPA__2, DIVPA__4, ... , DIVPA__32
	8-10	DIVA	Делитель ACLK: /1, /2, /4, /8, /16, /32, /32, /32	DIVA__1, DIVA__2, DIVA__4, ... , DIVA__32
	4-6	DIVS	Делитель SMCLK: /1, /2, /4, /8, /16, /32, /32, /32	DIVS__1, DIVS__2, DIVS__4, ... , DIVS__32
	0-2	DIVM	Делитель MCLK: /1, /2, /4, /8, /16, /32, /32, /32	DIVM__1, DIVM__2, DIVM__4, ... , DIVM__32
UCSCTL6	14-15	XT2DRIVE	Режимы XT2: 00 – 4 МГц — 8 МГц 01 — 8 МГц — 16 МГц 10 — 16 МГц — 24 МГц 11 — 24 МГц — 32 МГц	XT2DRIVE_0 XT2DRIVE_1 XT2DRIVE_2 XT2DRIVE_3
	12	XT2BYPASS	Внешнее тактирование XT2	XT2BYPASS
	8	XT2OFF	Отключение XT2, если не источник для A/M/SMCLK	XT2OFF
	7-6	XT1DRIVE	Режим XT1 (ток потребления)	XT1DRIVE_0 ... XT1DRIVE_3
	4	XT1BYPASS	Внешнее тактирование XT1	XT1BYPASS
	3-2	XCAP	Выбор емкости на резонаторе	XCAP_0...XCAP_3
	1	SMCLKOFF	Отключение SMCLK	SMCLKOFF
	0	XT1OFF	Отключение XT1, если не источник для A/M/SMCLK	XT1OFF
UCSCTL7	3	XT2OFFFG	Ошибка генератора XT2	XT2OFFFG
	1	XT1LFOFFG	Ошибка генератора XT1 в низкочастотном режиме	XT1LFOFFG
	0	DCOFFG	Ошибка DCO	DCOFFG
UCSCTL8	0-3		Разрешение запросов по синхросигналам	

### 3.4 Измерения

Для измерения тока потребления используются перемычки JP6 и JP7.

Для измерения тока потребления микроконтроллера MSP430F5529, при отключенном напряжении питания экспериментальной платы, перемычка JP6 удаляется, щупы амперметра либо мультиметра подключаются непосредственно к освободившимся контактам либо к отверстиям на краю печатной платы по соседству с ними:

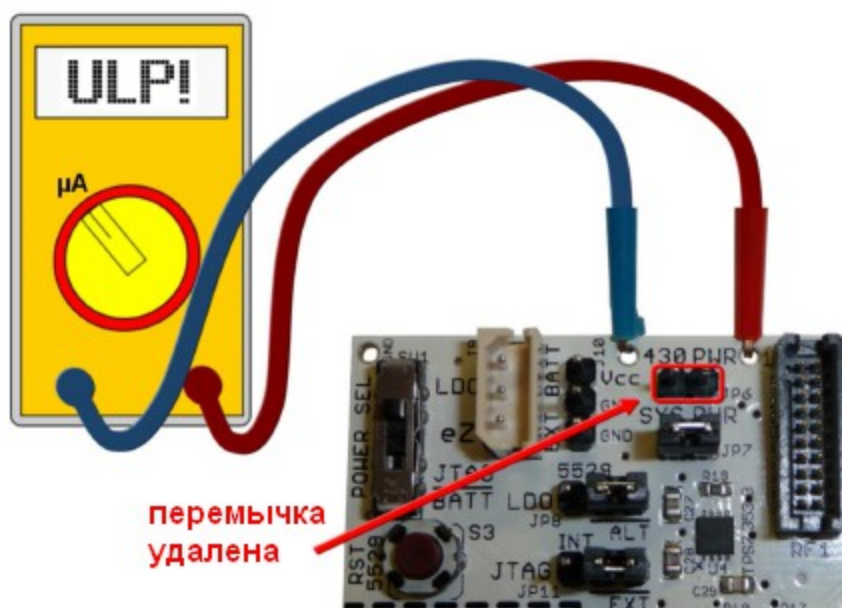


Рис. 3.10 Подключение мультиметра для измерения тока потребления микроконтроллера

Для измерения тока потребления экспериментальной платы MSP-EXP430F5529, при отключенном напряжении питания экспериментальной платы, перемычка JP7 удаляется, щупы амперметра либо мультиметра подключаются непосредственно к освободившимся контактам. Перемычка JP7 находится непосредственно под перемычкой JP6.

При отсутствии мультиметра или амперметра, для измерения тока можно использовать вольтметр. В этом случае к выводам разъема экспериментальной платы подключается резистор сопротивлением 1 Ом. Тогда по закону Ома, на нем будет падать такое же по значению напряжение, как и протекающий в цепи ток:

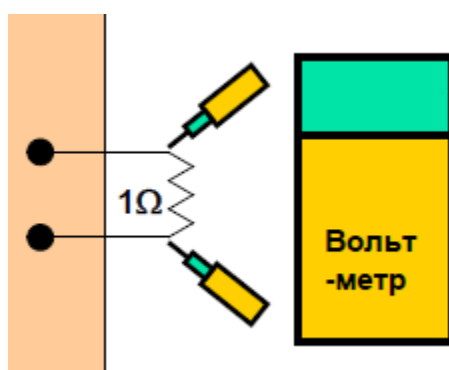


Рис. 3.11 Использование вольтметра для измерения тока

Отдельные выводы микроконтроллера выведены на разъемы, и их можно наблюдать с помощью внешних приборов, например, осциллографа либо мультиметра. Состав этих выводов указан в таблицах 3.6, 3.7, соответственно,



напряжение питания можно измерить, подключив щупы вольтметра либо мультиметра к выводам Vcc и GND разъема J4 либо J5. Тактовую частоту — подключив осциллограф к выводам MCLK (P7.7) и GND разъема J5, при этом вывод 7 порта 7 должен быть сконфигурирован как периферийный (регистр PxSEL), направление (регистр PxDIR) – выход.

Таблица 3.6. Выводы разъема J4

Vcc	P6.6, CB6, A6
P4.5, UCA1RxD, UCA1SOMI	P8.1, GPIO – LED2
P4.4, UCA1TxD, UCA1SIMO	P8.2, GPIO – LED3
P4.6, GPIO – RF	P8.0, GPIO – POT
P4.7, GPIO – RF	P4.5, UCA1RxD, UCA1SOMI
P5.1, A9, VREF-, VeREF-	P4.4, UCA1TxD, UCA1SIMO
GND	P6.7, CB7, A7

Таблица 3.7. Выводы разъема J5

Vcc	P7.0, CB8, A12
P4.2, UCB1SOMI, UCB1SCL - SD	P7.1, CB9, A13
P4.1, UCB1SIMO, UCB1SDA – LCD/SD	P7.2, CB10, A14
P4.3, UCB1CLK, UCA1STE – LCD/SD	P7.3, CB11, A15
P4.0, UCB1STE, UCA1CLK – RF	P4.1, UCB1SIMO, UCB1SDA – LCD/SD
P3.7, TB0OUTH, SVMOUT – SD	P4.2, UCB1SOMI, UCB1SCL - SD
GND	P7.7, TB0CLK, MCLK

### Задание

1. В соответствии с вариантом написать программу, которая по нажатию одной кнопки последовательно переключает заданные тактовые частоты и напряжение питания, второй — входит и выходит в заданный режим пониженного энергопотребления. Для индикации активного режима использовать LED1, режима пониженного энергопотребления — LED3. Для индикации высокого напряжения питания использовать LED4, низкого — LED5. Дополнительно тактовую частоту подать на таймер, прерывание от таймера управляет LED8, и подобрать режим таймера так, чтобы наглядно было видно изменение частоты. При написании кода максимально использовать принципы разработки приложения для пониженного энергопотребления. Обязательно соблюдать условие соответствия частоты и напряжения, а также пошагового переключения режимов питания. Не допускается использовать иные заголовочные файлы, кроме msp430, а для переключения частот не

допускается также использовать высокоуровневые библиотеки. Комментарии в тексте программы обязательны, они должны пояснять что именно делает данный фрагмент.

2. Измерить ток потребления микроконтроллера MSP430F5529 в каждом из режимов (измерительную цепь собирать при отключенном питании).

3. Измерить ток потребления экспериментальной платы MSP-EXP430F5529 в каждом из режимов (измерительную цепь собирать при отключенном питании).

4. Измерить напряжение питания  $V_{cc}$  в каждом из режимов.

5. Измерить с помощью осциллографа частоту MCLK в каждом из режимов.

6. В отчет по выполнению работы включить исходный текст программы и результаты измерений. Привести объяснение полученным результатам. Описать, как были рассчитаны установочные параметры для заданного режима. Описать, как именно и какие принципы разработки приложения для пониженного потребления энергии использовались.

Таблица 3.8. Варианты задания

№ варианта	LPM	Vcore, В	Частота
1	0	1,9 — 1,8	DCOCLK = 0,3 МГц, ACLK – смена источника VLOCLK / DCOCLK
2	1	1,9 — 1,6	DCOCLK = 0,7 МГц, MCLK – смена источника DCOCLK / XT1CLK
3	2	1,9 — 1,4	DCOCLK = 1,2 МГц, SMCLK – смена источника DCOCLK / REFOCLK
4	3	1,8 — 1,6	DCOCLK (источник для всех) – смена источника XT1CLK / REFOCLK, частота DCO на выходе = 100 частот на входе
5	4	1,8 — 1,4	DCOCLK = 2,3 МГц, ACLK = DCOCLK, смена частоты делителем / 4
6	0	1,6 — 1,4	DCOCLK = 2,7 МГц, MCLK = DCOCLK, смена частоты делителем / 8
7	1	1,9 — 1,8	DCOCLK = 3,1 МГц, SMCLK = DCOCLK, смена частоты делителем / 16
8	2	1,9 — 1,6	DCOCLK (источник для всех) = REFOCLK, смена частоты DCO на выходе 10 / 60 частот входа
9	3	1,9 — 1,4	ACLK — 0,5 МГц / 1 МГц
10	4	1,8 — 1,6	MCLK — 0,5 МГц / 2 МГц
11	0	1,8 — 1,4	SMCLK — 1 МГц / 2 МГц
12	1	1,6 — 1,4	DCOCLK (источник для всех) — 0,5 МГц / 1 МГц
13	2	1,9 — 1,8	MCLK — 1 МГц / 2 МГц
14	3	1,9 — 1,6	DCOCLK = 3,4 МГц, SMCLK = DCOCLK, смена частоты делителем / 4
15	4	1,9 — 1,4	DCOCLK = 0,9 МГц, ACLK – смена источника DCOCLK / VLOCLK