

Projekt do předmětu INC

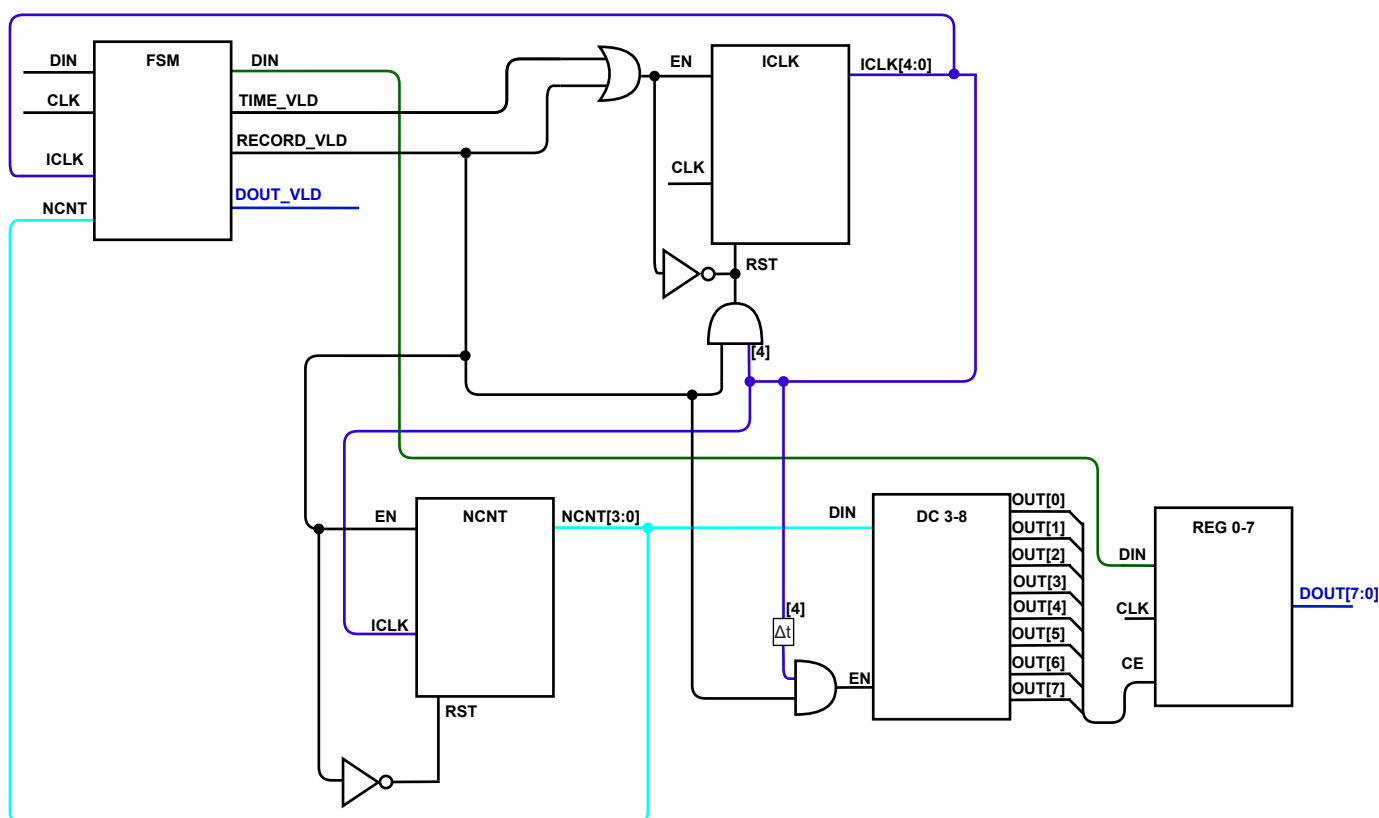
UART – přijímací část

Jméno: Mikheda Vladislav

Login: xmikhe00

1 Architektura navrženého obvodu (na úrovni RTL)

1.1 Schéma obvodu



1.2 Popis funkce

Schéma ukazuje prvek UART, který se skládá z následujících komponent: FSM - konečný automat, ICLK interní čítač tiků, NCNT - čítač čísla registru, kde bude daný bit zapsán, číslo registru je stejné číslo bitu ve slově.

Automat na základě své interní logiky (2.2), generuje výstupní signály podle kterých se řídí celý obvod. Poté, co automat vygeneruje `TIME_VLD` signál, zapne se čítač ICLK, který počítá do 24(11000b), v okamžiku když dočítá do 24, na vstupu DIN bude střed nulového bitu, na výstupu čítač generuje vektorový signál, který vstupuje do automatu a dekodéru (pouze čtvrtý signální bit) před dekodérem je v signálu malé zpoždění, takže NCNT má čas změnit číslo registru na základě kterého, dekodér rozohně do kterého registru musí zapisovat bit. Dekodér se zapne a zapíše hodnotu nulového

bitu do registru 0, protože na vstupu je nulový signál, protože NCNT negeneruje žádný signál (pouze hodnota nulového bitu bude několikrát přepsána, kvůli tomu ze sčítačka podšita do 24 ale naposled bude zapsaná ta hodnota, která se vezme uprostřed bitu).

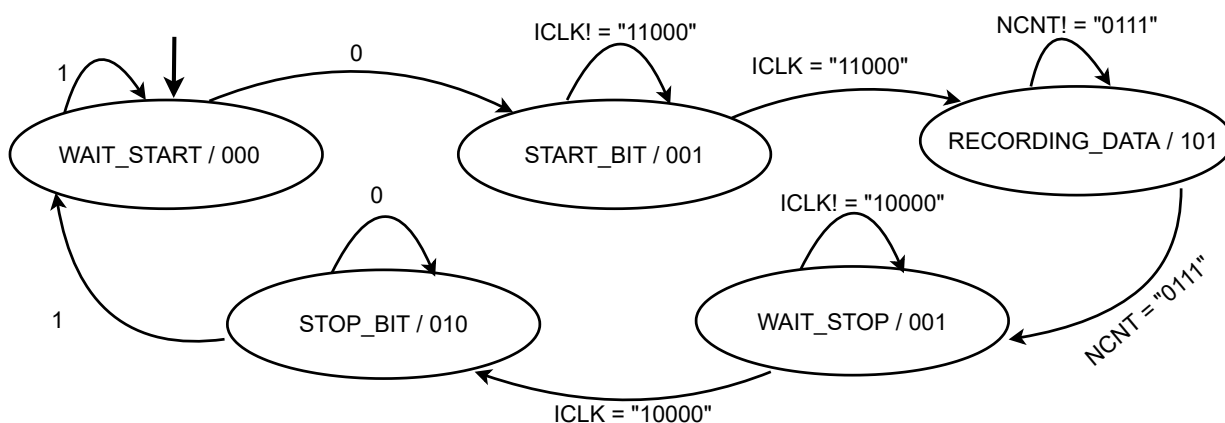
Automat pak vygeneruje signál RECORDING_DATA který zapne čítač NCNT, který změní číslo registru na základě vektorového signálu ICLK 16(10000b), protože další střed bitu je po 16 tiků od předchozího středu, ICLK se bude resetovat po odeslání vektorového signálu 16(10000b), NCNT po přijetí vektorového signálu ICLK 16(10000b) změní číslo registru, v okamžik se zapne dekodér přijme číslo registru a zapíše do něho. Po zaznamenání všech signál RECORDING_DATA smění na nulu, což resetuje čítač NCNT a zabrání zapnutí dekodéru, po obdržení stop bitu se resetuje a ICLK. Systém čeká na další čtení start bitu.

2 Návrh automatu (Finite State Machine)

2.1 Schéma automatu

Legenda:

- Stavy automatu: WAIT_START, START_BIT, RECORDING_DATA, WAIT_STOP, STOP_BIT
- Vstupní signály: DIN, ICLK, NCNT, CLK
- Moorovy výstupy:
 - XX0 – nastaví signál TIME_VLD na 0
 - XX1 – nastaví signál TIME_VLD na 1
 - X0X – nastaví signál DOUT_VLD na 0
 - X1X – nastaví signál DOUT_VLD na 1
 - 0XX – nastaví signál RECORDING_DATA na 0
 - 1XX – nastaví signál RECORDING_DATA na 1



2.2 Popis funkce

Stroj má 5 stavu. Počáteční stav automatu WAIT_START, pokud na vstupu DIN je 1, stav se nezmění. Jakmile na vstupu DIN bude 0, což je start bit, automat změní svůj stav na START_BIT.

Ve stavu START_BIT odešle signál 001, který odpovídá jedinečnému signálu TIME_VLD na výstupu, po přijetí vektorového signálu ICLK rovného 24(11000b) automat změní svůj stav na RECORDING_DATA

Ve stavu RECORDING_DATA generuje výstup 101, který odpovídá jedinečnému signálu na výstupech TIME_VLD a RECORD_VLD, po přijetí vektorového signálu rovného 7(111b) ze vstupu NCNT změní automat svůj stavu na WAIT_STOP

Ve stavu WAIT_STOP generuje výstupní signál 001, který odpovídá výstupu TIME_VLD, po přijetí vektorového signálu ICLK rovnému 16(10000b) se automat přepne do krajního stavu STOP

Ve stavu STOP generuje signál 010, který odpovídá výstupnímu signálu DATA_VLD, pokud systém funguje správně, automat když vygeneruje signál okamžitě přejde do svého původního stavu, kde bude čekat na další start bit a výstupem bude signál 000

3 Snímek obrazovky ze simulací

Pro přehlednost vloženy do samostatných stránek

- První datové slovo
- Druhé datové slovo

4 První datové slovo



5 Druhé datové slovo

