

✓ Terminé

Ouvert le : dimanche 19 mai 2024, 00:00

À remettre : mercredi 19 juin 2024, 22:00

Il faut rendre une archive qui contient votre compte rendu de projet au format pdf, l'ensemble des codes sources (design, banc de test, script de simulation) et les bitstream de programmation du FPGA (.sof) avant le lundi 17 juin 22h.

Vous devez rendre votre projet avant le mardi 18 juin 22h.

Pour chaque étudiant, vous devez rendre une archive au format .zip qui doit se nommer GrTP\_nom\_prénom.zip. Par exemple, Pour un étudiant qui se nomme Jean DUPONT et qui se trouve dans le groupe il faudra rendre une archive qui se nomme GrB\_Jean\_Dupont.zip

L'archive doit contenir les fichiers et dossiers suivant :

- votre compte rendu de projet au format PDF,
- un dossier **src** avec l'ensemble de vos sources .vhd,
- un dossier **simu** avec les bancs de tests et scripts de simulation
- un dossier **fit** avec uniquement les fichiers .sof des parties terminés (partie 5, 6 et 7). il ne faut pas mettre l'ensemble du projet Quartus !

Il est important de respecter ces consignes sinon vous aurez un malus sur votre note de projet.

**Attention à la triche et au copiage. Les codes identiques seront sévèrement sanctionné. Pour certains composants, il est justifié que les codes se ressemblent par contre pour d'autres composants et les bancs de tests il n'y a aucune raison que les codes soient similaires.**

Modifier le travail

Supprimer travail remis

Statut de remise

Statut des travaux remis	Remis pour évaluation
Statut de l'évaluation	Non évalué
Temps restant	Le travail a été remis en avance de 1 jour
Dernière modification	mardi 18 juin 2024, 21:54
Remises de fichiers	<div><div><div><div><div></div><div>GrF Vladislav BALAYAN Draft v1.zip</div><div>17 juin 2024, 00:43</div></div><div><div></div><div>GrF Vladislav BALAYAN v 2.zip</div><div>17 juin 2024, 19:11</div></div><div><div></div><div>GrF Vladislav BALAYAN.zip</div><div>18 juin 2024, 21:53</div></div><div><div></div><div>Rapport - Projet VHDL S6 Vladislav Levovitch BALAYAN - L histoire d un eleve qui voulait prouver a son prof qu il en valait la peine.pdf</div><div>18 juin 2024, 21:54</div></div><div><div></div><div>Rapport - Projet VHDL S6 Vladislav Levovitch BALAYAN v2.pdf</div><div>17 juin 2024, 17:48</div></div></div></div></div>
Commentaires	<div><div><div>▶ Commentaires (1)</div><div><div><div><div><div></div><div>Vladislav Balayan</div><div>- dim. 16 juin 2024, 19:08</div></div><div>Sur apprentissage de Thibault, un git a ete mis en place pour ce genre de gros projet : <a href="https://github.com/Vladislav-Levovitch-Polytech-Sorbonne/Processeur_Monocycle_S6_DOUZE/">https://github.com/Vladislav-Levovitch-Polytech-Sorbonne/Processeur_Monocycle_S6_DOUZE/</a></div><div>De meme pour le rapport, un lien aussi accessible en ligne cette fois pour ne pas perdre son travail comme precedemment : <a href="https://docs.google.com/document/d/11UB62nIBxxXHtvv-gbBUpAMDUF3M6UXgu44RlbvjuvQ/edit#heading=h.dw3cphfd4f6">https://docs.google.com/document/d/11UB62nIBxxXHtvv-gbBUpAMDUF3M6UXgu44RlbvjuvQ/edit#heading=h.dw3cphfd4f6</a></div></div></div><div><div>Ajouter un commentaire...</div><div><a href="#">Enregistrer le commentaire</a>   <a href="#">Annuler</a></div></div></div></div></div>



