МІНІСТЕРСТВО ОСВІТИ ТА НАУКИ УКРАЇНИ

НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ

«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ ІМЕНІ ІГОРЯ СІКОРСЬКОГО»

ФАКУЛЬТЕТ ІНФОРМАТИКИ ТА ОБЧИСЛЮВАЛЬНОЇ ТЕХНІКИ

КАФЕДРА ОБЧИСЛЮВАЛЬНОЇ ТЕХНІКИ

Лабораторна робота 1

з дисципліни «Технології програмування на ПЛІС(FPGA)»

Виконав:

студент гр. ІП-11

Прищепа Владислав

Номер залікової книжки – 1125

Перевірив:

Гайдай А.

Київ 2024

**Мета роботи**

- Вивчити систему автоматизації проектування Quartus II.

- Набути навичок створення проекту, введення проекту в схемотехнічному режимі, роботи в графічному редакторі.

- Вивчити особливості функціональної побудови суматорів та розробити функціональну схему суматора в САПР Quartus II.

**Теоретичні відомості**

Програмне середовище Quartus II від Altera є повною мультиплатформною системою для автоматизації проектування (САПР), що включає набір інструментів для проектування цифрових пристроїв і систем на програмованих логічних інтегральних схемах (FPGA та CPLD). Середовище Quartus II містить всі утиліти, необхідні для роботи з мікросхемами FPGA і CPLD.

1125 **=** 10001100101

Перемикальна функція = 11010100

Елемента база = 100 = АБО-НЕ\АБО

| x1 | x2 | x3 | F |
| --- | --- | --- | --- |
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 |

**Днф**:



**Кнф**:



**Мднф:**



**Мкнф:**



**Мднф у базисі АБО-НЕ\АБО:**

¬(x1∨x2)∨¬(x1∨¬x3)∨¬(x2∨¬x3)

**Мкнф:**

¬(¬(¬x1∨¬x2)∨¬(¬x1∨x3)∨¬(¬x2∨x3))

**1. Створення нового проекту**

- Запуск САПР Quartus II.

- Вибір робочого каталогу, імені проекту та імені верхнього рівня ієрархії проекту.

- Вибір сімейства мікросхем (Cyclone III) та типу мікросхеми (EP3C5F256C6).

- Завершення створення проекту.

**2. Розроблення функціональних блоків комбінаційних схем**

- Створення файлу верхнього рівня опису проекту `CL\_Project\_v1.bdf`.

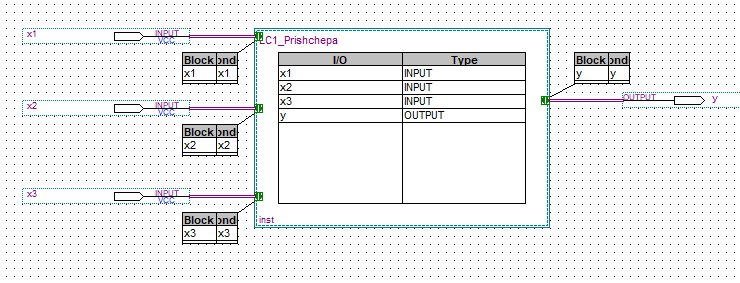
- Введення блоку функціонального елементу LC1, який реалізує логічну функцію.

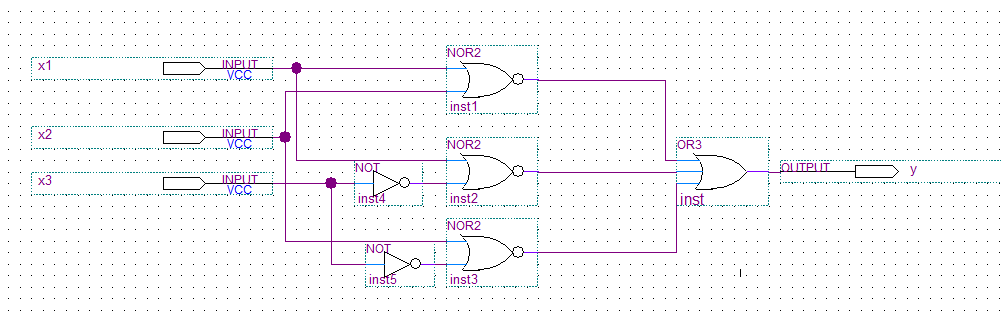
- Призначення вхідних і вихідних сигналів блоку LC1.

- Створення логічної схеми для реалізації перемикальної функції `f4` у базисі

- Введення схеми у графічному редакторі, додавання логічних елементів з бібліотеки примітивів.

Функціональний блок:



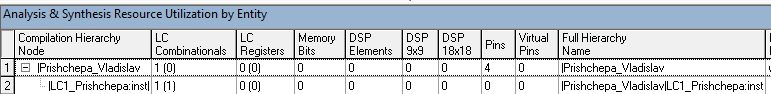
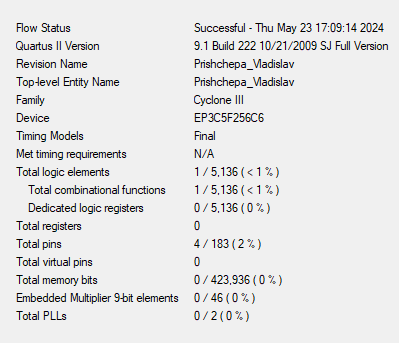


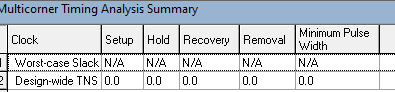
**3. Синтез проекту**

- Виконання першого етапу компіляції Analysis & Elaboration для перевірки коректності схеми.

- Повна компіляція проекту.

- Аналіз інформації про використані ресурси та часові затримки зі звіту компілятора.

*Resource Utilization by Entity*

**

*Timing Analyzer Summary*

| Звіти компілятора | LC1 | LC2 |
| --- | --- | --- |
| Total logic elements | 1 | 1 |
| Total pins | 4 (2%) | 4 (2%) |
|  |  |  |

*Аналіз звіту компілятора*

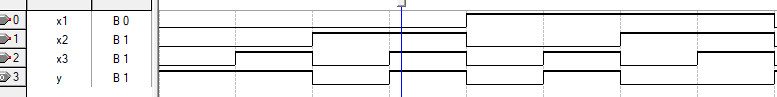
**4. Симуляція проекту**

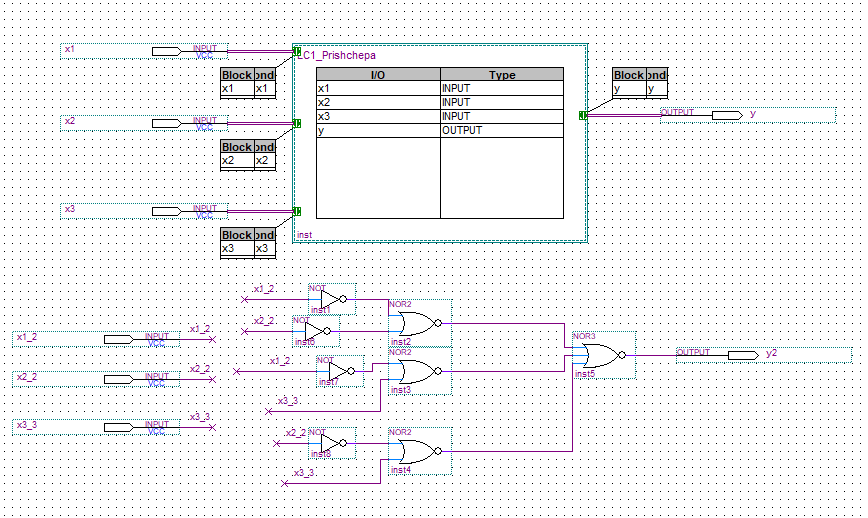
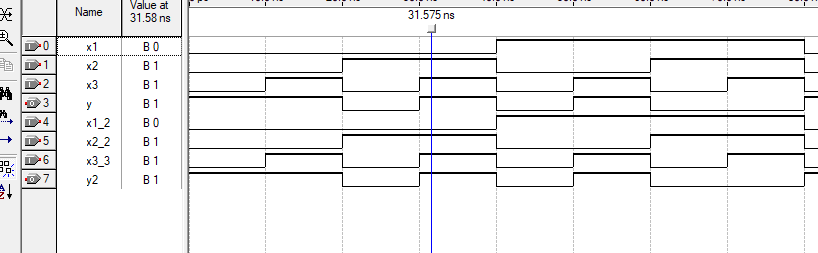
- Створення стимуляційного файлу (Vector Wave Form File) для моделювання.

- Додавання вхідних сигналів та завдання їх значень.

- Виконання симуляції проекту та аналіз результатів.

- Перевірка правильності роботи схеми та вимірювання часових затримок формування результату.



. **Висновки  
**

В результаті виконання лабораторної роботи було вивчено середовище Quartus II та набуті навички створення проекту і розробки комбінаційних схем у графічному редакторі. Розроблено логічну схему перемикальної функції `f4` у базисі 3AND/3OR, виконано її синтез та симуляцію. Отримані результати показали правильність роботи схеми та відповідність часових затримок теоретичним оцінкам. Лабораторна робота досягла своєї мети, забезпечивши розуміння процесу проектування комбінаційних схем на основі FPGA.