МІНІСТЕРСТВО ОСВІТИ ТА НАУКИ УКРАЇНИ

НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ

«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ ІМЕНІ ІГОРЯ СІКОРСЬКОГО»

ФАКУЛЬТЕТ ІНФОРМАТИКИ ТА ОБЧИСЛЮВАЛЬНОЇ ТЕХНІКИ

КАФЕДРА ОБЧИСЛЮВАЛЬНОЇ ТЕХНІКИ

Лабороторна робота 2

з дисципліни «Технології програмування на ПЛІС(FPGA)»

Виконав:

студент гр. ІП-11

Прищепа Владислав

Номер залікової книжки – 1125

Перевірив:

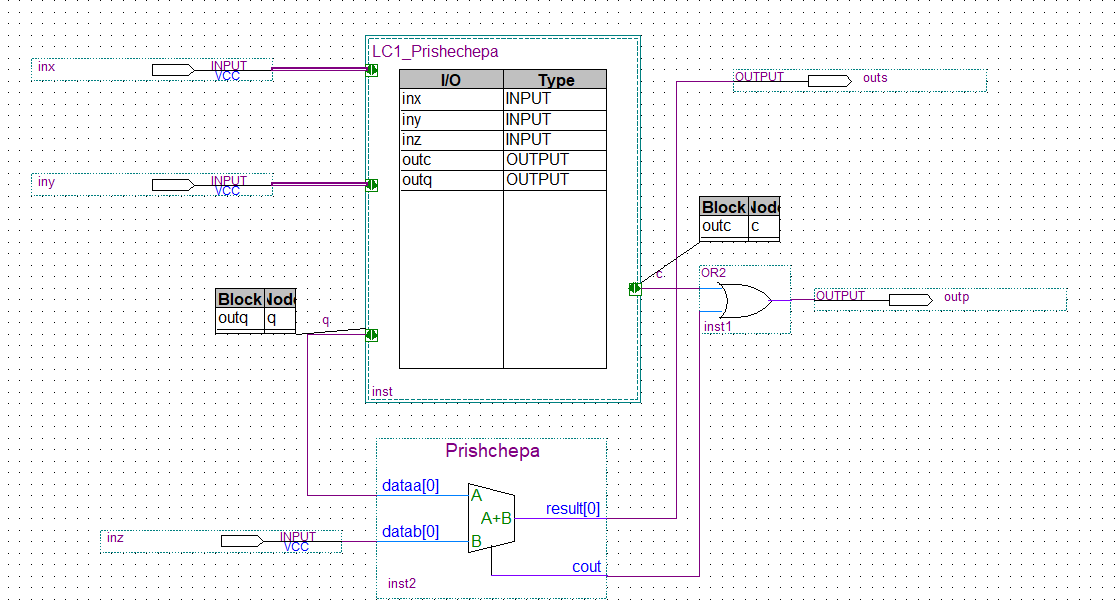
Гайдай А.

Київ 2024

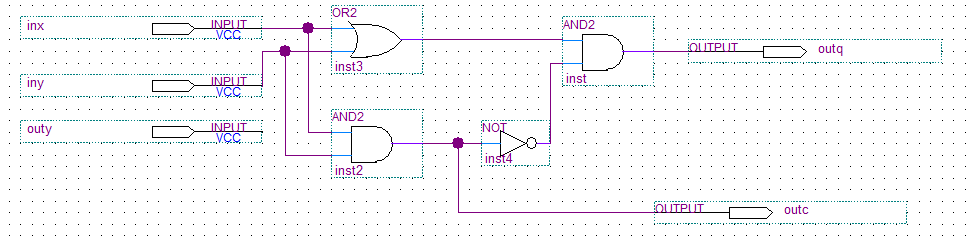
Метою цієї лабораторної роботи є розробка і синтез комбінаційної схеми суматора, а також оцінка використання логічних ресурсів та часових характеристик отриманої схеми на мікросхемах FPGA за допомогою САПР Quartus II.

Суматор - це комбінаційний логічний пристрій, що виконує операцію додавання двох або більше чисел. В даній роботі розглядається синтез повного однорозрядного суматора, який може бути побудований на основі двох напівсуматорів. Напівсуматор реалізує функції суми і переносу для двох вхідних змінних.

1. **Початок виконання роботи, суматора з двох напівсуматорів:**



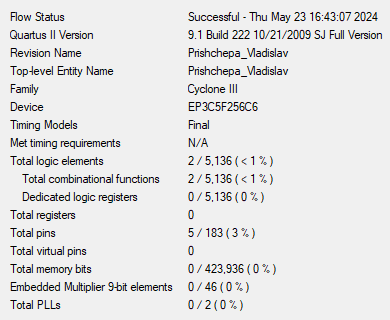
Верхній рівень опису проекту



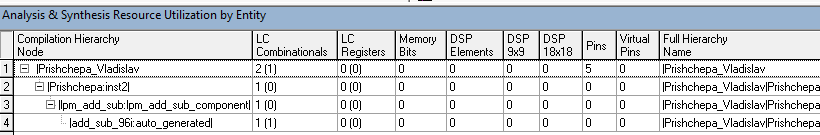
Функціональна схема напівсуматора

- Виконано синтез напівсуматора відповідно до логічних виразів, отриманих з таблиці істинності.

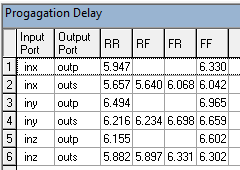
- Створено схему напівсуматора за допомогою логічних елементів AND та OR.



Компіляція першої версії суматора



Resource Utilization by Entity

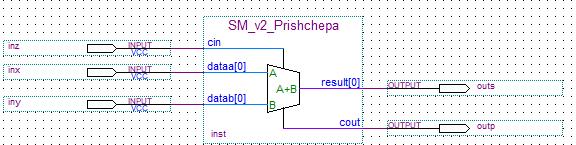


Propagation Delay

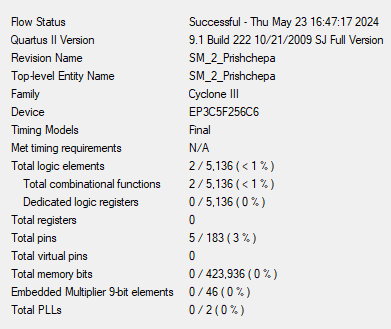
- Проект створено з назвою відповідно до вимог завдання.

- Розроблено файл верхнього рівня опису проекту `Lab1\_Name\_SM.bdf

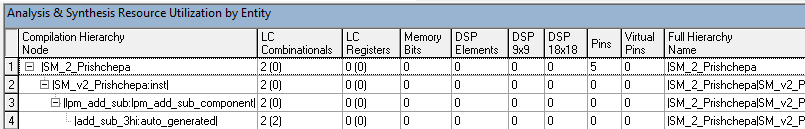
1. **Суматор з мегафунції**



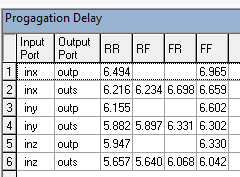
Суматор з мегафунції



Компіляція першої версії суматора



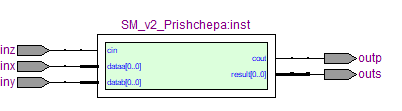
Resource Utilization by Entity



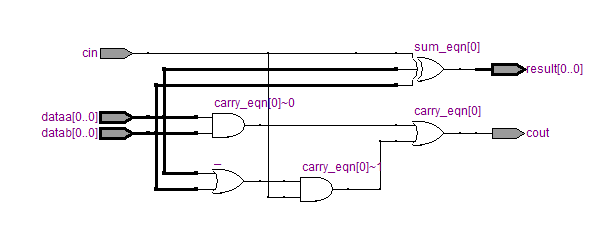
Propagation Delay

| Звіти компілятора | Lab1\_SM | Lab2\_SM\_v2 |
| --- | --- | --- |
| Total logic elements | 2 (<1%) | 2 (<1%) |
| Total register | 0 | 0 |
| Total memory bits | 0 | 0 |
| Dedicated Logic Registers | 0 | 0 |
| Embedded multiplier 9-bit elements | 0 | 0 |
| Total pins | 5 (3%) | 5 (3%) |
| SM2 | 2 Logic Cells | 2 Logic Cells |
| Longest Propagation Delay | 6.965 ns | 6.965 ns |
| Actual Time | N/A | N/A |

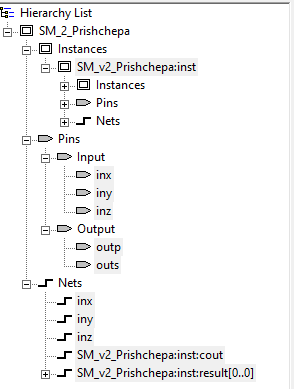
Порівняння звітів компіляторів 2 версій проекту



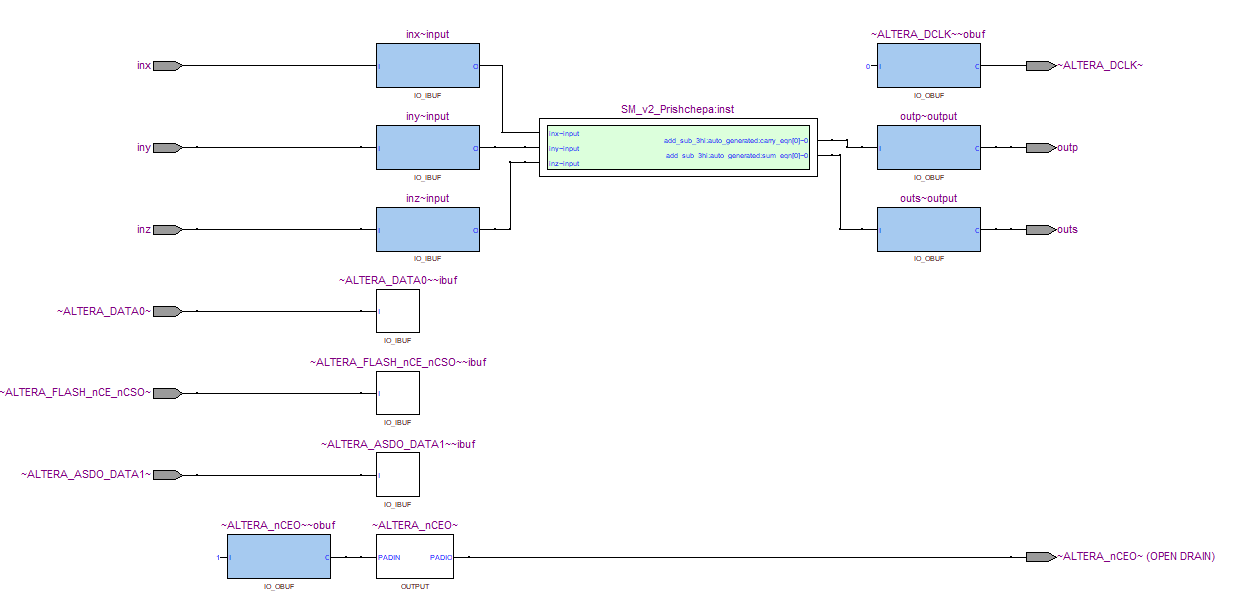
RTL viewer



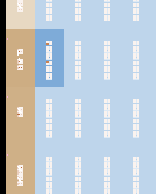
RTL viewer



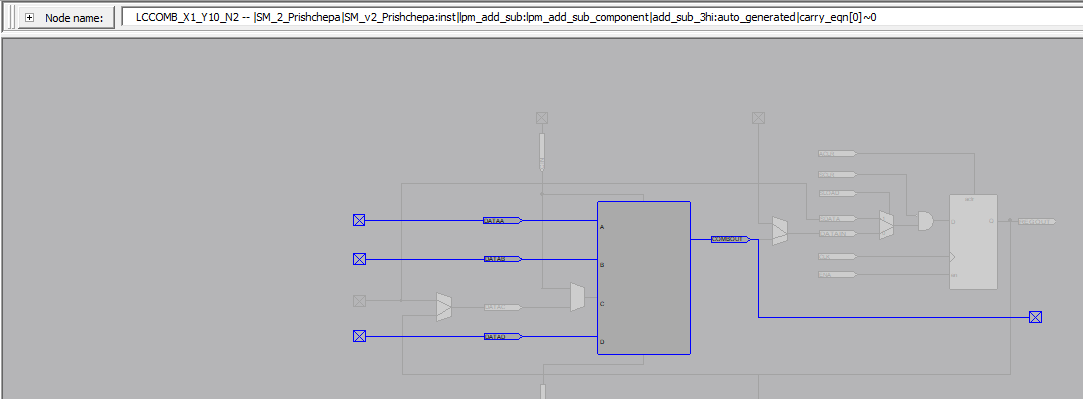
Hierarchy List



Technology Map Viewer



Chip planner



Resource property

- Виконано перевірку зв'язків та оптимізацію схем за допомогою Chip Planner.

- За допомогою утиліти RTL Viewer виконано аналіз логічної реалізації проекту.

- За допомогою утиліти Technology Map Viewer проаналізовано фізичну реалізацію проекту на мікросхемі FPGA.

- Виконано аналіз та компіляцію проекту.

- Отримано звіти компілятора, включаючи Flow Summary та Resource Utilization.

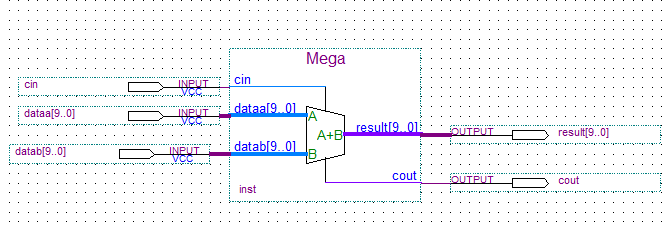
- На основі двох напівсуматорів синтезовано повний однорозрядний суматор.

1. **Завдання за варіантом**

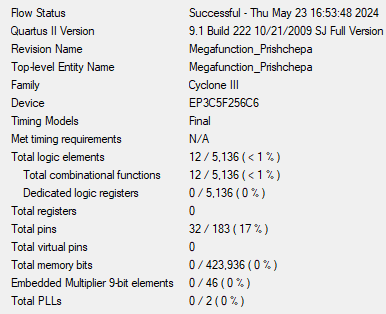
**1125= 10001100101**

ІХ-\*1 - h1 h2 h3

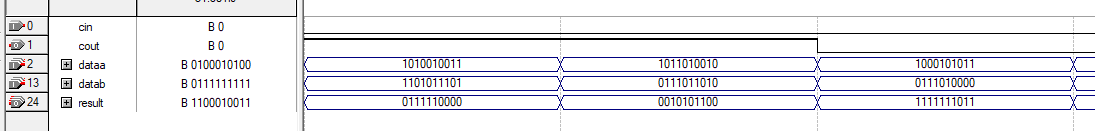
Розряди номера ЗК - 1 0 1 - 10 розрядів



Суматор з мегафунції



Компіляція



Симуляція

**Висновок**: В результаті виконання лабораторної роботи було успішно синтезовано комбінаційну схему повного однорозрядного суматора на базі двох напівсуматорів. Проведено аналіз використання ресурсів та часових характеристик схеми. Отримані результати показують, що розроблена схема є оптимальною за використанням логічних ресурсів, і підтверджують правильність вибору методології синтезу та реалізації проекту на FPGA.