МІНІСТЕРСТВО ОСВІТИ ТА НАУКИ УКРАЇНИ

НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ

«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ ІМЕНІ ІГОРЯ СІКОРСЬКОГО»

ФАКУЛЬТЕТ ІНФОРМАТИКИ ТА ОБЧИСЛЮВАЛЬНОЇ ТЕХНІКИ

КАФЕДРА ОБЧИСЛЮВАЛЬНОЇ ТЕХНІКИ

Лабораторна робота 4

з дисципліни «Технології програмування на ПЛІС(FPGA)»

Виконав:

студент гр. ІП-11

Прищепа Владислав

Номер залікової книжки – 1125

Перевірив:

Гайдай А.

Київ 2024

**Виконання роботи**

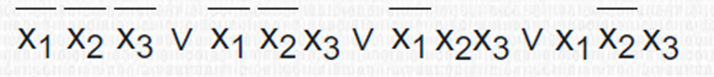
1125 **=** 10001100101

Перемикальна функція = 11010100

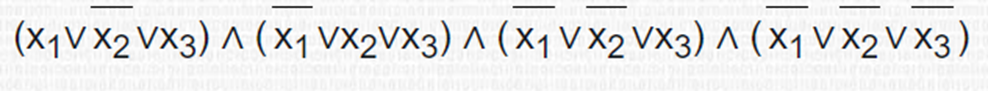
Елемента база = 100 = АБО-НЕ\АБО

| x1 | x2 | x3 | F |
| --- | --- | --- | --- |
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 |

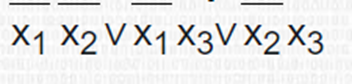
**Днф**:



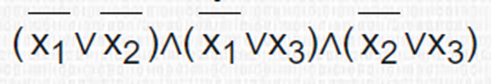
**Кнф**:



**Мднф:**



**Мкнф:**

****

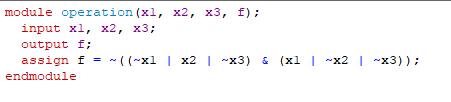
**Мднф у базисі АБО-НЕ\АБО:**

¬(x1∨x2)∨¬(x1∨¬x3)∨¬(x2∨¬x3)

**Мкнф у базисі АБО-НЕ\АБО:**

¬(¬(¬x1∨¬x2)∨¬(¬x1∨x3)∨¬(¬x2∨x3))

Operation.v



module operation(x1, x2, x3, dnf, knf);

input x1, x2, x3;

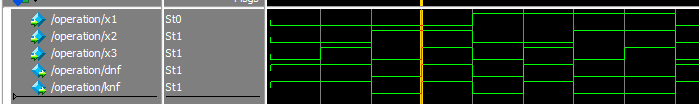
output dnf;

output knf;

assign dnf = ~((x1 | x2) & (x1 | ~x3) & (x2 | ~x3));

assign knf = ~(~(~x1 | ~x2) | ~(~x1 | x3) | ~(~x2 | x3));

endmodule



**Висновок:**

В ході виконання лабораторної роботи було вивчено основи мови опису апаратури Verilog та середовище моделювання ModelSim. Було розроблено і скомпільовано модуль для реалізації комбінаційних схем у базисі АБО-НЕ\АБО за допомогою МДНФ і МКНФ. Проведено моделювання роботи схем і отримано результати, що підтверджують правильність реалізації логічних функцій. Лабораторна робота дала змогу закріпити теоретичні знання і набути практичних навичок роботи з HDL та САПР.

Результати функцій днф та кнф співпадають що свідчить про правильність виконання роботи.