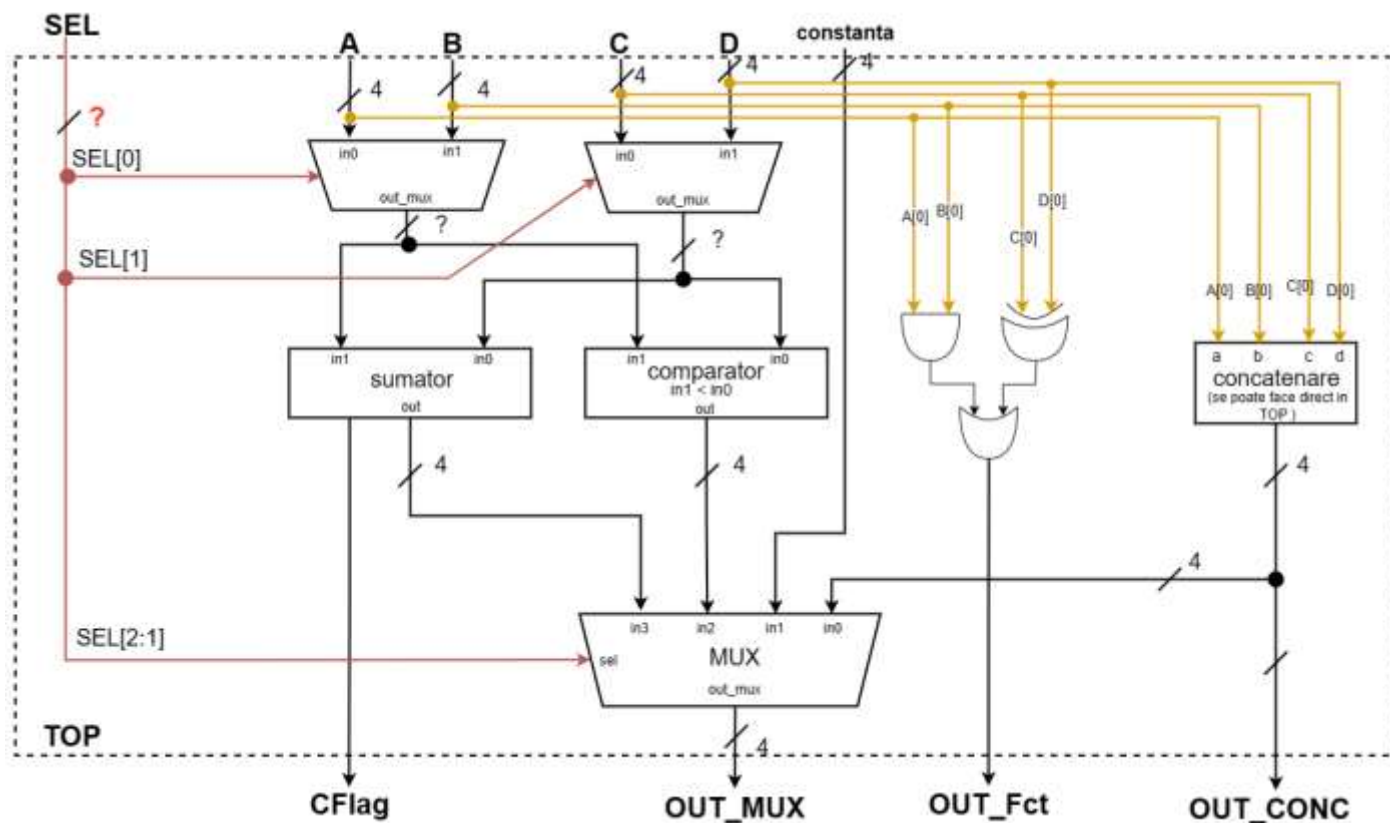


1. Faceti un **folder** cu **NUME_Prenume_grupa_lucrare1** pe desktop si salvati acolo proiectul **Proiectul** il numiti **NUME_Prenume_grupa_lucrare1**
La sfarsit, arhivati acest proiect **.zip** si **incarcati-l pe moodle**
2. Sa se implementeze in Verilog, in fisiere separate, modulele componente (5p)
3. Sa se implementeze modulul TOP prin **instantierea** si conectarea modulelor descrise (5p)
 - *faceti schema RTL (elaborarea) circuitului TOP proiectat si salvati un **printscreen** in proiectul vostru (puncte extra 0.5p)*
4. Implementati un modul de test, numit **test_numeleVostru** sau **testbench_numeleVostru** care sa instantieze modulul TOP si sa demonstreze functionarea lui (10p)
 - TB care demonstreaza funct circuitului (5p)
 - Explicati formele de unda obtinute la iesiri (sunt valorile corecte? De ce?) 3p
 - Explicatie functionare circuit (2p)
 - **printscreen** cu formele de unda rezultate (0.5p-extra)



Comparatorul returneaza numarul mai mare din cele doua comparate.

Portile se descriu **structural, intr-un modul separat** apoi instantiati acest modul in TOP

Modulul *concatenare* se poate descrie separat sau direct in TOP