

Министерство образования Республики Беларусь

Учреждение образования  
«БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ  
ИНФОРМАТИКИ И РАДИОЭЛЕКТРОНИКИ»

Факультет компьютерных систем и сетей

Кафедра электронных вычислительных машин

Контрольная работа №1  
по курсу «Схемотехника»  
Тема: «Серия цифровых микросхем К1533»

Выполнил:  
студент гр. 250541 Власов Р.Е.

Проверил:  
к.т.н., доцент Селезнёв И.Л.

МИНСК  
2024

## СОДЕРЖАНИЕ

1 Цель работы.....	3
2 Описание серии.....	4
3 Функциональный состав серии.....	5
4 Отдельные элементы серии.....	10
4.1 ИМС К1533ТР2.....	10
4.2 ИМС К1533ИР8.....	12
4.3 ИМС К1533ИР15.....	15
5 Примеры построения электрических схем.....	19
5.1 Схема на ИМС К1533ТР2.....	19
5.2 Схема на ИМС К1533ИР8.....	20
5.3 Схема на ИМС К1533ИР15.....	21
6 Вывод.....	22
Список источников.....	23

## **1 ЦЕЛЬ РАБОТЫ**

Основной целью данной контрольной работы является исследование функциональных компонентов и оценка возможностей серии цифровых микросхем K1533. Для достижения этой цели планируется изучить технические характеристики микросхем. Кроме того, будет рассмотрен функциональный состав серии, включая различные типы микросхем и корпуса, а также их применение в реальных электронных схемах. Также необходимо провести анализ отдельных элементов серии K1533, таких как триггеры и сдвиговые регистры, и продемонстрировать практическое использование в различных схемах.

## 2 ОПИСАНИЕ СЕРИИ

Серия K1533 представляет собой следующий этап развития ТТЛ микросхем после серий K155 и K555. В отличие от предыдущих поколений микросхем K155 и K555, цифровые интегральные микросхемы (ИМС) серии K1533 обладают улучшенной помехозащищенностью и более широким диапазоном допустимого напряжения питания при сниженном энергопотреблении, а благодаря оптимизированным конструктивным решениям, K1533 демонстрирует значительно меньшую задержку при переключении, что обеспечивает высокую скорость обработки данных.

Серия K1533 предназначена для обеспечения быстрого обмена и обработки цифровой информации, а также для временного и электрического согласования сигналов в вычислительных системах.

Аналогом на зарубежном рынке является серия SN74ALSxxxx компании Texas Instruments (США).

Основные электрические параметры интегральных микросхем серии K1533 представлены в таблице 2.1.

Таблица 2.1 – Общие электрические параметры серии ИМС K1533

Параметры микросхемы ТТЛ логики	Значение
Температурный диапазон	-10 – 70 °С
Номинальное напряжение питания $U_{\text{ип}}$	5 В ± 10%
Выходное напряжение низкого уровня $U_{\text{вых}}(0)$	0,4 В
Выходное напряжение высокого уровня $U_{\text{вых}}(1)$	2,4 В
Входной ток низкого уровня $I_{\text{вх}}(0)$	0,2 мА
Входной ток высокого уровня $I_{\text{вх}}(1)$	0,01 мА
Время распространения задержки при включении $T_{\text{зад}}(1, 0)$	8 нс
Время распространения задержки при выключении $T_{\text{зад}}(0, 1)$	7 нс
Средняя потребляемая мощность на логический вентиль $P_{\text{пот ср}}$	1 мВт
Предельная частота переключения $F_{\text{пр}}$ ,	70 МГц
Коэффициент разветвления	40

### 3 ФУНКЦИОНАЛЬНЫЙ СОСТАВ СЕРИИ

Интегральные микросхемы серии К1533 доступны в трёх типах корпусов: пластмассовый корпус типа DIP (КР), планарный пластмассовый корпус (КФ) и металлокерамический корпус (маркировка без начальных букв). Приставки КР и КФ зависят только от типа корпуса. Перечень элементов этой серии представлен в таблице 3.1. Варианты корпусов изображены на рисунках 3.1, 3.2 и 3.3.

Таблица 3.1 – Функциональные элементы серии К1533

Название	Краткое описание
1533АГЗ	2 одновибратора с перезапуском
1533АПЗ	8 инвертирующих буферных элементов
1533АП4	8 буферных элементов
1533АП5	8 буферных элементов
1533АП6	8 двунаправленных буферных элементов
1533АП7	8 двунаправленных буферных элементов с открытым коллектором
1533АП9	8 инвертирующих двунаправленных буферных элементов
1533АП14	8 буферных элементов
1533АП15	8 инвертирующих буферных элементов
1533АП16	8 двунаправленных буферных элементов
1533ИДЗ	Дешифратор 4-16
1533ИД4	2 дешифратора 2-4
1533ИД7	Дешифратор 3-8
1533ИД14	2 дешифратора 2 в 4
1533ИД17	Дешифратор состояний
1533ИЕ2	4-разрядный счетчик двоично-десятичный
1533ИЕ5	4-разрядный счетчик двоичный
1533ИЕ6	4-разрядный реверсивный счетчик двоично-десятичный
1533ИЕ7	4-разрядный двоичный реверсивный счетчик
1533ИЕ9	4-разрядный синхронный счетчик десятичный с асинхронным сбросом и синхронной загрузкой
1533ИЕ10	4-разрядный синхронный счетчик двоичный с асинхронным сбросом и синхронной загрузкой
1533ИЕ11	4-разрядный синхронный счетчик десятичный с синхронной загрузкой и сбросом

Продолжение таблицы 3.1

Название	Краткое описание
1533ИЕ12	4-разрядный реверсивный счетчик двоично-десятичный
1533ИЕ13	4-разрядный реверсивный счетчик двоичный
1533ИЕ18	4-разрядный синхронный счетчик двоичный с синхронной загрузкой и сбросом
1533ИЕ19	2 4-разрядных двоичных счетчика
1533ИП3	Арифметико-логическое устройство
1533ИП4	Схема ускоренного переноса
1533ИП5	9-разрядный сумматор по модулю 2
1533ИП6	4 инверсных двунаправленных буферных элементов
1533ИП7	4 двунаправленных буферных элемента
1533ИР8	8-разрядный последовательный регистр с параллельным выходом
1533ИР9	8-разрядный регистр сдвига параллельно-последовательный
1533ИР10	8-разрядный регистр сдвига
1533ИР13	8-разрядный универсальный регистр
1533ИР15	4-разрядный регистр хранения информации
1533ИР16	4-разрядный универсальный регистр
1533ИР22	8-разрядный регистр хранения информации
1533ИР23	8-разрядный регистр хранения информации
1533ИР24	8-разрядный универсальный сдвиговый регистр
1533ИР27	8-разрядный регистр с разрешением записи
1533ИР29	8-разрядный универсальный регистр с 3 состояниями
1533ИР31	24-разрядный последовательный регистр
1533ИР32	Регистровый файл 4*4
1533ИР33	8-разрядный регистр хранения информации
1533ИР34	2 4-разрядных регистра хранения информации
1533ИР35	8-разрядный регистр хранения информации
1533ИР37	8-разрядный регистр хранения информации
1533ИР38	2 4-разрядных регистра хранения информации
1533КП2	2 мультиплексора 4-1
1533КП7	Мультиплексор 8-1

Продолжение таблицы 3.1

Название	Краткое описание
1533КП11	4 мультиплексора 2-1
1533КП12	2 мультиплексора 4-1
1533КП13	4-разрядный регистр с мультиплексором 2-1 на входах
1533КП14	4 мультиплексора 2-1 с инверсный
1533КП15	Мультиплексор 8-1
1533КП16	4-разрядный мультиплексор 2-1
1533КП17	Сдвоенный мультиплексор 4-1
1533КП18	4-разрядный мультиплексор 2-1 инверсный
1533КП19	Сдвоенный мультиплексор 4-1 инверсный
1533ЛА1	2 логических элемента 4И-НЕ
1533ЛА2	1 логический элемент 8И-НЕ
1533ЛА3	4 логических элемента 2И-НЕ
1533ЛА4	3 логических элемента 3И-НЕ
1533ЛА6	2 логических элемента 4И-НЕ
1533ЛА7	2 логических элемента 4И-НЕ с открытым коллектором
1533ЛА8	4 логических элемента 2И-НЕ с открытым коллектором
1533ЛА9	4 логических элемента 2И-НЕ с открытым коллектором
1533ЛА10	3 логических элемента 3И-НЕ с открытым коллектором
1533ЛА12	4 логических элемента 2И-НЕ
1533ЛА13	4 логических элементов 2И-НЕ с открытым коллектором
1533ЛА21	4 логических элемента 2И-НЕ
1533ЛА22	2 логических элемента 2И-НЕ
1533ЛА23	4 логических элемента 2И-НЕ с открытым коллектором
1533ЛА24	3 логических элемента 3И-НЕ
1533ЛЕ1	4 логических элемента 2ИЛИ-НЕ
1533ЛЕ4	3 логических элемента 3ИЛИ-НЕ
1533ЛЕ10	4 логических элемента 2ИЛИ-НЕ
1533ЛЕ11	4 логических элемента 2ИЛИ-НЕ с открытым коллектором

Продолжение таблицы 3.1

Название	Краткое описание
1533ЛИ1	4 логических элемента 2И
1533ЛИ2	4 логических элемента 2И с открытым коллектором
1533ЛИ3	3 логических элемента 3И
1533ЛИ4	3 логических элемента 3И с открытым коллектором
1533ЛИ6	2 логических элемента 4И
1533ЛИ8	4 логических элемента 2И
1533ЛИ10	3 логических элемента 3И
1533ЛЛ1	4 логических элемента 2ИЛИ
1533ЛЛ4	4 логических элемента 2ИЛИ
1533ЛН1	6 логических элементов НЕ
1533ЛН2	6 логических элементов НЕ с открытым коллектором
1533ЛН7	6 логических элементов НЕ с тремя состояниями
1533ЛН8	6 логических элементов НЕ
1533ЛН10	6 логических элементов НЕ с открытым коллектором
1533ЛП3	3 мажоритарных элемента
1533ЛП5	4 двухвходовых элемента "Исключающее-ИЛИ"
1533ЛП8	4 повторителя
1533ЛП12	4 двухвходовых элемента "Исключающее-ИЛИ" с открытым коллектором
1533ЛП13	3 мажоритарных элемента
1533ЛП16	6 повторителей
1533ЛП17	6 повторителей с открытым коллектором
1533ЛР4	Логический элемент 4-4И-2ИЛИ-НЕ с расширением по ИЛИ
1533ЛР11	Логический элемент 2-2И-2ИЛИ-НЕ
1533ЛР13	Логический элемент 2-3-3-2И-4ИЛИ-НЕ
1533СП1	4-разрядный цифровой компаратор
1533ТВ6	2 JK триггера
1533ТВ9	2 JK триггера
1533ТВ10	2 JK триггера
1533ТВ11	2 JK триггера



Продолжение таблицы 3.1

Название	Краткое описание
1533ТВ15	2 JK триггера
1533ТЛ2	6 триггеров Шмитта
1533ТМ2	2 D-триггера
1533ТМ8	4 D-триггера
1533ТМ9	6 D-триггера
1533ТР2	4 RS-триггера

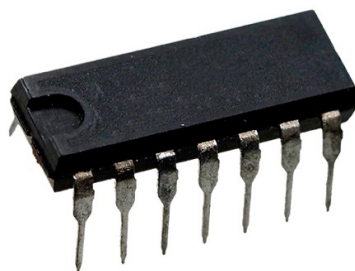


Рисунок 3.1 – Корпус пластмассовый типа DIP

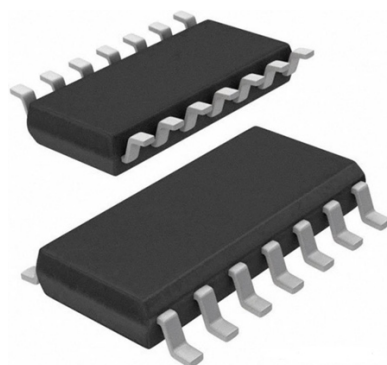


Рисунок 3.2 – Корпус пластмассовый планарный

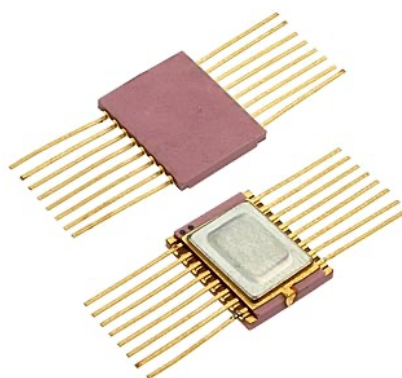


Рисунок 3.3 – Металлокерамический корпус

## 4 ОТДЕЛЬНЫЕ ЭЛЕМЕНТЫ СЕРИИ

### 4.1 ИМС K1533TP2

Микросхема K1533TP2 включает четыре RS-триггера. Её условно-графическое изображение представлено на рисунке 4.1. В составе микросхемы два триггера оснащены по одному входу R и одному входу S, а два других имеют по одному входу R и два входа S. Сброс триггеров и их установка в состояние 1 осуществляется путем подачи логического нуля на входы R и S соответственно. Для расширения функциональных возможностей два из четырёх триггеров имеют два входа S, соединённых логическим оператором И.

После снятия сигналов логического нуля с входов R и S состояние триггера определяется тем, на каком из входов логический ноль был удалён последним. Основные параметры интегральной микросхемы приведены в таблице 4.1, а назначение выводов указано в таблице 4.2. Схема микросхемы изображена на рисунке 4.2.

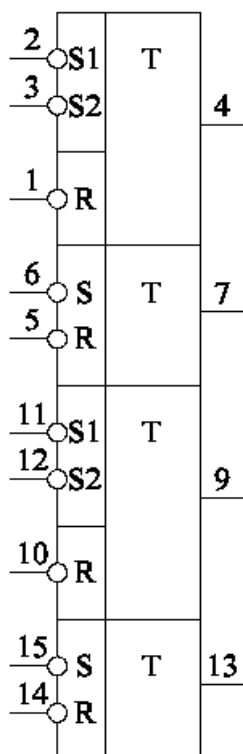


Рисунок 4.1 – Условно-графическое обозначение ИМС K1533TP2

Таблица 4.1 – Основные параметры ИМС K1533TP2

Параметр	Значение
Напряжение питания ( $V_{cc}$ )	+5 В $\pm$ 10 %
Ток потребления (статический), max	5,5 мА
Входной ток (0), не более	0,2 мА

Продолжение таблицы 4.1

Параметр	Значение
Входной ток (1), не более	20 мкА
Выходной ток лог. "0", не менее	15 мА
Выходной ток лог. "1", не менее	0,4 мА
Типовая задержка	22–26 нс
Входной уровень "0"	< 0,8 В
Входной уровень "1"	> 2,0 В
Выходной уровень "0"	< 0,5 В
Выходной уровень "1"	> 2,5 В
Рабочий диапазон температур	-10° С..+70° С
Импортный аналог	74ALS279

Таблица 4.2 – Назначение входов и выходов ИМС К1533ТР2

Номер вывода ИМС	Функция
1	Вход сброса первого триггера
2	Вход установки первого триггера
3	Вход установки первого триггера
4	Выход первого триггера
5	Вход сброса второго триггера
6	Вход установки второго триггера
7	Выход третьего триггера
8	Общий вывод
9	Выход третьего триггера
10	Вход установки третьего триггера
11	Вход установки третьего триггера
12	Вход сброса четвертого триггера
13	Выход четвертого триггера
14	Вход установки четвертого триггера
15	Вход сброса четвертого триггера
16	Вывод питания

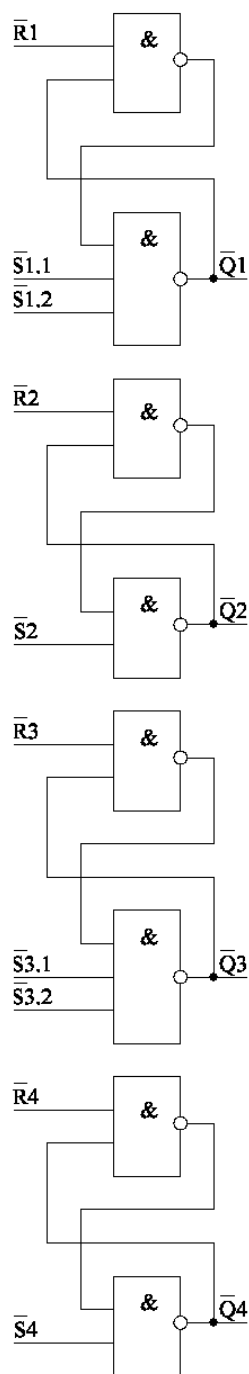


Рисунок 4.2 – Схема K1533TP2

## 4.2 ИМС K1533ИР8

Микросхема 1533ИР8 представляет собой восьмьразрядный последовательный сдвиговый регистр с возможностью параллельного вывода данных. Этот регистр обеспечивает последовательную загрузку информации, параллельную её выгрузку, а также общий сброс. Условно-графическое изображение ИМС 1533ИР8 показано на рисунке 4.3.

Регистр 1533ИР8 может быть использован в качестве буферного запоминающего устройства для временного хранения данных, а также для преобразования данных из последовательного формата в параллельный.

1533ИР8 представляет собой простой сдвиговый регистр. Он оснащён двумя входами данных D, соединёнными через логический элемент “И”, тактовым входом C, инверсным входом для сброса R, а также параллельными выходами Q0-Q7.

Приём данных через последовательные входы D и их сдвиг внутри регистра происходят при положительном фронте сигнала на тактовом входе C.

Для сброса всех выходов в состояние нуля необходимо подать на вход R низкий уровень сигнала.

Основные характеристики интегральной микросхемы приведены в таблице 4.3, а назначение выводов описано в таблице 4.4. по входным и выходным уровням сигналов совместима с другими ИС стандартной ТТЛ логики.

Схема микросхемы 1533ИР8 изображена на рисунке 4.4.

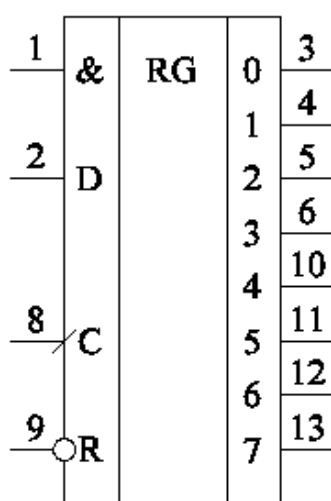


Рисунок 4.3 – Условно-графическое обозначение ИМС 1533ИР8

Таблица 4.3 – Основные параметры ИМС К1533ИР8

Параметр	Значение
Напряжение питания (Vcc)	+5 В ± 5 %
Входной ток ("0"), не более	0,2 мА
Входной ток ("1"), не более	20/40 мкА
Ток потребления (статический), max	29 мА
Нагрузочная способность	10 входов ТТЛ
Выходной уровень "0"	< 0,5 В
Выходной уровень "1"	> 2,5 В
Время задержки распространения	17-19 нс
Длительность фронта/спада "С"	< 50 нс
Ёмкость нагрузки максимальная	200 пФ

Продолжение таблицы 4.3

Тактовая частота	до 35 МГц
Рабочий диапазон температур	-10°C..+70° С
Импортный аналог	74ALS164

Таблица 4.4 – Назначение выводов ИМС К1533ИР8

Номер вывода ИМС	Функция
1	Вход последовательных данных
2	Вход последовательных данных
3	Выход данных
4	Выход данных
5	Выход данных
6	Выход данных
7	Общий вывод
8	Тактовый вход
9	Вход сброса
10	Выход данных
11	Выход данных
12	Выход данных
13	Выход данных
14	Вывод питания

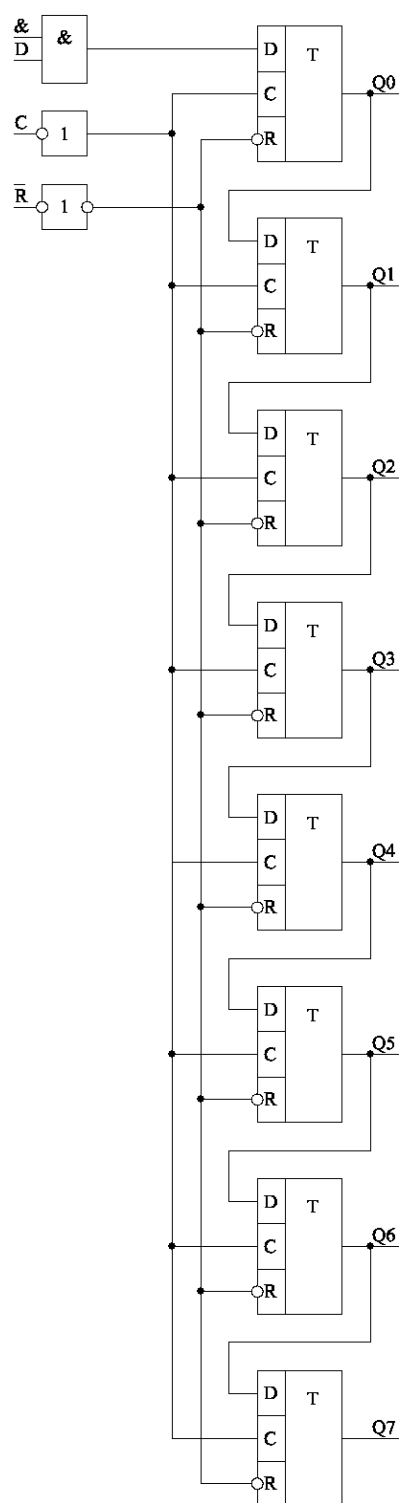


Рисунок 4.4 – Схема ИМС К1533ИР8

### 4.3 ИМС К1533ИР15

Микросхема К1533ИР15 представляет собой четырёхразрядный регистр с функцией параллельной загрузки и встроенным входом для сброса. Устройство также поддерживает перевод выходов в высокоимпедансное состояние, при котором микросхема отключается от нагрузки по своему входу.

Условно-графическое изображение ИМС К1533ИР15 представлено на рисунке 3.5.

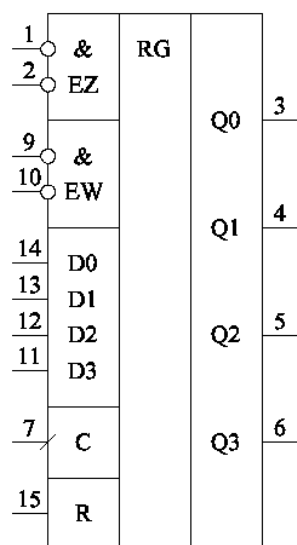


Рисунок 4.5 – Условно-графическое обозначение ИМС К1533ИР15

Микросхема КР1533ИР15 оснащена четырьмя входами для параллельной загрузки данных (D1–D4), четырьмя выходами (Q1–Q4), тактовым входом С, входом сброса R, а также инверсными входами разрешения выхода EZ, объединёнными через логический элемент “И”, и входами разрешения параллельной загрузки EW, также объединёнными по “И”.

Параллельная загрузка данных в регистр с входов D1–D4 выполняется при низком уровне сигнала на входах EW1, EW2 и R в момент появления положительного фронта синхроимпульса на входе С.

Сброс всех разрядов регистра в нулевое состояние осуществляется при подаче высокого уровня на вход R, независимо от состояния других входов.

В режиме хранения, при отсутствии синхроимпульсов на входе С, состояние регистра остаётся неизменным.

Переход выходов микросхемы в высокоимпедансное состояние происходит при высоком уровне сигнала на любом из входов EZ, при этом внутреннее состояние регистра остаётся без изменений.

Основные характеристики микросхемы указаны в таблице 4.5, а назначение выводов — в таблице 4.6. Схематическое изображение ИМС К1533ИР15 приведено на рисунке 4.6.

Таблица 4.5 – Основные параметры ИМС К1533ИР15

Параметр	Значение
Напряжение питания ( $V_{cc}$ )	+5 В $\pm$ 10%
Входной ток ("0"), не более	0,2 мА
Входной ток ("1"), не более	20 мкА



Продолжение таблицы 4.5

Параметр	Значение
Ток потребления (статический), $I_{max}$	22 мА
Нагрузочная способность	10 входов ТТЛ
Выходной уровень "0"	$< 0,4$ В
Выходной уровень "1"	$> 2,5$ В
Время задержки распространения	20 – 40 нс
Длительность фронта/спада "С"	$< 50$ нс
Ёмкость нагрузки максимальная	200 пФ
Тактовая частота на входе "С"	до 30 МГц
Рабочий диапазон температур	$-10^{\circ}\text{C}..+70^{\circ}\text{C}$
Импортный аналог	74ALS173

Таблица 4.6 – Назначение выводов ИМС К1533ИР15

Номер вывода ИМС	Функция
1	Разрешение выхода
2	Разрешение выхода
3	Информационный выход
4	Информационный выход
5	Информационный выход
6	Информационный выход
7	Тактовый вход
8	Общий вывод
9	Разрешение записи
10	Разрешение записи
11	Информационный выход
12	Информационный выход
13	Информационный выход
14	Информационный выход
15	Вход сброса
16	Вывод питания

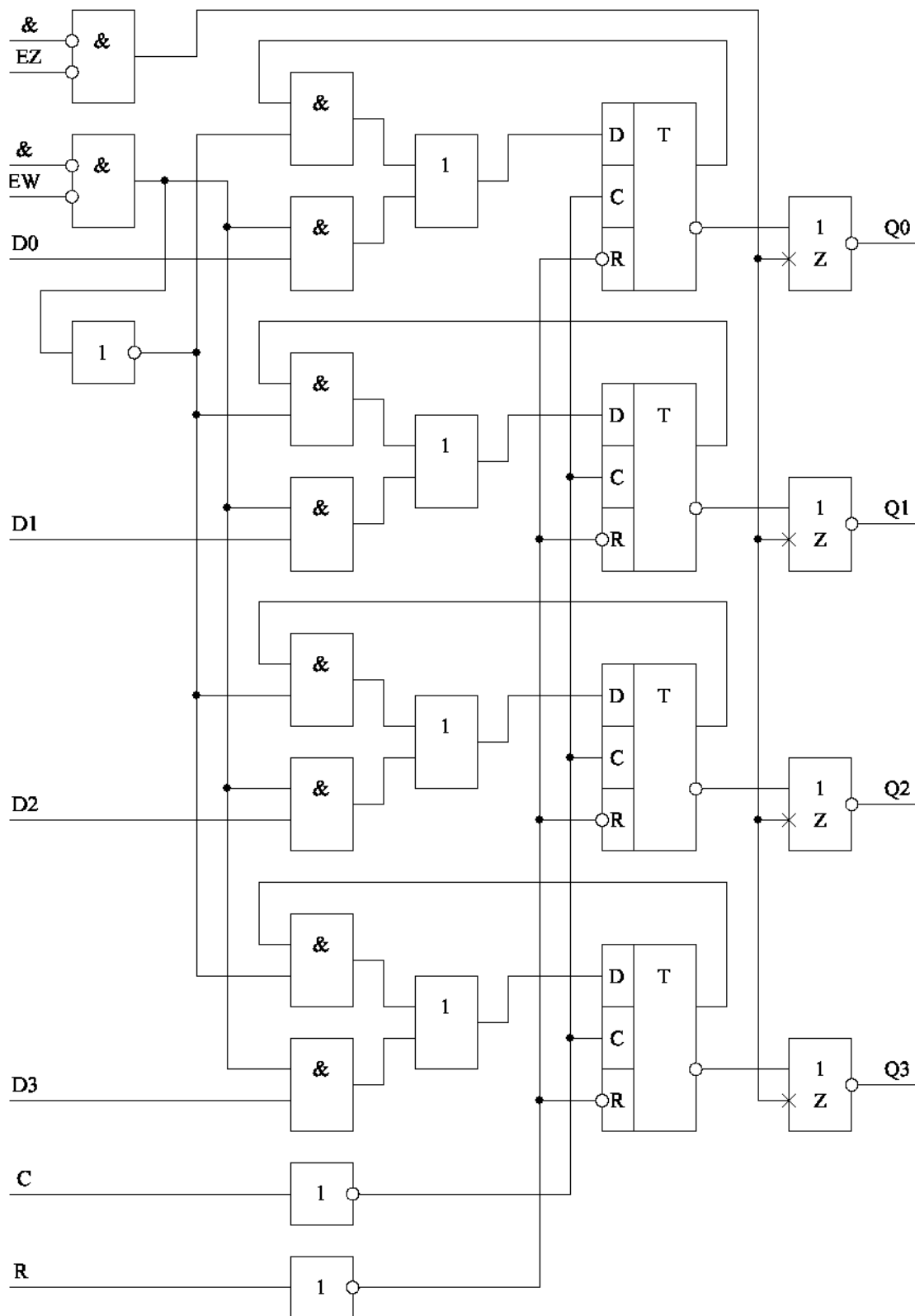


Рисунок 4.6 – Схема ИМС К1533ИР15

## 5 ПРИМЕРЫ ПОСТРОЕНИЯ ЭЛЕКТРИЧЕСКИХ СХЕМ

### 5.1 Схема подавления дребезга контактов на ИМС К1533ТР2

Прямое подключение кнопок и переключателей к входам микросхем не всегда возможно из-за эффекта “дребезга” контактов — многократного случайного замыкания и размыкания при переключении, вызванного механическим резонансом. Этот эффект может длиться до 40–100 мс.

Входы начальной установки триггеров, счётчиков и регистров (например, сброс по входам R) не подвержены влиянию дребезга. Однако для счётных входов микросхем подавление дребезга является обязательным, так как без этого может возникнуть некорректное многократное срабатывание счётчиков.

Одним из вариантов использования ИМС К1533ТР2 является реализация схемы подавления дребезга контактов, пример которой показан на рисунке 5.1.

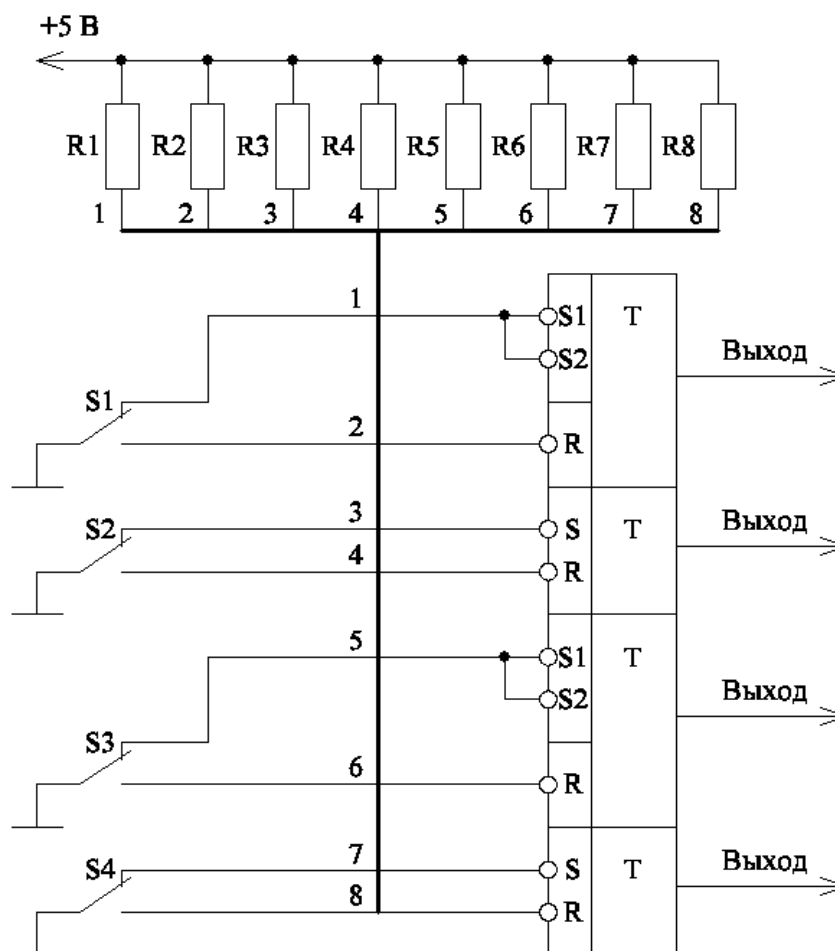


Рисунок 5.1 – Схема подавления дребезга контактов на ИМС К1533ТР2

На выходах триггеров 1533ТР2 сигнал лог. "1" появляется на время переключения S1...S4. При этом переключатели независимы друг от друга.

## 5.2 Схема последовательной передачи информации на ИМС 1533ИР8

Основная задача сдвиговых регистров заключается в преобразовании параллельного кода в последовательный и наоборот. Это преобразование широко применяется, например, для передачи данных на большие расстояния в информационных сетях, записи информации на магнитные носители, взаимодействия с телевизионными мониторами и в ряде других случаев.

На рисунке 5.2 представлен пример использования микросхемы К1533ИР8 в схеме передачи данных в последовательном формате через две линии: информационную и синхронизирующую.

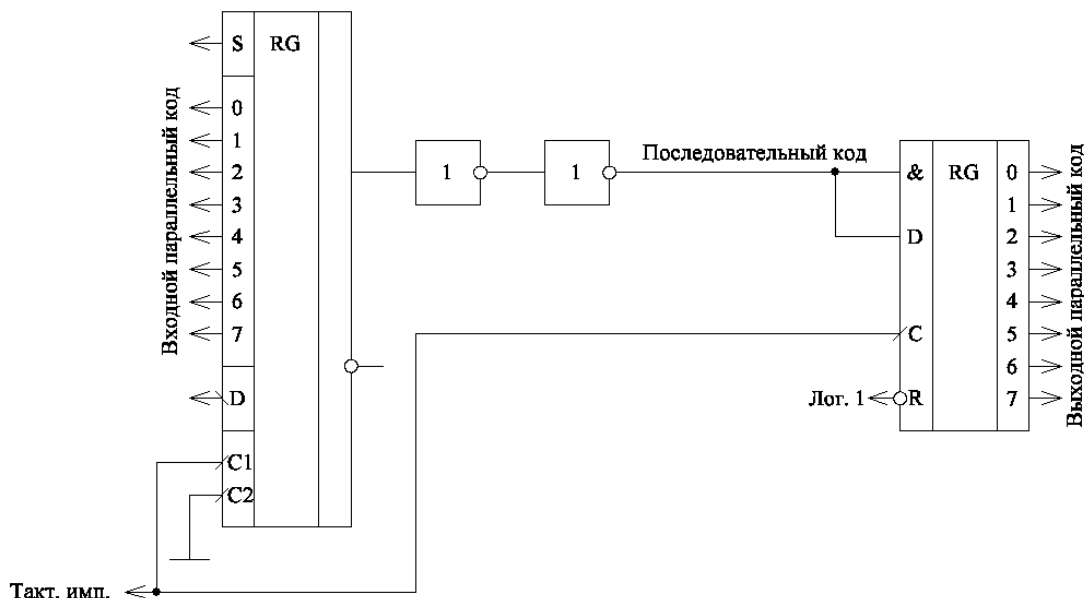


Рисунок 5.2 – Схема последовательной передачи информации на ИМС К1533ИР8

На передающей стороне (слева на рисунке) с помощью сдвигового регистра ИР9 входной 8-разрядный параллельный код преобразуется в последовательную цепочку данных, передаваемую с частотой тактового сигнала. На приемной стороне, используя сдвиговый регистр ИР8, эта последовательная цепочка преобразуется обратно в параллельный код. Оба регистра синхронизируются одним и тем же тактовым сигналом, который передается по линии связи вместе с последовательными данными. Для повышения надёжности передачи информационный сигнал задерживается относительно фронта тактового сигнала с использованием цепочки из двух инверторов.

Передача первого бита последовательного входа (со входа 7 регистра ИР9) начинается одновременно с сигналом записи – D. Каждый следующий разряд передаётся с очередным положительным фронтом тактового сигнала. На приёмной стороне последовательные данные записываются в регистр ИР8 в том же порядке, в каком они находились в регистре ИР9. В результате завершения передачи первый переданный бит окажется в разряде 7 регистра ИР8, а последний — в разряде 0.

### 5.3 Схема для одновременного приема информации ИМС 1533ИР15

Основное предназначение микросхемы заключается в приёме, хранении и мультиплексировании данных, поступающих от различных источников. В качестве простейшего примера на рисунке 5.3 показана схема, позволяющая одновременно принимать четырёхразрядные данные от двух источников — “Данные 1” и “Данные 2”. Приём данных осуществляется по фронту импульса на входе “Запись”, а их поочерёдная передача на выход выполняется по сигналам “Чтение 1” и “Чтение 2”.

Наличие двух входов для разрешения записи и двух входов для перевода в высокоимпедансное состояние позволяет легко организовать матричное управление большим количеством микросхем. Например, с использованием двух дешифраторов ИД4 можно управлять через входы EZ матрицей из 64 микросхем ИР15. Это даёт возможность одновременно принимать и сохранять 256 бит информации с последующей передачей данных по 4 бита в заданной последовательности.

При управлении матрицей через входы EW можно организовать последовательный приём информации от разных источников и её параллельную выдачу, если выходы микросхем не объединены.

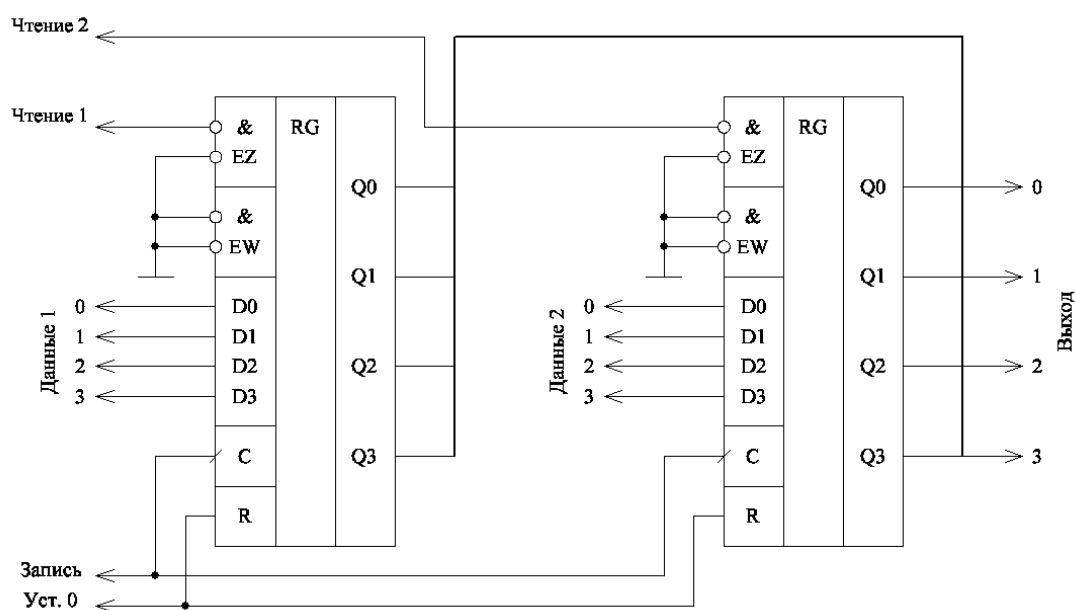


Рисунок 5.3 – Схема для одновременного приема информации на К1533ИР15

## **6 ВЫВОД**

В ходе выполнения контрольной работы были исследованы функциональные компоненты и оценены возможности серии цифровых микросхем K1533. Были подробно изучены технические характеристики микросхем, что позволило определить их эффективность и конкурентоспособность. Функциональный состав серии K1533, включающий различные типы микросхем и корпусов, был рассмотрен с акцентом на их применение в реальных электронных схемах. Проведен анализ отдельных элементов серии, таких как триггеры и сдвиговые регистры, и продемонстрировано их практическое использование в различных схемах.

## СПИСОК ИСТОЧНИКОВ

- [1] Нефедов А. В. Интегральные микросхемы и их зарубежные аналоги. Справочник. Т. 2. – М.: ИП РадиоСофт, 2000. – 512 с.
- [2] Шило В. Л. Популярные микросхемы ТТЛ. – М.:Аргус, 1993. – 63 с.
- [3] Бирюков С. А. Применение цифровых микросхем серий ТТЛ и КМОП. 2-е изд., стер. – М.: ДМК, 2000. — 240 с.
- [4] Фромберг Э. М. Конструкции на элементах цифровой техники. – М.: Радио и связь, 1991. – 160 с.
- [5] Нечаев И. А. Конструкции на логических элементах цифровых микросхем. – М.: Радио и связь, 1992. – 120 с.