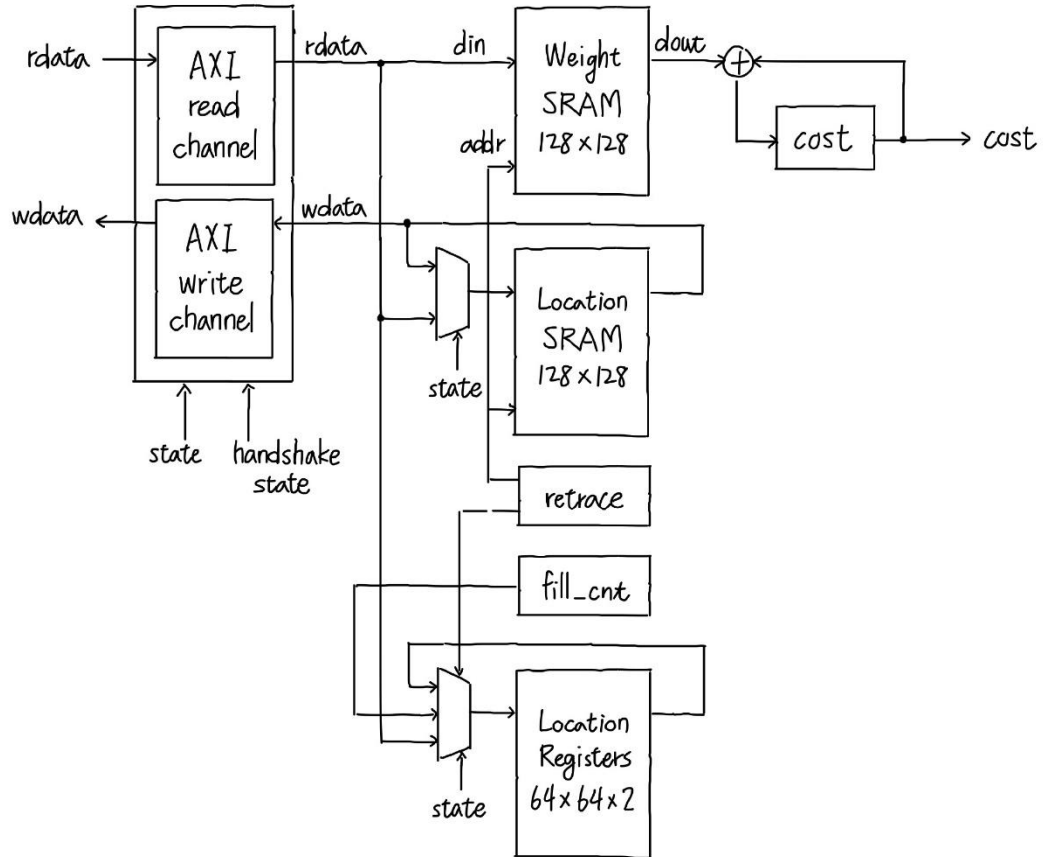


ICLAB Midterm Project Report

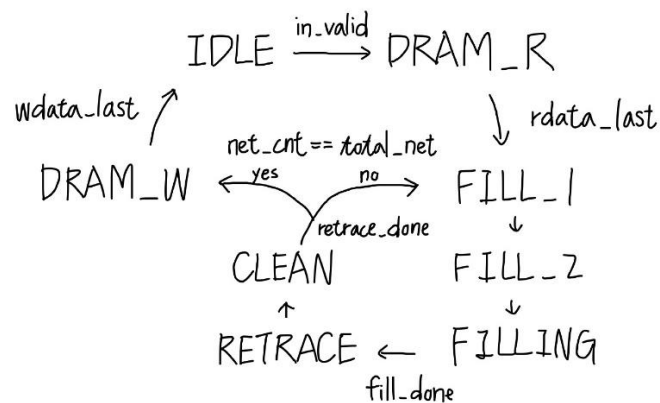
312510152 / iclab059 許澤群

1. 電路架構



使用 2 個 128x128 SRAM 存著從 DRAM 讀出的 location map 和 weight，用於紀錄每次接線後的結果和計算 cost。location registers 存著精簡後 location map，用於實作 filling 和 retrace。

2. FSM



FSM 大致分成五種狀態：IDLE、DRAM_R、FILLING(FILL_1、FILL_2、FILLING)、RETRACE(RETRACE、CLEAN)、DRAM_W。

- (1) DRAM_R 時從 DRAM 讀取 location map，存入 SRAM 和 register 中。
- (2) FILLING 時除了從 DRAM 讀取 weight(接第一條 net 時)，同時也在 location register 進行 filling。FILL_1 時將 sink 對應的 register 挖空，FILL_2 時將 source 對應的 register 填入 filling 的初始值。
- (3) RETRACE 時在 location register 進行 retrace，同時更新 location SRAM 中接線的資料，並從 weight SRAM 讀出 weight 來累加 cost。CLEAN 時將 location map 中 filling 填入的數值歸零，之後回到 FILLING 狀態直到做完所有接線。
- (4) DRAM_W 時將 location SRAM 的資料寫回 DRAM。

3. 優化

(1) 細分 FSM 的狀態

將 FILLING 細分成三個狀態，RETRACE 細分成兩個狀態，讓 location register 的 MUX 攤開，減少 critical path 和降低面積。

(2) 減少 control 訊號的判斷來源

Control 訊號例如 filling_done 的判斷來源，最初是檢查 sink 周圍四格的 registers 是否被 filling 填入數值，便可以在下一個 cycle，sink 填入數值時結束 FILLING 狀態。後來改成檢查 sink 這格是否被填入數值，雖然會延後一個 cycle 結束 FILLING，但可以不影響功能並降低組合邏輯的複雜度。

(3) 在進行 filling 同時從 DRAM 讀取 weight，減少 latency。