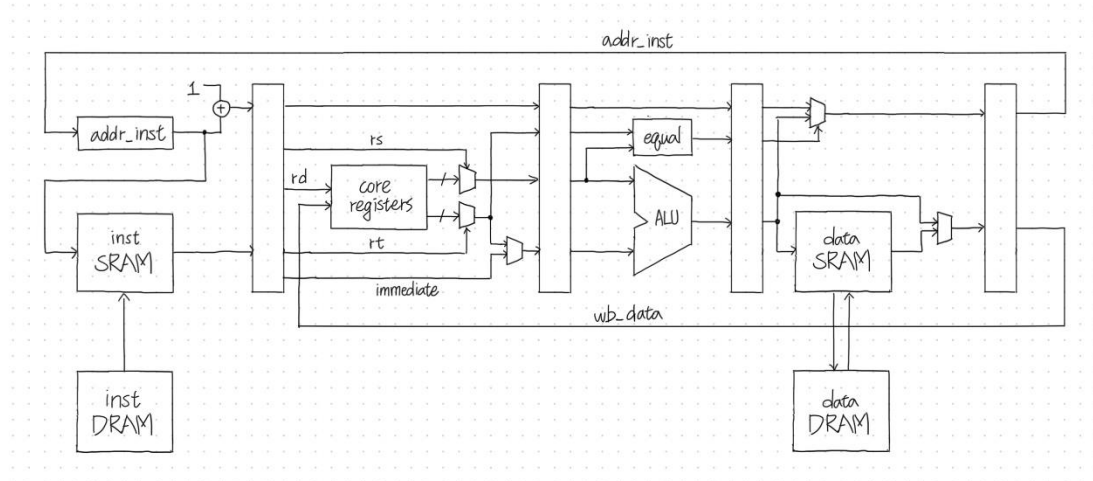


# ICLAB Final Project

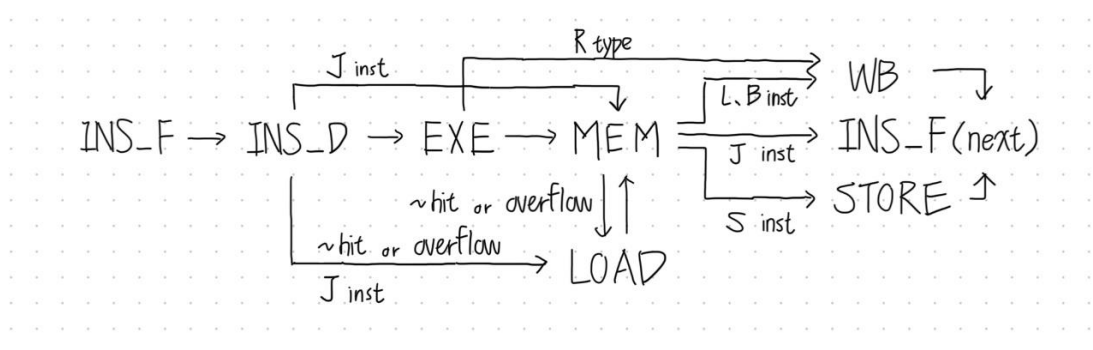
Iclab059/312510152 許澤群

## 1. 電路架構



電路架構以 5-stage 的 CPU 為模板設計，使用兩個 16-bit 128-word 的 SRAM 作為 instruction 和 data 的 cache。

## 2. FSM



狀態設計以 5-stage 的架構設計了 INS\_F、INS\_D、EXE、MEM 和 WB 狀態，並對 load 和 store 兩種指令設計了 LOAD 和 STORE 狀態處理 SRAM 和 DRAM 的讀寫。另外設計了兩個訊號 hit 和 overflow 協助判斷是否需要進行 DRAM 的讀取。

## 3. 優化方法

因為架構是 5-stage 的 multicycle，主要優化對象為 cycle time，因此優化方法為縮短 critical path，例如 addr\_inst(PC)常需要經過計算後判 cache 是否 hit，來決定是否需要暫停目前的運算轉而更新 cache，導致 addr\_inst 的 critical path 相對較長，因此後來我將上述的組合邏輯切分在兩個不同 cycle 執行，成功降低 cycle time。

而在後續優化中，當 cycle time 下降至 3.8 以下時，即使 02\_SYN 能夠合成成功且沒有 timing violation，卻出現 core register 的 LSB 被 merge 而消失的情況。個人推測可能是 Design Compiler 在做 retiming 時連帶優化掉了。