

Data Cache Simulation Tool, Version 1.2

### Simulate and illustrate data cache performance

#### Cache Organization

Placement Policy: **Direct Mapping** Number of blocks: **8**

Block Replacement Policy: **LRU** Cache block size (words): **4**

Set size (blocks): **1** Cache size (bytes): **128**

#### Cache Performance

Memory Access Count: **256**

Cache Hit Count: **192**

Cache Miss Count: **64**

Cache Hit Rate: **75%**

Cache Block Table (block 0 at top)


☐ = empty  
☒ = hit  
☐ = miss

#### Runtime Log

☒ Enabled

```
(255) address: 0x100103f8 (tag 0x00200207) block range: 7-7
      trying block 7 tag 0x00200207 -- HIT
(256) address: 0x100103fc (tag 0x00200207) block range: 7-7
```

#### Tool Control

**Disconnect from MIPS** **Reset** **Close**

Sau khi chạy chương trình thì cache hit rate cuối cùng là 75%. Với mỗi 1 lần cache miss, 1 block bao gồm 4 word  sẽ được ghi vào cache. Khi truy cập theo hàng, phần tử được truy cập theo cùng thứ tự với chúng được lưu trong bộ nhớ chính. Do đó, với mỗi cache miss sẽ có được 3 cache hit cho 3 phần tử tiếp theo được tìm thấy trong cache block. Nó được theo sau bởi miss khác khi khi mà Direct Mapping chỉ tới cache block tiếp theo, và bộ phận của nó tự lặp lại. Do đó 3 trong 4 truy cập sẽ được xử lý ở bộ nhớ cache

Dự đoán cho tỉ lệ cache hit nếu block size tăng từ 4 word lên 8 word: 87.5% (7 truy cập trong 8 truy cập sẽ được xử lý ở cache)

×

## Simulate and illustrate data cache performance

### Cache Organization

Placement Policy	Direct Mapping	Number of blocks	8
Block Replacement Policy	LRU	Cache block size (words)	8
Set size (blocks)	1	Cache size (bytes)	256

### Cache Performance

Memory Access Count	256	<b>Cache Block Table</b> (block 0 at top) <input type="checkbox"/> = empty <input checked="" type="checkbox"/> = hit <input type="checkbox"/> = miss
Cache Hit Count	224	
Cache Miss Count	32	
Cache Hit Rate	88%	

### Runtime Log

☒ Enabled

```

(255) address: 0x100103f8 (tag 0x00100103)  block range: 7-7
      trying block 7 tag 0x00100103 -- HIT
(256) address: 0x100103fc (tag 0x00100103)  block range: 7-7
  
```

### Tool Control

Disconnect from MIPS
Reset
Close

Dự đoán cho tỉ lệ cache hit nếu block size giảm từ 4 word xuống 2 word: 50% (1 truy cập trong 2 truy cập sẽ được xử lý ở cache)

Data Cache Simulation Tool, Version 1.2

### Simulate and illustrate data cache performance

#### Cache Organization

Placement Policy: **Direct Mapping** Number of blocks: **8**

Block Replacement Policy: **LRU** Cache block size (words): **2**

Set size (blocks): **1** Cache size (bytes): **64**

#### Cache Performance

Memory Access Count: **256**

Cache Hit Count: **128**

Cache Miss Count: **128**

Cache Hit Rate: **50%**

Cache Block Table (block 0 at top)


☐ = empty  
☒ = hit  
☐ = miss

#### Runtime Log


☒ Enabled

```
(255) address: 0x100103f8 (tag 0x0040040f) block range: 7-7
trying block 7 tag 0x0040040e -- OCCUPIED
MISS due to FULL SET(256) address: 0x100103fc (tag 0x0040040f) b
```

#### Tool Control

**Disconnect from MIPS** **Reset** **Close**

Khi chạy chương trình column-major thì tỉ lệ cache hit là 0%


 Data Cache Simulation Tool, Version 1.2
 ✕

## Simulate and illustrate data cache performance

### Cache Organization

Placement Policy	Direct Mapping	Number of blocks	8
Block Replacement Policy	LRU	Cache block size (words)	4
Set size (blocks)	1	Cache size (bytes)	128

### Cache Performance

Memory Access Count	256	<b>Cache Block Table</b> (block 0 at top) <input type="checkbox"/> = empty <input type="checkbox"/> = hit <input type="checkbox"/> = miss	
Cache Hit Count	0		
Cache Miss Count	256		
Cache Hit Rate	0%		

### Runtime Log

☒ Enabled
 

```

trying block 3 tag 0x00200206 -- OCCUPIED
MISS due to FULL SET(256) address: 0x100103fc (tag 0x00200207)
trying block 7 tag 0x00200206 -- OCCUPIED
MISS due to FULL SET
          
```

### Tool Control

Disconnect from MIPS

Reset

Close

Vấn đề là địa chỉ bộ nhớ không được lưu tuần tự như row, tuy nhiên 1 lần truy cập là 16 word sau cái trước đó. Với những cài đặt mà ta đã sử dụng, không có 2 truy cập bộ nhớ liên tiếp ở cùng 1 block nên tất cả các truy cập đều bị miss

Khi chỉnh block size lên 16 word thì tỉ lệ vẫn là 0%

Data Cache Simulation Tool, Version 1.2

### Simulate and illustrate data cache performance

#### Cache Organization

Placement Policy	Direct Mapping	Number of blocks	8
Block Replacement Policy	LRU	Cache block size (words)	16
Set size (blocks)	1	Cache size (bytes)	512

#### Cache Performance

Memory Access Count	512	Cache Block Table (block 0 at top) <input type="checkbox"/> = empty <input checked="" type="checkbox"/> = hit <input type="checkbox"/> = miss	
Cache Hit Count	0		
Cache Miss Count	512		
Cache Hit Rate	0%		

#### Runtime Log

☒ Enabled

```
MISS due to FULL SET(511) address: 0x100103bc (tag 0x00080081) b
trying block 6 tag 0x00080080 -- OCCUPIED
MISS due to FULL SET(512) address: 0x100103fc (tag 0x00080081) b
```

#### Tool Control

Disconnect from MIPS Reset Close

Khi chỉnh số block lên 16

## Simulate and illustrate data cache performance

### Cache Organization

Placement Policy

Direct Mapping

Number of blocks

16

Block Replacement Policy

LRU

Cache block size (words)

16

Set size (blocks)

1

Cache size (bytes)

1024

### Cache Performance

Memory Access Count

256

Cache Block Table

(block 0 at top)

☐ = empty
 ☒ = hit
 ☐ = miss

Cache Hit Count

240

Cache Miss Count

16

Cache Hit Rate

94%

### Runtime Log

☒ Enabled
 

```

(255) address: 0x100103bc (tag 0x00040040)  block range: 14-14
      trying block 14 tag 0x00040040 -- HIT
(256) address: 0x100103fc (tag 0x00040040)  block range: 15-15
      trying block 15 tag 0x00040040 -- HIT
          
```

### Tool Control

Disconnect from MIPS

Reset

Close

## Simulate and illustrate data cache performance

### Cache Organization

Placement Policy

Direct Mapping

Number of blocks

8

Block Replacement Policy

LRU

Cache block size (words)

4

Set size (blocks)

1

Cache size (bytes)

128

### Cache Performance

Memory Access Count

256

Cache Block Table

(block 0 at top)

☐ = empty
 ☒ = hit
 ☐ = miss

Cache Hit Count

0

Cache Miss Count

256

Cache Hit Rate

0%

### Runtime Log

☒ Enabled
 

```

MISS due to FULL SET (255) address: 0x100103bc (tag 0x00200207)  b
      trying block 3 tag 0x00200206 -- OCCUPIED
MISS due to FULL SET (256) address: 0x100103fc (tag 0x00200207)  b
      trying block 7 tag 0x00200206 -- OCCUPIED
MISS due to FULL SET
          
```

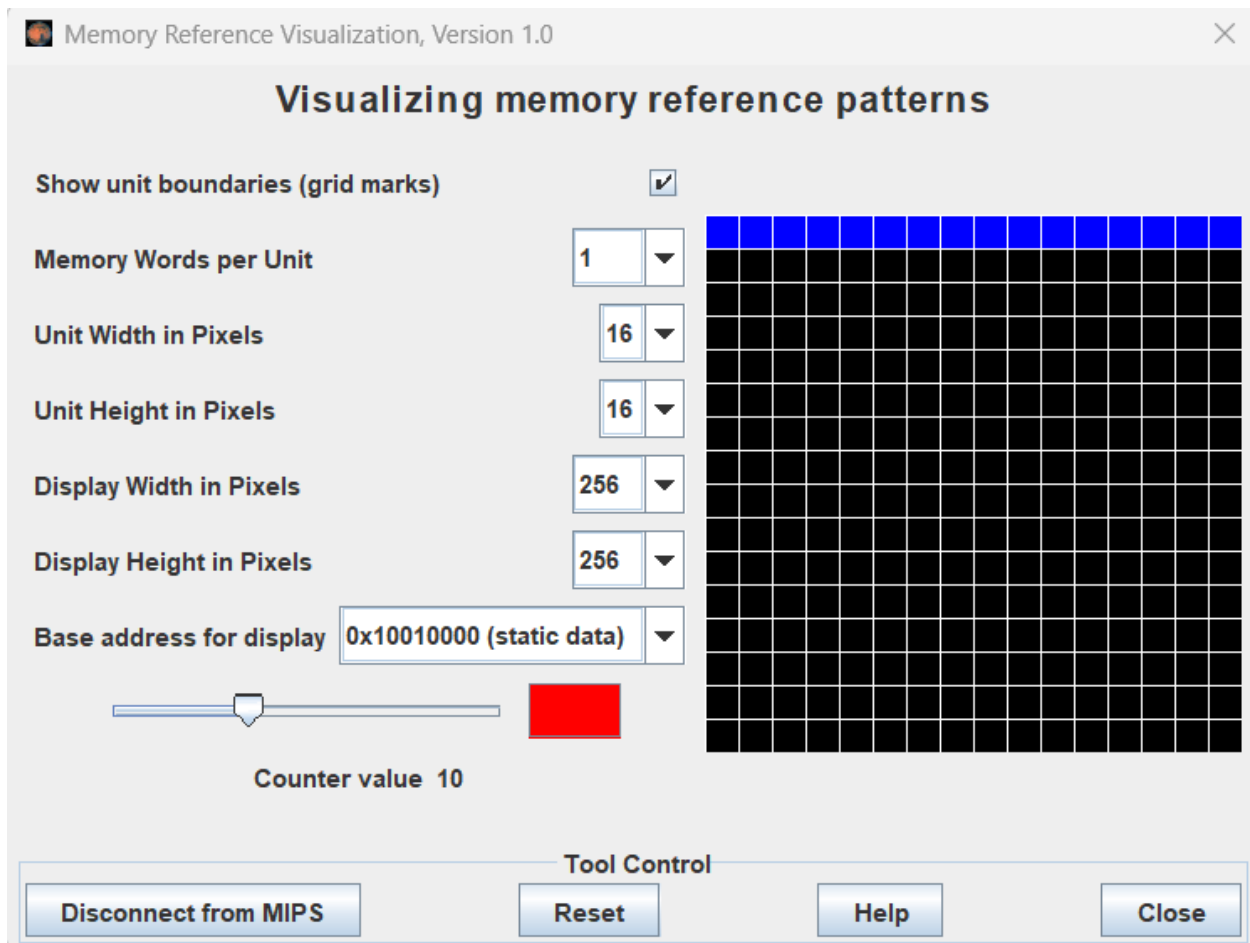
### Tool Control

Disconnect from MIPS

Reset

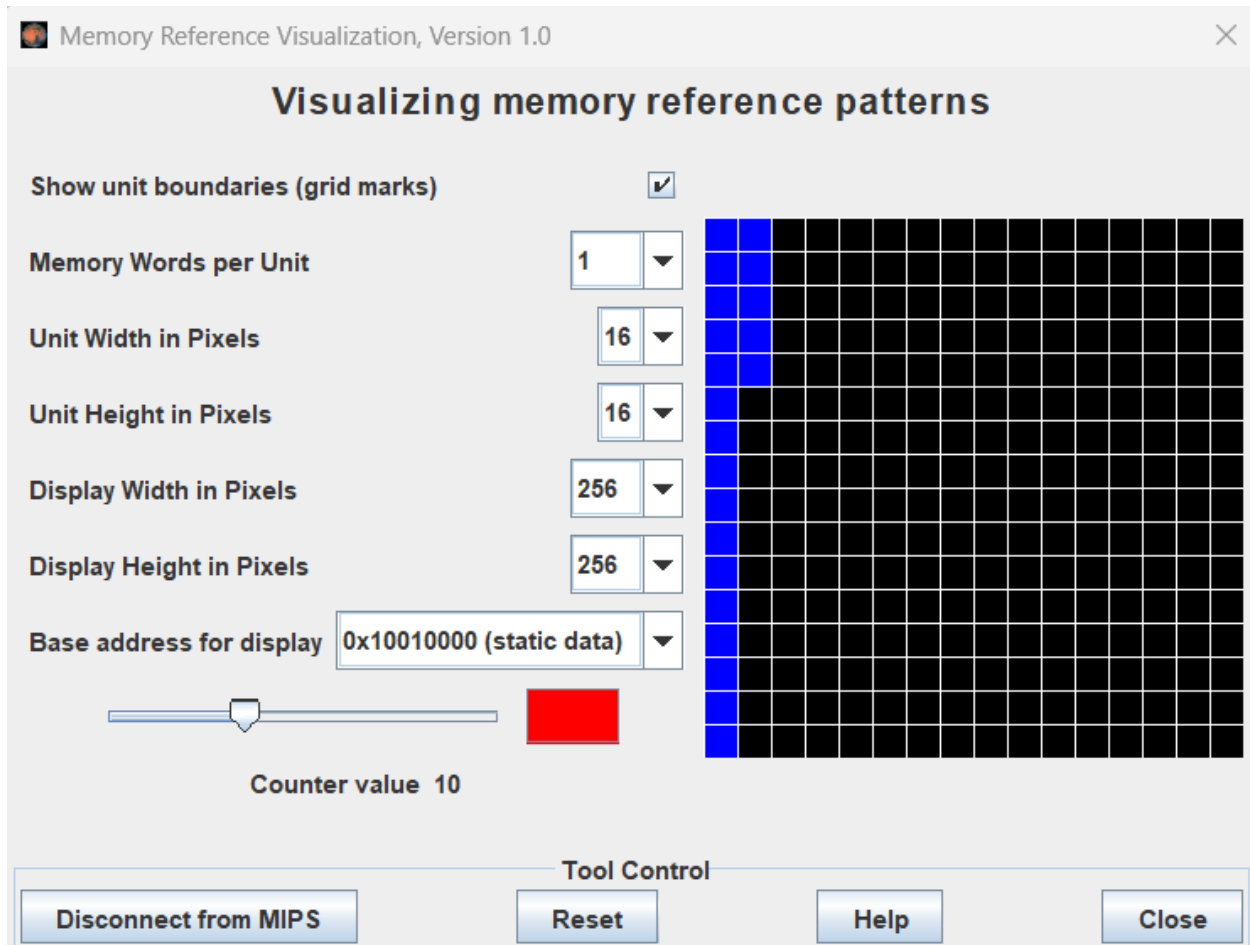
Close

Khi đó toàn bộ ma trận sẽ được lưu trọn vẹn ở trong cache khi đó block sẽ không bị thay thế. Chỉ duy nhất những truy cập đầu tiên sẽ bị miss



Khi chạy chương trình row-major bộ nhớ sẽ được truy cập lần lượt theo chiều ngang cho tới khi hết tất cả các ô

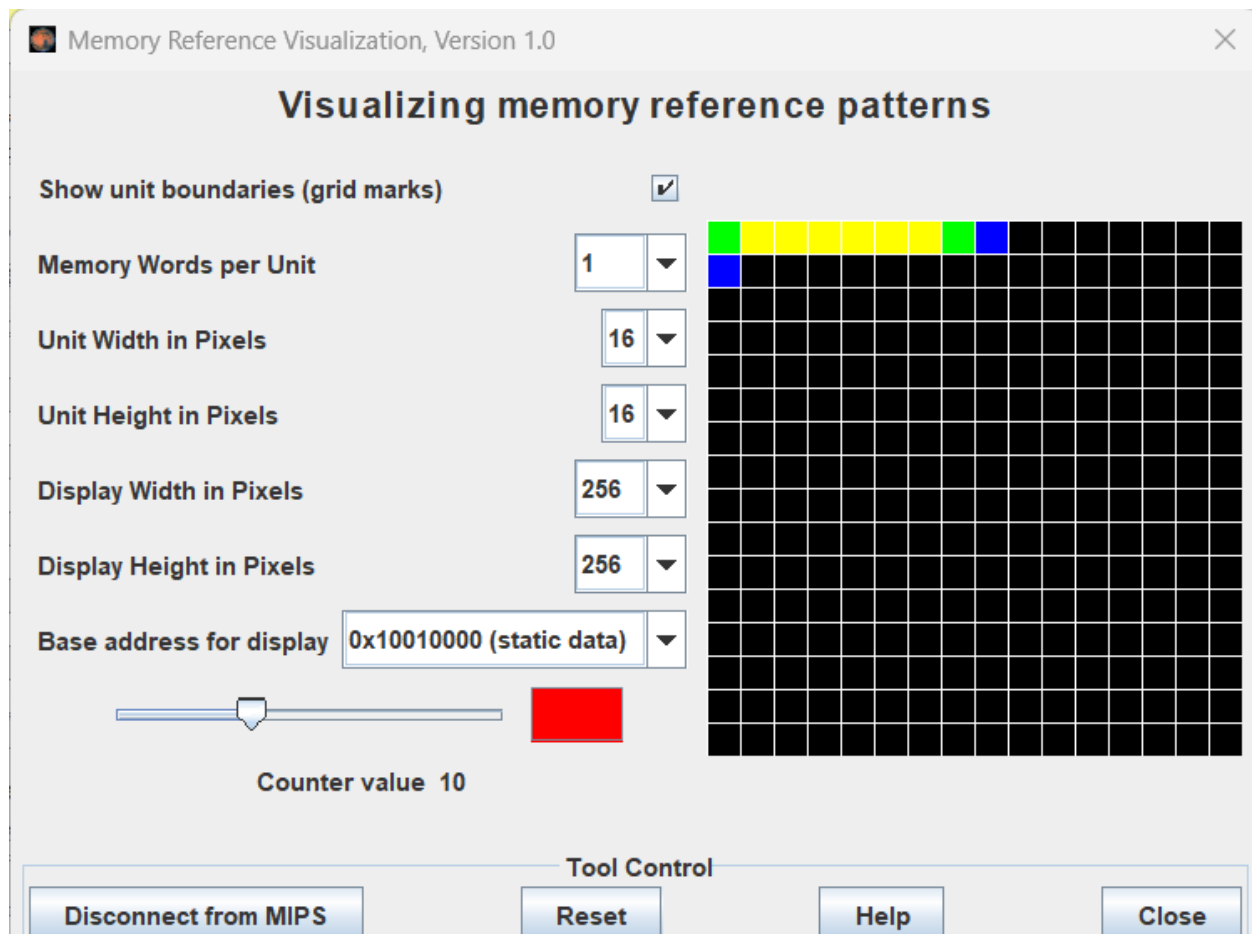
Còn khi chạy column-major bộ nhớ sẽ được truy cập lần lượt theo chiều dọc và nếu hết 1 cột nó sẽ sang hàng tiếp theo để tiếp tục và chạy tiếp



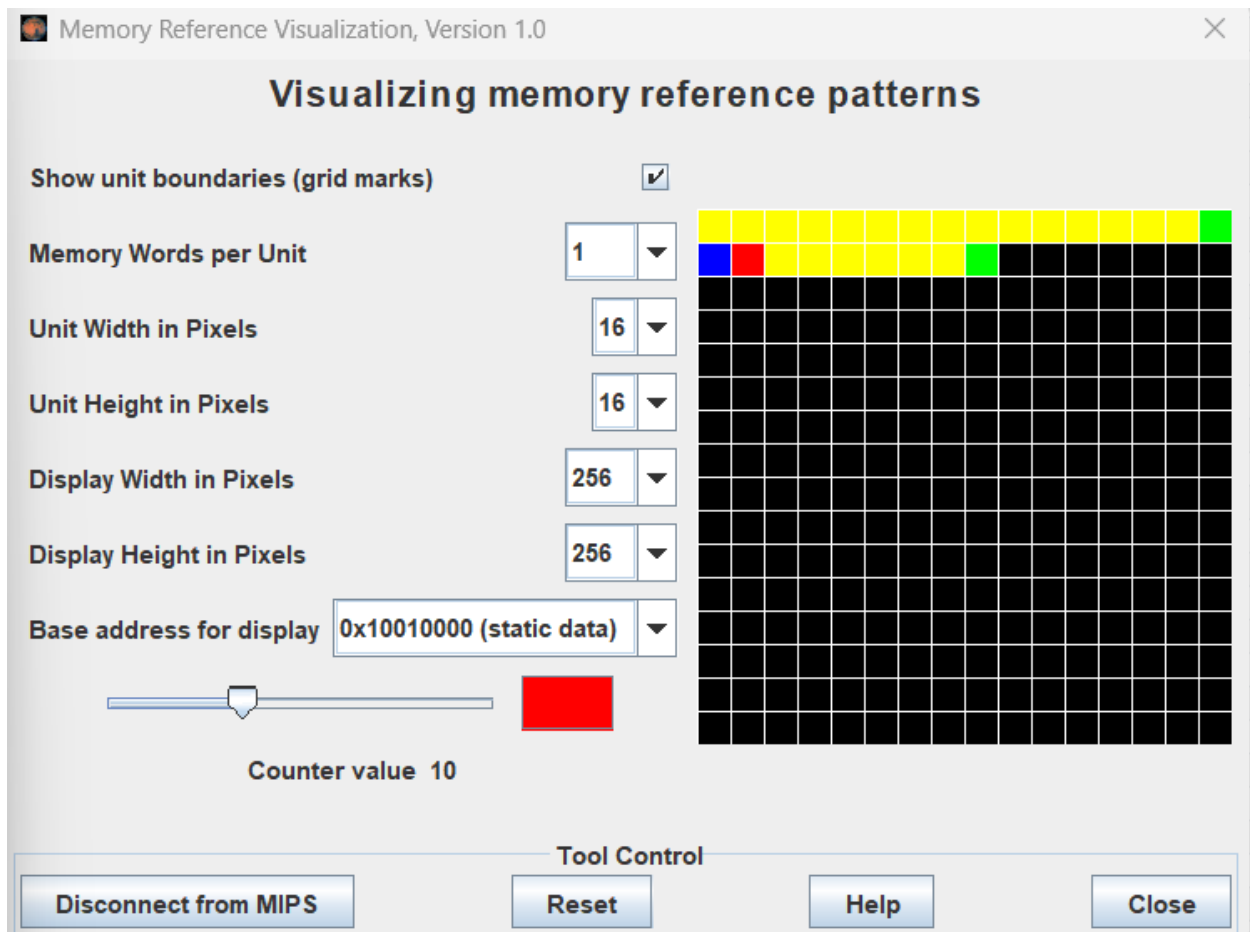
Chương trình Fibonacci

Khi đang thực thi





Và sau khi chạy xong



Khi truy cập để tính Fibonacci số đầu tiên sẽ dùng truy cập để viết và để tính cho số tiếp theo và những số đó phải được viết và truy cập nhiều lần hơn để có thể tiếp tục tính.

Khi chạy 2 cái song song

Data Cache Simulation Tool, Version 1.2

Simulate and illustrate data cache performance

Cache Organization

Placement PolicyDirect MappingNumber of blocks8

Block Replacement PolicyLRUCache block size (words)4

Set size (blocks)1Cache size (bytes)128

Cache Performance

Memory Access Count121Cache Block Table

Cache Hit Count114(block 0 at top)

Cache Miss Count7= empty

Cache Hit Rate94% = hit

= miss

Runtime Log

Enabled

trying block 4 tag 0x00200200 -- HIT  
(121) address: 0x10010045 (tag 0x00200200) block range: 4-4  
trying block 4 tag 0x00200200 -- HIT

Tool Control

Disconnect from MIPSResetClose

Memory Reference Visualization, Version 1.0

Visualizing memory reference patterns

Show unit boundaries (grid marks)

Memory Words per Unit1

Unit Width in Pixels16

Unit Height in Pixels16

Display Width in Pixels256

Display Height in Pixels256

Base address for display0x10010000 (static data)

Counter value 40

Tool Control

Disconnect from MIPSResetHelpClose