

STT	Họ và tên: .....	ĐIỂM
.....	MSSV: .....	.....
	Phòng thi: .....	

**BẢNG TRẢ LỜI TRẮC NGHIỆM**

**ĐỀ 001**

Câu 1	Câu 2	Câu 3	Câu 4	Câu 5	Câu 6	Câu 7	Câu 8	Câu 9	Câu 10
A	C	A	B	D	C	A	C/D	B	A
Câu 11	Câu 12	Câu 13	Câu 14	Câu 15	Câu 16	Câu 17	Câu 18	Câu 19	Câu 20
A	B	C	B	C	C	D	C	D	C
Câu 21	Câu 22	Câu 23	Câu 24	Câu 25	Câu 26	Câu 27	Câu 28	Câu 29	Câu 30
A	D	D	B	A	C	B	A	A	0.3

**ĐỀ 010**

Câu 1	Câu 2	Câu 3	Câu 4	Câu 5	Câu 6	Câu 7	Câu 8	Câu 9	Câu 10
C	B	A	C	C	A	D	A	C/D	D
Câu 11	Câu 12	Câu 13	Câu 14	Câu 15	Câu 16	Câu 17	Câu 18	Câu 19	Câu 20
A	B	A	B	C	B	C	D	C	C
Câu 21	Câu 22	Câu 23	Câu 24	Câu 25	Câu 26	Câu 27	Câu 28	Câu 29	Câu 30
C	A	D	D	B	A	D	B	C	0.3

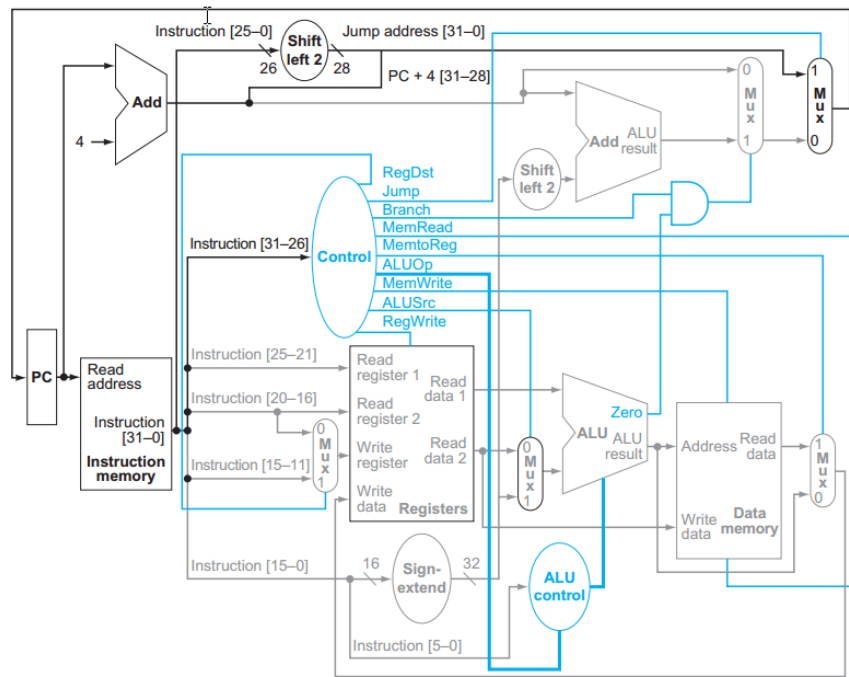
**TỰ LUẬN (1 điểm) (G1, G4)**

Nếu ngoài 8 lệnh đã học trong phần datapath, nếu yêu cầu chỉnh sửa datapath trong hình 1 để có thể thực hiện thêm lệnh “jump” thì cần phải thêm những khối nào và vẽ lại datapath mới hiệu chỉnh đó

**Trả lời:**

- Mô tả được khối Shift left thêm vào (0.5 điểm)
- Vẽ lại được lưu đồ như hình bên dưới (0.5 điểm)

Hoặc nếu sinh viên có trình bày được hoặc vẽ được hình có liên quan thì được (0.25 đến 0.5 điểm tùy vào mức độ trình bày hoặc vẽ hình)



## CÂU HỎI TRẮC NGHIỆM (9 điểm, 0.3 điểm/câu), SV chọn 1 đáp án đúng

**Câu 1** Chọn phát biểu đúng khi thực hiện phép tính trên số nguyên 5-bit có dấu bù 2 dưới đây? (G1)

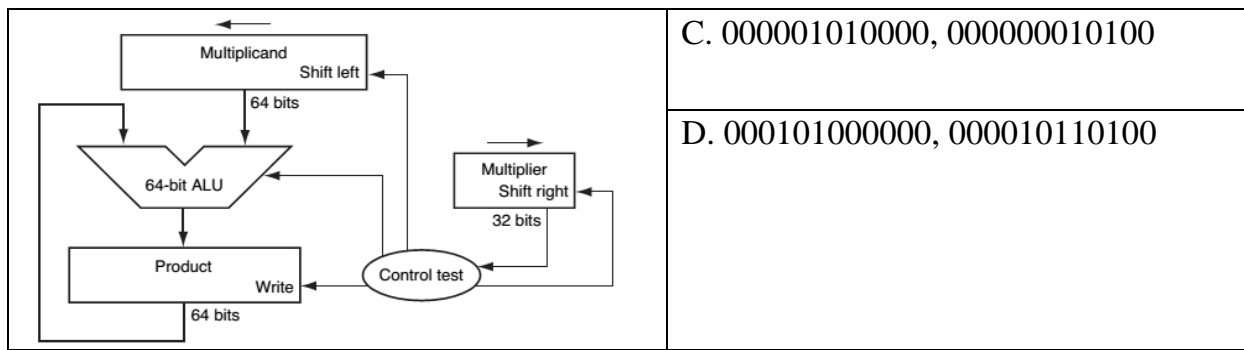
A.	00111 + 01001 cho kết quả tràn số
B.	10101 + 01010 cho kết quả tràn số
C.	00111 + 01010 cho kết quả không tràn số
D.	10000 + 10111 cho kết quả không tràn số

**Câu 2** Cho cấu trúc phần cứng phép chia như hình, khi thực hiện phép chia hai số 6-bit,  $28_{(16)}$  /  $13_{(16)}$ , giả sử số được biểu diễn là số không dấu, giá trị của các thanh ghi **Quotient**, **Remainder** và **Divisor** lần lượt là bao nhiêu ở vòng lặp cuối cùng? (G1)

	A. $10_8$ , $0002_8$ , $0011_8$
	B. $02_8$ , $0011_8$ , $0002_8$
	C. $02_8$ , $0002_8$ , $0011_8$
	D. $10_8$ , $0011_8$ , $0002_8$

**Câu 3** Cho cấu trúc phần cứng phép nhân như hình, khi thực hiện phép nhân hai số 6-bit,  $101100_{(2)}$  \*  $110111_{(2)}$ , giả sử số được biểu diễn là số có dấu, giá trị của các thanh ghi **Multiplicand** và **Product** lần lượt là bao nhiêu sau khi kết thúc vòng lặp thứ 3? (G1)

	A. 000010100000, 000000010100
	B. 000101000000, 000010110100



**Câu 4** Trong MIPS, kết quả của phép nhân được lưu như thế nào? (G1)

A.	32-bit cao được lưu ở thanh ghi Lo, 32-bit thấp được lưu trữ ở thanh ghi Hi
B.	32-bit cao được lưu ở thanh ghi Hi, 32-bit thấp được lưu trữ ở thanh ghi Lo
C.	32-bit cao được lưu ở thanh ghi fp, 32-bit thấp được lưu trữ ở thanh ghi sp
D.	32-bit cao được lưu ở thanh ghi sp, 32-bit thấp được lưu trữ ở thanh ghi fp

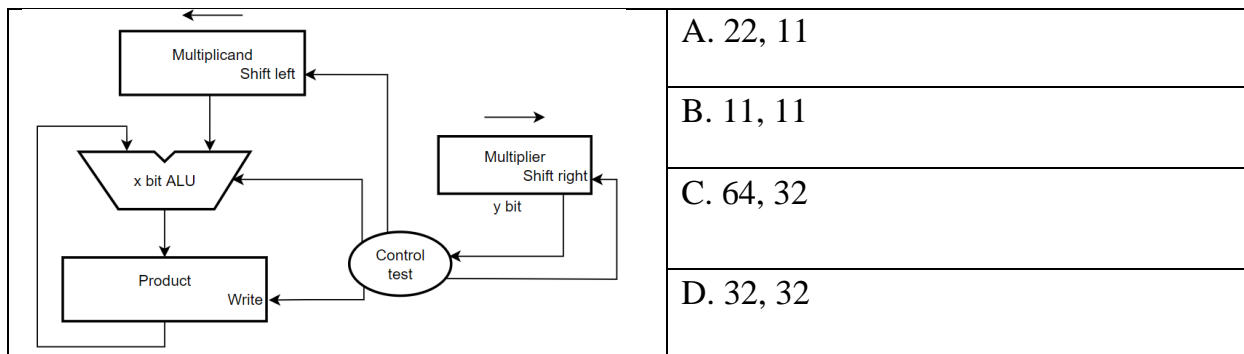
**Câu 5** Chọn phát biểu SAI trong các phát biểu sau? (G1)

A.	Dấu của số dư được xác định qua công thức: Số dư = Số bị chia – (Thương × Số chia)
B.	Trong MIPS, lệnh add là lệnh có xét overflow.
C.	Trong phép chia có dấu, dấu của thương sẽ là dương nếu dấu của số chia và số bị chia giống nhau.
D.	Trong MIPS, sau khi thực hiện phép chia, thì thanh ghi Hi chứa thương số, thanh ghi Lo chứa phần dư.

**Câu 6** Phát biểu nào sau đây đúng nhất cho hai lệnh mul và mult trong MIPS? (G1)

A.	Lệnh mul dùng cho số có dấu, mult dùng cho số không dấu
B.	Lệnh mul không dùng thanh ghi HI, mult có sử dụng thanh ghi HI
C.	Lệnh mul kết quả 32-bit thấp lưu trong thanh ghi rd, 32-bit cao được lưu trong thanh ghi HI
D.	Lệnh mult kết quả 32-bit thấp lưu trong thanh ghi rd, 32-bit cao được lưu trong thanh ghi HI

**Câu 7** Cho cấu trúc phần cứng phép nhân như hình, khi thực hiện phép nhân hai số 11-bit thì giá trị x, y tối thiểu lần lượt là? (G1)



**Câu 8** Trong MIPS, lệnh nào dưới đây bỏ qua overflow? (G1)

A. add	B. addi	C. addiu	D. beq
--------	---------	----------	--------

**Câu 9** Số bước lặp sử dụng cho cấu trúc phần cứng phép chia thông thường chia hai số 10-bit là bao nhiêu? (G1)

A. 10	B. 11	C. 12	D. 20
-------	-------	-------	-------

**Câu 10** Hãy cho biết đường nào trong các đường sau là critical path (đường đi dài nhất của dữ liệu) của lệnh ‘*slt*’ với datapath như trong Hình 1 (ở trang cuối đề thi)? (G1)

A.	I-Mem, Mux, Regs, Mux, ALU, Mux, Regs
B.	I-Mem, Mux, Regs, ALU, Mux, Regs
C.	I-Mem, Mux, Regs, ALU, Mux, D-Mem
D.	I-Mem, Regs, Mux, ALU, Mux, Regs, Mux

**Câu 11** Giá trị output của khối “Sign-extend” bằng bao nhiêu khi mã sau được thanh ghi PC trở tới trong quá trình thực thi: 0x2149ab9c? (G1)

A. 0xfffffab9c	B. 0x2149ab9c	C. 0x0000ab9c	D. 0xababab9c
----------------	---------------	---------------	---------------

**Câu 12** Trình tự thực hiện lệnh của lệnh “*lw*” nào là đúng? (G1)

A.	Nạp lệnh – sử dụng ALU – đọc thanh ghi – đọc bộ nhớ – ghi thanh ghi
B.	Nạp lệnh – đọc thanh ghi – sử dụng ALU – đọc bộ nhớ – ghi thanh ghi
C.	Sử dụng ALU – nạp lệnh – đọc bộ nhớ – đọc thanh ghi – ghi thanh ghi
D.	Nạp lệnh – đọc thanh ghi – đọc bộ nhớ – ghi thanh ghi – sử dụng ALU

**Câu 13** Giá trị Output của khối ALU bằng bao nhiêu khi mã lệnh sau được thanh ghi PC trở tới trong quá trình thực thi: 0x02954824? Biết giá trị của thanh ghi s4 và thanh ghi s5 tương ứng là: 0x20212022 và 0x0000abcd. (G1)

A. 0x20212022	B. 0x2021abcd	C. 0x00002000	D. 0x0000abcd
---------------	---------------	---------------	---------------

**Câu 14** Giá trị Input thứ hai của ALU bằng bao nhiêu khi mã lệnh sau được thanh ghi PC trở tới trong quá trình thực thi: 0x8e2bfff4? Biết giá trị được lưu trong các thanh ghi của thanh ghi Read register 1 và thanh ghi Read register 2 tương ứng là: 0xfffffff90 và 0x00001234. (G1)

A. 0xfffffff90	B. 0xfffffff4	C. 0x00001234	D. 0x8e2bfff4
----------------	---------------	---------------	---------------

**Câu 15** Khối chức năng nào thuộc datapath KHÔNG tham gia vào lệnh “*sw \$t3, 12(\$t2)*” (G1)

A. I-mem	B. D-mem	C. Add sau shift left 2	D. ALU
----------	----------	-------------------------	--------

**Câu 16** Cho thời gian trễ (thời gian cần để hoàn thành) của từng khối trong hình 1 như sau (khối nào không có trong bảng xem như thời gian trễ bằng 0:

I-Mem	Add	Mux	ALU	Regs	D-Mem
560ps	170ps	90ps	170ps	240ps	610ps

Thời gian trễ lớn nhất của lệnh “*beq*” khi thực thi theo Datapath trong hình 1 là? (G1)

A. 1330	B. 1240	C. 1150	D. 1060
---------	---------	---------	---------

**Câu 17** Thời gian thực thi lệnh “*add*” khi lệnh này được thực thi trên một processor đơn chu kỳ cho 8 lệnh đã học theo datapath ở hình 1 là bao nhiêu với dữ liệu cho như bảng sau? (G1)

I-Mem	Add	Mux	ALU	Regs	D-Mem
560ps	170ps	90ps	170ps	240ps	610ps

A. 1390ps	B. 1370ps	C. 1330ps	D. 1480ps
-----------	-----------	-----------	-----------

**Câu 18** Cho biết tổng số chu kỳ clock ít nhất có thể để chạy đoạn lệnh bên dưới trong trường hợp processor thiết kế có pipeline KHÔNG dùng kỹ thuật forwarding và có dùng kỹ thuật forwarding (bỏ qua các loại xung đột khác nếu có xảy ra) (G1)

*lw \$s1, 20(\$s6)*

*sub \$t1, \$t2, \$s2*

*sw \$s1, 50(\$t2)*

*add \$s1, \$t2, \$t1*

A. 8 và 9	B. 10 và 9	C. 9 và 8	D. 10 và 8
-----------	------------	-----------	------------

**Câu 19** Giả sử mỗi công đoạn trong pipeline có thời gian hoạt động như bảng dưới. Chu kỳ xung clock cần cho processor là bao nhiêu nếu processor thiết kế có pipeline và không pipeline (G1)

IF	ID	EX	MEM	WB
520ps	320ps	370ps	500ps	220ps

A. 1930ps và 500ps	B. 520ps và 220ps	C. 500ps và 1930ps	D. 520ps và 1930ps
--------------------	-------------------	--------------------	--------------------

**Câu 20** Giá trị của tín hiệu đầu ra của khối ALU Control là bao nhiêu khi thực thi lệnh “*beq \$s2, \$s6, Label*”? (G1)

A. 00	B. 01	C. 0110	D. 0010
-------	-------	---------	---------

**Câu 21** Trong các câu lệnh sau, câu lệnh nào có tín hiệu ALUSrc = 1 (G1)

A. <i>lw</i>	B. <i>beq</i>	C. <i>or</i>	D. <i>add</i>
--------------	---------------	--------------	---------------

**Câu 22** Giả sử rằng mỗi lệnh cần 5 công đoạn thực hiện và thời gian thực hiện mỗi công đoạn như sau:

IF	ID	EX	MEM	WB
140ns	100ns	80ns	110ns	90ns

Cho 4 câu lệnh sau:

*and \$s3, \$t0, \$t7*

*lw \$s1, 32(\$s3)*

*sub \$s1, \$s1, \$s3*

*add \$s2, \$s1, \$s3*

Các câu lệnh trên thực thi trong processor thiết kế pipeline 5 tầng. Hỏi thời gian cần thiết để thực thi cả 4 câu lệnh trên trong trường hợp sử dụng kỹ thuật nhìn trước (full-forwarding)? (G1)

A. 1540ns	B. 1400ns	C. 1120ns	D. 1260ns
-----------	-----------	-----------	-----------

**Câu 23** Giả sử rằng mỗi lệnh cần 5 công đoạn thực hiện và thời gian thực hiện mỗi công đoạn như sau:

IF	ID	EX	MEM	WB
140ns	100ns	80ns	110ns	90ns

Cho 4 câu lệnh sau:

*and \$s3, \$t0, \$t7*

*lw \$s1, 32(\$s3)*

*sub \$s1, \$s1, \$s3*

*add \$s2, \$s1, \$s3*

Các câu lệnh trên thực thi trong processor thiết kế pipeline 5 tầng. Hỏi thời gian cần thiết để thực thi cả 4 câu lệnh trên trong trường hợp KHÔNG sử dụng kỹ thuật nhìn trước (forwarding)? (G3)

A. 1540ns	B. 1680ns	C. 1820ns	D. 1960ns
-----------	-----------	-----------	-----------

**Câu 24** Phát biểu nào sau đây **ĐÚNG** khi nói về xung đột điều khiển (G1)

A.	Có thể xảy ra khi tại thời điểm lệnh kế tiếp cần sử dụng kết quả dữ liệu của lệnh trước đó
B.	Có thể xảy ra ngay sau các lệnh điều khiển nhảy
C.	Có thể xảy ra khi một lệnh cần dữ liệu để xử lý nhưng dữ liệu đó chưa có sẵn
D.	Có thể xảy ra khi hai hoặc nhiều công đoạn của các lệnh khác nhau sử dụng cùng một tầng cấu trúc phần cứng

**Câu 25** Công đoạn đọc opcode để xác định kiểu lệnh và chiều dài của từng trường trong mã máy và đọc dữ liệu từ các thanh ghi cần thiết là công đoạn nào trong 5 công đoạn thực thi lệnh của kiến trúc MIPS? (G2)

A.	Instruction Decode & Operand Fetch
B.	Instruction Fetch
C.	Memory Access
D.	Result Write

**Câu 26** Giả sử có thiết kế như sau: mỗi lệnh có thể lấy nhiều chu kỳ để hoàn thành, số chu kỳ của mỗi lệnh đều bằng nhau và bằng số công đoạn của lệnh, sau mỗi chu kỳ thì có một lệnh mới được nạp vào. Đây là thiết kế gì? (G1)

A.	Thiết kế đa chu kỳ
B.	Thiết kế đơn chu kỳ
C.	Thiết kế pipeline
D.	Thiết kế song song

**Dữ kiện bên dưới sử dụng cho 4 câu hỏi tiếp theo (từ câu 27 đến câu 30)**

Cho một bộ xử lý MIPS 32 bits (có datapath và control như hình đã học).

Biết PC = 0x00400000; \$t1 = 0x10010038; Word nhớ tại các địa chỉ (Address) tương ứng có nội dung/giá trị (Data) như trong bảng sau:

Address	0x10010044	0x10010048	0x1001004C	0x10010050	0x10010054
Data	0x12345678	0x85674321	0x23456789	0x98765432	0x6789ABCD

Nếu đoạn chương trình sau được thực thi:

*addi \$s0, \$t1, 8*

*lw \$t2, 8(\$s0)*

*srl \$t3, \$t2, 2*

Khi bộ xử lý trên đang thực thi vừa xong câu lệnh thứ ba, trả lời các câu hỏi bên dưới vào bảng trả lời trắc nghiệm ở trang đầu

**Câu 27** Ngõ ra của khối Instruction Memory là bao nhiêu? (G1)

A. 0x000A5884	B. 0x000A5882	C. 0x00015882	D. 0x001A5882
---------------	---------------	---------------	---------------

**Câu 28** Giá trị của thanh ghi \$s0? (G1)

A. 0x10010040	B. 0x10010044	C. 0x10010048	D. 0x10010046
---------------	---------------	---------------	---------------

**Câu 29** Kết quả tại đầu ra ALU result bằng bao nhiêu (G1)

A. 0x2159D0C8	B. 0x05674321	C. 0x159D0C84	D. 0x85674320
---------------	---------------	---------------	---------------

**Câu 30** Ngõ ra tại khối ALU control là bao nhiêu? (ghi vào bảng trả lời trắc nghiệm) (G1)

**Duyệt đề Khoa/Bộ Môn**

**Giáo viên ra đề**

Bảng chuẩn đầu ra môn học Kiến trúc máy tính

<b>CĐRMH</b>	<b>Mô tả CĐRMH</b>
G1 (2.1)	Hiểu các kiến thức cơ bản về kiến trúc máy tính và lập trình hợp ngữ. Trình bày, phân tích được các thành phần và nguyên lý hoạt động bên trong một máy tính, cơ chế thực thi lệnh của máy tính, đánh giá được hiệu suất của máy tính.
G2 (9.2.1)	Biết các khái niệm, nguyên lý và các thuật ngữ tiếng Anh trong nhóm kiến thức về kiến trúc máy tính. Khả năng tự nghiên cứu và cập nhật các kỹ thuật – công nghệ mới.