

TRƯỜNG ĐẠI HỌC CÔNG NGHỆ THÔNG TIN  
KHOA KỸ THUẬT MÁY TÍNH  
ĐỀ 011

ĐỀ THI CUỐI HK2 (2023-2024)  
KIẾN TRÚC MÁY TÍNH  
Thời gian: 80 phút

(Sinh viên không được sử dụng tài liệu. Làm bài trực tiếp trên đề)

STT	Họ và tên: .....	ĐIỂM	CÁN BỘ COI THI
.....	MSSV: .....	.....	
	Phòng thi: .....		

ĐỀ 011

Câu 1	Câu 2	Câu 3	Câu 4	Câu 5	Câu 6	Câu 7	Câu 8	Câu 9	Câu 10
B	A	D	A	B	D	A	A	A	A
Câu 11	Câu 12	Câu 13	Câu 14	Câu 15	Câu 16	Câu 17	Câu 18	Câu 19	Câu 20
A	A	D	B	*	B	C	B	A	C
Câu 21	Câu 22	Câu 23	Câu 24	Câu 25	Câu 26	Câu 27	Câu 28	Câu 29	Câu 30
A	D	C	C	B	C	A	*	*	B

ĐỀ 100

Câu 1	Câu 2	Câu 3	Câu 4	Câu 5	Câu 6	Câu 7	Câu 8	Câu 9	Câu 10
A	D	B	D	A	A	B	B	A	A
Câu 11	Câu 12	Câu 13	Câu 14	Câu 15	Câu 16	Câu 17	Câu 18	Câu 19	Câu 20
A	A	A	D	B	*	C	B	B	A
Câu 21	Câu 22	Câu 23	Câu 24	Câu 25	Câu 26	Câu 27	Câu 28	Câu 29	Câu 30
A	C	C	D	C	C	A	*	*	B

CÂU HỎI TỰ LUẬN (1 điểm) (G2.1)

Trong kiến trúc bộ xử lý được trình bày trong Hình 1 (ở trang cuối đề thi), bạn hãy trình bày những khối nào là khối mạch tổ hợp và những khối nào là khối mạch tuần tự (bao gồm cả khối control và ALU control).

**Trả lời:**

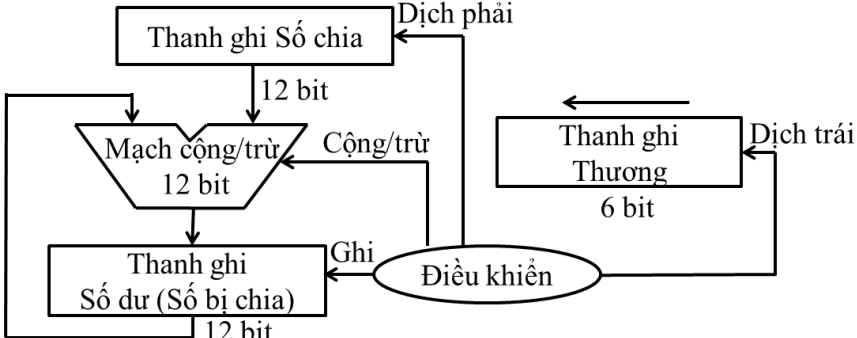
Khối mạch tổ hợp	Khối mạch tuần tự
Add	Instruction memory
Control	Registers
Mux	Data memory
Shift left 2	PC
ALU control	
Sign-extend	
ALU	

## CÂU HỎI TRẮC NGHIỆM (Sinh viên trả lời vào bảng trả lời trắc nghiệm ở trang đầu)

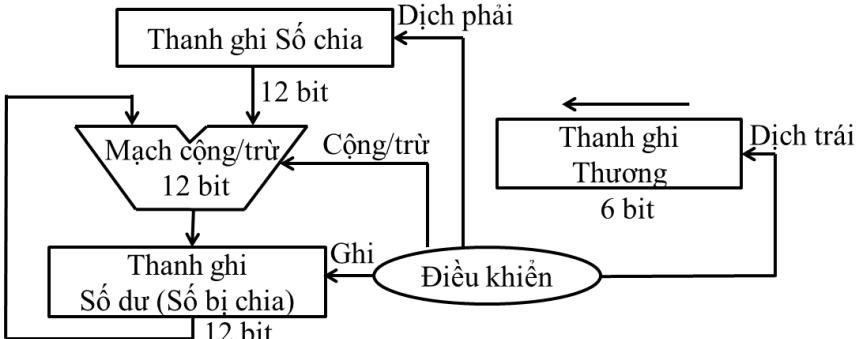
**Câu 1** Công đoạn máy tính sử dụng nội dung trong thanh ghi Program Counter (PC) để tìm nạp lệnh từ bộ nhớ lệnh thuộc công đoạn nào dưới đây? (G6.2)

A.	Instruction Decode & Operand Fetch
B.	Instruction Fetch
C.	Memory Access
D.	Result Write

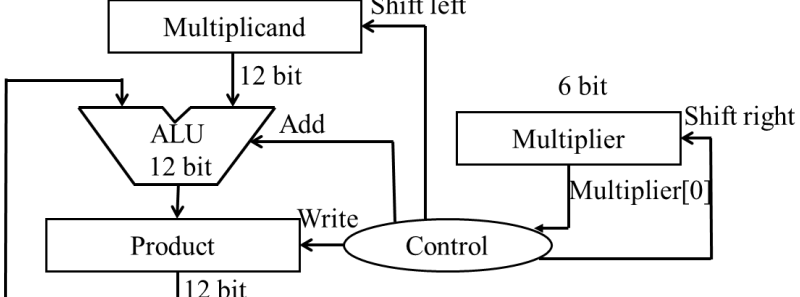
**Câu 2** Cho cấu trúc phần cứng phép chia như hình, khi thực hiện phép chia hai số không dấu 6-bit,  $53_{(10)}/11_{(10)}$ , giá trị của thanh ghi **Số dư (Số bị chia)** là bao nhiêu sau khi kết thúc vòng lặp thứ 6? (G2.1)

	A. 000 000 001 001
	B. 000 000 101 100
	C. 000 000 110 101
	D. 000 000 001 011

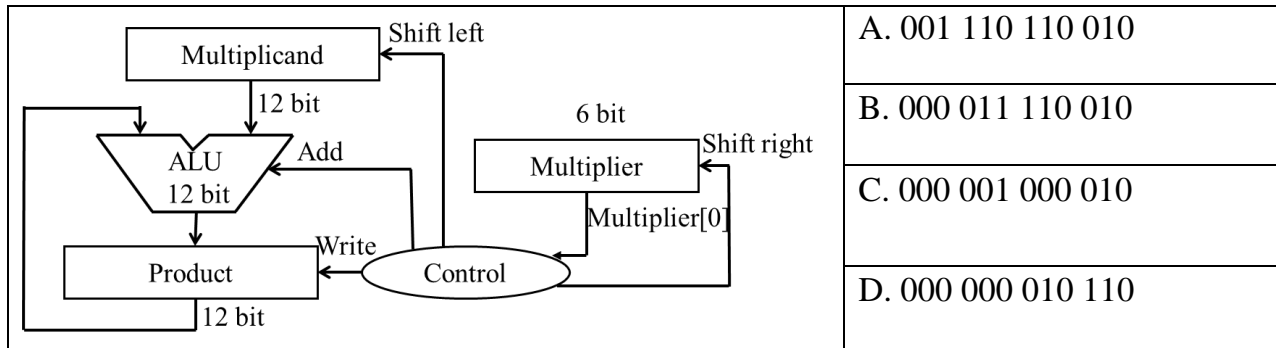
**Câu 3** Cho cấu trúc phần cứng phép chia như hình, khi thực hiện phép chia hai số không dấu 6-bit,  $53_{(10)}/11_{(10)}$ , giá trị khởi tạo của thanh ghi **Số chia** là bao nhiêu? (G2.1)

	A. 000 000 001 011
	B. 000 000 110 101
	C. 110 101 000 000
	D. 001 011 000 000

**Câu 4** Cho cấu trúc phần cứng phép nhân như hình, khi thực hiện phép nhân hai số không dấu 6-bit, số bị nhân:  $010110_{(2)}$  \* số nhân:  $101011_{(2)}$ , giá trị của thanh ghi **Multiplicand** là bao nhiêu sau khi kết thúc vòng lặp thứ 5? (G6.2)

	A. 001 011 000 000
	B. 010 110 000 000
	C. 000 101 100 000
	D. 000 010 110 000

**Câu 5** Cho cấu trúc phần cứng phép nhân như hình, khi thực hiện phép nhân hai số không dấu 6-bit, số bị nhân: 010110<sub>(2)</sub> \* số nhân: 101011<sub>(2)</sub>, giá trị của thanh ghi **Product** là bao nhiêu sau khi kết thúc vòng lặp thứ 4? (G6.2)



**Câu 6** Trong kiến trúc MIPS, thanh ghi nào có nhiệm vụ lưu trữ địa chỉ của lệnh tiếp theo cần thực thi? (G6.2)

A. \$s0	B. \$ra	C. \$at	D. \$pc
---------	---------	---------	---------

**Câu 7** Khối "Sign-extend" trong datapath MIPS có chức năng gì? (G6.2)

A.	Mở rộng một số có dấu từ 16-bit thành 32-bit
B.	Mở rộng một số không dấu từ 16-bit thành 32-bit
C.	Thực hiện phép cộng giữa hai số 32-bit
D.	Thực hiện phép dịch trái một số 32-bit

**Câu 8** Hãy cho biết đường nào trong các đường sau là critical path (đường đi dài nhất của dữ liệu) của lệnh **"slt"** với datapath như trong Hình 1 (ở trang cuối đề thi)? (G6.2)

A.	I-Mem, Mux, Regs, Mux, ALU, Mux, Regs
B.	I-Mem, Mux, Regs, ALU, D-mem, Mux, Regs
C.	I-Mem, Mux, Regs, ALU, Mux, D-Mem, Regs
D.	I-Mem, Regs, Mux, ALU, Mux, Mux, Regs

**Câu 9** Giá trị output của khối "Sign-extend" bằng bao nhiêu khi mã sau được thanh ghi PC trở tới trong quá trình thực thi: 0x2149AD3C (G2.1)

A. 0xFFFFAD3C	B. 0x2149AD3C	C. 0x0000AD3C	D. 0xABABAD3C
---------------	---------------	---------------	---------------

**Câu 10** Cho thanh ghi \$t0 = 165 và thanh ghi \$t1 = 7 và đoạn chương trình sau:

*div \$t0, \$t1*  
*mflo \$t2*

Hỏi sau khi thực hiện xong đoạn chương trình trên, giá trị thanh ghi \$t2 bằng bao nhiêu? (G2.1)

A.	0x00000017
B.	0x00000004
C.	0x00000007
D.	0x000000A5

**Câu 11** Theo bài học chương 3 Các phép toán số học trong máy tính chúng ta có thể sử dụng 1 cổng logic nào dùng để phát hiện tràn? (G2.1)

A. Cổng XOR	B. Cổng OR	C. Cổng NAND	D. Cổng NOR
-------------	------------	--------------	-------------

**Câu 12** Giá trị output “ALU result” của khối ALU bằng bao nhiêu khi mã lệnh sau được thực thi: 0x02744022? Biết giá trị của thanh ghi có địa chỉ 19 và 20 tương ứng là: 0x00000021 và 0x00000017? (G2.1)

A.	0x0000000A
B.	0x00000004
C.	0x00000038
D.	0x00000001

**Câu 13** Khối ALU Control trong datapath ở Hình 1 có bao nhiêu bits đầu vào và đầu ra? (G2.1)

A.	6 bits vào, 4 bits ra
B.	6 bits vào, 6 bits ra
C.	8 bits vào, 6 bits ra
D.	8 bits vào, 4 bits ra

**Câu 14** Kết quả phép cộng hai số thập lục phân: 0x12345678 + 0x01123480 là? (G2.1)

A. 0x32339020	B. 0x13468AF8	C. 0x112221F8	D. 0x01346AF8
---------------	---------------	---------------	---------------

**Câu 15** Giá trị input Address của khối “Data Memory” bằng bao nhiêu khi mã máy của lệnh sau được thanh ghi PC trở tới trong quá trình thực thi là 0xAE88044, biết thanh ghi \$s4 có giá trị bằng 0x10010004? (G2.1)

A. 0x10010044	B. 0x10010050	C. 0x10010048	D. 0x1001004C
---------------	---------------	---------------	---------------

**Câu 16** Khối "Control" trong datapath theo kiến trúc MIPS thuộc nhóm mạch nào? (G2.1)

A. Mạch tuần tự	B. Mạch tổ hợp	C. Mạch cộng	D. Mạch so sánh
-----------------	----------------	--------------	-----------------

**Câu 17** Cho thời gian trễ (thời gian cần để hoàn thành) của từng khối trong Hình 1 (ở trang cuối đề thi) như sau (khối nào không có trong bảng xem như thời gian trễ bằng 0):

I-Mem	Add	Mux	ALU	Regs	D-Mem
250ps	110ps	50ps	170ps	210ps	260ps

Thời gian trễ lớn nhất của lệnh “beq” khi thực thi theo Datapath trong Hình 1 (ở trang cuối của đề thi) là? (G2.1)

A. 740 ps	B. 690 ps	C. 730 ps	D. 680 ps
-----------	-----------	-----------	-----------

**Câu 18** Cho bảng sau:

I-Mem	Mux	ALU	Regs	D-Mem
200 ps	40 ps	180 ps	160 ps	210 ps

Chu kỳ xung clock cần cho thiết kế datapath khi thiết kế ở dạng bộ xử lý đơn chu kỳ như Hình 1 (ở trang cuối đề thi) với 8 lệnh cơ bản (add, sub, or, and, slt, lw, sw và beq) là bao nhiêu? (G2.1)

A. 940 ps	B. 990 ps	C. 820 ps	D. 870 ps
-----------	-----------	-----------	-----------

**Câu 19** Đoạn chương trình có n lệnh được thực thi trong kiến trúc pipeline 5 tầng, và thời gian thực hiện mỗi công đoạn như sau:

<b>IF</b>	<b>ID</b>	<b>EX</b>	<b>MEM</b>	<b>WB</b>
300 ps	220 ps	180 ps	400 ps	120 ps

Hỏi sau thời thực thi 87600 ps thì bộ xử lý hoàn thành lệnh thứ mấy (giả định không có xung đột xảy ra)? (G2.1)

A. Lệnh thứ 215	B. Lệnh thứ 127	C. Lệnh thứ 180	D. Lệnh thứ 310
-----------------	-----------------	-----------------	-----------------

**Câu 20** Giả sử mỗi công đoạn trong datapath có thời gian hoạt động như bảng dưới và bộ xử lý này được thiết kế để thực thi 8 lệnh cơ bản (add, sub, or, and, slt, lw, sw và beq). Thời gian cần thiết để thực hiện một lệnh “lw” cho trường hợp bộ xử lý được thiết kế theo kiến trúc pipeline 5 tầng và không pipeline đơn chu kỳ lần lượt là bao nhiêu (ps)? (G2.1)

IF	ID	EX	MEM	WB
280ps	240ps	200ps	260ps	250ps

A. 1400 và 980	B. 1120 và 1230	C. 1400 và 1230	D. 1120 và 980
----------------	-----------------	-----------------	----------------

**Câu 21** Processor sử dụng kỹ thuật pipeline gồm 5 công đoạn, đoạn chương trình thực thi 10 lệnh, tính thời gian từ lúc bắt đầu lệnh thứ nhất cho đến khi hoàn thành lệnh thứ 7 (giả định không có xung đột xảy ra). (G2.1)

IF	ID	EX	MEM	WB
140 ps	100 ps	80 ps	130 ps	90 ps

A.	1540 ps
B.	910 ps
C.	1640 ps
D.	1500 ps

**Câu 22** Giả sử rằng mỗi lệnh cần 5 công đoạn thực hiện và thời gian thực hiện mỗi công đoạn như sau:

IF	ID	EX	MEM	WB
120ns	130ns	165ns	170ns	125ns

Cho 4 câu lệnh sau:

*sub \$s2, \$t2, \$t6*

*lw \$s1, 32(\$s2)*

*or \$s0, \$s1, \$s4*

*sw \$s2, 12(\$s4)*

Các câu lệnh trên thực thi trong trường hợp bộ xử lý được thiết kế theo kiến trúc pipeline 5 tầng. Hỏi thời gian cần thiết để thực thi cả 4 câu lệnh trên trong trường hợp sử dụng kỹ thuật nhìn trước (full-forwarding)? (G2.1)

A. 1440ns	B. 1280ns	C. 1040ns	D. 1530ns
-----------	-----------	-----------	-----------

**Câu 23** Processor sử dụng kỹ thuật pipeline 5 tầng với thông tin thời gian từng công đoạn như bảng sau, thời gian để thực thi đoạn lệnh sau khi KHÔNG dùng kỹ thuật nhìn trước là bao nhiêu (sử dụng lệnh nop để xử lý xung đột nếu có) ? (G2.1)

IF	ID	EX	MEM	WB
60ns	120ns	50ns	100ns	70ns

Cho đoạn lệnh gồm 3 câu lệnh sau:

*lw \$t2, 32(\$s3)*

*add \$t5, \$t2, \$s1*

*sw \$s1, 48(\$t5)*

A. 1440ns	B. 820ns	C. 1320ns	D. 1190ns
-----------	----------	-----------	-----------

**Câu 24** Khi thực hiện lệnh nào dưới đây thì tín hiệu MemRead = 1? (G2.1)

A. Lệnh beq	B. Lệnh add	C. Lệnh lw	D. Lệnh sw
-------------	-------------	------------	------------

**Câu 25** Thực hiện phép nhân với phần cứng 3 thanh ghi và dùng 8-bits để biểu diễn và thực hiện trên kiến trúc phần cứng phép nhân 8-bit. Hỏi cần bao nhiêu lần lặp để thực hiện xong phép nhân lên? (G2.1)

A. 7	B. 8	C. 9	D. 10
------	------	------	-------

**Câu 26** Kỹ thuật pipeline (có dùng lệnh nop để xử lý xung đột) cải thiện gì so với khi không sử dụng kỹ thuật pipeline khi thực thi đoạn chương trình có nhiều lệnh? (G2.1)

A.	Giúp giảm thời gian thực thi từng lệnh và kết quả là giảm tổng thời gian của đoạn chương trình
B.	Làm tăng tổng thời gian thực thi lệnh của đoạn chương trình
C.	Giúp giảm tổng thời gian thực thi lệnh của đoạn chương trình
D.	Giúp giảm thời gian thực thi của một nhóm lệnh và làm tăng thời gian thực thi của nhóm lệnh khác, do đó có thể làm tăng hoặc giảm tổng thời gian thực thi cả chương trình

**Dữ kiện bên dưới sử dụng cho 4 câu hỏi tiếp theo (từ câu 27 đến câu 30)**

Cho một bộ xử lý MIPS 32 bits (có datapath và control như Hình 1 ở cuối đề thi).

Giả ban đầu (câu lệnh đầu tiên của đoạn chương trình)

PC	0x003000A0
\$t0	0x40040028
\$t1	0x00000005
\$t2	0x00001456
\$t3	0x00000001
\$t4	0x0000FFFF

Các địa chỉ và giá trị dữ liệu tương ứng:

Address	0x40040020	0x40040024	0x40040028	0x4004002C
Data	0x00000010	0x00000020	0x00000030	0x00000040

Nếu đoạn chương trình sau được thực thi:

- 1    addi \$t0, \$t0, -8
- 2    sw \$t1, 4(\$t0)
- 3    lw \$t4, 4(\$t0)
- 4    bne \$t1, \$t4, exit
- 5    add \$t4, \$t2, \$t3
- 6    exit: sub \$t1, \$t4, \$t3

**Câu 27** Ngõ ra của khối Instruction Memory là bao nhiêu khi chương trình bắt đầu thực hiện lệnh số 3 (thanh ghi PC trở đến câu lệnh số 3)?

A. 8D0C0004	B. 0x8D0B0004	C. 0x8B900004	D. 0xAB090004
-------------	---------------	---------------	---------------

**Câu 28** Giá trị của thanh ghi PC là bao nhiêu khi câu lệnh 'bne' thực thi xong công đoạn ALU?

A. 0x016B6020	B. 0x018B4822	C. 0x014A6020	D. 0x014B6020
---------------	---------------	---------------	---------------

**Câu 29** Kết quả của thanh ghi \$t1 bằng bao nhiêu sau khi thực hiện xong lệnh cuối cùng?

A. 0x00000005	B. 0x0000FFFE	C. 0x00001457	D. 0x00000004
---------------	---------------	---------------	---------------

**Câu 30** Kết quả tại đầu ra ALU result bằng bao nhiêu sau khi thực hiện xong lệnh số 3? (G2.1)

A. 0x40040028	B. 0x40040024	C. 0x4004002C	D. 0x40040020
---------------	---------------	---------------	---------------

**Duyệt đề của Bộ Môn**

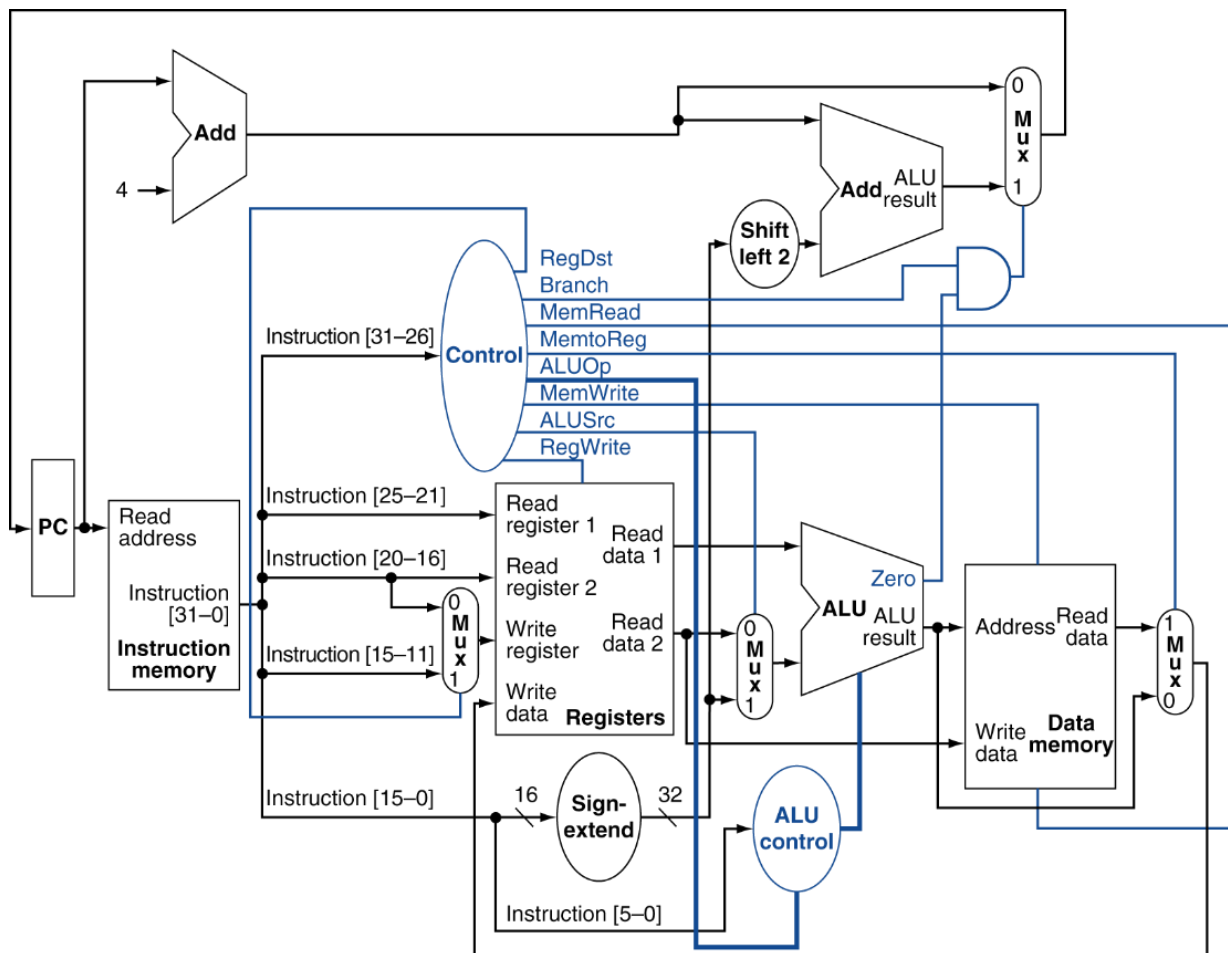
**Giáo viên ra đề**

*Trịnh Lê Huy*

*Phan Đình Duy*

Bảng chuẩn đầu ra môn học Kiến trúc máy tính

CĐRMH	Mô tả CĐRMH
G2.1	Nắm vững kiến thức nền tảng về lĩnh vực CNTT
G6.2	Trình bày, thảo luận được các giải pháp liên quan ngành KTMT bằng ngoại ngữ



Hình 1 Datapath