

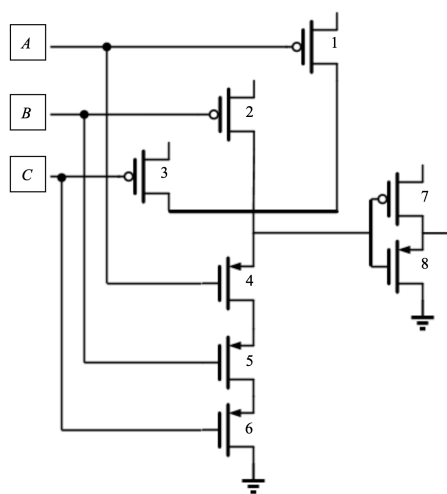
第七章习题参考答案

包含题目：习题 7.1 – 7.16

题目 7.1

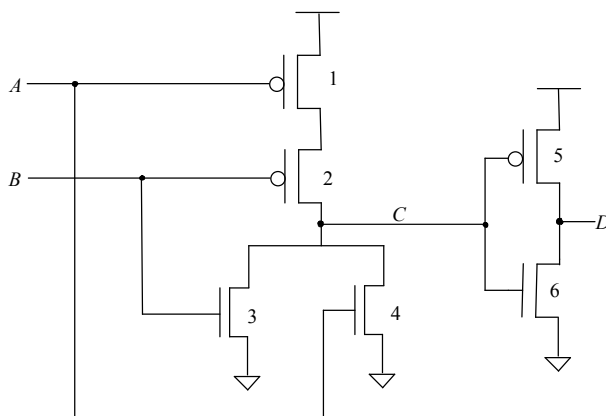
- (1) 分别画出 3 个输入的与门和 3 个输入的或门的晶体管级电路图。
- (2) 对于 $A = 0, B = 0, C = 1$ 的输入，分别在与门和或门晶体管级电路图中标出其表现。

解答 3 个输入的与门的晶体管级电路如下图所示



当 $A = 0, B = 0, C = 1$ 时，1/2/6/8 晶体管连通，最终输出 0。

3 个输入的或门的晶体管级电路如下图所示



当 $A = 0, B = 0, C = 1$ 时，1/2/6 晶体管连通，最终输出 1。

题目 7.2

- (1) 给出下图所示的晶体管级电路的真值表。

(2) 使用与、或、非门给出该真值表的门级电路图。

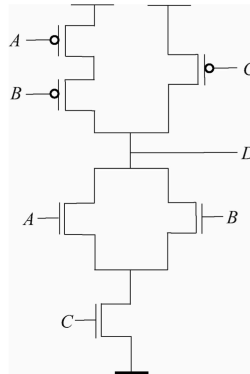


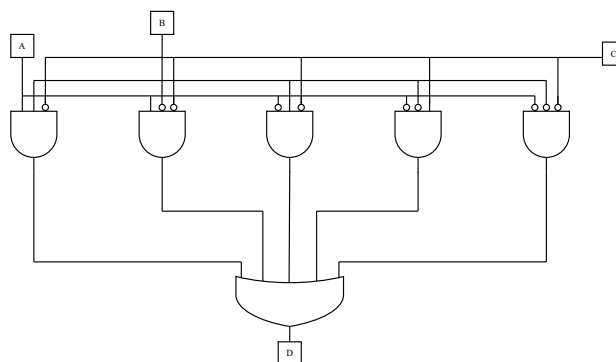
图 7.28 晶体管级电路

解答

(1) 如下表所示

A	B	C	D
1	1	1	0
1	1	0	1
1	0	1	0
1	0	0	1
0	1	1	0
0	1	0	1
0	0	1	1
0	0	0	1

(2) 如图所示



题目 7.3 下图所示的电路有一个缺陷，指出该缺陷。

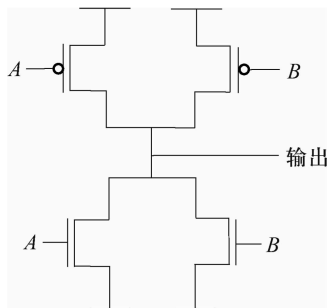
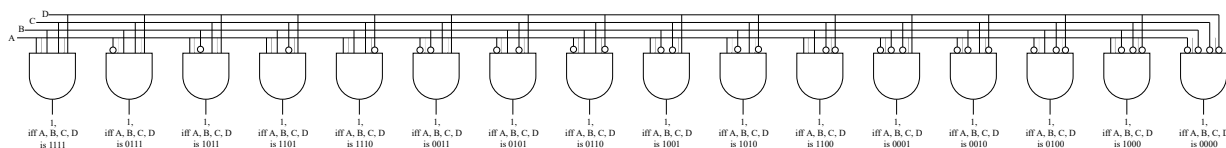


图 7.29 7.3 题电路

解答 若 $A = 0, B = 1$ 或 $A = 1, B = 0$ ，则同时接到了电源正极和大地负极，不能判断输出结果。

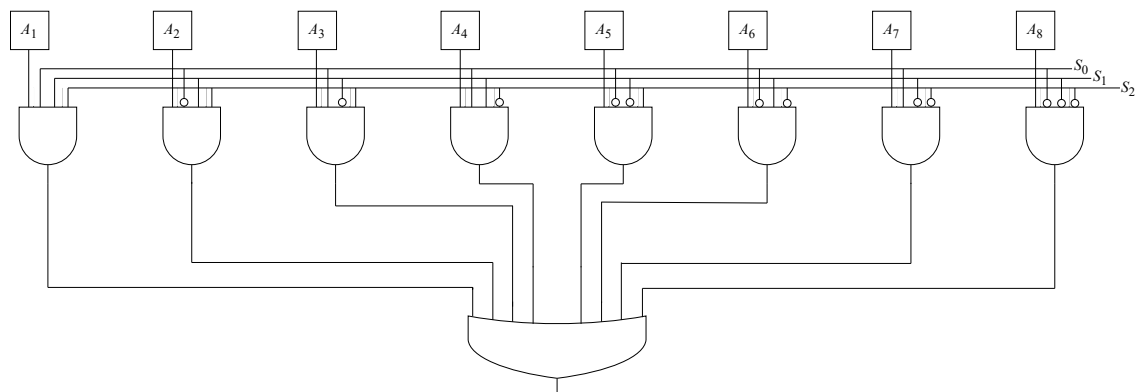
题目 7.4 画出有 4 个输入的译码器的门级电路图，并注明各输出为 1 的条件。

解答



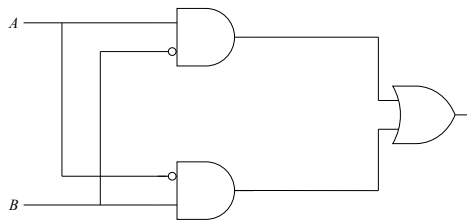
题目 7.5 画出有 8 个输入的多路选择器的门级电路图。

解答



题目 7.6 使用与、或、非门，给出异或函数的门级电路图。

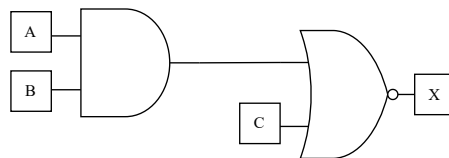
解答



题目 7.7 对于下表所示的真值表，使用 7.3 节（可编程逻辑阵列）给出的算法，生成其门级逻辑电路。

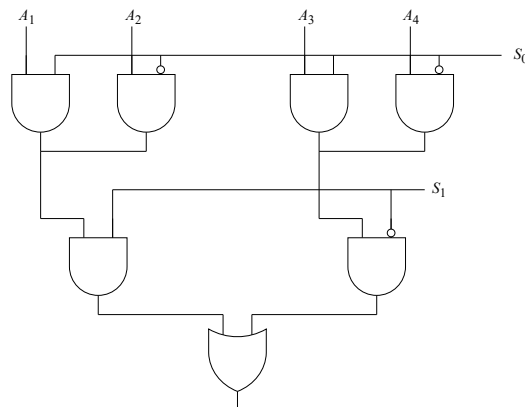
A	B	C	X
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

解答 $X = \overline{A}BC + A\overline{B}C + AB\overline{C} = (\overline{A} + A\overline{B})C = \overline{AB} + C$



题目 7.8 只使用 2 选 1 的多路选择器，就可以实现 4 选 1 的多路选择器，给出其电路图。

解答



题目 7.9 根据下图所示的逻辑电路图，写出相应的真值表。

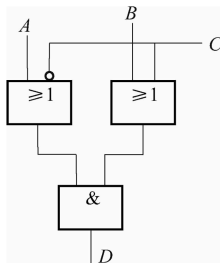


图 7.30 7.9 题逻辑电路图

解答 如下表所示

A	B	C	D
1	1	1	1
1	1	0	1
1	0	1	1
1	0	0	0
0	1	1	0
0	1	0	1
0	0	1	1
0	0	0	0

题目 7.10 下图中的每个矩形都表示一个全加法器，当 $X = 0$ 和 $X = 1$ 时，电路的输出分别是什么？在该电路图的基础上，构建一个可以实现加法/减法运算的逻辑电路图，使电路根据 X 的值，计算 $A + B$ 或 $A - B$ 的值。

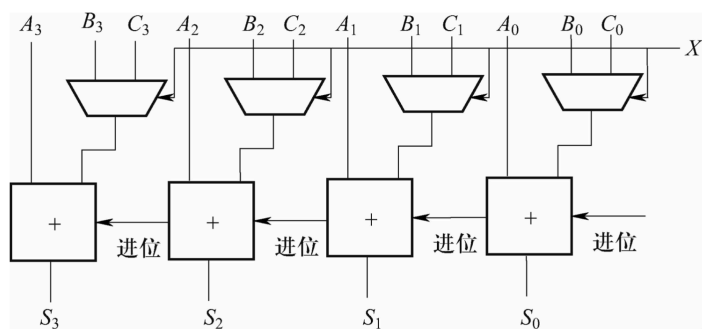
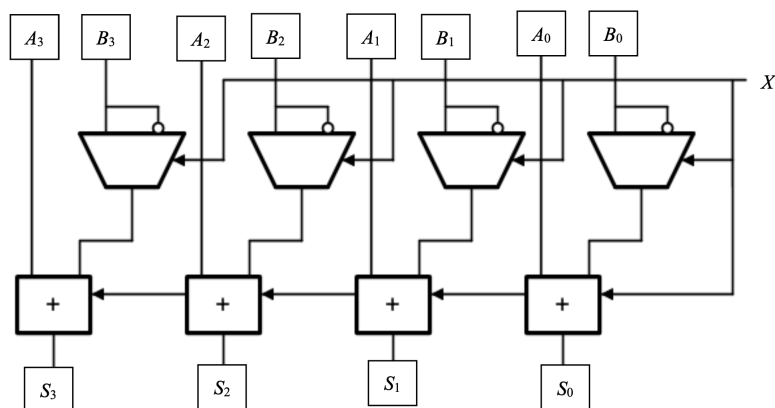


图 7.31 7.10 题电路

解答 当 $X = 0$ 时，输出分别为 $S_i = A_i + B_i + X$, $i = 0, 1, 2, 3$ ；当 $X = 1$ 时，输出分别为 $S_i = A_i + C_i + X$, $i = 0, 1, 2, 3$ 。电路图如下图所示



题目 7.11 一个逻辑结构的速度与从输入到达输出需传递经过的逻辑门的最长路径有关。假设与、或、非门都被计为一个门延迟，例如两个输入的译码器的传递延迟等于 2，这是因为有些输出需经过两个门的传递。

(1) 两个输入的多路选择器的传递延迟是多少？

(2) 1 位的全加法器的传递延迟是多少？

(3) 4 位的全加法器的传递延迟是多少？

(4) 32 位的全加法器的传递延迟是多少？

解答 (1) 3; (2) 3; (3) 12; (4) 96

题目 7.12 设计一个 1 位的比较器，该比较器电路有两个 1 位的输入 A 和 B ，有 3 个 1 位的输出 G (greater, 大于)、 E (equal, 等于) 和 L (less, 小于)。当 $A > B$ 时， G 为 1，否则 G 为 0；当 $A = B$ 时， E 为 1，否则 E 为 0；当 $A < B$ 时， L 为 1，否则 L 为 0。

(1) 给出此 1 位比较器的真值表。

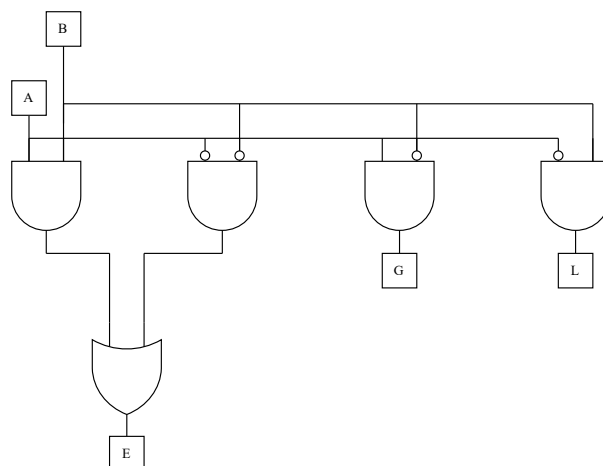
(2) 使用与、或、非门实现此比较器电路。

解答

(1) 如下表所示

A	B	G	E	L
1	1	0	1	0
1	0	1	0	0
0	1	0	0	1
0	0	0	1	0

(2) 如图所示



题目 7.13 参照下图，回答如下问题。

- (1) 当 S 和 R 都为 0 时，此逻辑电路的输出是什么？
- (2) 如果 S 从 0 转换到 1，输出是什么？
- (3) 此逻辑电路是存储元件吗？

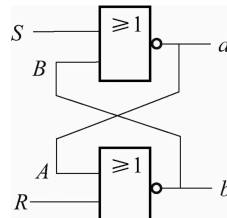


图 7.32 7.13 题电路

解答

- (1) 当 $S = 0, R = 0$ 时， $a = 0, b = 1$ 或 $a = 1, b = 0$
- (2) $a = 0, b = 1$
- (3) 是存储元件

题目 7.14 某个计算机有 4 个字节的寻址能力，访问其存储器的一个单元需要 64 位，该存储器的大小是多少（以字节为单位）？此存储器共存储多少位？

解答 2^{66} 字节； 2^{69} 位

题目 7.15 8 位被称为一个字节 (byte)，4 位被称为一个单元组 (nibble)。一个字节可寻址的存储器使用 14 位的地址，那么此存储器共存储了多少单元组？

解答 2^{15}

题目 7.16 对于下图所示的 4×2 位大小的存储器，回答以下问题。

- (1) 如果向单元 3 存储数值, $A[1:0]$ 和 WE 必须被设置为什么值?
- (2) 如果将此存储器的单元数目从 4 增加到 10, 需要多少条地址线? 存储器的寻址能力是否发生变化?

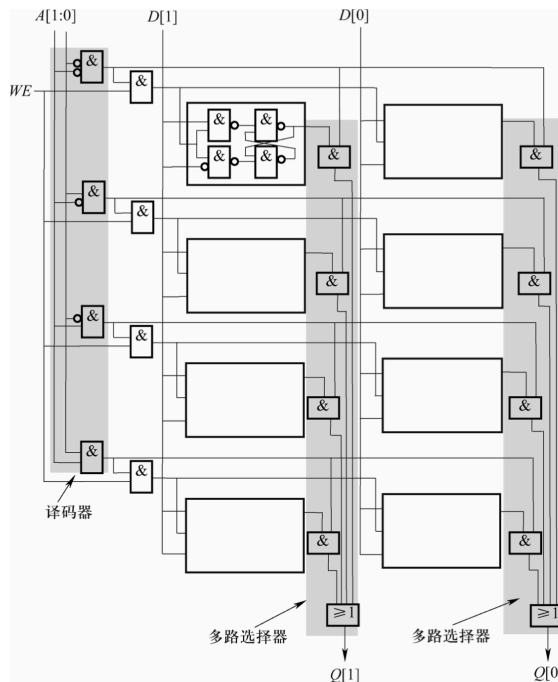


图 7.18 一个 4×2 位的存储器

解答

- (1) 如果单元从 0 起, $A[1:0]$ 为 11, 从单元 1 起则为 10; WE 必须被设置为 1
- (2) 需要 4 条地址线, 存储器的寻址能力不变