

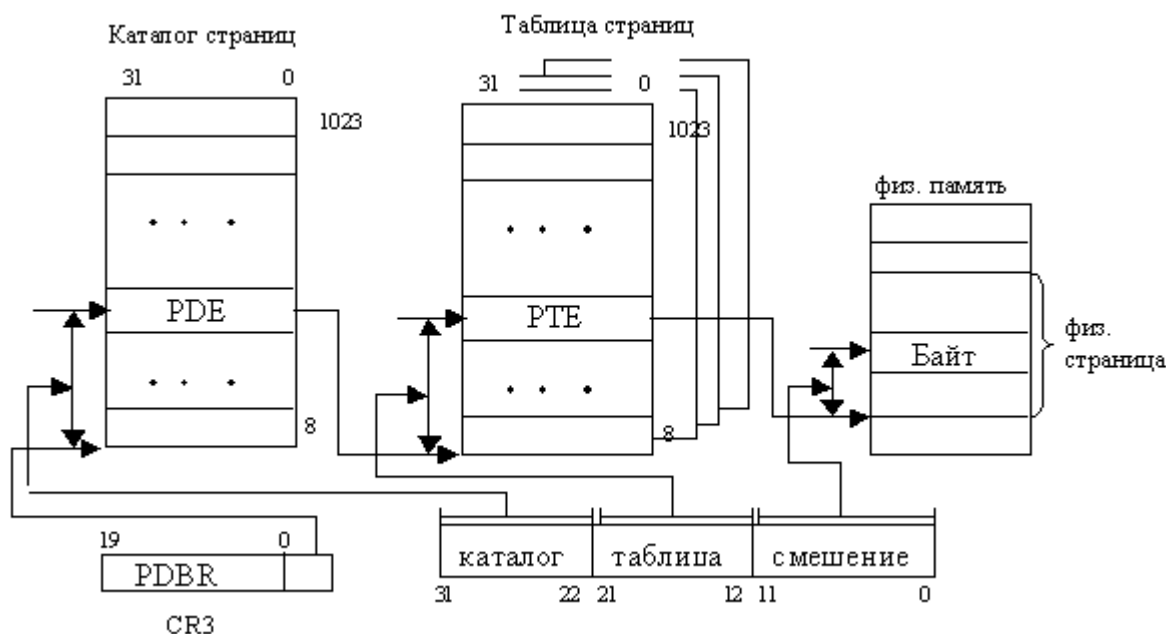
В защищенном режиме наряду с обязательной сегментацией процессоры x86 могут поддерживать виртуальную память со страничной организацией, которая реализует еще один уровень косвенности в формировании физического адреса.

Как линейное, так и физическое адресное пространство x86 делится на 1 Мб страниц по 4 Кб. Границы сегментов и границы страниц не зависят друг от друга и не обязаны быть выровнены.

В процессе страничного преобразования старшие 20 бит 32-разрядного линейного адреса через страничную таблицу замещаются номером физической страницы. Младшие 12 бит остаются неизменными.



Таблица страниц в 1 М элементов будет слишком большой, особенно с учетом того, что для каждой задачи нужна своя таблица. Поэтому в x86 на самом деле реализовано более гибкое двухбитное преобразование.



Основой страничного преобразования выступает регистр управления CR3, который содержит 20-битный физический базовый адрес каталога страниц текущей задачи (регистр PDBR). Это единственный внутренний регистр процессора, который содержит физический адрес памяти. Младшие 12 бит адреса считаются нулевыми, т.е. каталог выровнен по границе страниц. Предполагается, что каталог страниц постоянно находится в ОП.

Корневая таблица (**каталог страниц**), содержит 1024 32-разрядных дескриптора ( **элементы каталога страниц PDE**). Каждый из них адресует подчиненную **таблицу страниц**, которая содержит 1024 32-разрядных дескриптора (элементы таблицы страниц PTE). Они адресуют страницу в адресной памяти.

**Преобразование линейного адреса в физический состоит из следующих действий:**

- старшие 10 бит (31–22) линейного адреса служат индексом в каталоге страниц, выбирая один из 1024 элементов PDE, который выбирает таблицу страниц;
- средние 10 бит (21–12) индексируют таблицу страниц, выбирая из нее элемент PTE, который содержит 20-разрядный базовый физический адрес в памяти;
- базовый адрес из PTE объединяется с 12 младшими битами линейного адреса, после чего получается физический адрес.