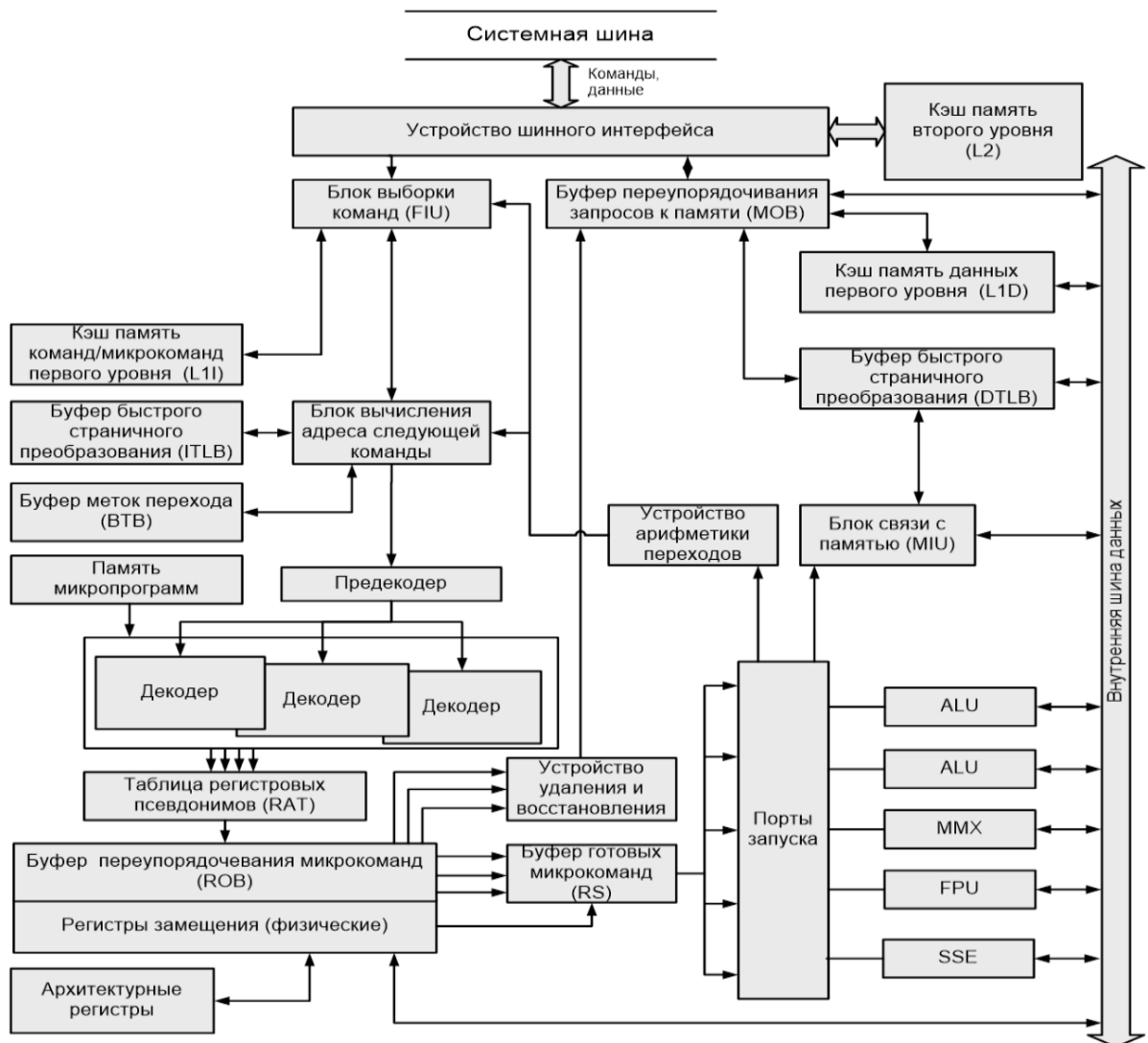


Структура процессора P6.

На изображении ниже отображена обобщённая схема процессора P6.



Лучше начинать сверху с шинного интерфейса. Необходимо обращаться по шине в память в этой микроархитектуре, контроллеров памяти не было. Всё надо было делать через чипсет, процессор может с ним общаться и с другими процессорами. Если один процессор обращается в чипсет, то другой об этом знает.

У устройства шинного интерфейса должен появиться адрес, который надо загрузить на конвейер, этот адрес поступает из конвейера команд, из блока выборки команд. Функции шинного интерфейса таковы, что оно общается к кэш второго уровня (первое обращение), если получает промах,

то запрос транслируется в системную шину и дальше данные поступают и копируются кэш второго уровня.

Получив адрес блока команд, которые надо загрузить устройство шинного интерфейса дальше отрабатывает свою логику. Блоки команд могут быть сдвинуты, что приводит к двум обращениям. Размер загружаемого блока заведомо больше, чем одна команда.

Блок выборки команд решает проблему работы с кэш первого уровня. Его задача получить адрес от блока вычисления адреса следующей команды, обращается в кэш первого уровня команд, если промах, то передаёт запрос дальше в устройство шинного интерфейса, а если получает hit, то передаёт блок команд в блок вычисления следующей команды, пакет передаётся дальше для того чтоб блок вычисления следующей команды выполнил предварительную разметку, поиск команд ветвления и отработку этих команд.

Для того что бы выполнять предсказать направления ветвления необходимо сформировать физ. адрес и передать его в блок выборки команд. В этом блоке сосредоточено преобразование адреса след. команды.

P6 — суперскалярная суперконвейерная архитектура, разработанная компанией Intel и лежащая в основе микропроцессоров Pentium Pro, Pentium II, Pentium III, Celeron и Xeon. В отличие от x86-совместимых процессоров предыдущих поколений с CISC-ядром, процессоры архитектуры P6 имеют RISC-ядро, исполняющее сложные инструкции x86 не напрямую, а предварительно декодируя их в простые внутренние микрооперации.

Достоинства P6:

- Суперскалярная обработка.
- Интегрированная кэш-память.
- Сбалансированность фаз конвейера.

Недостатки P6:

- Длительное декодирование сложных команд.
- Отсутствие слияния микроопераций загрузки/выгрузки и обработки.
- Малое количество входов ROB(буфере переупорядочивания микроопераций).
- Наличие медленных команд.

Большинство современных микропроцессоров относятся к классу конвейерных суперскалярных процессоров с внеочередным исполнением операций.

- Конвейерная организация: многие сложные действия разбиваются на этапы с небольшим временем выполнения. Этап выполняется в отдельном устройстве.

- Суперскалярная организация : на каждом этапе обрабатываются сразу несколько потоков инструкций в параллель: от выборки из кэша инструкций до полного завершения.
- Внеочередное исполнение операций: операции не обязаны выполняться строго в том порядке, который определён в программном коде. Процессор должен лишь гарантировать, чтобы результаты «внеочередного» выполнения программы совпадали с результатами «правильного» последовательного выполнения.

Исполнение инструкции начинается с её выборки и декодирования. Для этого из кэш-памяти инструкций первого уровня по адресу из буфера предсказания переходов выбирается 64 байта (две строки). Из них 16 байт, начиная с адреса из блока вычисления адреса следующей инструкции, выравниваются и передаются в декодер инструкций, преобразующий инструкции x86 в микрооперации. Если инструкции соответствует одна микрооперация, декодирование проводит один из декодеров простых инструкций. Если инструкции соответствует две, три или четыре микрооперации, декодирование проводит декодер сложных инструкций. Если же инструкции соответствует большее число микроопераций, то они формируются планировщиком последовательностей микроопераций.

После декодирования инструкций производится переименование регистров, а микрооперации и данные помещаются в буфер, откуда в соответствии с оптимальным порядком исполнения и при условии определённости необходимых для их исполнения операндов направляются на исполнительные блоки (максимум 5 инструкций за такт). Статус исполнения микроопераций и его результаты хранятся в буфере переупорядочивания микроопераций, а так как результаты исполнения одних микроопераций могут служить операндами других, они также помещаются и в станцию резервирования. По результатам исполнения микроопераций определяется их готовность к отставке. В случае готовности происходит их отставка в порядке, предусмотренном программой, во время которой осуществляется обновление состояния логических регистров, а также отложенное сохранение результатов в памяти (управление порядком записи данных осуществляет буфер переупорядочивания запросов к памяти).