FPGA – circuite care se pot programa prin intermediul unui limbaj de descriere hardware(VHDL) => structuri logice.

Proiectarea unor structuri logice in FPGA presupune 3 resurse:

-circuit FPGA ( placuta)

-tool de sinteza (VIVADO)

-limbaj de descriere hardware (VHDL = Very High Speed Integrated Circuit Hardware Description Language)

In urma procesului de sinteza a unui proiect => fisier bitstream (stabileste conexiunile conform cerintelor utilizatorului)

Sinteza face o translatare dintre cod in vhdl in limbaj bitstream, inteles de circuit

Sinteza = compilare

Bitstream = fisier hexa

Implementarea genereaza fisierul bitstream

FLOW:

-creare proiect vivado

-simulare proiect

-sinteza

-implement

-efectuare simulari de tip timing

-generare bitstream

-verificare pe placuta