

Cache

元培數科 王恩博

Let's get started →

2025/11/5



随机访问存储器

Random Access Memory, RAM

- 速度非常快
- **断电后数据不可恢复**
- 常用于运行时产生数据的存储

随机访问

- 指在存储设备中，可以以任意顺序访问存储的数据，而不需要按照特定的顺序逐个读取。
- 这种访问方式使得数据的读取和写入速度更快，尤其是在需要频繁访问不同位置的数据时。

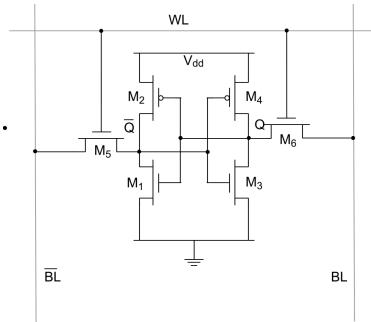
随机访问存储器

Random Access Memory, RAM

SRAM

Static RAM, 静态随机访问存储器

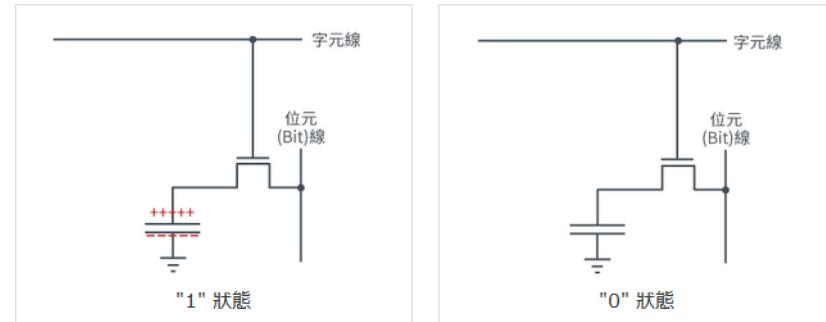
- 速度最快 (仅次于寄存器文件)
- 抗噪音干扰能力强, 采用 **双稳态结构**
- 价格最高 (晶体管更多, 造价更高)
- 常用于高速缓存



DRAM

Dynamic RAM, 动态随机访问存储器

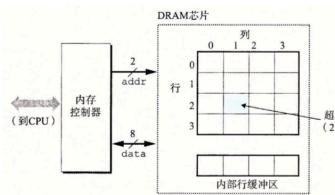
- 对干扰非常敏感
- **需要不断地刷新以保持稳定性**
- 速度慢于 SRAM, 价格更低
- 多用于主存 (内存)



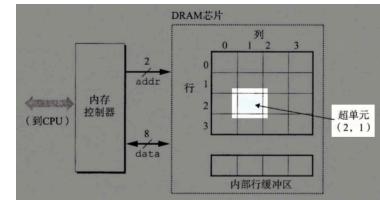
DRAM 的读取

DRAM read

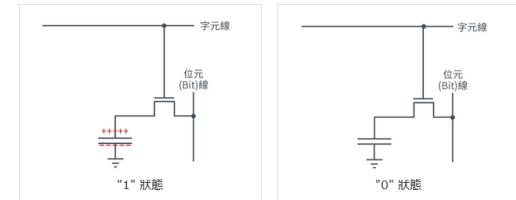
- 通过 address 引脚传入地址
- 在 DRAM 单元阵列中访存后通过 data 引脚输出数据
- 通常会重复利用 address 引脚进行二维访存



DRAM 芯片



DRAM 超单元 (SuperCell)



DRAM 单元 (Unit)

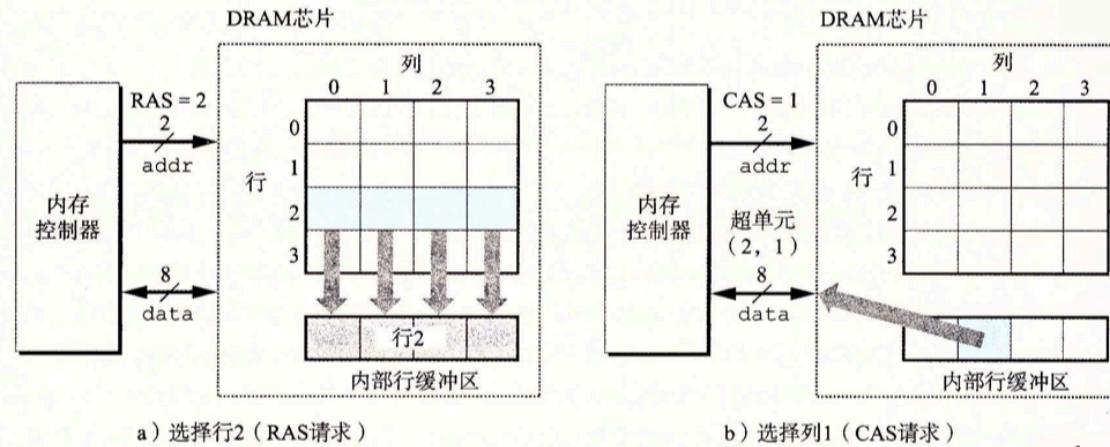
- 由 r 行, c 列个 DRAM 超单元组成 (组织成二维阵列)
- 总共有 $d = r \times c$ 个超单元
- 总容量: $d \times w$ 位数据
- 由 w 个 DRAM 单元组成, 携带 w 位数据
- 每个 DRAM 单元携带 1 位数据

DRAM 的读取

DRAM read

1. 行缓冲区在传入行访问信号 (RAS, Row Address Strobe, 行地址选通) 时复制一行内容，实现缓存
2. 传入列地址选通信号 (CAS, Column Address Strobe, 列地址选通)，从行缓冲区中选出指定列的数据

二维访存：可以将原先需要 m 位引脚的地址，拆分为两次 $m/2$ 位引脚的地址，即分别传入行地址和列地址



DRAM 的读取

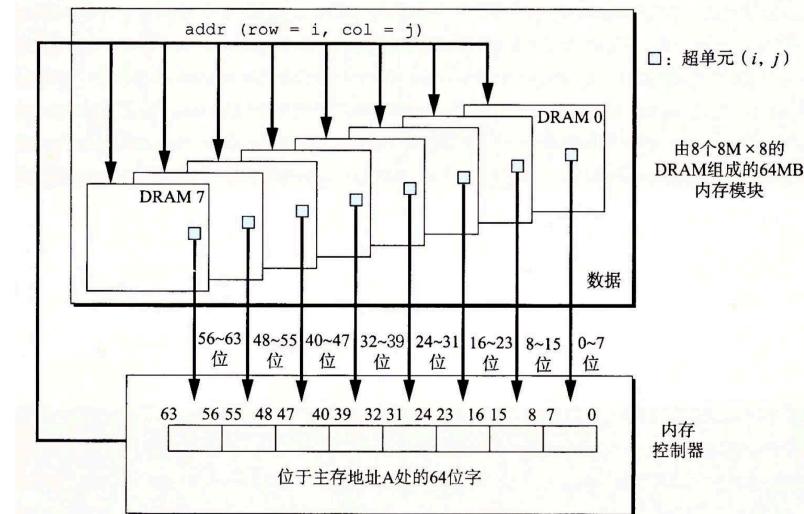
DRAM read

“8 个 $8M \times 8$ 的 64 MB 内存模块”

- 8 个 DRAM 芯片
- 每个芯片由 8M 个超单元组成
- 每个超单元携带 8 位 (bit) 数据
- 总容量: $8 \times 8M \times 8\text{bit} = 64\text{MB}$

可以利用相同的地址引脚，快速取出 64 位 (bit) 数据

(回忆: 地址是超单元的地址)



增强的 DRAM

Enhanced DRAM

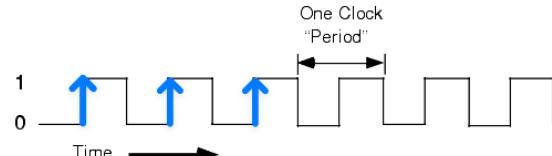
重要！经常考选择题辨析。

快页存取DRAM

- Fast Page Mode DRAM (FPM DRAM)
- FPM DRAM 允许对同一行连续地址访问可以直接从行缓冲区得到服务（从而减少 RAS 请求）。

同步DRAM

- Synchronous DRAM (SDRAM)
- 使用同步控制信号（时钟上升沿），能更快速输出超单元内容。
- FPM 和 EDO DRAM 是异步控制。

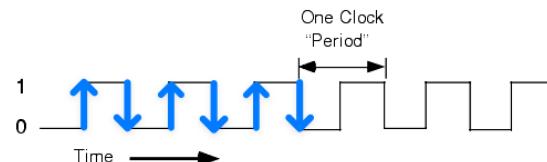


扩展数据输出DRAM

- Extended Data Out DRAM (EDO DRAM)
- FPM DRAM 的增强版
- 它允许 CAS 信号在时间上靠得更紧密一点

双倍数据速率同步DRAM

- Double Data-Rate Synchronous DRAM (DDR SDRAM)
- SDRAM 的增强版本，通过使用两个时钟沿（同时使用上升沿和下降沿）作为控制信号
- 使得 DRAM 速度翻倍



ROM

Read-Only Memory

只读存储器（非易失性存储器）

- 断电后仍然能保存数据
- 常用于数据的持久性存储
- 常见：闪存
- SSD 基于闪存

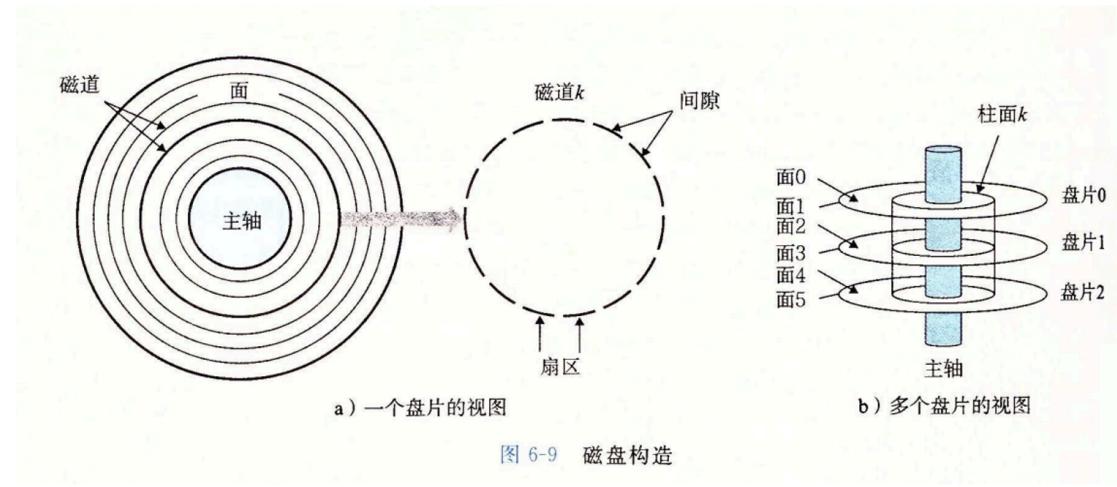
磁盘存储

Disk Storage

- 非易失性存储器，断电后数据不丢失
- 容量数量级：GB~TB
- 访问时间：ms 级别

磁盘结构

Disk Structure



- 磁盘：由多个盘片构成，每个盘片有 2 个可读写面
- 磁道：盘片表面同一半径的圆周，每个盘面有多个磁道
- 扇区：磁道被划分成一段段数据块
- 柱面：**所有盘片** 的同一半径磁道集合

磁盘容量

Disk Capacity

容量公式：

$$\text{磁盘容量} = \text{每个扇区字节数} \times \text{每个磁道平均扇区数} \times \text{每个表面磁道数} \times \text{每个盘片表面数(2)} \times \text{盘片数}$$

衍生概念：

- 记录密度：磁道一英寸能放的位数
- 磁道密度：从圆心出发半径一英寸能有多少条磁道
- 面密度：记录密度 \times 磁道密度

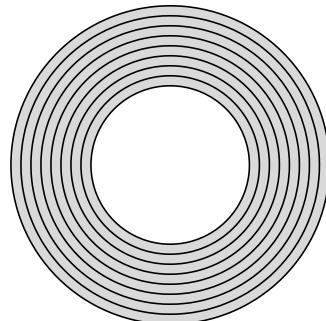
多区记录

Multi-Zone Recording

传统方法

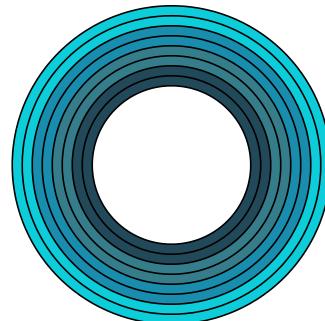
每个磁道都划分为相同数量的扇区，则：

- 扇区数目是由最内磁道决定的
- 外周磁道会有很多空隙



多区记录方法

- 将柱面划分为若干组
- 每组内部采用相同的扇区数，不同组间扇区数可不同
- 能有效利用空间



计量单位

Unit of measurement

DRAM 和 SRAM 容量相关计量单位：

- K = 2^{10}
- M = 2^{20}
- G = 2^{30}
- T = 2^{40}

磁盘和网络等 I/O 设备容量计量单位：

- K = 10^3
- M = 10^6
- G = 10^9
- T = 10^{12}

省流版本：

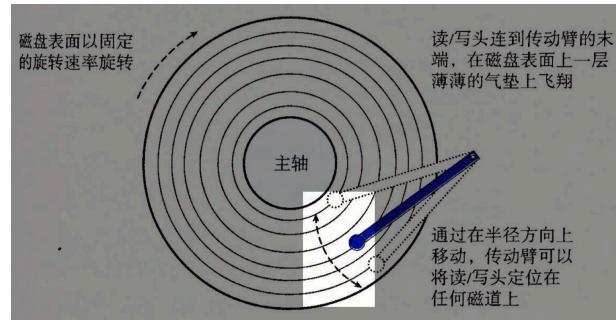
- 内存（含）及以上（更快），使用 2 的幂次作为单位
- 磁盘及以下（更慢），使用 10 的幂次作为单位

磁盘读写

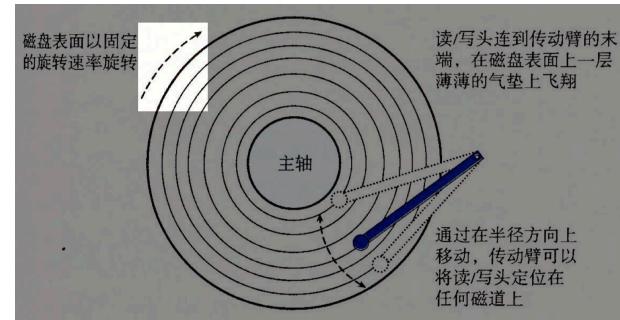
Disk Read/Write

传动臂末端具有读写头，通过以下步骤进行读写：

1. 寻道：通过旋转将读写头移动到对应磁道上 (T_{seek})
2. 旋转：等待对应扇区开头旋转到读写头位置 (T_{rotate})，最差情况为 $\frac{1}{\text{RPM}} \times 60\text{s/min}$ ，接近于寻道时间
3. 传送：开始读写，每个扇区的平均传送速率 (T_{transfer})，一般可忽略



寻道时间： T_{seek}



旋转时间： T_{rotate}

SSD 固态硬盘

Solid State Disk

固态硬盘 (Solid State Disk, SSD) 是一种基于闪存的存储技术，是传统旋转磁盘的替代产品。

SSD 价格贵于旋转磁盘。

SSD 层级结构

- SSD, 闪存由多个闪存块组成
- 闪存块 (Block) , $0 \sim B - 1$, 每个块包含多个闪存页
- 闪存页 (Page) , $0 \sim P - 1$, 每个页包含 $512B \sim 4KB$ 数据

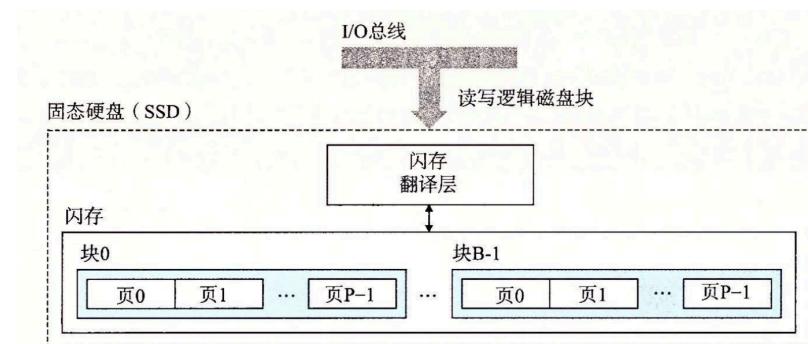


图 6-13 固态硬盘(SSD)

SSD 读写特性

SSD Read/Write Characteristics

- 速度：读 > 写，顺序访问 > 随机访问
- 数据以页为单位读写，页所在块必须先擦除再写入（全部置为 1）
- 写操作前需复制 **页内容** 到 **新块** 并 **擦除旧块**
- 一旦一个块被擦除了，块中每一个页都可以不需要再进行擦除就写一次
- 每个块在反复擦除后会磨损乃至损坏（约 100,000 次），需要通过闪存翻译层管理，以最小化擦除次数

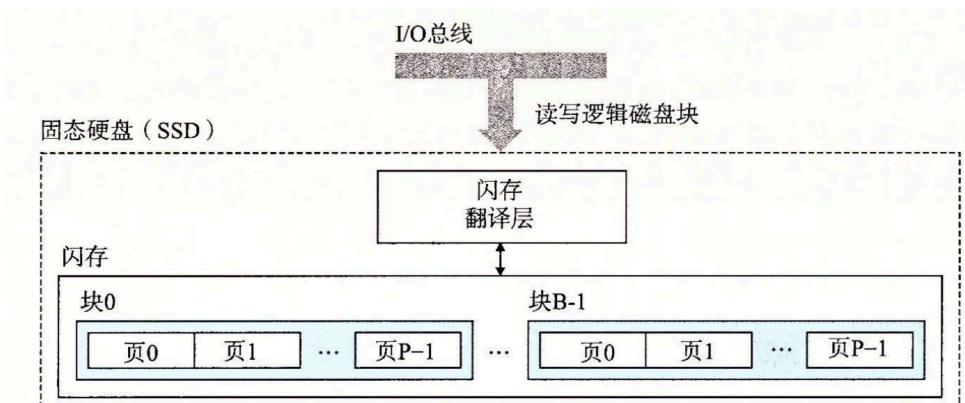


图 6-13 固态硬盘(SSD)

局部性

Locality

局部性: 程序倾向于引用最近引用过的数据项的邻近的数据项，或者最近引用过的数据项本身。

- **空间局部性**: 相邻位置的变量被集中访问 (最近引用过的数据项及其邻近数据项)
- **时间局部性**: 同一变量在短时间内被重复访问 (最近引用过的数据项本身)

注意，指令也是数据的一种，因此指令也有局部性。

步长与引用模式

stride and reference pattern

- **步长为 k 的引用模式**: 每隔 k 个元素访问一次, **步长越短, 空间局部性越强。** (行优先访问好于列优先访问)
- **指令的局部性**: 指令按顺序执行, 例如 `for` 循环, 具有良好的时间 (循环体、循环变量复用) 和空间局部性 (循环体内指令连续) 。

循环次数越多越好, 循环体越小越好

存储器层次结构

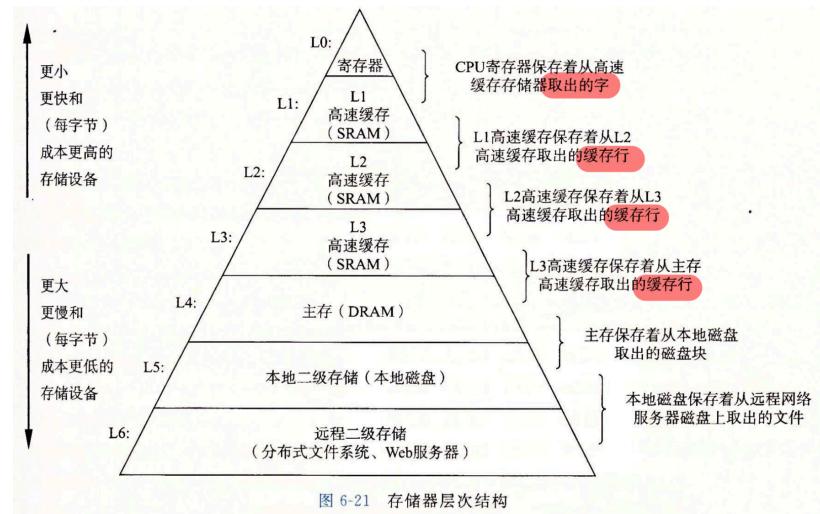
Memory Hierarchy

- 越靠近 CPU 的存储器，速度越快，单位比特成本越高，容量越小
- 越远离 CPU 的存储器，速度越慢，单位比特成本越低，容量越大

通常，我们使用 L_k 层作为 L_{k+1} 层的缓存

如果我们要在 L_{k+1} 中寻找数据块 a ，我们首先应该在 L_k 中查找。

- **缓存命中：**如果能找到，我们就不必访问 L_{k+1}
- **缓存不命中：**如果找不到，我们才去访问 L_{k+1}
(那就要花较长时间来复制了)



缓存替换策略

Cache Replacement Policy

如果缓存已满，我们需要决定替换 / 驱逐哪个现有块（要腾地方）。

最近最少使用

- LRU (Least Recently Used)
- 替换最后一次访问时间最久远的行

最不常使用

- LFU (Least Frequently Used)
- 替换过去某个时间窗口内引用次数最少的行

随机替换

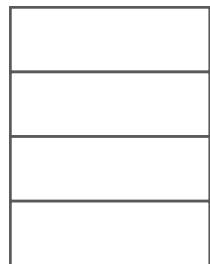
- 随机选择一个块进行替换

LRU 不一定比随机替换好。具体哪个策略好，还取决于数据分布。

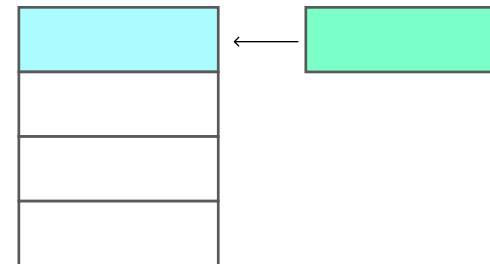
缓存不命中的类型

Cache Miss Types

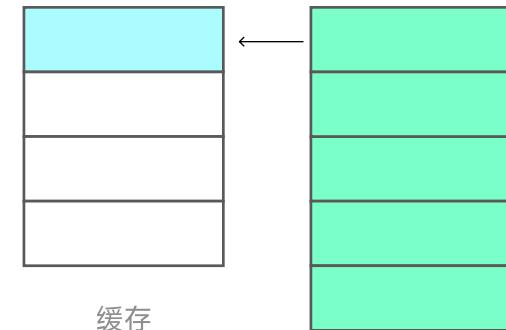
- **冷不命中 / 强制性不命中**: 数据块从未进入缓存, 短暂性, 在 **暖身** 后不会出现
- **冲突不命中**: 由于冲突性放置策略的存在, 缓存块的预期位置被其他数据块占据 (但是实际上放得下, 工作集小于缓存容量)
- **容量不命中**: 与冲突性放置策略无关, 工作集大于缓存容量, 怎么摆都放不下



冷不命中



冲突不命中

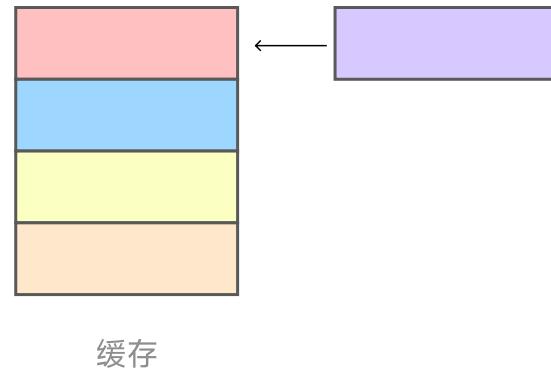


容量不命中

抖动

Thrashing

抖动：当多个数据频繁被访问，但它们无法同时全部放入缓存时，系统不断地在缓存和主存之间进行的频繁数据替换。



抖动

一共只有 4 个位置，但是要放 5 个数据，还都要用，只能不断替换。

缓存组织结构

Cache Organization

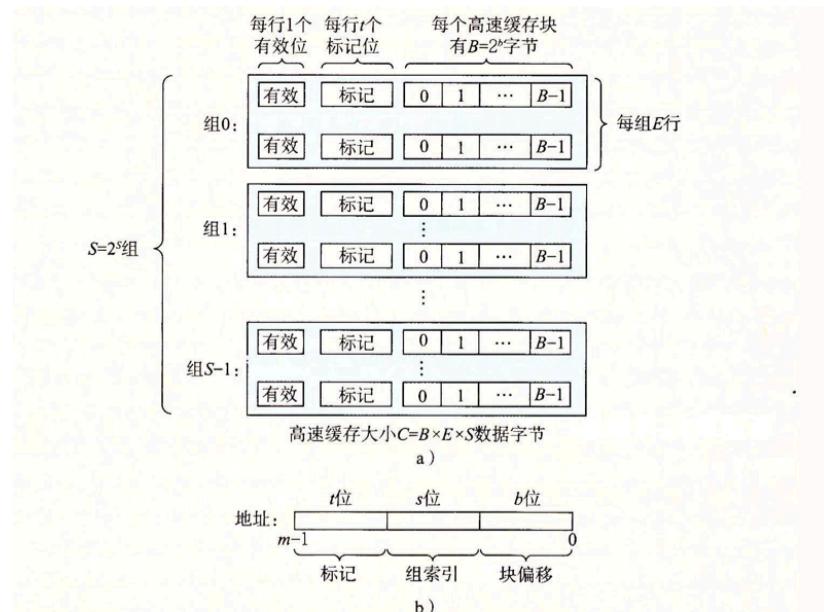
一个计算机系统，其中每个存储器地址有 m (memory) 位，从而形成 $M = 2^m$ 个不同的地址。

- 高速缓存被组织成一个有 $S = 2^s$ (set) 个高速缓存组的数据组。
- 每个组包含 E (line) 个高速缓存行。
- 每行包含一个 $B = 2^b$ (block) 字节的数据块。

每个行有：

- 有效位 (valid bit) : 1位，标明该行是否包含有意义的信息
- 标记位 (tag bit) : $t = m - (b + s)$ 位，用于标识存储在该高速缓存行中的地址
- 数据块: $B = 2^b$ 字节，存储实际数据

总容量 (Capacity) : $C = B \times E \times S$ 字节，不包括标记位和有效位



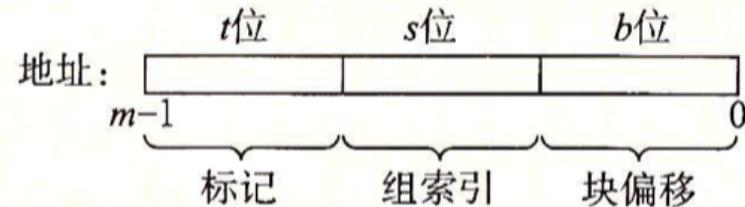
高速缓存 (S, E, B, m) 的通用组织。a) 高速缓存是一个高速缓存组的数组。每个组包含一个或多个行，每个行包含一个有效位，一些标记位，以及一个数据块；b) 高速缓存的结构将 m 个地址位划分成了 t 个标记位、 s 个组索引位和 b 个块偏移位

缓存地址划分

Cache Address Division

1个地址，总共有 m 位，从 **高位到低位** 划分如下：

- 标记位： t
 - 组索引： s
 - 块偏移： b
- 小写符号是位数
 - 大写符号是位数对应的 2 的幂次，代表一个总数。



缓存寻址过程

Cache Addressing Process

当一条加载指令 A 访问存储地址 A 时：

1. **组选择**：根据地址 A 的 **组索引位**，找到对应的组。
2. **行匹配**：检查该组内是否有 **有效位有效且标记位匹配** 的缓存行。
3. **字抽取**：若存在匹配行，则命中缓存，返回该行数据；
4. **行替换**：否则，发生缓存不命中，选择一个现有的行/块驱逐，从低一级存储器中读取新数据放入缓存。

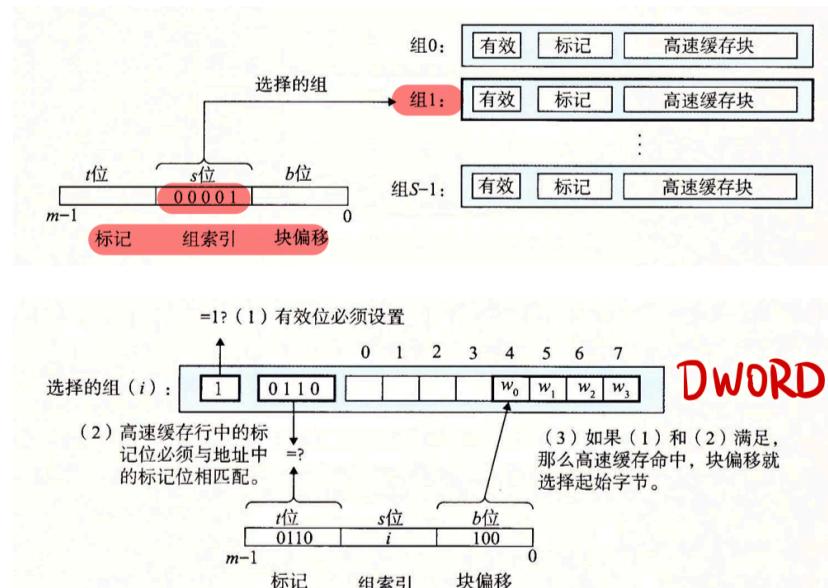


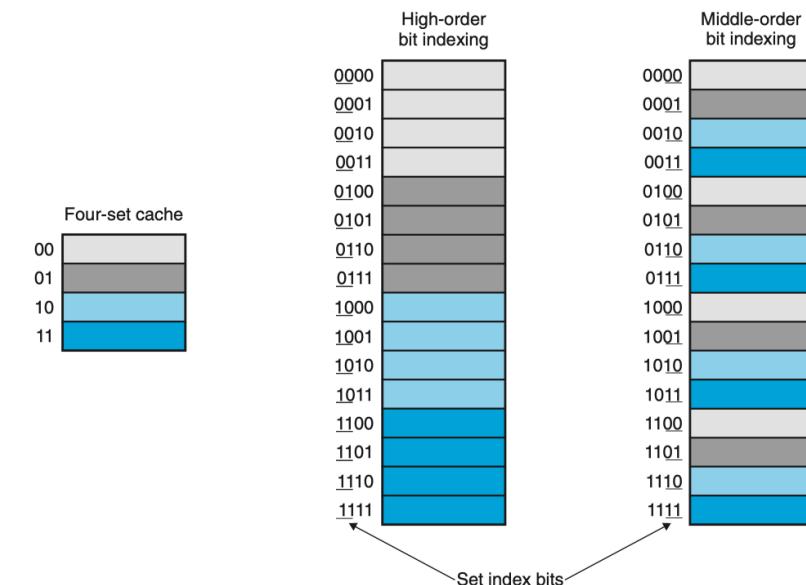
图 6-29 直接映射高速缓存中的行匹配和字选择。在高速缓存块中， w_0 表示字 w 的低位字节， w_1 是下一个字节，依此类推

缓存地址划分

Cache Address Division

为什么划分设计成这样？

1. 块偏移：我们肯定希望 **两个相连的字节在同一个块内**（块是数据交换的最小单位），这样空间局部性更好。从而我们将最低的 b 位作为块偏移。
2. 组索引：我们希望 **相邻的块可以放在不同的组内**，从而减少冲突不命中。从而我们将接下来的 s 位作为组索引。
3. 标记：利用地址的唯一性，我们将剩下的 t 位作为标记，用以区分分在同一组的各个块。



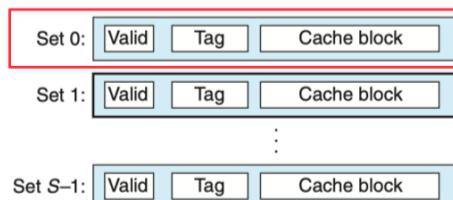
此图中，除了地址的最低 b 位。

不同的缓存组织结构

Different Cache Organization

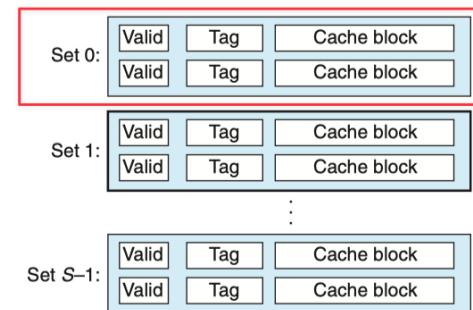
直接映射高速缓存

- $E = 1$
- 每个组仅有一行
- 不止 1 个组
- 最容易发生冲突不命中
- 硬件最简单 (只需匹配 1 次 Tag)



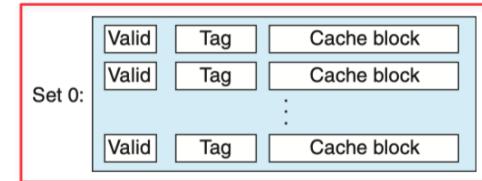
组相联高速缓存

- $1 < E < C/B$
- 每个组有多行
- 不止 1 个组
- E 称为路数 (E 路组相联)



全相联高速缓存

- $E = C/B$
- 1 个组拥有所有行
- 只有 1 个组, $s = 0$
- 所有行可以任意放置, 最灵活, 最不易发生冲突不命中
- 硬件最复杂 (需要匹配 Tag 数最多)



高速缓存读写策略

Cache Read / Write Policy

写命中

写命中：当数据在缓存中时，写操作的策略。

- 写回 (Write Back)：写在缓存，直到被替换的时候再写到下层存储器
(需要额外的1位 dirty bit 来标识缓存中数据是否被修改)
- 直写 (Write Through)：写缓存的同时直接写到下层存储器

高速缓存层次结构中，下层一般采用写回。

常见搭配：写回+写分配（效率高，因为试图利用局部性，可以减少访存次数），直写+非写分配

写不命中

写不命中：当数据不在缓存中时，写操作的策略。

- 写分配 (Write Allocate)：写下层存储器的同时加载到缓存
- 非写分配 (Not Write Allocate)：只写到下层存储器，不改变缓存

高速缓存参数的性能影响

Cache Parameter Performance Impact

高速缓存大小 (C) :

- 高速缓存越大，命中率越高
- 高速缓存越大，命中时间也越高，运行相对更慢

块大小 (B) :

- 块大小越大，空间局部性越好
- 块大小越大，时间局部性可能会变差，因为容量不变时，块越大，高速缓存行数 (E) 可能就会越少，损失时间局部性带来的命中率，不命中处罚大

高速缓存参数的性能影响

Cache Parameter Performance Impact

相联度 (E) :

- E 较高，降低冲突不命中导致抖动的可能性，因为下层存储器的不命中处罚很高，所以下层存储器的相联度往往更高，因为此时降低冲突不命中带来的收益很高
- E 越高，复杂性越高、成本越高
- E 越高，不命中处罚越高。因为高相联度缓存的替换策略（如 LRU）更复杂，导致在缓存未命中时，找到一个合适的缓存行来替换会花费更多时间
- E 增高，可能需要更多标记位 ($t \geq \log_2 E$) 、 LRU 状态位
- **原则是命中时间和不命中处罚的折中**

高速缓存参数的性能影响

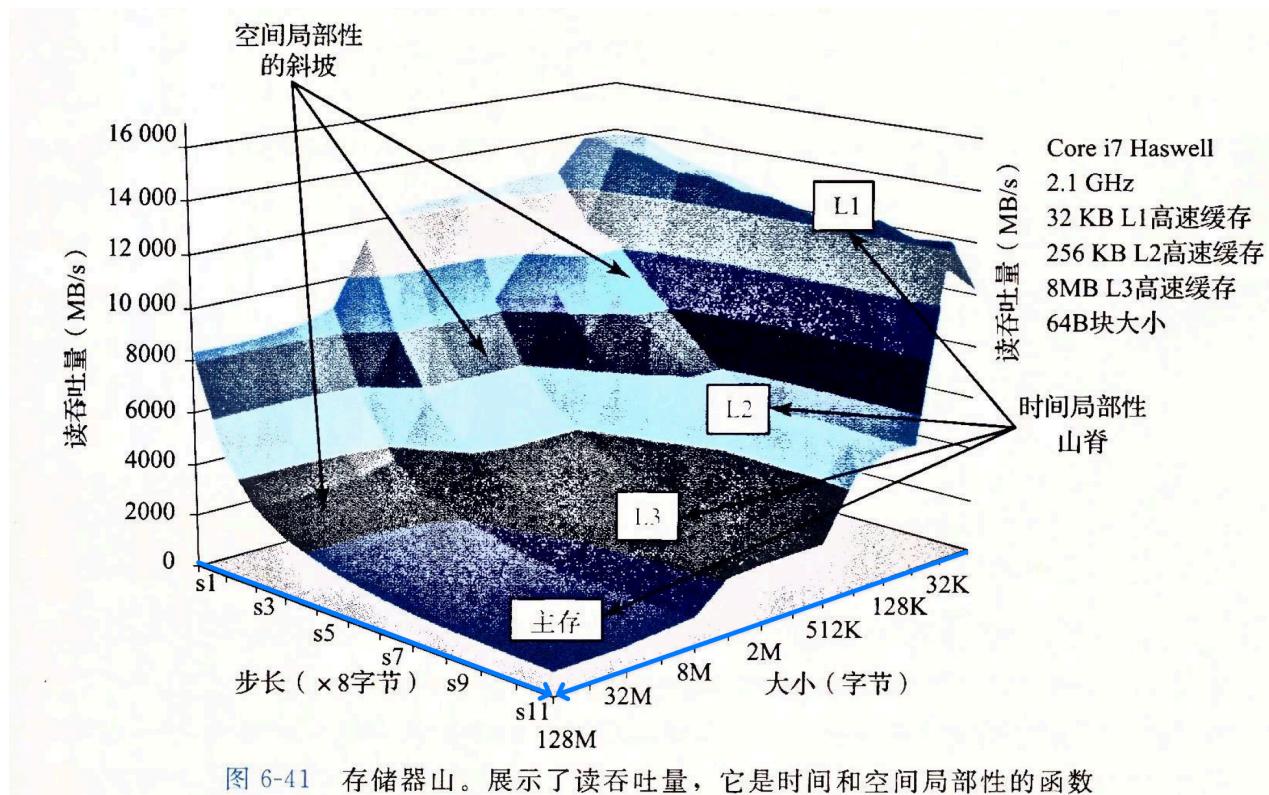
Cache Parameter Performance Impact

写策略：

- 直写高速缓存容易实现
- 写回高速缓存引起的传送较少
- 一般而言，高速缓存越往下层，就越可能使用写回（因为直写无论如何都需要写到下层存储器，这是相对较慢（昂贵）的操作）

存储器山

Memory Hill

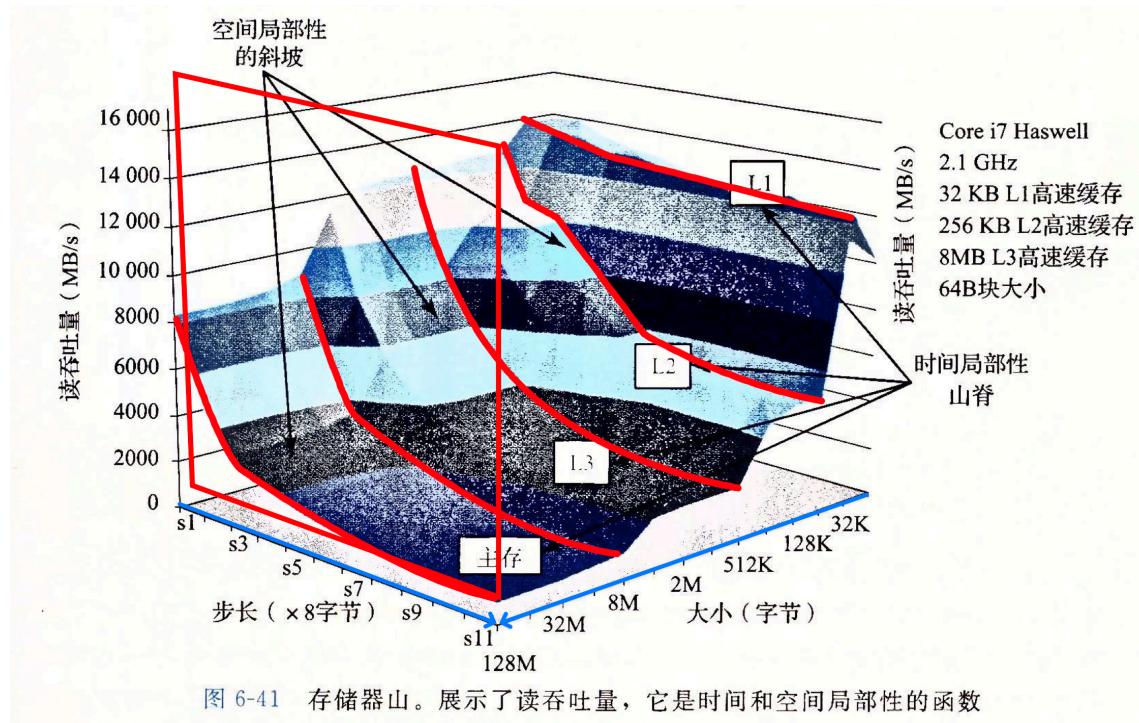


存储器山：空间局部性

Memory Hill: Spatial Locality

步长 (stride) 对性能的影响：

- 小步长访问数据时，空间局部性好，缓存命中率高，带宽利用率高。
- 步长增加时，访问数据的空间局部性下降，缓存命中率降低，带宽利用率下降，吞吐量降低。



存储器山：时间局部性

Memory Hill: Temporal Locality

工作集大小对性能的影响：

- 小工作集大小时，数据可以更容易地装入上级存储器缓存，缓存命中率高，时间局部性好。
- 工作集大小增加时，如果工作集超过某一级缓存容量，导致更多的数据需要从更低层次的存储中读取，传输速率下降，吞吐量降低，缓存命中率低，时间局部性差。

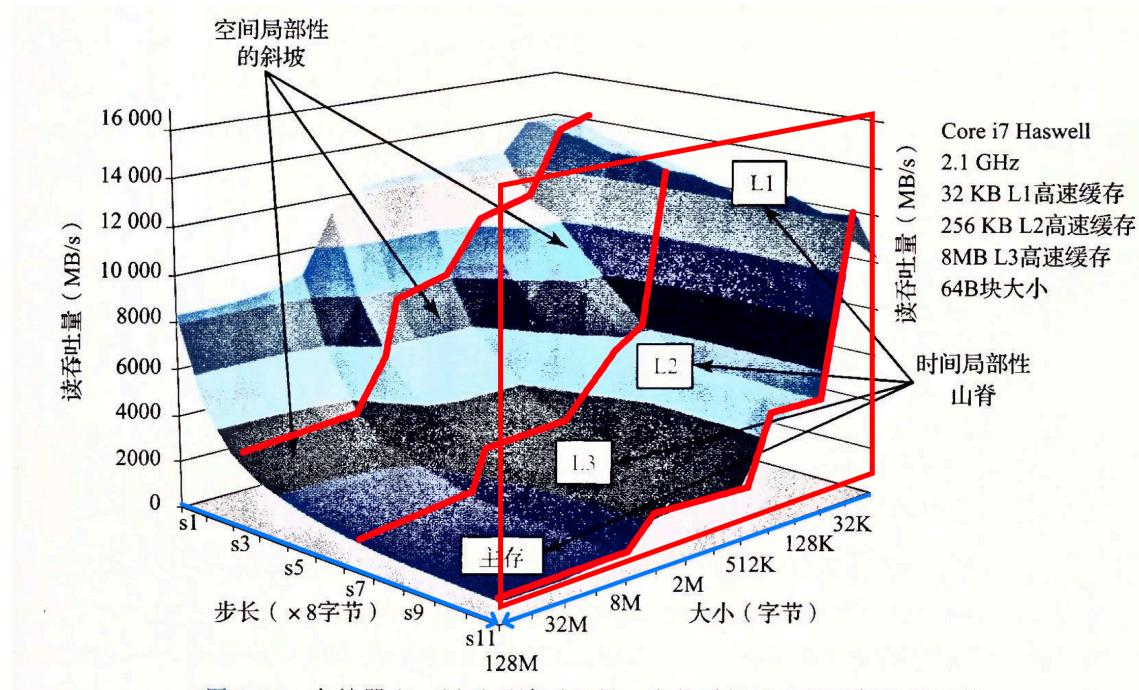


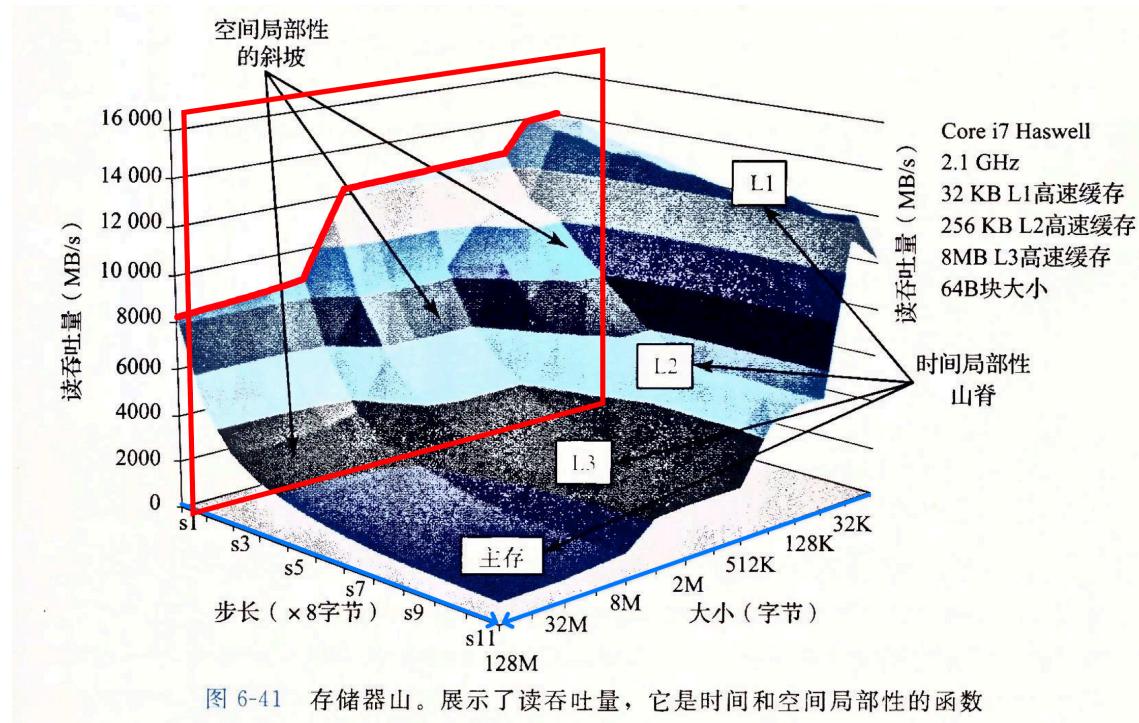
图 6-41 存储器山。展示了读吞吐量，它是时间和空间局部性的函数

存储器山：预取

Memory Hill: Prefetch

预取 (prefetching)：指在数据块被实际访问之前，提前将其加载到高速缓存中。

- 自动识别顺序的、步长为 1 的引用模式
- 提前将数据块取到高速缓存中，减少访问延迟
- 提高读吞吐量，特别是在步长较小的情况下效果最佳



Emphasis

Outline

- Memory hierarchy

- Memory hierarchy、局部性、缓存
- 各种概念
 - RAM: SRAM、DRAM, FPM DRAM、EDO DRAM、SDRAM、DDR SDRAM、VRAM
 - ROM: PROM、EPROM、EEPROM、SSD
- Disk: 磁盘容量, 磁盘操作 (Capacity, T_{xxx})
 - K, M, G, T 的大小问题
 - DMA 传送
- SSD: 以页为单位读写, 以块为单位擦除

Outline

■ Cache

- general organization: (S, E, B, m) , 读取方式 (图解) , 读取公式
 - 直接映射 $E = 1$
 - 组相联 $E \leq C/B$
 - 全相联 $E = C/B$
- Cache分析: 缓存命中、缓存不命中、缓存替换策略; 写命中、写不命中、搭配
- 示例 Intel Core i7: 2023年题目
- 局部性 Locality

Memory hierarchy

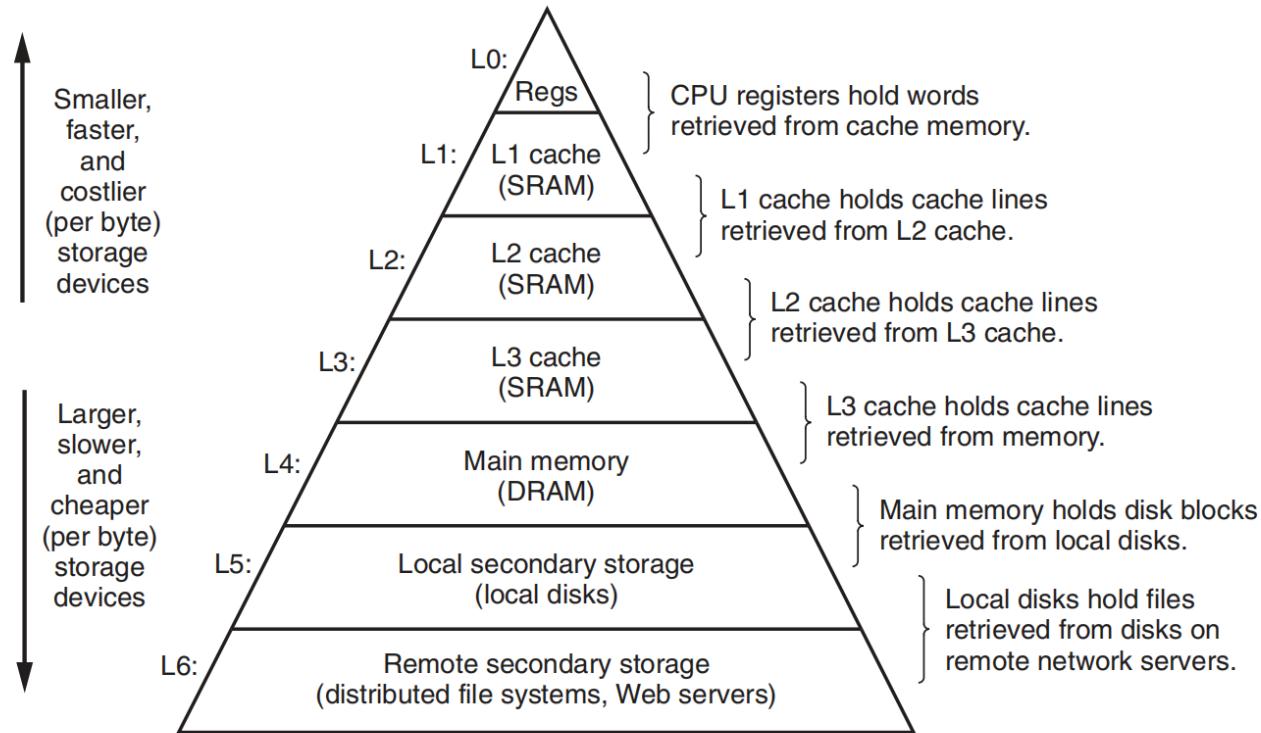


Figure 6.21 The memory hierarchy.

Disk

$$\text{Capacity} = \frac{\# \text{ bytes}}{\text{sector}} \times \frac{\text{average } \# \text{ sectors}}{\text{track}} \times \frac{\# \text{ tracks}}{\text{surface}} \times \frac{\# \text{ surfaces}}{\text{platter}} \times \frac{\# \text{ platters}}{\text{disk}}$$

$$T_{\text{access}} = T_{\text{avg seek}} + T_{\text{avg rotation}} + T_{\text{avg transfer}}$$

$$T_{\text{avg transfer}} = \frac{1}{\text{RPM}} \times \left(\frac{1}{\text{average } \# \text{ sectors/track}} \right) \times \left(\frac{60 \text{ secs}}{1 \text{ min}} \right)$$

$$T_{\text{max rotation}} = \frac{1}{\text{RPM}} \times \left(\frac{60 \text{ secs}}{1 \text{ min}} \right)$$

$$T_{\text{avg rotation}} = \frac{1}{2} \times T_{\text{max rotation}}$$

DRAM & SRAM: $K = 2^{10}$, $M = 2^{20}$, $G = 2^{30}$, $T = 2^{40}$

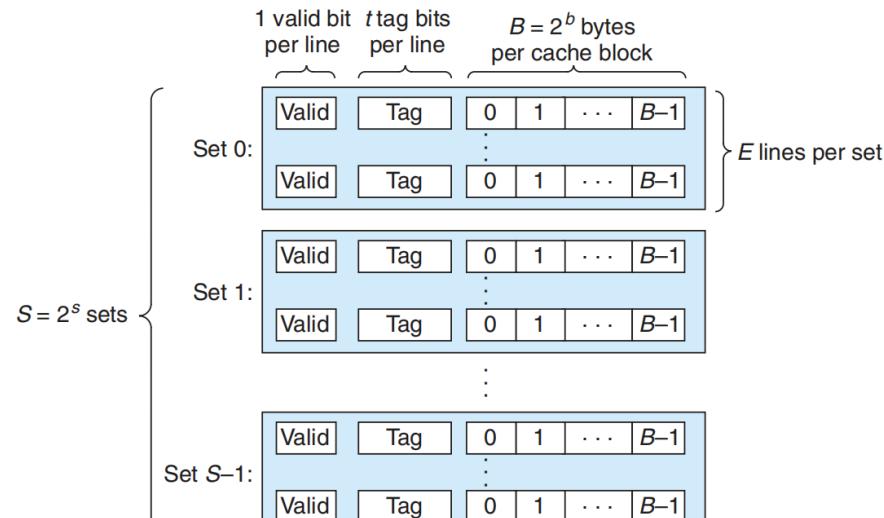
Disk & network: $K = 10^3$, $M = 10^6$, $G = 10^9$, $T = 10^{12}$

Cache

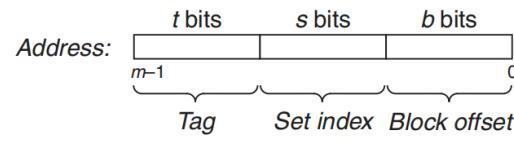
Figure 6.25

General organization of cache (S, E, B, m).

(a) A cache is an array of sets. Each set contains one or more lines. Each line contains a valid bit, some tag bits, and a block of data. (b) The cache organization induces a partition of the m address bits into t tag bits, s set index bits, and b block offset bits.



(a)



(b)

Cache

Parameter	Description
Fundamental parameters	
$S = 2^s$	Number of sets
E	Number of lines per set
$B = 2^b$	Block size (bytes)
$m = \log_2(M)$	Number of physical (main memory) address bits
Derived quantities	
$M = 2^m$	Maximum number of unique memory addresses
$s = \log_2(S)$	Number of <i>set index bits</i>
$b = \log_2(B)$	Number of <i>block offset bits</i>
$t = m - (s + b)$	Number of <i>tag bits</i>
$C = B \times E \times S$	Cache size (bytes), not including overhead such as the valid and tag bits

Figure 6.26 Summary of cache parameters.

Homework Review

T1

* 6.23 估计访问下面这个磁盘上扇区的平均时间(以 ms 为单位)：

参数	值
旋转速率	15 000RPM
$T_{avg\ seek}$	4 ms
平均扇区数/磁道	800

6.23

$$\therefore T_{avg\ seek} = 4ms$$

$$\therefore T_{avg\ rotation} = \frac{1}{2} T_{max\ rotation} = \frac{1}{2} * \frac{60s}{15000RPM} * \frac{1000ms}{1s} = 2ms$$

$$T_{avg\ transfer} = \frac{60s}{15000RPM} * \frac{1}{800} * \frac{1000ms}{1s} = 0.005ms$$

$$\therefore T_{access} = T_{avg\ seek} + T_{avg\ rotation} + T_{avg\ transfer} = 6.005ms$$

T2

** 6.24 假设一个 2MB 的文件，由 512 个字节的逻辑块组成，存储在具有下述特性的磁盘驱动器上：

参数	值
旋转速率	15 000RPM
$T_{\text{avg seek}}$	4 ms
平均扇区数/磁道	1000
盘面数	8
扇区大小	512字节

对于下面的每种情况，假设程序顺序地读文件的逻辑块，一个接一个，并且对第一个块定位读/写头的时间等于 $T_{\text{avg seek}} + T_{\text{avg rotation}}$ 。

- A. 最好情况：估计在所有可能的逻辑块到磁盘扇区的映射上读该文件所需要的最优时间(以 ms 为单位)。
- B. 随机情况：估计如果块是随机映射到磁盘扇区上时读该文件所需要的时间(以 ms 为单位)。

T2-Ans

$$T_{avg\ rotation} = \frac{1}{2} \times T_{max\ rotation} = \frac{1}{2} \times \frac{1}{RPM} \times \frac{60000ms}{1min} = 2ms$$

$$T_{avg\ transfer} = \frac{1}{RPM} \times \frac{60000ms}{1min} \times \frac{1}{1000} = 0.004ms$$

2MB 的文件需要 4000 个 512 字节的逻辑块。 A. 只需要移动一次读写头。

$$T = T_{avg\ seek} + T_{avg\ rotation} + 4000 \times T_{avg\ transfer} = 22ms$$

B. 每读取一个逻辑块，都需要移动读写头。

$$T = 4000 \times (T_{avg\ seek} + T_{avg\ rotation} + T_{avg\ transfer}) = 24016ms$$

T3-1

6.30 假设我们有一个具有如下属性的系统：

- 内存是字节寻址的。
- 内存访问是对1字节字的(而不是4字节字)。
- 地址宽13位。
- 高速缓存是四路组相联的($E=4$)，块大小为4字节($B=4$)，有8个组($S=8$)。

考虑下面的高速缓存状态。所有的地址、标记和值都以十六进制表示。每组有4行，索引列包含组索引。标记列包含每一行的标记值。 V 列包含每一行的有效位。字节0~3列包含每一行的数据，标号从左向右，字节0在左边。

4路组相联高速缓存

索引	标记 V	字节 0 ~ 3	标记 V	字节 0 ~ 3	标记 V	字节 0 ~ 3	标记 V	字节 0 ~ 3
0	F0 1	ED 32 0A A2	8A 1	BF 80 1D FC	14 1	EF 09 86 2A	BC 0	25 44 6F 1A
1	BC 0	03 3E CD 38	A0 0	16 7B ED .5A	BC 1	8E 4C DF 18	E4 1	FB B7 12 02
2	BC 1	54 9E 1E FA	B6 1	DC 81 B2 14	00 0	B6 1F 7B 44	74 0	10 F5 B8 2E
3	BE 0	2F 7E 3D A8	C0 1	27 95 A4 74	C4 0	07 11 6B D8	BC 0	C7 B7 AF C2
4	7E 1	32 21 1C 2C	8A 1	22 C2 DC 34	BC 1	BA DD 37 D8	DC 0	E7 A2 39 BA
5	98 0	A9 76 2B EE	54 0	BC 91 D5 92	98 1	80 BA 9B F6	BC 1	48 16 81 0A
6	38 0	5D 4D F7 DA	1 69 C2 8C 74	8A 1	A8 CE 7F DA	38 1	FA 93 EB 48	
7	8A 1	04 2A 32 6A	9E 0	B1 B6 56 0E	CC 1	96 3D 47 F2	BC 1	F8 1D 42 30

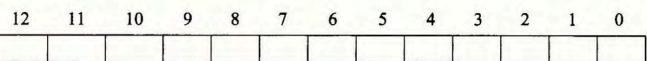
A. 这个高速缓存的大小(C)是多少字节？

B. 下面的图给出了一个地址的格式(每个小框表示一位)。指出用来确定下列信息的字段(在图中标号出来)：

CO 高速缓存块偏移

CI 高速缓存组索引

CT 高速缓存标记



■ A. $4 \times 4 \times 8 = 128B$

■ B.

12-5:CF ;

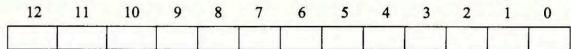
4-2:CI ;

1-0:CO

T3-2

- 6.31 假设程序使用作业 6.30 中的高速缓存，引用位于地址 0x071A 处的 1 字节字。用十六进制表示它所访问的高速缓存条目，以及返回的高速缓存字节值。指明是否发生了高速缓存不命中。如有高速缓存不命中，对于“返回的高速缓存字节”输入“—”。提示：注意那些有效位！

A. 地址格式(每个小框表示一位)：



B. 内存引用：

参数	值
高速缓存块偏移 (CO)	0x_____
高速缓存组索引 (CI)	0x_____
高速缓存标记 (CT)	0x_____
高速缓存命中? (是/否)	_____
返回的高速缓存字节	0x_____

索引	标记	V	字节 0 ~ 3	标记	V	字节 0 ~ 3	标记	V	字节 0 ~ 3	标记	V	字节 0 ~ 3
0	F0	1	ED 32 0A A2	8A	1	BF 80 1D FC	14	1	EF 09 86 2A	BC	0	25 44 6F 1A
1	BC	0	03 3E CD 38	A0	0	16 7B ED 5A	BC	1	8E 4C DF 18	E4	1	FB B7 12 02
2	BC	1	54 9E 1E FA	B6	1	DC 81 B2 14	00	0	B6 1F 7B 44	74	0	10 F5 B8 2E
3	BE	0	2F 7E 3D A8	C0	1	27 95 A4 74	C4	0	07 11 6B D8	BC	0	C7 B7 AF C2
4	7E	1	32 21 1C 2C	8A	1	22 C2 DC 34	BC	1	BA DD 37 D8	DC	0	E7 A2 39 BA
5	98	0	A9 76 2B EE	54	0	BC 91 D5 92	98	1	80 BA 9B F6	BC	1	48 16 81 0A
6	38	0	5D 4D F7 DA	BC	1	69 C2 8C 74	8A	1	A8 CE 7F DA	38	1	FA 93 EB 48
7	8A	1	04 2A 32 6A	9E	0	B1 86 56 0E	CC	1	96 30 47 F2	BC	1	F8 1D 42 30

■ A. 00111000 110 10

■ B.

0x2

0x6

0x38

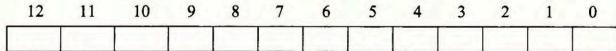
是

0xEB

T3-3

6.32 对于内存地址 0x16E8 重复作业 6.31。

A. 地址格式(每个小框表示一位):



B. 内存引用:

参数	值
高速缓存块偏移 (CO)	0x_____
高速缓存组索引 (CI)	0x_____
高速缓存标记 (CT)	0x_____
高速缓存命中? (是/否)	_____
返回的高速缓存字节	0x_____

索引	标记 V	字节 0 ~ 3						
0	F0 1	ED 32 0A A2	8A 1	BF 80 1D FC	14 1	EF 09 86 2A	BC 0	25 44 6F 1A
1	BC 0	03 3E CD 38	A0 0	16 7B ED 5A	BC 1	8E 4C DF 18	E4 1	FB B7 12 02
2	BC 1	54 9E 1E FA	B6 1	DC 81 B2 14	00 0	B6 1F 7B 44	74 0	10 F5 B8 2E
3	BE 0	2F 7E 3D A8	C0 1	27 95 A4 74	C4 0	07 11 6B D8	BC 0	C7 B7 AF C2
4	7E 1	32 21 1C 2C	8A 1	22 C2 DC 34	BC 1	BA DD 37 D8	DC 0	E7 A2 39 BA
5	98 0	A9 76 2B EE	54 0	BC 91 D5 92	98 1	80 BA 9B F6	BC 1	48 16 81 0A
6	38 0	5D 4D F7 DA	BC 1	69 C2 8C 74	8A 1	A8 CE 7F DA	38 1	FA 93 EB 48
7	8A 1	04 2A 32 6A	9E 0	B1 86 56 0E	CC 1	96 30 47 F2	BC 1	F8 1D 42 30

■ A. 10110111 010 00

■ B.

0x0

0x2

0xB7

否

--

T3-4

** 6.33 对于作业 6.30 中的高速缓存，列出会在组 2 中命中的 8 个内存地址(以十六进制表示)。

6.30 假设我们有一个具有如下属性的系统：

- 内存是字节寻址的。
- 内存访问是对 1 字节字的(而不是 4 字节字)。
- 地址宽 13 位。
- 高速缓存是四路组相联的($E=4$)，块大小为 4 字节($B=4$)，有 8 个组($S=8$)。

考虑下面的高速缓存状态。所有的地址、标记和值都以十六进制表示。每组有 4 行，索引列包含组索引。标记列包含每一行的标记值。 V 列包含每一行的有效位。字节 0~3 列包含每一行的数据，标号从左向右，字节 0 在左边。

4 路组相联高速缓存

索引	标记 V	字节 0 ~ 3						
0	F0 1	ED 32 0A A2	8A 1	BF 80 1D FC	14 1	EF 09 86 2A	BC 0	25 44 6F 1A
1	BC 0	03 3E CD 38	A0 0	16 7B ED 5A	BC 1	8E 4C DF 18	E4 1	FB B7 12 02
2	BC 1	54 9E 1E FA	B6 1	DC 81 B2 14	00 0	B6 1F 7B 44	74 0	10 F5 B8 2E
3	BE 0	2F 7E 3D A8	C0 1	27 95 A4 74	C4 0	07 11 6B D8	BC 0	C7 B7 AF C2
4	7B 1	32 21 1C 2C	8A 1	22 C2 DC 34	BC 1	BA DD 37 D8	DC 0	E7 A2 39 BA
5	98 0	A9 76 2B EE	54 0	BC 91 D5 92	98 1	80 BA 9B F6	BC 1	48 16 81 0A
6	38 0	5D 4D F7 DA	BC 1	69 C2 8C 74	8A 1	A8 CE 7F DA	38 1	FA 93 EB 48
7	8A 1	04 2A 32 6A	9E 0	B1 86 56 0E	CC 1	96 3D 47 F2	BC 1	F8 1D 42 30

A. 这个高速缓存的大小(C)是多少字节？

B. 下面的图给出了一个地址的格式(每个小框表示一位)。指出用来确定下列信息的字段(在图中标号出来)：

CO 高速缓存块偏移

0x1788 0x1789 0x178A 0x178B

0x16C8 0x16C9 0x16CA 0x16CB

T4-1

** 6.34 考虑下面的矩阵转置函数：

```

1  typedef int array[4][4];
2
3  void transpose2(array dst, array src)
4  {
5      int i, j;
6
7      for (i = 0; i < 4; i++) {
8          for (j = 0; j < 4; j++) {
9              dst[j][i] = src[i][j];
10         }
11     }
12 }
```

假设这段代码运行在一台具有如下属性的机器上：

- `sizeof(int)==4`。

- 数组 `src` 从地址 0 开始，而数组 `dst` 从地址 64 开始(十进制)。

- 只有一个 L1 数据高速缓存，它是直接映射、直写、写分配的，块大小为 16 字节。

- 这个高速缓存总共有 32 个数据字节，初始为空。

- 对 `src` 和 `dst` 数组的访问分别是读和写不命中的唯一来源。

对于每个 `row` 和 `col`，指明对 `src[row][col]` 和 `dst[row][col]` 的访问是命中(h)还是不命中(m)。例如，读 `src[0][0]` 会不命中，而写 `dst[0][0]` 也会不命中。

		dst array			
		col 0	col 1	col 2	col 3
row 0		m	m	m	m
row 1		m	m	m	m
row 2		m	m	m	m
row 3		m	m	m	m

		src array			
		col 0	col 1	col 2	col 3
row 0		m	m	h	m
row 1		m	h	m	h
row 2		m	m	h	m
row 3		m	h	m	h

T4-2

对于一个总大小为 128 数据字节的高速缓存，重复练习题 6.34。

dst array				
	col 0	col 1	col 2	col 3
row 0	m	h	h	h
row 1	m	h	h	h
row 2	m	h	h	h
row 3	m	h	h	h

src array				
	col 0	col 1	col 2	col 3
row 0	m	h	h	h
row 1	m	h	h	h
row 2	m	h	h	h
row 3	m	h	h	h

Exercises

E1

Questions

某磁盘的旋转速率为 7200RPM，每条磁道平均有 400 扇区，则一个扇区的平均传送时间为

- A. 0.02 ms
- B. 0.01 ms
- C. 0.03 ms
- D. 0.04ms

答案: A

$$\text{平均传送时间} = \frac{60 \text{ 秒}}{\text{每分钟的旋转次数}} (\text{多少秒转一次}) \times \frac{1}{\text{每条磁道上的扇区数}} (\text{每个扇区平分}) \times 1000 \text{ 毫秒/秒}$$

解析:

$$\frac{60 \text{ 秒}}{7200 \text{ RPM}} \times \frac{1}{400 \text{ sectors/track}} \times 1000 \text{ ms/sec} \approx 0.02 \text{ ms}$$

E2

Questions

以下关于存储的描述中，正确的是？

- A. 由于基于 SRAM 的内存性能与 CPU 的性能有很大差距，因此现代计算机使用更快的基于 DRAM 的高速缓存，试图弥补 CPU 和内存间性能的差距。
- B. SSD 相对于旋转磁盘而言具有更好的读性能，但是 SSD 写的速度通常比读的速度慢得多，而且 SSD 比旋转磁盘单位容量的价格更贵，此外 SSD 底层基于 EEPROM 的闪存会磨损。
- C. 一个有 2 个盘片、10000 个柱面、每条磁道平均有 400 个扇区，每个扇区有 512 个字节的双面磁盘的容量为 8GB。
- D. 访问一个磁盘扇区的平均时间主要取决于寻道时间和旋转延迟，因此一个旋转速率为 6000RPM、平均寻道时间为 9ms 的磁盘的平均访问时间大约为 19ms。
- E. SDRAM 兼具 SRAM 和 DRAM 的特点。

答案：B

- A. 选项中 SRAM 和 DRAM 位置反了
- C. 选项中，硬盘容量 $1\text{GB} = 10^9 \text{ Byte}$ ，因此容量应该为 8.192GB （回忆：内存及以上存储器使用 2 的幂次，硬盘使用 10 的幂次）
- D. 选项中，平均旋转延迟为 $0.5 \times (60\text{s}/6000\text{RPM}) = 5\text{ms}$ ，平均访问时间为 $9\text{ms} + 5\text{ms} = 14\text{ms}$
- E. SDRAM 和 SRAM 无关，其 S 是 Synchronous 的缩写，表示同步的意思

E3

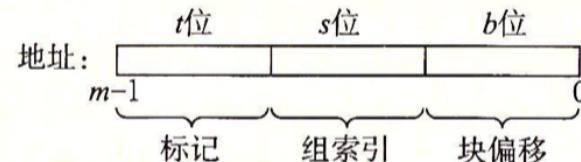
Questions

如果我们希望将原来 4MB 的 cache 调整为 6MB，可以采取的做法是？

- A. 将 S 从 4096 调整为 6144
- B. 将 E 从 16 调整为 24
- C. 将 B 从 64 调整为 96
- D. 以上答案都不对

答案：B

S 和 B 需要是 2 的 n 次方（因为他们参与地址划分，要得到 $s = \log_2 S$ 和 $b = \log_2 B$ ），但 E 不需要（行匹配是直接对组里的所有行进行标记（tag）位的匹配）。



E4

Questions

现在考虑另外一个计算机系统。在该系统中，存储器地址为 32 位，并采用如下的 cache：

Cache datasize	Cache block size	Cache mode
32 KiB	8 Bytes	直接映射

此 cache 至少要占用多少字节？(提示：datasize + (valid bit size + tag size) * blocks)

答案：

1. 块大小 B 为 8Bytes，所以 $b = \log_2 8 = 3$
2. 缓存块总共有 $C/B = 32\text{KiB}/8\text{Byte} = 4096$ 个
3. 因为是直接映射，所以行数 $E = 1$ ，组数 $S = \frac{C}{B \times E} = 4096$ ，且 $s = \log_2 4096 = 12$
4. 因为是 32 位地址，所以 $m = 32$ ，标记位 $t = m - s - b = 32 - 12 - 3 = 17$
5. 所以： 

$$\text{总大小} = \text{数据大小} + (\text{有效位大小} + \text{标记位大小}) \times \text{块数} = 32 \times 1024 + (1 + 17) \times 4096/8 = 41984\text{bytes}$$

E5-1

第五题（20分）

某一计算机的内存空间的大小是32 Bytes，即内存空间的地址范围如下：

$$0_{10} \text{ (} 00000_2 \text{)} \text{ -- } 31_{10} \text{ (} 11111_2 \text{)}$$

1. (4分) 假设Cache容量大小是8 Bytes，初始状态为空。由于容量过小，需要扩容。若为充分利用原有硬件设计，不希望大幅度修改cache地址解析逻辑，那么最适宜采用的扩容方式是_____
A. 增加set数 B. 增大block C. 增加相联度 D. 以上皆不是

2. (4分) 在前题基础上，将Cache容量扩大为16 Bytes。假设对于访问内存地址序列 $0_{10}, 2_{10}, 4_{10}, 8_{10}, 12_{10}, 14_{10}$ ，其命中率为33.3%，那么请问该Cache的block大小是_____?
A. 2 bytes B. 4 bytes C. 8 bytes D. 以上皆不是

E5-2

3. 在前题基础上，假设每个Cache Block的大小为4 Bytes（即 $B = 4$ ），Cache的结构如下图所示（ $S=2$, $E=2$ ），且替换策略为LRU。

现有一程序，访问内存地址序列如下所示，单位是Byte。

$2_{10} \quad 23_{10} \quad 13_{10} \quad 9_{10} \quad 20_{10} \quad 15_{10} \quad 13_{10} \quad 10_{10}$

请在下图空白处填入访问上述数据后Cache的状态。（4分）

(TAG使用二进制格式；Data Block使用十进制格式，例：M[4-7]表示地址 $4_{10}-7_{10}$ 对应的数据) (注：同Set内不同Line的顺序可颠倒)

	V	TAG	Data Block
set0			

	V	TAG	Data Block
set1			

上述数据访问一共产生了多少次 Hit (2 分) : _____

E5-ANS12

1. C

2. B

	V	TAG	Data Block
set0	1	00	M[0-3]
	1	01	M[8-11]

	V	TAG	Data Block
set1	1	10	M[20-23]
	1	01	M[12-15]

上述数据访问一共产生了多少次 Hit (2 分) : 4

E5-3

4. 在前题基础上，增加一条新规则：地址区间包含10倍数的block将不会被缓存。假设仍旧使用LRU替换策略，请在下图空白处填入访问上述数据后Cache的状态（4分）。（注：同Set内不同Line的顺序可颠倒，此处规定0不算10的倍数）

	V	TAG	Data Block
set0			

	V	TAG	Data Block
set1			

上述数据访问一共产生了多少次 Hit (2 分) : _____

E5-ANS3

4. 在前题基础上，增加一条新规则：地址区间包含10倍数的block将不会被缓存。假设仍旧使用LRU替换策略，请在下图空白处填入访问上述数据后Cache的状态（4分）。（注：同Set内不同Line的顺序可颠倒）

	V	TAG	Data Block
set0	1	00	M [0-3]
	0		

	V	TAG	Data Block
set1	1	01	M [12-15]
	0		

上述数据访问一共产生了多少次 Hit (2 分): 2

E6-1

第五题 请利用本课程中的“高速缓存”的相关知识，回答下列问题。

1. 在一个 **8-bit** 地址空间的机器上，考虑如下的高速缓存：此高速缓存共有 4 组 (**S=4**)，为二路组相联 (**E=2**)，Tag 段的大小为 3-bit (**t=3**)，替换策略为 **LRU**。

初始状态下各组的有效位 (V) 和 Tag 位如下表所示：

	V	Tag	V	Tag
SET 0	1	000	0	001
SET 1	0	001	1	110
SET 2	0	110	1	101
SET 3	1	010	0	001

- (1) 此 cache 所能存储的数据总容量为 $C = \underline{\hspace{2cm}}$ Bytes. (3 分)
 (2) 现要读取地址空间 0xd2 处的数据，此访存是否命中 cache? _____
 (填“是”或“否”)。 (2 分) 请在下表中写出经过此次访存后，更新后的 cache 的有效位 (V) 和 Tag 位。(仅写出有修改的部分即可，如果你认为没有修改，此表可以为空) (2 分)

	V	Tag	V	Tag
SET 0				
SET 1				
SET 2				
SET 3				

- (3) 在(2)进行访存的基础上，考虑如下的访存序列：0xc8, 0x16, 0x01, 0xb5
 (均为读取一个字节的数据)。这四次数据访问的命中率 (hit rate) 为 _____。
 (2 分) 假设此 cache 的命中时间 (hit time) 为 10 个周期，不命中处罚 (miss penalty) 为 190 个周期，则这四次数据访问的总延迟为 _____ 周期。
 (2 分)

E6-ANS1

1. (1) .64 (3 分)

由 $s=4$ 可得 $s=2$, 故 $b=8-s-t=3$, 即每个 cache block 的大小为 $B=2^3=8$ Bytes。

Cache 总容量 $C=S \times E \times B=64$ Bytes.

本题考察 cache 的基本概念, 属于容易题。

(2) . 否 (2 分)

	V	Tag	V	Tag
SET 0				
SET 1				
SET 2	1	110		
SET 3				

0xd2 的二进制表示为 110 10 010, 可得其组号为 set 2。在当前状态下 set 2 虽然有 tag 为 110 的 cache block, 但此 block 的有效位 V=0, 所以不命中。由于 set 2 有一个 V=0 的 cache block, 所以 cache 更新后, 应当将这个 block 的有效位设置为 1, 并将其 tag 位设置为 110。

本题考察访问 cache 的基本操作, 属于容易题。

注意: 填写此表时只要表达的意思对即可给分。(比如只写了 set 2 的第一个 block 的有效位, 或者将其他没有改动的地方抄了下来都应算对)

(3) .50% (2 分); 420 (2 分)

0xc8 的二进制为 110 01 000, 命中 set 1。0x16 的二进制为 000 10 110, 查找 set 2, 由于没有标签为 000 的 block, 所以不命中。根据 LRU 策略, set 2 中 tag 为 101 的 block 被替换出去。0x01 的二进制为 000 00 001, 查找 set 0, 其中 tag 为 000 的 block 有效位为 1, 命中。0xb5 的二进制为 101 10 101, 查找 set 2, 由于 tag 为 101 的 block 已经被替换出去了, 所以不命中。综上, 命中率为 $2/4 \times 100\% = 50\%$ 。

总延迟为 $2 \times 10 + 2 \times (10 + 190) = 420$ 周期。

此题考察 cache 的访存行为, 较为综合, 时间可能花费较长。

E6-2

2. 下面我们将考虑实际程序中发生的访存行为。考虑一个 32-bit 地址空间的机器，并有如下的高速缓存：总大小为 16 Bytes，每个 cache block 的大小为 4 Bytes，组织结构为全相联 ($S=1$)，替换策略为 LRU。

在此机器上运行如下 c 语言代码。假设初始时 cache 为空，只考虑读写数据引起的 cache 访问，不考虑编译优化，临时变量 a, b, c, i 均储存在寄存器中，int 数据类型的大小为 4 Bytes， f 数组的起始地址为 0x10000000。回答下列问题：

```
1: # define N 20
```

```
2: int f[N + 2];
3: f[0] = 1;
4: f[1] = 1;
5: for(int i = 0; i < N; i++) {
6:     int a = f[i];
7:     int b = f[i + 1];
8:     int c = a + b;
9:     f[i + 2] = c;
10: }
```

(1) 假设 cache 在写命中时采用直写 (write-through) 策略，在写不命中时采用非写分配 (not-write-allocate) 策略，则当程序第一次运行到第 6 行时，所发生的访存是否命中 cache？_____（填“是”或“否”）。(2 分) 整个程序的执行过程共命中 cache _____ 次。(1 分)

(2) 假设 cache 在写命中时采用写回 (write-back) 策略，在写不命中时采用写分配 (write-allocate) 策略，整个程序的执行过程共命中 cache
_____ 次。(1 分)

E6-ANS2

2. (1) . 否 (2 分); 19 (1 分)

由于 cache 采用非写分配策略, 所以代码运行到 3、4 行时并没有将 $f[0]$ 和 $f[1]$ 读入 cache, 因此在第一次执行到第六行读取 $f[0]$ 时是不命中的。

第一次循环体执行时, 所有访存均不命中。当第 $i (i > 1)$ 次循环执行时, 第 6 行的读数据命中 cache, 第 7 行的读数据的地址由于在第 $(i-1)$ 次循环是写不命中, 而 cache 采取非写分配策略, 因此该 block 还没有被加载到 cache 中, 所以仍是不命中。第 9 行的写是第一次访问该地址, 因此也是不命中的。即在第二次即以后每次执行循环体时, 会有一次读命中、一次读不命中和一次写不命中。循环体共执行 20 次, 所以共命中 cache 19 次。

本题考查对 cache 写策略的理解。计算命中次数需要发现一定规律, 难度中等。

(2) . 40 (1 分)

由于本题中 cache 采用写分配策略, 因此第一次写不命中时就会把相应的 block 加载到 cache 中, 从而在下一次读的时候就可以命中了。在每次循环体执行时, 第 6 行和第 7 行的读数据是命中的, 第 9 行的写数据是不命中的。循环体共执行 20 次, 故命中 cache 总次数为 4.

本题同上题, 考察对 cache 写策略的理解。同样需要发现一定规律, 难度中等。

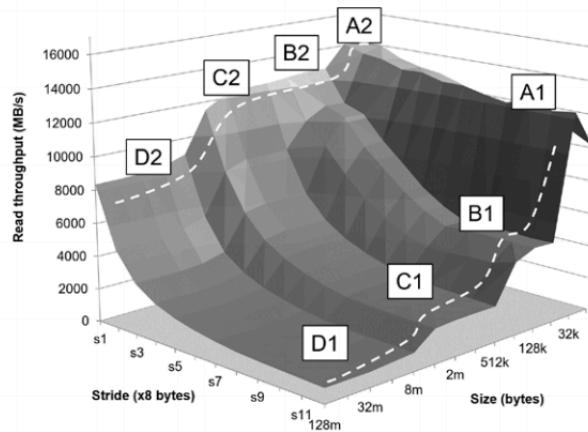
E7-1

第六题（15 分）

下面这段代码可以用于评测计算机系统的存储系统性能。在某款现代的个人计算机上，采用该评测程序的不同的配置参数（数据集大小和访问步长），得到了如下图所示的性能表现。

```
long data[MAXELEMS]; /* Global array to traverse */
/* test - Iterate over first "elems" elements of
 *         array "data" with stride of "stride", using
 *         using 4x4 loop unrolling.
 */
int test(int elems, int stride) {
    long i, sx2=stride*2, sx3=stride*3, sx4=stride*4;
    long acc0 = 0, acc1 = 0, acc2 = 0, acc3 = 0;
    long length = elems, limit = length - sx4;
    /* Combine 4 elements at a time */
    for (i = 0; i < limit; i += sx4) {
        acc0 = acc0 + data[i];
        acc1 = acc1 + data[i+stride];
        acc2 = acc2 + data[i+sx2];
        acc3 = acc3 + data[i+sx3];
    }
    /* Finish any remaining elements */
    for (; i < length; i++) {
        acc0 = acc0 + data[i];
    }
    return ((acc0 + acc1) + (acc2 + acc3));
}
```

E7-2



(1) 图中 A1-D1 这几个点有一些较为平缓的“平台”，这主要体现了访存行为的

(1) 图中 A1-D1 这几个点有一些较为平缓的“平台”，这主要体现了访存行为的什么特性？_____

(2) 如果图中 D1 体现了内存的性能，那 A1、B1、C1 分别体现存储层次结构中的什么部件的性能：A1：_____、B1：_____、C1：_____。

其中，B1 所体现的部件，容量可能是多大？_____

- a. 32KB
- b. 256KB
- c. 1MB
- d. 8MB

C1 所体现的部件，容量可能是多大？_____

- a. 32KB
- b. 256KB
- c. 1MB
- d. 8MB

(3) 图中 B2 和 B1、C2 和 C1 之间的“斜坡”，这主要是由于访存行为的什么特性导致的？_____

(4) 图中 B2 和 C2 的性能指标差别不大，不像 B1 和 C1 之间的差距那么大，主要是什么原因导致的？_____

(5) 实际评测时，需要把 test() 函数先运行一遍，然后再运行一次获取评测数据，这是为了避免什么现象的影响？_____

E7-ANS

什么特性? 时间局部性 (2 分)

(2) 如果图中 D1 体现了内存的性能, 那 A1、B1、C1 分别体现存储层次结构中的什么部件的性能: A1: L1 Cache、B1: L2 Cache、C1: L3 Cache。
(每空 1 分)

其中, B1 所体现的部件, 容量可能是多大? b (2 分)

- a. 32KB
- b. 256KB
- c. 1MB
- d. 8MB

C1 所体现的部件, 容量可能是多大? d (2 分)

- a. 32KB
- b. 256KB
- c. 1MB
- d. 8MB

(3) 图中 B2 和 B1、C2 和 C1 之间的“斜坡”, 这主要是由于访存行为的什么特性导致的? 空间局部性 (2 分)

(4) 图中 B2 和 C2 的性能指标差别不大, 不像 B1 和 C1 之间的差距那么大, 主要是什么原因导致的? 高速缓存的预取功能 (2 分)

(5) 实际评测时, 需要把 `test()` 函数先运行一遍, 然后再运行一次获取评测数据, 这是为了避免什么现象的影响? 高速缓存的 cold miss (2 分)

THANKS

Made by WEB-05

webrun@stu.pku.edu.cn

Reference: [WalkerCH]'s and [Arthals]'s presentations.



扫一扫上面的二维码图案，加我为朋友。