

# ModelSim 基础

## 一、实验目的：

熟悉并掌握 Verilog HDL 与 ModelSim 的使用

## 二、实验环境：

ModelSim

## 三、实验内容：

学习使用 Verilog 完成 4 选 1 多路选择器的设计和实现,并使用 ModelSim 工具对设计进行仿真和分析验证。

## 四、实验原理

多路选择器 ( MUX ) 是一种在多路数据传送过程中，能够根据需要将其中的任意一路选出来的电路，其原理图和真值表如下图所示。

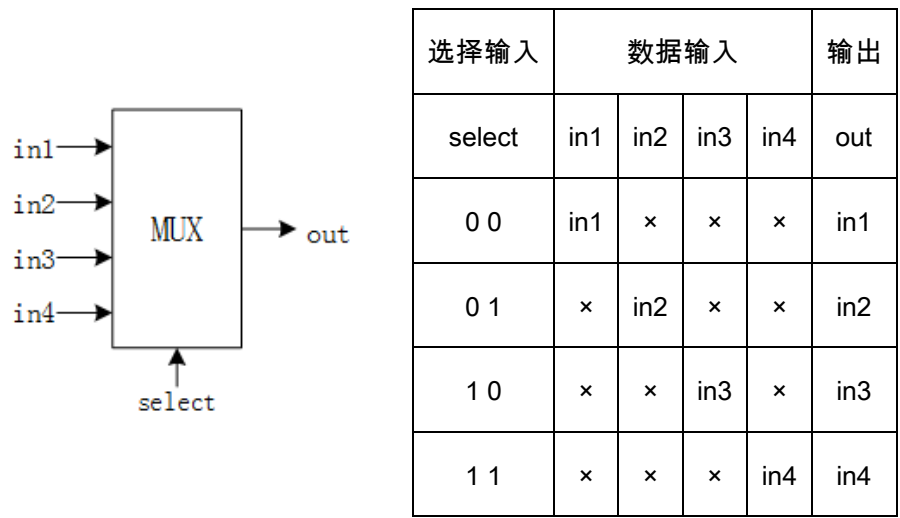


图 1 4 选 1 多路选择器及其真值表

## 五、实验内容 ( 步骤 )

### 5.1、Verilog 关键代码实现

表 1. MUX 模块功能描述

输入	4 位输入信号 in1、in2、in3、in4 和 2 位选择信号 select
输出	4 位输出信号 out
功能	根据选择信号 select 的值把相应输入信号赋值给 out 输出

MUX 模块的 verilog 代码如下：

```

module mux41(
    input wire [3:0] in1, in2, in3, in4,
    input wire [1:0] select,
    output reg [3:0] out
);

always@* begin
    case (select)
        2'b00: out = in1;
        2'b01: out = in2;
        2'b10: out = in3;
        2'b11: out = in4;
        default: out = 4'bx;
    endcase
end

endmodule

```

## 5.2、测试文件(TestBench)关键代码描述

```

module mux41_tb;

    reg [3:0] in1, in2, in3, in4;
    reg [1:0] select;
    wire [3:0] out;

    initial begin
        in1 = 4'b0001;
        in2 = 4'b0011;
        in3 = 4'b0111;
        in4 = 4'b1111;
        select = 2'b00;

        #10 select = 2'b01;

        #10 select = 2'b10;

        #10 select = 2'b11;

        #10 $stop;
    end

    mux41 uut(
        .in1(in1), .in2(in2), .in3(in3), .in4(in4),
        .select(select),
        .out(out)
    );

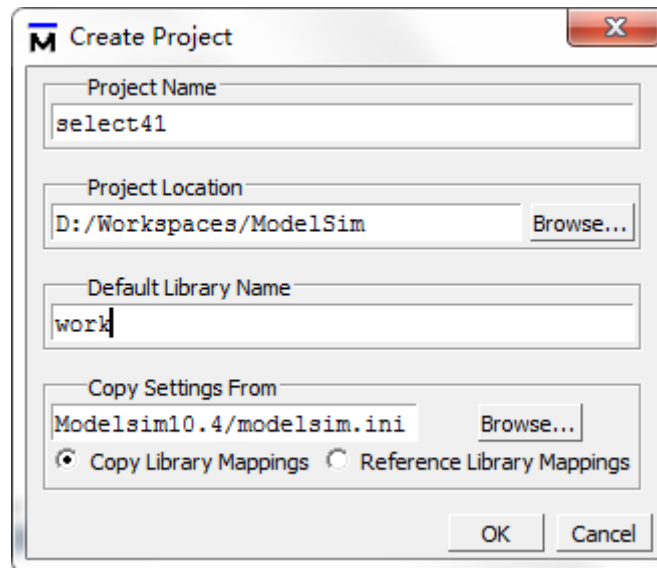
endmodule

```

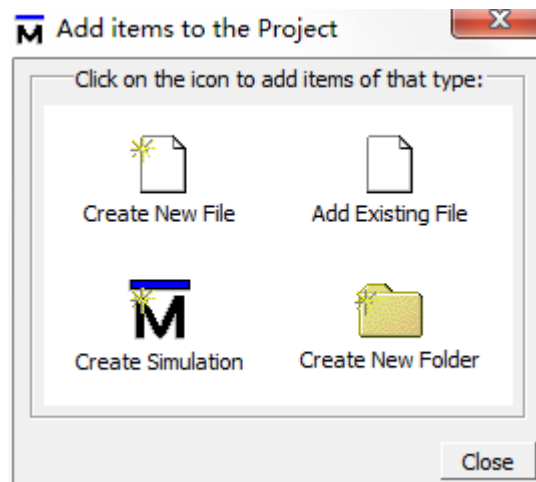
### 5.3、ModelSim 仿真及分析

#### 5.3.1 建立 ModelSim 工程

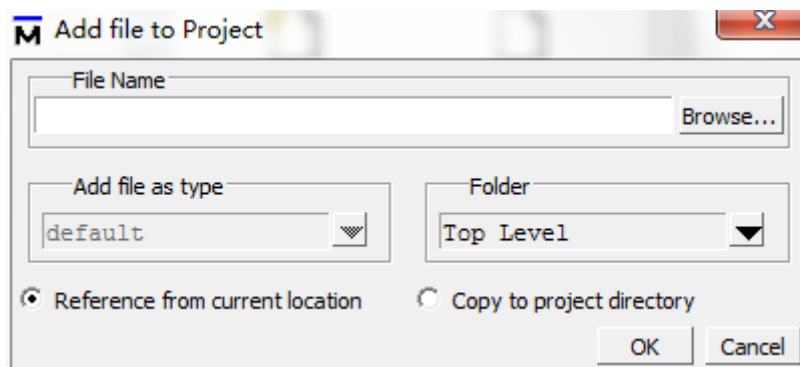
打开 ModelSim，选择 File->New->Project，出现 Create Project 对话框，填写工程名 ( Project Name )，选择保存目录 ( Project Location )，注意保存目录中不要有中文，如下图所示：



单击 OK 按钮后，会出现下图界面：

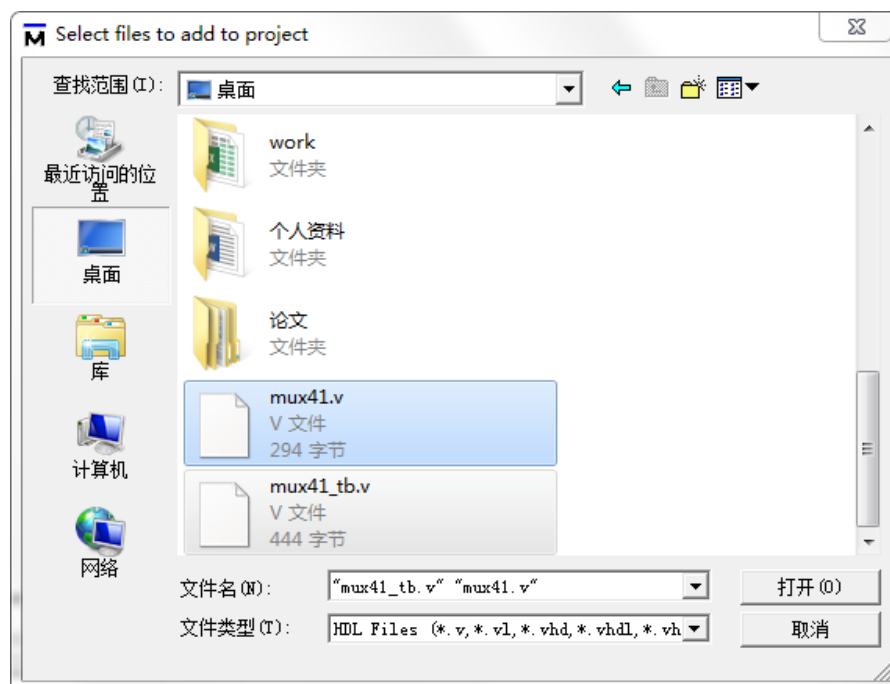


现在可以选 Create New File（新建文件）或者 Add Existing File（添加已存在文件）。这里我们选择 Add Existing File，也就是添加 5.1 和 5.2 中的 Verilog 代码，会出现下图界面：

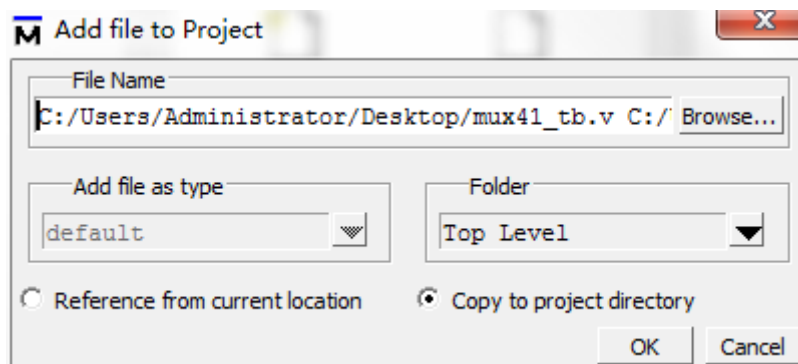


点击 Browse 按钮，添加 5.1 中的 mux41.v 和 5.2 中的测试文件 mux41\_tb.v，会出现下图

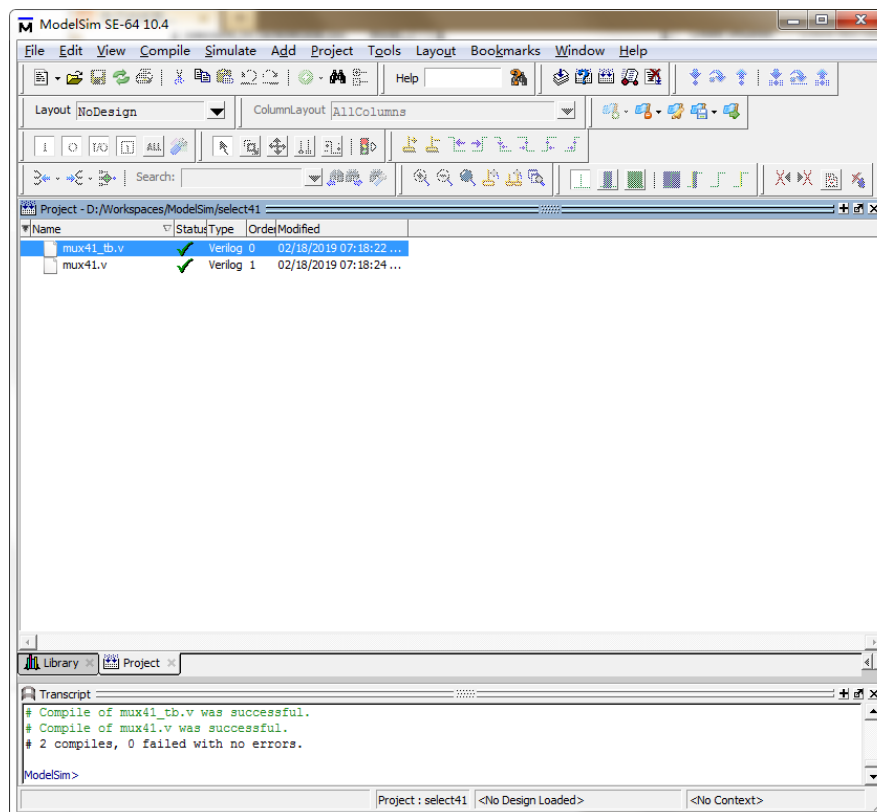
界面：



选择要添加的文件后，单击“打开”按钮，即添加完成，会出现下图界面，在其中选择 copy to project directory，这样就会将 mux41.v 和 mux41\_tb.v 文件复制到新的工程目录下，单击 OK 按钮。

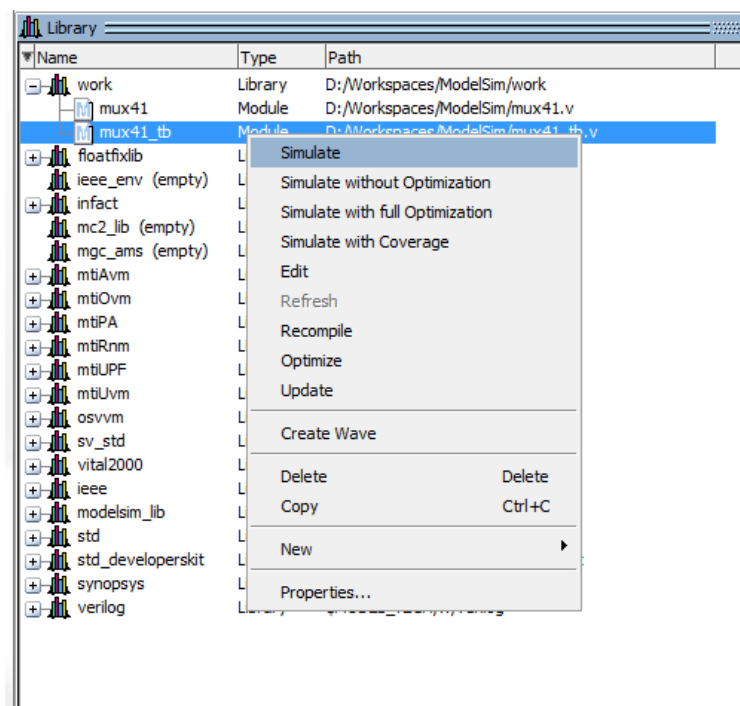


文件添加完成后，ModelSim 主界面会显示所有文件的状态。选中任意一个文件，右键单击，选择 Compile->Compile All，即开始编译所有文件，会出现下图界面。没有出错，文件状态应该都是绿色的对号，否则点击屏幕下方的 Transcript，查看出错信息，直至无误。

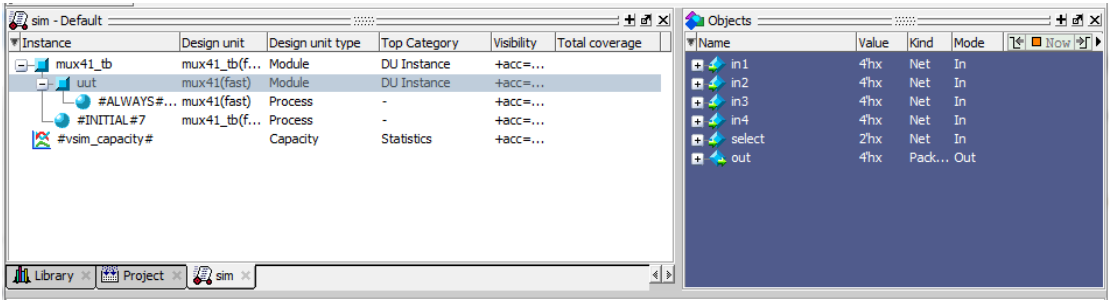


### 5.3.2 开始仿真

切换到 Library，然后展开 work 目录，在 mux41\_tb.v 文件上单击右键，在弹出菜单中选择 Simulate（without Optimization），如下图界面：

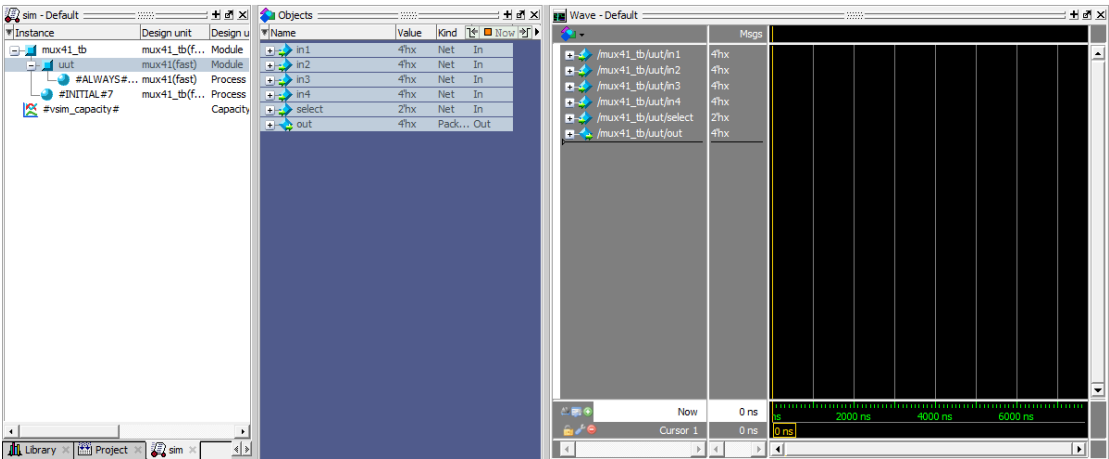


此时会出现一个名为 sim 的界面，展开其中的 mux41\_tb 节点，选择 uut，会在 Objects 窗口显示所有信号，如下图所示：( 若没有出现 Objects 窗口，可以通过菜单 View->Objects 调出该窗口 )

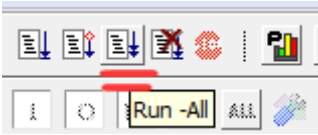


选择 Objects 窗口的所有信号 ( Ctrl+A )，然后单击右键，在弹出菜单中选择 Add

to->Wave->Selected Signals，如下图所示：



单击工具栏中的 Run-All 按钮，便开始仿真，如下图所示：



仿真效果图，如下图所示：

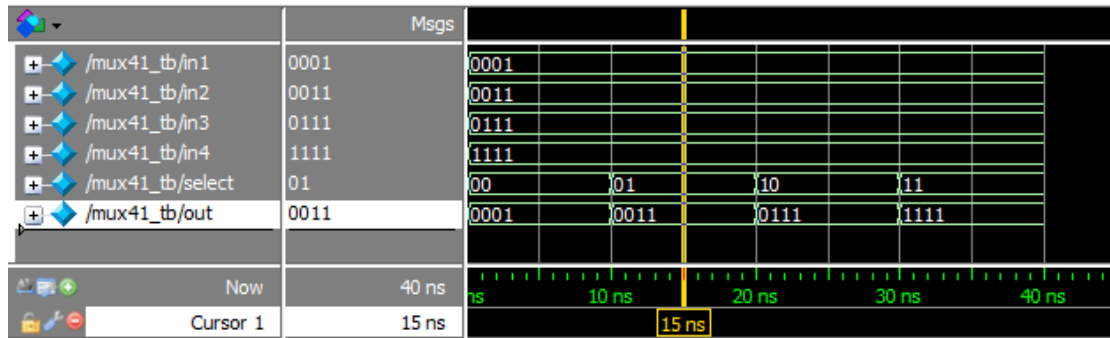


图 X. 多路选择器仿真结果

结束后，请在 Transcript 中输入 quit -sim 命令退出，如下图所示：

```

Transcript
# Loading work.mux41(fast)
add wave \
sim:/mux41_tb/out/in1 \
sim:/mux41_tb/out/in2 \
sim:/mux41_tb/out/in3 \
sim:/mux41_tb/out/in4 \
sim:/mux41_tb/out/select \
sim:/mux41_tb/out/out
VSI10> run -all
# ** Note: $stop : D:/Workspaces/ModelSim/mux41_tb.v(20)
# Time: 40 ns Iteration: 0 Instance: /mux41_tb
# Break in Module mux41_tb at D:/Workspaces/ModelSim/mux41_tb.v line 20
VSI11> quit -sim

```