

1. 围绕现代计算机从以运算器为中心转化为以存储器为中心的原因, 简述你的观点。(8分)
2. 为什么要设置总线判优控制? 简述常见的集中式总线控制方法和各自的特点。(10分)
3. 简述计算机存储大小端方式, 并分析两种存储方式的优势(各讲出1个优势即可)。(8分)
4. 简述I/O设备与主机信息传送的控制方式和特点。(至少列举3种方式)(6分)
5. 已知 $x = 0.1100$, $y = -0.0101$, 求 $[x \times y]_{\text{原}}$ (写出求解过程)。(8分)
6. 简述浮点加、减法运算的基本步骤, 并求 $[0.111000 \times 2^{-101} - 0.101011 \times 2^{-011}]_{\text{补}}$ (写出求解过程)。(15分)
7. 某一计算机有5级中断, 中断响应优先级为 $1 > 2 > 3 > 4 > 5$, 中断处理优先级是 $1 > 5 > 2 > 4 > 3$, 要求:
 - (1) 写出各级中断源的中断屏蔽字。
 - (2) 如果在运行用户程序时, 同时出现第4, 5级中断请求, 而在处理第4级中断中又出现1、3、2级中断请求, 请画出CPU执行程序轨迹图。(15分)

8. CPU内部结构框图如右图所示。(14分)

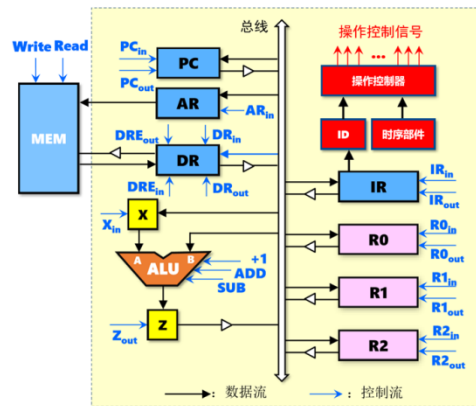
其中R0, R1, R2是通用寄存器, X, Z是暂存器。

现有指令ADD @R0, R1, R2

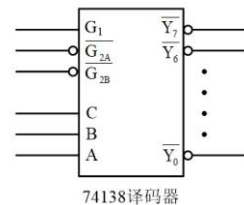
(@表示寄存器间接寻址, 另一个操作数放在R1中, 运算结果放在R2中)。

要求用最少的节拍:

- (1) 写出取指周期的全部微操作命令及节拍安排。
- (2) 写出执行周期的全部微操作命令及节拍安排。



9. 设CPU共有16根地址线, 8根数据线, 并用 $\overline{\text{MREQ}}$ 作访存控制信号(低电平有效)用 $\overline{\text{WR}}$ 作读写控制信号(高电平为读, 低电平为写)。现有下列存储芯片: 1K×4位RAM, 4K×8位RAM, 2K×8位ROM, 以及74138译码器和各种门电路, 74138译码器如图所示。画出CPU与存储器连接图, 要求:(16分)



$G_1, \overline{G_{2A}}, \overline{G_{2B}}$ 为控制端
C, B, A 为变量控制端
 $\overline{Y_0} \dots \overline{Y_7}$ 为输出端

- (1) 主存地址空间分配: F800H ~ FFFFH 为系统程序区; F000H ~ F7FFH 为用户程序区。
- (2) 合理选用上述存储芯片, 说明各选几片, 并写出每片存储芯片的二进制地址范围。
- (3) 详细画出存储芯片的片选逻辑。