**实验一 基本逻辑门和组合电路的设计**

**一．实验目的**

1. 掌握Verilog编程设计电路，熟悉ModelSim仿真工具。

2. 掌握基本逻辑门和加法器的功能。

**二．实验工具**

ModelSim

**三．实验内容**

1. 用Verilog完成三态门的设计，并用ModelSim进行仿真。

2. 用Verilog完成4位加法器的设计，并使用ModelSim进行仿真。

**实验二 组合电路的设计**

**一．实验目的**

1. 掌握Verilog编程设计电路，熟悉ModelSim仿真工具。

2. 掌握译码器、数据比较器的功能。

**二．实验工具**

ModelSim

**三．实验内容**

1. 用Verilog完成3-8译码器的设计，并用ModelSim进行仿真。

2. 用Verilog完成两个4位二进制数据比较器的设计，并使用ModelSim进行仿真。

**实验三 触发器**

**一．实验目的**

1. 掌握Verilog编程设计电路，熟悉ModelSim仿真工具。

2. 掌握D触发器、JK的功能。

**二．实验工具**

ModelSim

**三．实验内容**

1. 用Verilog完成具有异步清零和异步置1的D触发器的设计，并用ModelSim进行仿真。

2. 用Verilog完成具有同步清零和同步置1的JK触发器的设计，使用ModelSim进行仿真。

**实验四 计数器**

**一．实验目的**

1. 掌握Verilog编程设计电路，熟悉ModelSim仿真工具。

2. 掌握计数器的功能

**二．实验工具**

ModelSim

**三．实验内容**

1. 用Verilog完成具有异步清零和异步置1的模10计数器的设计，并用ModelSim进行仿真。

2. 用Verilog完成具有同步清零和同步置1的模16计数器的设计，使用ModelSim进行仿真。