**实验序号及名称： 实验 三 触发器**

**一．实验目的**

1. 掌握Verilog编程设计电路，熟悉ModelSim仿真工具。

2. 掌握D触发器、JK的功能。

**二．实验工具**

ModelSim

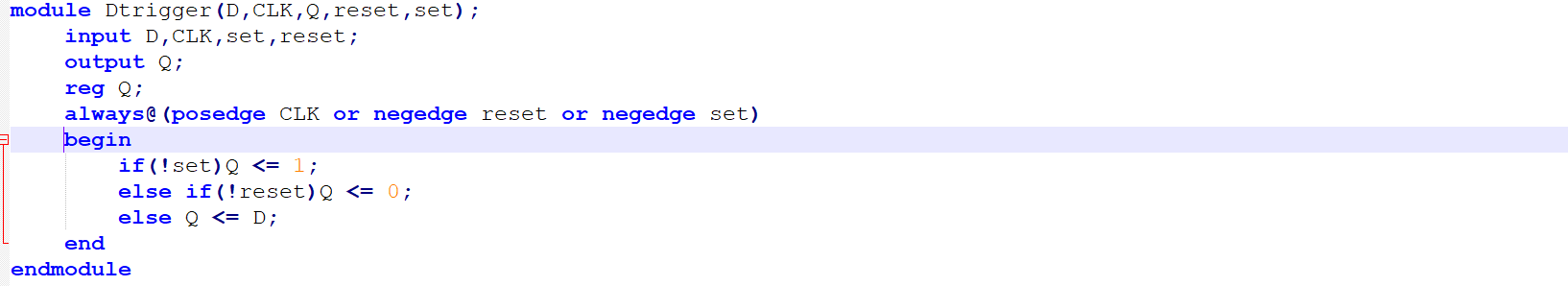
**三．实验内容**

1. 用Verilog完成具有异步清零和异步置1的D触发器的设计，并用ModelSim进行仿真。

2. 用Verilog完成具有同步清零和同步置1的JK触发器的设计，使用ModelSim进行仿真。

**四．实验过程（包括源程序及仿真结果截图）**

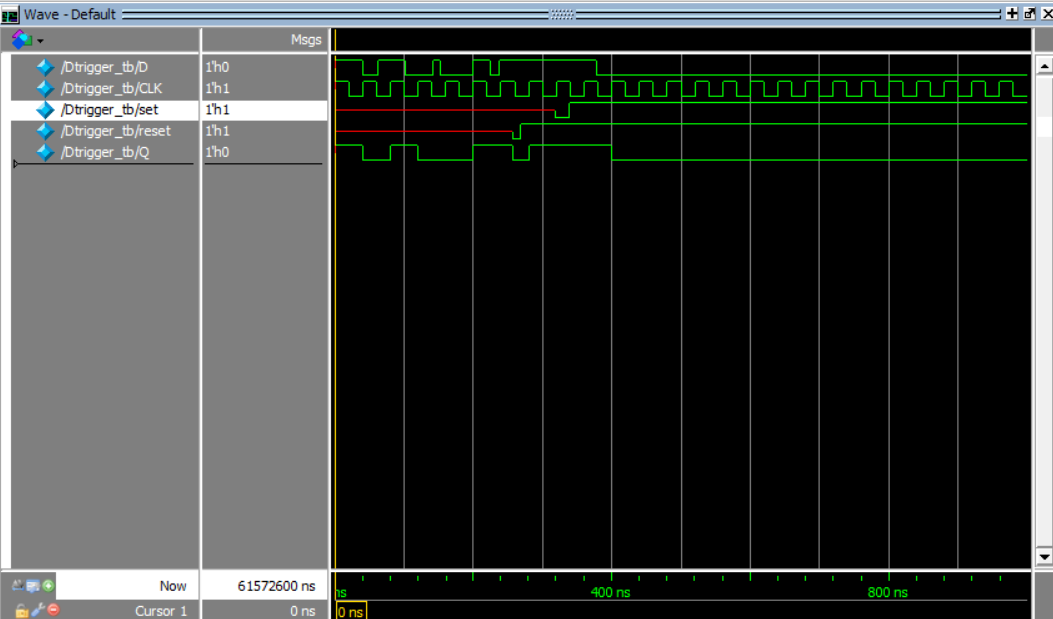
**D触发器源码（上升沿触发）：**

****

**Testbench:**

****

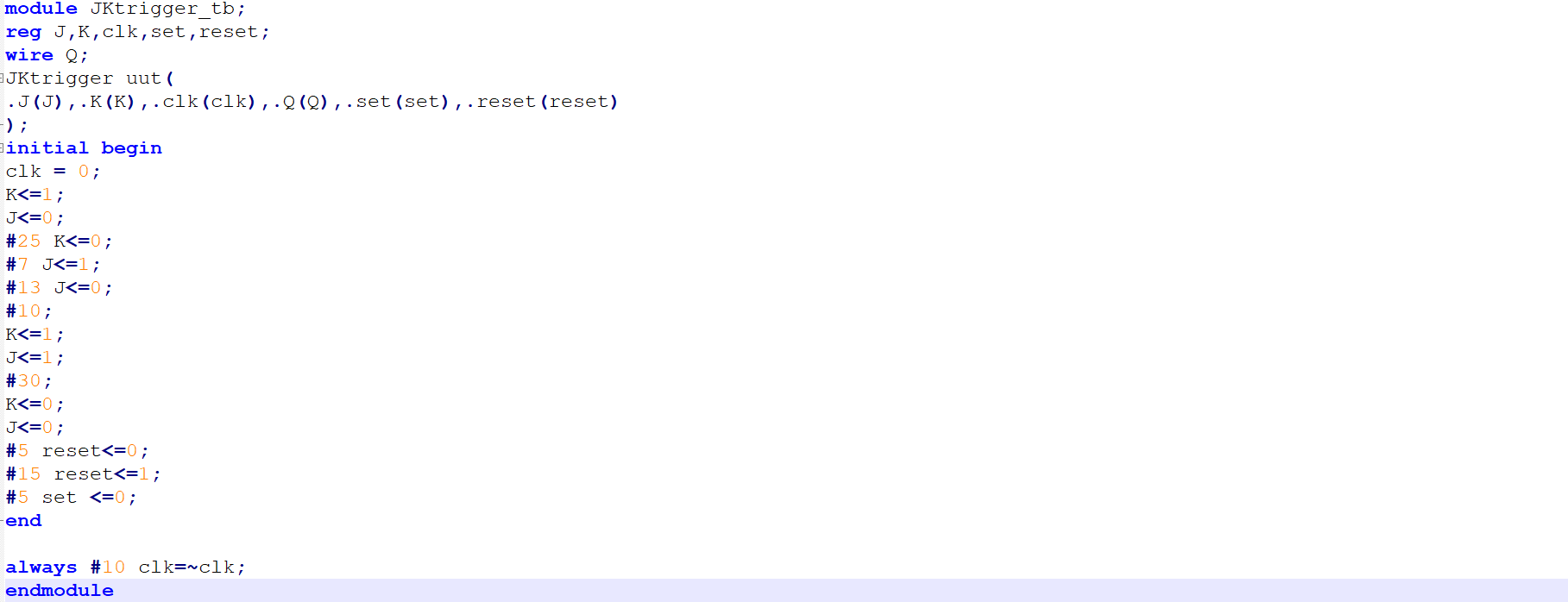
**仿真结果：**



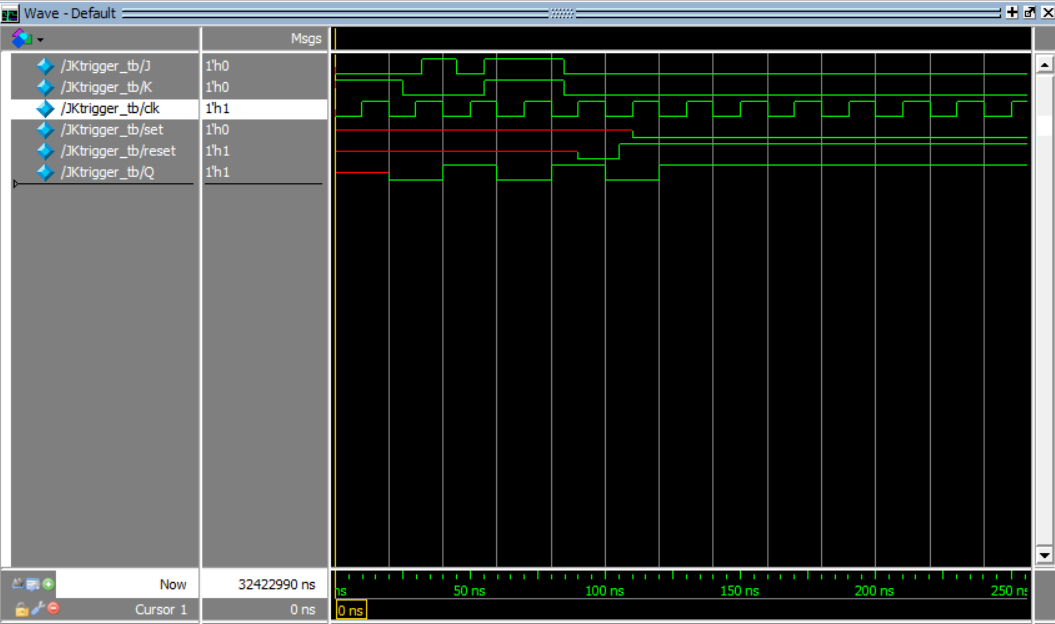
**JK触发器源码（下降沿触发）：**

****

**Testbench：**

****

仿真结果：



**四．实验感想、体会**

**D触发器比较简单，用always接受三个敏感信号，然后对每个信号进行分析即可，但是由于if语句的先后顺序，在我的电路了会先检测set信号的变化，因为set信号在if语句里，最先执行。**

**JK触发器我最先想到的是一次翻转现象，在cp=1期间，如果Q­n=0，若J变化，则Qn+1会变成1，我进行了模拟仿真，发现进行仿真并不会出现一次变化，所以模拟仿真应该并不是真正把电路组成现实中的电路，也克服了像一次翻转这样的问题。**

