

基于FPGA的DDFS信号发生器设计

杨敏, 王利, 张金时, 裴水源, 罗浩

(中北大学机电工程学院, 山西太原 030051)

摘要: 基于直接数字频率合成(DDFS)的基本原理, 设计了基于现场可编程门阵列(FPGA)的DDFS信号发生器。给出了硬件描述语言Verilog HDL编程实现方法。信号发生器所需要的波形数据由Matlab生成, 再通过Quartus将波形数据转换成.mif文件; 通过调用ROM IP核的方式, 将.mif文件中的波形数据导入FPGA的RAM中。采用JTAG将整个启动程序配置到EPCS flash中。上电时, FPGA从EPCS获取配置程序, 使得该信号发生器可以脱离计算机独立工作。通过增加按键进行波形类型的选择, 并同时调节波形频率与相位。通过增加LCD来进行显示按键数据, 以便与示波器观察到的数据进行对比。该信号发生器幅值范围为0~5 V, 频率范围为1~100 kHz, 波形可为正弦波、三角波、方波。仿真与实际测试结果表明, 该信号发生器设计合理、准确性高、结构简单、使用方便。

关键词: 直接数字频率合成; 现场可编程门阵列; 信号发生器; Verilog HDL; LCD; DAC; Matlab; Flash

中图分类号: TH86

文献标志码: A

DOI: 10.16086/j.cnki.issn1000-0380.2018080050

Design of DDFS Signal Generator Based on FPGA

YANG Min, WANG Li, ZHANG Jinshi, PEI Shuiyuan, LUO Hao

(School of Mechanical Engineering, North University of China, Taiyuan 030051, China)

Abstract: Based on the basic principle of Direct Digital Frequency Synthesis (DDFS), DDFS signal generator based on field programmable gate array (FPGA) is designed. The programming implementation method of hardware description language Verilog HDL is given. The waveform data needed by signal generator is generated by Matlab, and then converted into mif file by Quartus. The waveform data in mif file is imported into RAM of FPGA by calling ROM IP core. Then the whole startup program is configured into EPCS flash by JTAG. When power is on, the configuration program is acquired from EPCS by FPGA, to make the signal generator work independently without PC. To select the type of waveform, buttons are added, and the frequency and phase of waveform are adjusted at the same time. LCD is equipped to display button data, it is easy to compare with the data observed by the oscilloscope. The signal generator ranges in amplitude from 0 to 5V and frequency from 1Hz to 100KHz. The waveforms can be sine wave, triangle wave and square wave. The simulation and actual test results show that the design is reasonable, the signal generator features high accuracy, simple structure and convenient use.

Keywords: Direct digital frequency synthesis (DDFS); Field programmable gate array (FPGA); Signal generator; Verilog HDL; LCD; DAC; Matlab; Flash

0 引言

由于直接频率合成(direct digital frequency synthesizer, DDFS)技术具有频率转换速度快、相对带宽宽、频率分辨率高以及波形稳定等优点, 已经广泛应用于雷达、通信、导航、遥控遥测、电子对抗以及现代化的仪器仪表工业、生物医学检测等领域^[1-2]。随着现场可编程门阵列(field programmable gate array, FPGA)技术的发展, 其资源容量、工作频率以及集成度都得到了极

大的提高。由于FPGA灵活的接口和控制方式, 使其广泛应用于实现某些专用数字集成电路^[3]。本文基于DDFS基本原理, 采用Inter公司的FPGA芯片Cyclone IV E系列器件, 完成DDFS信号发生器设计。该信号发生器可产生不同频率、相位的正弦波、矩形波、三角波信号。

1 DDFS基本工作原理

基于FPGA的DDFS原理框如图1所示。

收稿日期: 2018-08-30

作者简介: 杨敏(1993—), 女, 在读硕士研究生, 主要从事机电控制系统的研究, E-mail: 1204820251@qq.com;

王利(通信作者), 男, 博士, 教授, 主要从事机电控制系统的研究, E-mail: 2507865786@qq.com

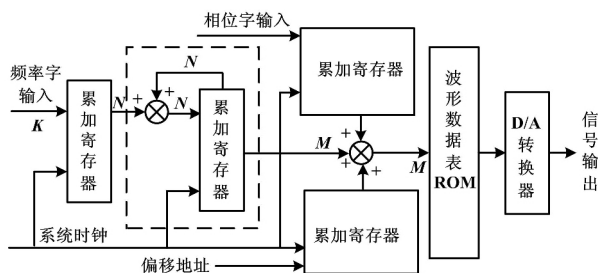


图1 基于FPGA的DDFS原理框图

Fig.1 Block diagram of DDFS based on FPGA

DDFS 主要由相位累加器、波形存储器、D/A 转换器、低通滤波器组成^[4]。相位累加器由 N 位加法器和 N 位寄存器构成。在系统时钟作用下,相位累加器中的加法器将频率控制字与累加寄存器输出的相位数据进行累加,并将得到的相位数据输入累加寄存器的输入端,以便在每一个时钟到来时与频率控制字线性累加。相位累加器根据得到的相位码对波形存储器进行寻址,经查找表找出波形存储器里的波形采样值。输出的数字信号经过 D/A 转换器转换为模拟信号。DAC 输出信号实际上是阶梯模拟信号,需在 D/A 转换后利用低通滤波器对波形进行平滑处理,滤除高频分量,得到连续变化的波形^[5-6]。

DDFS 输出信号的频率为^[7]:

$$f_o = \frac{K}{2N} f_c \quad (1)$$

式中: f_o 为输出信号频率; K 为频率控制字; N 为相位累加器的字长; f_c 为系统时钟频率。

当 $K=1$ 时,得到 DDFS 的最小分辨率为 $\frac{1}{2N} f_c$ 。

2 系统总体方案设计

信号发生器系统框图如图2所示。

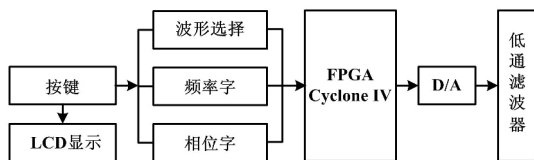


图2 信号发生器系统框图

Fig.2 Block diagram of signal generator system

首先,通过按键控制频率字、相位字以及波形地址的选择,并将其显示在 LCD 上。其目的是与在示波器上的观察到的波形、频率、相位进行比较。然后,通过 12 位的 DAC 将数字信号转换为模拟信号,并经低通滤波滤除高频分量,得到光滑的、连续的信号波形。最

后,将其输入到示波器进行观察。

本系统主要包括硬件设计和软件设计两部分。软件设计主要基于 FPGA 平台的程序部分,包括相位累加器、波形存储器、按键设计和 LCD 设计,使用 Verilog HDL 汇编语言进行编程设计。硬件设计主要有 D/A 转换和低通滤波器设计。

本文所用的系统时钟为 50 MHz,相位累加器为 32 位。由于采用 12 位的 DAC,所以存储波形的 ROM 具有 12 bit 的输出。将 FPGA 输出的数字信号转换为模拟信号,输出信号频率范围为 1 Hz ~ 100 kHz,幅值范围为 0 ~ 5 V,波形可设为正弦波、三角波、方波。

3 系统重要模块设计

3.1 程序固化

当 DDFS 应用于某些领域如引信领域时,要求脱离上位机。这就要求存储于 SDRAM 中的程序可以掉电不丢失。但是 SDRAM 不具有记忆功能,所以先将程序存入所用开发板的 EPCS flash 存储器中。该存储器原本存放 FPGA 的配置文件,其内存为 16 Mbit,足够存放编写的程序,且其掉电后不会丢失程序。FPGA 上电后,再从 EPCS flash 中读取程序并保存到 SDRAM 中,从而保证掉电不丢失程序。

3.2 相位累加器

相位累加器由 32 位的加法器和 32 位的寄存器组成。在系统时钟的作用下,对频率控制字 K 进行线性累加。当累加 32 次后就会产生一次溢出,每溢出一次即为 DDFS 的一个周期^[8]。相位累加器的实质是一个计数器,它累计的是每个时钟脉冲下的频率控制字 K ^[9]。

3.3 波形存储器

波形存储器,又叫 ROM 查找表。由式(1)可知,当增大相位累加器的位数 N 时,就可以提高 DDFS 最小分辨率^[10]。同时,为了解决 ROM 空间资源占用过大的问题,可以采用相位截断的方法取相位累加器输出的高 M 位作为波形存储器的地址位^[11]。本文采用这种方法,将相位累加器输出的高 12 位作为波形 ROM 的取样地址。

在本文中,使用 Matlab 编写波形信号,然后将其写入生成的 .mif 文件中。通过按键循环切换正弦波、方波、三角波,ROM 查找表的地址线为 14 位、数据线为 12 位;存有正弦波、方波和三角波的数字波形信号,每种波形有 4 096 个字节,波形在 ROM 中存储的基地址为 0000H。其中:RAM 地址的 0000H ~ 0FFFH 为正弦波的数据;1000H ~ 1FFFH 为三角波的数据;

2000H~2FFFH为方波的数据。各个波形的数据存储地址偏移量为1000H。通过功能按键,获取需要输出的波形类型。如果输入为0,则偏移地址0000H,选择正弦波。同理,如输入为1和2的偏移地址分别为1000H和2000H,则分别选择三角波和方波。波形选择的Verilog HDL语言如下。

```
case( F_Change)
0: Offset_add = 12'h0000
1: Offset_add = 12'h1000
2: Offset_add = 12'h2000
default: Offset_add = 0
endcase
```

3.4 按键设计

信号发生器使用4×4键盘。键盘主要按键功能如下。

- ①“0~9”: 数字键, 设定频率字和相位字。
- ②“确定”: 用于确认设置的波形信号, 只有按下此键, 波形信号才有效。
- ③“删除”: 删除最近一位输入的信号数字。
- ④“F”: 控制输出波形的切换。
- ⑤“←”: 步进增大控制。
- ⑥“→”: 步进减小控制。
- ⑦“+”: 控制输入频率字和相位字递增。

3.5 LCD显示设计

人机交互界面使用的是LCD1602A液晶显示器。

FPGA控制LCD显示数据主要过程为: 初始化显示屏→配置显示屏→写显示数据或指令。初始化过程为: 延时15 ms→写指令38H→延时5 ms。其中, 指令38H为不检测忙信号。配置显示屏过程为: 写指令38H→写指令08H→写指令01H→写指令06H→写指令0CH。

指令38H: 显示模式设置。

指令08H: 显示关闭。

指令01H: 显示清屏。

指令06H: 显示光标移动设置。

指令0CH: 显示开及光标设置。

写显示数据或指令: 通过按键读取并判断本次输入为指令还是数据。如果是指令, 则控制LCD的RS引脚为低, 反之为高。

4 输出信号测试分析

4.1 DDFS信号发生器的仿真验证

在Quartus II 13.0平台下, 将程序编译成功后, 调用Modelsim进行仿真, 输入的频率控制字分别为542 488和1 717 987, 波形类型为0, 选择为正弦波。

由式(1)可以计算得: 当频率控制字 $K=542\ 488$ 时, $f_o=6.06\text{ kHz}$; 当频率控制字 $K=1\ 717\ 987$ 时, $f_o=20\text{ kHz}$ 。

通过仿真测得的频率分别为6.06 kHz和20 kHz, 与由公式计算得到的结果相吻合。由此可知: ①信号源输出信号波形光滑, 频率稳定度高, 且仿真测试所得频率与理论计算值的误差较小; ②正弦波在两个不同频率间波形切换自然, 频率转换速度较快, 满足设计要求。

4.2 信号发生器的试验验证

信号发生器仿真验证后, 将项目编译生成的编程文件下载到CYCLONE器件中, 对其进行试验验证。示波器输出波形如图3所示。

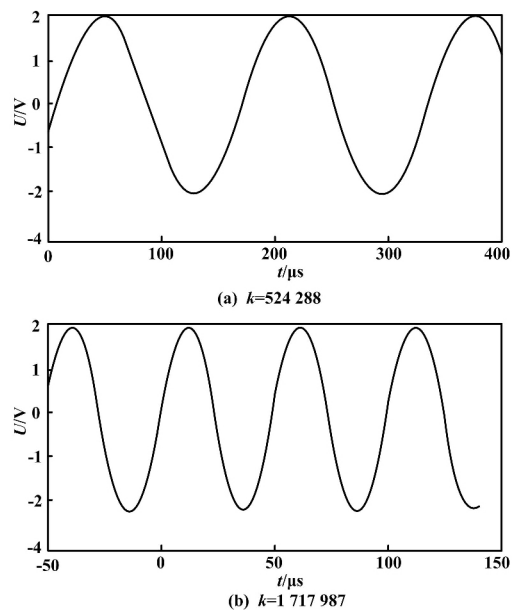


图3 示波器输出波形图

Fig. 3 Oscilloscope output waveform

由图3可知, 按键输入的频率控制字依然为524 288和1 717 987, 波形类型为0, 选择正弦波, 便于对比仿真结果。示波器输出的波形形状光滑、连续、无明显失真, 且输出波形的频率与理论计算值及仿真测试值较为接近, 输出波形质量好, 误差小, 准确率高。

5 结束语

随着电子通信技术的迅速发展, 对信号发生器的要求(如信号频率范围、带宽和频率分辨率)也越来越高。除此之外, 对信号波型的选择及调制特性要求也在提高^[12]。本文基于FPGA设计的DDFS信号发生器, 可以输出正弦波、方波、三角波, 并可灵活改变波形、

(下转第102页)

5 结束语

本文从方案研究和工程实践出发,以 500 kV 王店变过程层和站控层智能化改造为例,重点探讨了项目改造规划、改造原则、二次改造模式这三个基本问题以及新老直流系统过渡割接方案、新老监控系统过渡接口方案、220 kV 母差改造技术这三个核心问题,形成了切合实际的变电站智能化改造的技术方案体系。但本文尚未涉及间隔层设备智能化改造方面的研究,光电流互感器、智能终端、合并单元等智能设备及就地化保护的不断完善和应用,对传统变电站间隔层设备的智能化改造值得进一步研究和实践。

参考文献:

- [1] 国家电网公司. 国家电网智能化规划总报告[R]. 北京: 国家电网公司, 2009.
- [2] 国家电网公司. 智能变电站技术导则: GB/T 30155-2013[S]. 北京: 中华人民共和国国家质量监督检验检疫总局、中国国家标准化管理委员会, 2013.
- [3] 国家电网公司. 变电站智能化改造技术规范: Q/GDW 414-2011[S]. 北京: 国家电网公司, 2011.
- [4] 陈安伟, 乐全明, 张宗益, 等. 500 kV 变电站智能化改造的关键技术[J]. 电力系统自动化, 2011, 35(18): 47-50.
- [5] 史京楠, 胡君慧, 黄宝莹, 等. 新一代智能变电站平面布置优化设计[J]. 电力建设, 2014, 35(4): 31-37.
- [6] 张广嘉, 王冰清, 王乾刚. 变电站智能化改造的过程层设备平滑接入方案研究[J]. 电力系统保护与控制, 2016, 44(15): 159-163.
- [7] 杨勇, 盛海华, 张广嘉, 等. 基于无缝接入模式的母线保护智能化改造方法[J]. 电力系统保护与控制, 2016, 44(15): 176-182.
- [8] 王风光, 吕航, 朱继红, 等. 通用接口转换装置在常规站母线保护智能化改造中的应用[J]. 电力系统自动化, 2016, 40(19): 153-156.
- [9] 倪赛赛, 梅姚, 刘科, 等. 智能站合并单元智能终端改造与试验验证[J]. 电气自动化, 2016, 38(5): 54-57.
- [10] 裴愉涛, 胡雪平, 凌光, 等. 国网公司智能变电站继电保护标准体系研究[J]. 电力系统保护与控制, 2017, 45(20): 7-13.
- [11] 张勇, 李丹, 文福拴, 等. 基于 IEC61850 的智能变电站过程层故障诊断[J]. 电力建设, 2018, 39(3): 42-48.
- [12] 安永帅, 李刚, 樊占峰, 等. 新一代智能变电站控制保护一体化智能终端研究与开发[J]. 电力系统保护与控制, 2017, 45(8): 138-146.
- [13] 车兵, 许家焰, 徐晓春, 等. 智能变电站二次检修安措防误技术研究[J]. 电力系统保护与控制, 2018, 46(2): 150-156.
- [14] 裴愉涛, 王德林, 胡晨, 等. 无防护安装就地化保护应用与实践[J]. 电力系统保护与控制, 2016, 44(20): 2-5.
- [15] 王德林, 裴愉涛, 凌光, 等. 变电站即插即用就地化保护的应用方案和经济性比较[J]. 电力系统自动化, 2017, 41(16): 12-19.
- [16] 吴赛, 仝杰, 朱朝阳, 等. 智能变电站就地化保护无线接入方案设计[J]. 电力建设, 2017, 38(5): 69-75.
- [17] 陈国平, 王德林, 裴愉涛, 等. 继电保护面临的挑战与展望[J]. 电力系统自动化, 2017, 41(16): 1-11.
- [18] 邢佳磊, 倪炯, 蓝益军, 等. 王店变智能化改造工程一体化直流电源系统改造方案研究及实施[J]. 蓄电池, 2016, 4(53): 175-178.

(上接第 97 页)

频率、相位,具有转换时间短、精度高、相位变化连续等优点。只要改变频率控制字 K 的值,就可以改变输出频率的大小。该系统可脱离计算机独立工作,具有相当大的灵活性;加入按键与 LCD 显示,使得信号发生器工作更加简单方便。该信号发生器幅值范围为 0 ~ 5 V,频率范围为 1 Hz ~ 100 kHz。由于硬件资源有限,频率范围较小,但是只要更换输出频率较高的 DAC (即高速 DAC),即可输出频率更大的波形。

参考文献:

- [1] 李超, 谢雪松, 张小玲. 一种 DDFS 任意波形发生器的 ROM 优化方法[J]. 电子技术应用, 2013, 39(2): 12-14.
- [2] 田书林, 刘科, 周鹏. 基于双 DDFS 的高速任意波发生器实现技术[J]. 仪器仪表学报, 2004(4): 557-560.
- [3] 余勇, 郑小林. 基于 FPGA 的 DDFS 正弦信号发生器的设计和实现[J]. 电子器件, 2005(3): 596-599.
- [4] 沈亚飞. 基于 DDFS 的超宽带高性能微波频率源研究[D]. 南京: 东南大学, 2017.
- [5] 刘阳. 基于 FPGA 和 DDFS 技术的双通道正交信号源的设计与实现[D]. 太原: 中北大学, 2017.
- [6] 崔永俊, 王晋伟, 贾磊, 等. 基于 FPGA 的 DDFS 信号发生器的设计与实现[J]. 电子器件, 2016, 39(2): 339-343.
- [7] 曹郑蛟, 滕召胜, 李华忠, 等. 基于 FPGA 的 DDFS 信号发生器设计[J]. 计算机测量与控制, 2011, 19(12): 3175-3177.
- [8] 李志鹏, 郭勇, 沈军. 基于 DDFS 技术实现信号发生器[J]. 传感器与仪器仪表, 2007, 23(1): 175-177.
- [9] 张凯琳, 苏淑靖, 刘利生, 等. 基于 FPGA 的 DDFS 多路信号源设计[J]. 电测与仪表, 2011, 48(3): 63-65.
- [10] 贺军义, 蒋坚, 李男男. 基于 FPGA 的 DDFS 信号发生器设计[J]. 计算机测量与控制, 2017, 25(2): 231-233.
- [11] 杨大伟, 杨秀芳, 陈剑虹. 基于 FPGA 的 DDFS 多信号发生器的设计与实现[J]. 西安理工大学学报, 2013, 29(4): 439-443.
- [12] 高士友, 胡学深, 杜兴莉, 等. 基于 FPGA 的 DDFS 信号发生器设计[J]. 现代电子技术, 2009, 32(16): 35-37.