

# 一种 DDS 产生可切换调制信号产生方法

钱敏 刘杨麟

(上海航天 804 研究所 上海 201109)

**摘要:**本文首先介绍了DDS(直接数字频率合成器)的基本原理和线性调频信号的优点。然后又介绍了一种基于DDS的线性调频信号的产生方法,此方法利用FPGA和CPU作为信号控制器,其灵活的可编程能力,可以方便进行遥控和本控信号的切换,产生不同性能指标的线性调频雷达信号。

**关键词:**DDS FPGA 调制信号

**中图分类号:**TN741

**文献标识码:**A

**文章编号:**1007-9416(2016)08-0117-02

## 1 引言

直接数字式频率合成器(Direct Digital Synthesis),简称DDS,是一项较新的数字化频率合成技术,它随着数字集成电路的发展而出现并迅速走向实用。较之通过用分立元器件模拟合成频率源的方法,DDS集成度高,体积也相对较小,频率转换能力和频率分辨率都高,工作频段宽,可编程、全数字化易于集成等优点,具有广阔的应用前景<sup>[1]</sup>。

## 2 DDS的基本原理

DDS主要由相位累加器,波形存储器,D/A数模转换器和低通滤波器组成,原理图1所示。

DDS需要一个高稳定度的晶体振荡器,提供DDS各部分的同步信号以及处理的源信号,自身主要部分是数字电路。频率控制字控制相位累加器,产生信号的相位信息,再利用查表的方法通过波形存储器产生数字信号,然后利用高速数模转换器转换存储器中的数字正弦波转换成模拟信号,最后通过低通滤波器输出信号。当频率设置数据为K,时钟频率为Fclk,相位累加器位数为N时,DDS输出的信号频率为:

$$F_{out} = F_{clk} * K \div 2^N \quad (1)$$

DDS的分辨率:

$$\Delta F = F_{clk} \div 2^N \quad (2)$$

因为DDS是数字化系统,其产生信号的参数:频率f、相位Φ、幅度A都是数字信号,所以该系统产生信号的相位噪声比传统的模拟频率合成技术要低得多。而且,直接数字频率合成系统没有任何反

馈支路,是一个开环的系统,它的转换速率理论上是采样速率,即Fclk的一半,所以它速度极快<sup>[2]</sup>。

## 3 线性调频信号的产生

雷达的作用距离和分辨率一直是一对固有矛盾,大时带积信号能够有效的解决这一矛盾。线性调频信号是通过非线性相位调制或线性频率调制来获得大的是时宽带宽积。

### 3.1 线性调频信号及其正交调制

线性调频信号是指持续期间频率连续线性变化的信号,其数学表达式可写成:

$$S(t) = a(t) \cdot \cos(2\pi f_0 t + \pi k t^2), t \in [-T/2, T/2] \quad (3)$$

其中:f<sub>0</sub>——中心频率,k=B/T——调频斜率,B——频率变化范围,T——脉宽。

可将式(2)变换如下:

$$\begin{aligned} S(t) &= a(t) \cdot [\cos(2\pi f_0 t) \cdot \cos(\pi k t^2) - \sin(2\pi f_0 t) \cdot \sin(\pi k t^2)] \\ &= a(t) \cdot \cos(\pi k t^2) \cdot \cos(2\pi f_0 t) - a(t) \cdot \sin(\pi k t^2) \cdot \sin(2\pi f_0 t) \\ &= i(t) \cdot \cos(2\pi f_0 t) - q(t) \sin(2\pi f_0 t) \end{aligned} \quad (4)$$

其中:  $i(t) = a(t) \cdot \cos(\pi k t^2)$  ——L F M 信号的同向分量,  $q(t) = a(t) \cdot \sin(\pi k t^2)$  ——LFM信号的正交分量。

### 3.2 线性调频信号产生的原理及方法

该WG信号产生电路主要技术指标:(1)WG分遥控和本控两个大的状态,通过RL/LC切换这两种状态。遥控状态主要是雷达处于正常工作、系统仿真和联调时使用,WG主要由外来信号控制;本控状态主要用于WG的单机调试和故障判断用。(2)产生的线性调频信

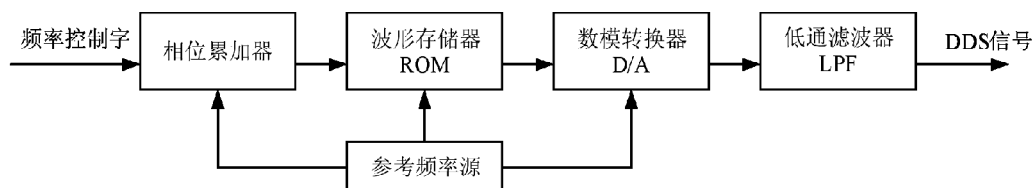


图1 DDS基本原理图

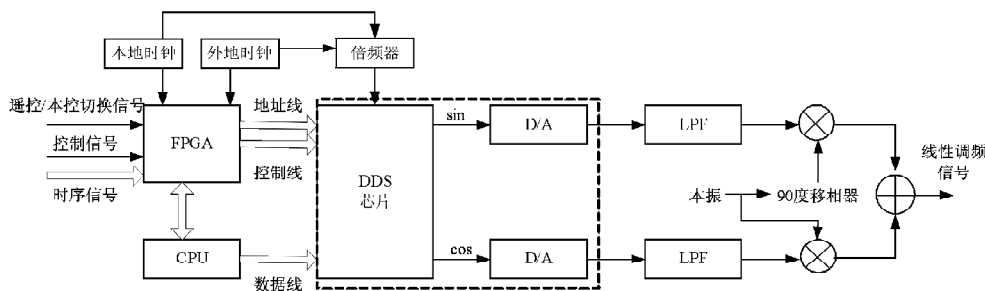


图2 线性调频信号产生的原理图

收稿日期:2016-06-02

作者简介:钱敏(1982—),女,江苏南通人,硕士,毕业于上海交通大学,工程师,现就职于上海航天804研究所,研究方向:接收机方向。

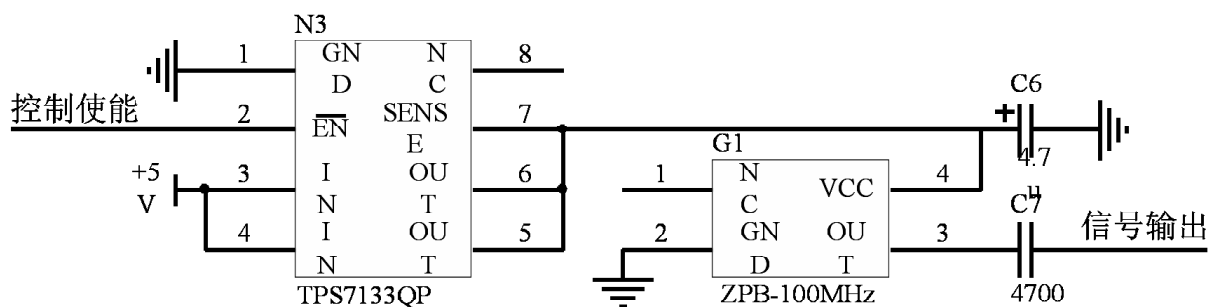


图3 本地时钟电路

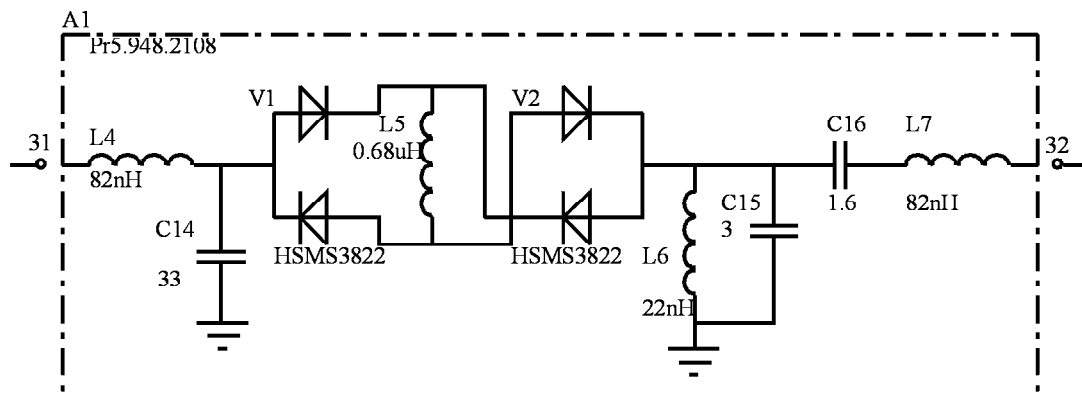


图4 三倍频时钟电路

号中心频率为36M，信号带宽4M。(3)相位噪声 $\leq -113\text{dBC/Hz@1KHz}$ 。

WG电路框如图2所示：主要由DDS及控制电路、本地时钟产生电路、DDS时钟电路、滤波及放大电路四部分组成，下面分别介绍。

### 3.2.1 DDS及控制电路

该部分是信号产生的核心，我们选用了AD公司生产的AD9955，AD9955DAC高达14位，输出频率能达到400MHz，同时其相位噪声 $\leq -125\text{dBC/Hz@1KHz}$ 。控制电路由FPGA和CPU组成，通过遥控和本控的要求，使用外部时序、时钟和内部时序、时钟。外部时序和时钟由系统供；内部时序由FPGA根据设置产生，内部时序由电路中的晶振产生。根据设定的方式，FPGA向DDS提供频率控制码及相位控制码，工作时，控制部分按设定的时序，改变DDS频率控制码，而且为了保证两路信号保持固定的相位关系，必须同步改变DDS两路信号的频率控制码。开机初始化后根据工作方式管脚的状态给DDS写入工作方式字和频率字，进入主循环。检测遥控、本控信号，判别工作方式管脚有无变化。有变化重新写入方式字和频率字，无变化跳出，继续循环检测，判别工作方式管脚有无变化。

### 3.2.2 本地时钟产生电路

图3提供本地时钟的电路。遥控工作时，控制使能（CPLD输出）为高电平，N3关闭，无电流输出，不向晶振G1提供工作电压，晶振无信号输出，系统使用外部时钟工作。关闭本地时钟，使之无信号输出，同时可以起到减少时钟串扰的作用。本控调试时，控制使能为低电平，N3输出+5V工作电压，晶振G1工作，输出100MHz信号。外部时钟和本地时钟都输入CPLD中，通过外部遥控/本控信号进行切换，供CPLD作工作时钟，同时选择其中一路输出供DDS作时钟。

### 3.2.3 DDS时钟电路

由于FPGA和DDS使用的时钟频率不同，在电路中使用了一个三倍频倍频器电路图4所示：

通过倍频和LC低通滤波，产生DDS时钟300M。

### 3.2.4 滤波和放大电路

DDS产生的中频信号差分输出，差分信号有利于抗共模干扰。经过变压器T2后，转换为单端输出。经过两级单片放大器MSA-1105放大到15dBm。为抑制带外杂散信号，将放大后的信号经过Z1带通滤波。

Z1主要指标如下：

(1)中心频率： $f=32\text{MHz}$ ；(2)带宽：4MHz；(3)带内差损：小于0.2dB。

## 4 系统的性能分析

DDS的相位累加器的精度与相位调谐字长L的关系，如下式所示：

$$\Delta\theta = (2\pi / 2^L) \text{rad}$$

AD9954，字长为32位，则 $\Delta\theta = (360^\circ / 2^{32}) = (8.4 \times 10^{-8})^\circ$ 。

可见该系统相位误差非常小，具有相当高的相位准确性。DDS的转换速率取决于系统时钟，本系统时钟达到300MHz，满足指标要求。经过滤波和放大能达到最后15dBm的输出要求。

## 5 结语

采用FPGA控制DDS产生线性调频信号，能够满足系统可切换工作状态的要求。且具有灵活性好，相位连续性好，体积小，重量轻，实现简单等明显优点。

## 参考文献

- [1]陈世勇,张娟,韩孝力,等.40MHz射频信号源的设计与分析[J].电路与系统学报[J].2010(6):22-26.
- [2]胡力坚.基于DDS的任意波形发生器设计与实现[D].西安电子科技大学,2009.