

期末考试试题 A 卷 (闭卷)

学号 \_\_\_\_\_ 班级 \_\_\_\_\_ 姓名 \_\_\_\_\_ 成绩 \_\_\_\_\_

注意：所有答题内容必须写在答题纸上，凡写在试题或草稿纸上的一律无效。

一、单项选择题 (每小题 2 分，共 20 分)

1、某 CPU 的时钟频率为 4.0GHz，执行某程序的平均 CPI 为 2.5，则其执行此程序的平均指令处理能力为( )。

- A.  $1.6 \times 10^3$  MIPS    B.  $0.625 \times 10^3$  MIPS    C. 1.6 MIPS    D. 0.625 MIPS

2、两个不同的处理器  $P_1$  和  $P_2$  分别执行同一个程序时各自的指令处理能力是 100MIPS 和 120MIPS,  $P_1$  的频率是 2GHz,  $P_2$  的频率是 2.5GHz. 仅就这个程序来说,  $P_1$  和  $P_2$  的速度比是( )。

- A.  $P_1/P_2=6/5$     B.  $P_1/P_2=5/6$     C.  $P_1/P_2=4/5$     D.  $P_1/P_2=5/4$

3、在 MIPS 存储器中某字的存储格式如图所示，则该字的存储地址与值分为 ( )。

A. 字地址：16，值：0x03040506；

B. 字地址：16，值：0x06050403；

C. 字地址：19，值：0x03040506；

D. 字地址：19，值：0x06050403。

19	6
18	5
17	4
16	3

4、关于 MIPS 指令格式，正确的说法为 ( )。

A. 所有指令的 op 字段与 funct 字段结合起来共同确定该指令具体操作类型；

B. rs、rt 总是作为源操作数；

C. rd 作为目的数，在指令里不可缺少；

D. 在某些指令里可读 rt，在另些指令里可写 rt

5、十六进制数 C0900000 所表示的 IEEE754 单精度数十进制数为 ( )。

- A. 5    B. -4.5    C. -5.625    D. -4.125

6、假设有一个 16 位的 IEEE754 浮点格式，其中有 6 位指数位。那么它可能表示的非 0 正常数范围是 ( )。

A.  $1.0000000000 \times 2^0$  到  $1.1111111111 \times 2^{31}$

B.  $\pm 1.0000000000 \times 2^{-30}$  到  $\pm 1.1111111111 \times 2^{31}$

C.  $\pm 1.0000000000 \times 2^{-32}$  到  $\pm 1.1111111111 \times 2^{31}$

D.  $\pm 1.0000000000 \times 2^{-31}$  到  $\pm 1.1111111111 \times 2^{31}$

7、以下 C 语言代码中若 A、B 矩阵按行存储，则具有空间局部性的是 ( )。

for (j=0;j<8;j++)

for (i=0;i<8;i++)

A[i][j]=B[j][0]+A[j][i]

A. A[i][j]

B. B[j][0]

C. A[j][i]

D. i 和 j

8、某计算机的 Cache 共有 16 块，采用 2 路组相联映射方式，每个主存块大小为 32 字节，按字节编址，主存 640 号单元所在主存块应装入到 Cache 的组号是 ( )。

A. 0

B. 20

C. 2

D. 4

9、假设有三种分支预测机制：预测分支不发生、预测分支发生和动态分支预测。假定他们在预测正确时无开销，预测错误时开销为两个时钟周期，动态预测器的平均准确率为 90%。在此情况下，对下面的分支而言预测分支不发生时 ( ) 是最好的选择。

A. 分支发生概率为 5%;

B. 分支发生概率为 95%;

C. 分支发生概率为 50%;

D. 分支发生概率为 70%;

10、单周期 CPU 数据通路必须有独立的指令存储器和数据存储器，因为 ( )。

A. MIPS 中指令与数据的格式是不同的，所以需要不同的存储器。

B. 使用独立存储器会比较便宜。

C. 使用独立存储器速度更快。

D. 因为处理器在一个周期内要操作每个部件一次，而在一个周期内不可能对一个端口存储器进行两次存取

## 二、(每小题 5 分，共 15 分)

有两种不同的处理器  $P_1$ 、 $P_2$  执行相同的指令集， $P_1$  的时钟频率为 3GHz，CPI 为 1.5； $P_2$  的时钟频率为 2.5GHz，CPI 为 1.0。

(1) 以每秒钟执行的指令数为准，哪个处理器的性能更高？

(2) 如果每个处理器各执行一个程序都花 10 秒钟时间，求这两个程序的时钟周期数和指令数；

(3) 如果试图把上述程序的执行时间减少 20%，但这会导致 CPI 增加 20%，问时钟频率应该是多少才能达到目的？

## 三、(共 18 分)

### 1. (每小题 2 分，共 6 分)

假定 PC=0x2000 0000，则：

(1) 是否可以用一条 beq 指令将 PC 设置为 0x2008 0000，并说明理由？

(2) 是否可以用一条 j 指令将 PC 设置为该值, 并说明理由?

(3) 若某指令地址为 Dest, 试说明指令 j Dest 与 jal Dest 的异同。

2. (12 分) 将下面的 C 代码翻译成 MIPS 汇编代码编写的子过程, 其中 a、b 和数组 D 的基地址为子过程的入口参数。子过程中 a、b、i、j 和数组 D 的基地址分别存放在 \$s0、\$s1、\$t0、\$t1、\$s2 中, sum\_D 为子过程的入口地址。

```
if (a > 0)
```

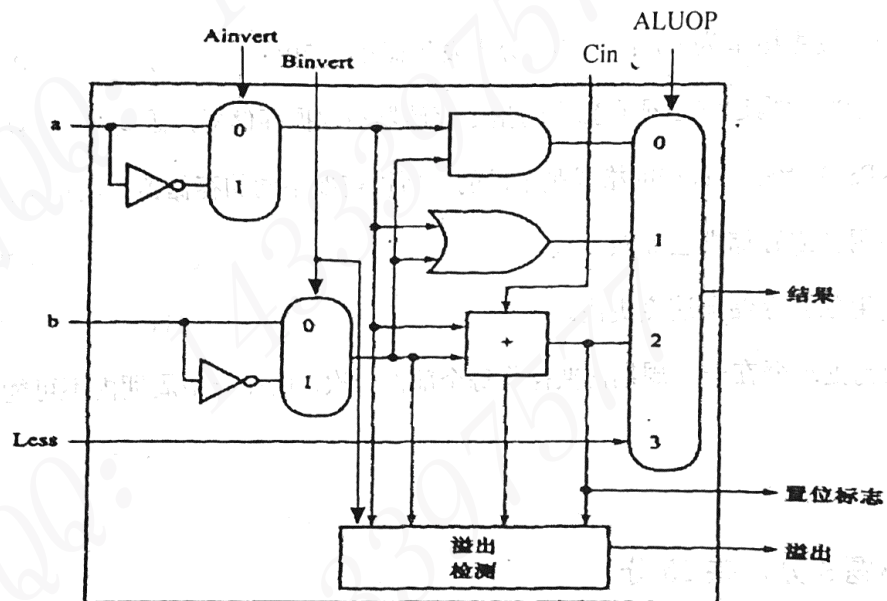
```
{ for (i=0; i<a; i++)
```

```
    for (j=0; j<b; j++)
```

```
        D[4*i]=i - j;
```

#### 四、(共 10 分)

MIPS 的 ALU 部件结构如下图所示, 说明该运算器如何实现“加”、“减”、“与”、“或”和“置 1”的运算?



#### 五、(共 22 分)

1. (12 分) 假设下列 MIPS 代码在一个五级流水线的处理器上运行:

```
loop: lw  r1, 0(r1)
      and r1, r1, r2
      sw  r1, 0(r1)
      add r2, r2, -1
      bne r2, r0, loop
```

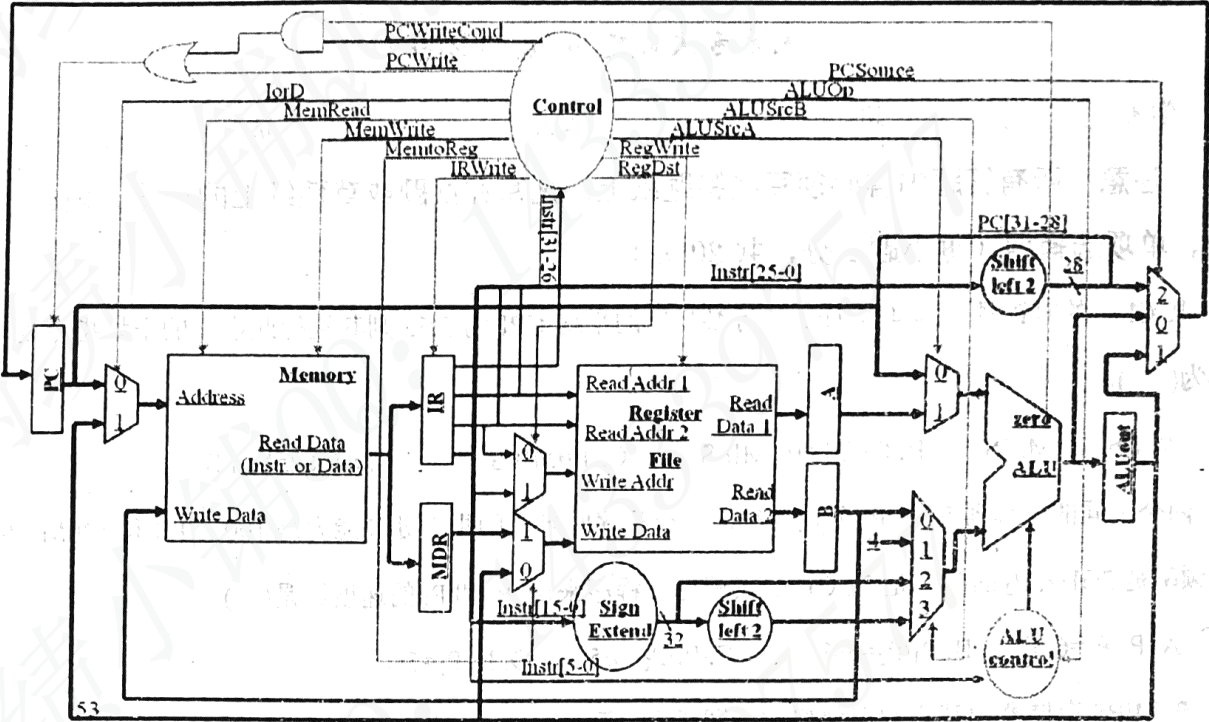
(1) (5 分) 假设有完全旁路和预测分支总发生, 画出循环一次执行的流水线图。

(2) (5 分) 假设只有 Mem/WB 流水线寄存器到 EX 阶段的旁路, 预测分支总发生, 画出循环一次执行的流水线图。

(3) (2 分) 假设有完美的分支预测和完全旁路, 循环前三次共需要多少个时钟周期?



2. (10 分) 已知多周期的 CPU 结构如下图所示, ALUOp=00 时 ALU 做加法; ALUOp=01 时 ALU 做减法; ALUOp=10 时 ALU 按指令的功能段决定操作, 写出指令 `addi $s2, $s1, 0` 的信号设置流程。



六、(每小题 5 分, 共 15 分)

假设虚拟存储器的页面为 8KB, TLB 和页表(按列顺序)初始状态如下, 访问的虚拟地址流如下(十六进制): A4EC、C5A6、E8F4、9100, 说明每个地址的访问过程并列出访问 4 个数据之后 TLB 的状态, 在 TLB 表后面增加一行说明其命中情况(设 TLB 命中表示为 H、TLB 不命中但页表命中表示为 M, 发生缺页表示为 PF)。如果要从磁盘中取回页, 设物理页面 10 可用。

TLB			页表					
有效位	标记位 (十进制)	物理页号 (十进制)	有效位	物理页	有效位	物理页	有效位	物理页
1	11	12	1	5	1	9	1	8
1	5	11	0	磁盘	1	11	0	磁盘
1	7	4	0	磁盘	0	磁盘	1	3
0	4	9	1	6	1	4	1	12

- 如果 TLB 采取全相联映射方式;
- 如果 TLB 采取直接映射方式;
- 如果 TLB 采取两路组相联映射方式(原 TLB 的四块分别为: 0 组 0 块、1 组 0 块、0 组 1 块、1 组 1 块)。