

武汉大学计算机学院

2020-2021 学年第一学期 2019 级《计算机组成与设计》

期末考试试题 B 卷（闭卷）

学号_____ 班级_____ 姓名_____ 成绩_____

注意：所有答题内容必须写在答题纸上，凡写在试题或草稿纸上的一律无效。

一、单项选择题（每小题 2 分，共 20 分）

- 1、下列部件中实现指令执行控制的是（ ）。
A、存储器 B、数据通路 C、控制器 D、输入/输出部件
- 2、对给定的应用，若增加多个处理器来分别处理独立的任务，则将对（ ）产生影响。
(A)
A、响应时间 B、吞吐率
C、响应时间和吞吐率 D、以上都不对
- 3、设 \$s0 的内容为 0x10010010，则指令 lw \$t0, -12(\$s0) 读内存数据使用的地址为（ ）
A、0x10010014 B、0x10020004 C、0x1000ffe0 D、0x10010004
- 4、关于 MIPS 指令格式，下列说法中正确的是（ ）
A、所有指令都有 funct 字段
B、所有指令都有 rd 字段
C、所有指令都有 rs 字段
D、所有指令都有 op 字段
- 5、-32 的 8 位二进制补码表示形式为（ ）
A、11011111 B、00100000 C、11100000 D、11100001
- 6、-32 的 8 位二进制补码表示形式为（ ）
A、11011111 B、00100000 C、11100000 D、11100001
- 7、MIPS 的单周期数据通路如下图所示，下面给出了相应部件的延时，在这个数据通路上执行 MIPS 指令集的最小时钟周期是多少？（不考虑 JAL 指令）。假设没有列出的部件延时为 0ns。（ ）

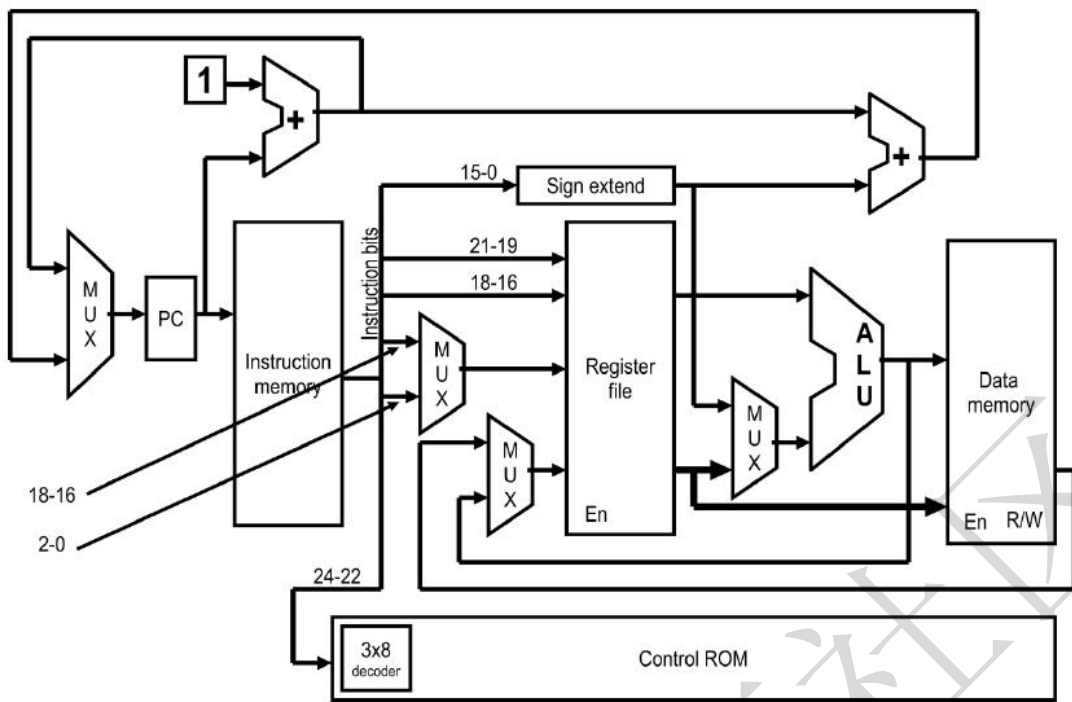
ALU: 5ns

数据存储器 (读或者写): 10ns

指令存储器 (读或者写): 10ns

寄存器文件读写: 3ns

地址加法器 (non-ALU): 1ns



- A、26ns B、28ns C、29ns D、31ns
- 8、假设流水线处理器中增加流水的级数，将对（ ）产生的影响。
- A、时钟周期将变短
B、每个程序的指令数将减少
C、CPI将变小
D、以上所有情况都会发生
- 9、下列有关存储器的说法正确的是（ ）。
- A、存储器层次结构中，存储器的容量、访问时间和单位成本都随着离处理器距离的增加而增加。
- B、主存储器一般由 SRAM（静态随机存取存储器）来实现，它的特点是每比特占用的存储空间较少，因此等量的硅制造的 SRAM 的容量比 DRAM 的大。
- C、相对于服务器，嵌入式系统的存储器通常设计的容量比较小和简单，以降低功耗。
- D、具有相同复杂度的算法，在同一机器上运行的时间也会基本一致。
- 10、一台有完整的层次储存器的 MIPS 计算机，执行一条 LW 指令访问主存的可能最多次数为（ ）。
- A、0 B、1 C、2 D、3

二、性能计算（每小题 5 分，共 10 分）

有 3 种不同的处理器 P1、P2 和 P3 执行同样的指令集，有如表所示性能特点

处理器	时钟频率	CPI
P1	3GHz	1.5
P2	2.5GHz	1.0

P3	3.6GHz	2.0
----	--------	-----

- (1) 以每秒钟执行的指令数目为标准，那个处理器性能最高？
- (2) 如果每个处理器执行一个程序都花费 10 秒，求它们的时钟周期数和指令数。

三、指令系统（每个空 1 分，共 15 分）

对如下 C 语言程序：

```
for (i=0; i<a; i++) {
    j=0;
    while (j<b) {
        D[4*j]=i+j;
        j+=1;
    }
}
```

下面的代码是其对应的 MIPS 程序，假设值 a、b、i 和 j 分别存放在寄存器 \$s0、\$s1、\$t0 和 \$t1 中，寄存器 \$s2 中存放着数组 D 的基地址，将其中的空填写完整。

```
        addi $t0, $0, 0
TEST1:  slt  $t2, ( (1) ), $s0
        ( (2))  $t2, $0, exit
        addi $t1, $0, 0
TEST2:  slt  $t2, $t1, ( (3) )
        ( (4) )  $t2, $0, LOOP1
        add  $t3, $t0, ( (5) )
        sll  $t2, ( (6) ), ((7) 4 )
        add  $t2, $t2, ( (8) )
        sw   ( (9) ), ( (10) )
        addi $t1, ( (11) ), ( (12) )
        J    ( (13) )
LOOP1:  addi ( (14) ), $t0, ( (15) )
        J    TEST1
EXIT:
```

四、运算器（共 10 分）

用二进制浮点数加法计算 $12.7510+6.510$ 之值（保留 7 位精度）；并把计算结果转换成 IEEE754 单精度浮点数的二进制位模式和十六进制数。

五、CPU(共 23 分)

1、（8 分）根据上图的数据通路，其中指令存储器、加法器、多选器、ALU、寄存器堆、数据存储器和控制单元的延迟分别为 400ps, 100ps, 30ps, 120ps, 200ps, 350ps 和 100ps，相应成本分别为 100, 30, 10, 100, 200, 2000 和 500。考虑给 ALU 增加一个乘法，这将使 ALU 的延迟增加到 200ps，同时 ALU 的成本增加 500，这样做的好处是需要执行的指令数减少了 5%，因为不需要再模拟 MUL 指令。

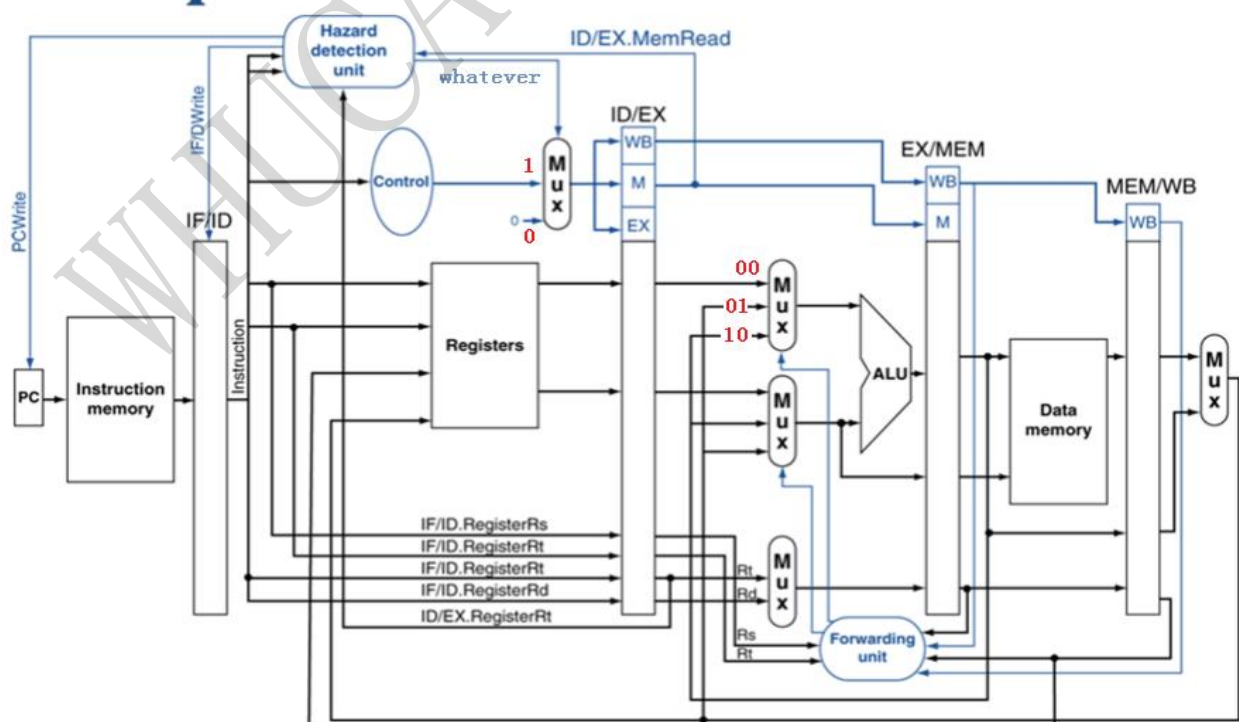
（1）改进前后的时钟周期分别是多少？

（2）改进后获得多大的加速比？

（3）改进前后的性价比是多少？

2、（共 15 分）流水线示意图如下：

Datapath with Hazard Detection



在此流水线上执行下面的指令序列：

```
add $10,$0,$0
addi $11,$0,100
lw $10,0($11)
addi $10,$11,-1
add $10,$11,$11
beq $11,$10,exit
```

从取第一条指令开始计时，请在下面的表格中填写各时钟周期转发单元的输入输出信号状态值：

时钟周期	Clk5	Clk6	Clk7	Clk8	Clk9
ID/EX.Rs					
ID/EX.Rt					
EX/MEM.Rd					
EX/MEM.RegWrite					
MEM/WB.Rd					
MEM/WB.RegWrite					
ForwardA					
ForwardB					

六、（本题 22 分）

1、（6 分）直接映射 cache 的索引方法是用（块地址）mod（cache 中的块数）。假设 cache 地址为 32 位，有 256 个块，块大小为 64 字节。考虑一个不同的索引函数：

(块地址)[31:24] XOR 块地址[23:16]

即，块地址的第 24~31 位异或块地址的第 16~23 位。是否可以用这个索引函数来索引直接映射 cache？如果可以，请解释原因，并讨论可能需要对 cache 做的修改，和原策略相比有什么好处？。如果不可以，请解释原因。

2、（16 分）假设虚拟存储器的页面为 8KB，TLB 和页表（按列顺序）初始状态如下，访问的虚拟地址流如下（十六进制）：A4EC、C5A6、E8F4、9100，说明每个地址的访问过程并列出访问 4 个数据之后 TLB 的状态，在 TLB 表后面增加一行说明其命中情况（设 TLB 命中表示为 H、TLB 不命中但页表命中表示为 M，发生缺页表示为 PF）。如果要从磁盘中取回页，设物理页面 8、10 可用。

TLB		
有 效 位	标记位 (十进制)	物理页号 (十进制)
1	11	12
1	5	11
1	7	4
0	4	9

页表					
有 效 位	物 理 页	有 效 位	物 理 页	有 效 位	物 理 页
1	5	1	9	1	8
0	磁盘	1	11	0	磁盘
0	磁盘	0	磁盘	1	3
1	6	1	4	1	12

- (1) 如果 TLB 采取全相联映射方式；
- (2) 如果 TLB 采取直接映射方式；
- (3) 如果 TLB 采取两路组相联映射方式（原 TLB 的四块分别为：0 组 0 块、1 组 0 块、0 组 1 块、1 组 1 块、）。