

武汉大学计算机学院

2020-2021 学年第一学期 2019 级卓越工程师班《计算机组成与设计》

期末考试试题 A 卷（闭卷）

学号_____ 班级_____ 姓名_____ 成绩_____

注意：所有答题内容必须写在答题纸上，凡写在试题或草稿纸上的一律无效。

本考试使用的 RISC-V 核心指令格式如下：

	31	27	26	25	24	20	19	15	14	12	11	7	6	0
R	funct7				rs2		rs1		funct3		rd		opcode	
I	imm[11:0]						rs1		funct3		rd		opcode	
S	imm[11:5]				rs2		rs1		funct3		imm[4:0]		opcode	
SB	imm[12 10:5]				rs2		rs1		funct3		imm[4:1 11]		opcode	
U	imm[31:12]										rd		opcode	
UJ	imm[20 10:1 11 19:12]										rd		opcode	

一、单项选择题（每小题 2 分，共 20 分）

- 采用 8 比特单符号位补码计算 $(-111) + (-34)$ 时, 下列说法中正确的是()。
 - 运算结果为 0110,1111, 有溢出
 - 运算结果为 1,0110,1111, 无溢出
 - 运算结果为 0,0110,1111, 无溢出
 - 运算结果为 1110,1111, 有溢出
- 指令 beq 所在的地址为 0x0000 0000 0008 0024, 转移目标地址为 0x0000 0000 0008 0010, 则此指令中立即数的十六进制表示为()。
 - 0xFE8
 - 0xFEC
 - 0xFF6
 - 0xFF3
- 有些指令集中有 jr 指令, 它以一个寄存器作为参数, 无条件跳转到寄存器内容给出的内存地址。RISC-V 没有这条指令, 但是可以用一条() 指令实现等价的功能。
 - beq
 - jalr
 - jal
 - j
- 考虑一个循环, 在程序中会被调用多次。每次执行时, 循环结束时的分支指令会发生 9 次跳转到循环开始, 之后产生 1 次不跳转。采用 1 位预测机制和采用 2 位预测机制的准确率分别是()。
 - 88.89%和 100%
 - 80%和 90%
 - 88.89%和 88.89%
 - 80%和 100%
- 在一个单周期 RISC-V CPU 中, 通常是由() 指令的执行时间决定该 CPU 的时钟频率。

A. ld B. sd C. beq D. add

- 6、 在一个没有旁路（前递/forwarding）和冒险检测的五阶段流水线中，寄存器在前半个周期写，后半个周期读。如果想正确运行如下代码，至少需要插入（ ）条 NOP 指令。

```
addi  x11, x1, 5
ld     x12, 0(x2)
add    x13, x11, x12
addi   x14, x12, 15
add    x15, x13, x11
```

A. 2 B. 3 C. 4 D. 5

- 7、 下面有关相关和冒险的说法不正确的是（ ）。

- A. 流水线级数越深，控制相关造成的处罚(penalty)越大
- B. 有些数据冒险无法只通过旁路（forwarding）消除
- C. 结构冒险（hazard）可以通过增加资源消除，数据冒险可以通过旁路的方法消除
- D. 编译器可以通过指令调度来帮助消除指令冒险

- 8、 下面有关 cache 描述正确的是（ ）。

- A. 在预算足够的情况下，增加一级 cache 的大小能降低不命中率，提升系统性能
- B. 写直达（write through）策略使得每次写操作都要访问下一层存储设备，降低了写操作的性能，在现代系统中已经不再采用
- C. 多级 cache 系统中，为了方便不同级别 cache 的数据换进换出，通常都采用相同的数据块大小
- D. 程序的性能不仅与算法复杂度相关，还与算法对数据的访问模式相关

- 9、 假定一个磁盘的转速为 7200RPM，磁盘的平均寻道时间为 8ms，内部数据传输率为 4MB/s，不考虑排队等待时间，则读一个 512B 扇区的平均时间大约为（ ）。

A. 12.16ms B. 12.29ms C. 16.32ms D. 16.46ms

- 10、 假定主存地址为 32 位，按字节编址，主存和 Cache 之间采用直接映射方式，主存块大小为 4 个字，每字 32 位，采用回写(write back)方式，则能存放 4K 字数据的 Cache 的总容量的位数至少是（ ）。

A. 146K B. 147K C. 148K D. 158K

二、性能计算（每小题 5 分，共 10 分）

编译程序对一个应用程序在给定处理器上的性能有极大的影响。假定一个应用程序，在

1GHz 的 CPU 上，采用编译程序 A 和 B 分别编译后得到下表所示数据：

使用编译程序	生成动态指令数	应用程序执行时间
A	1.1×10^9	1.1 秒
B	1.2×10^9	1.5 秒

(1) 分别求使用编译程序 A 和使用编译程序 B 得到的应用程序的平均 CPI。

(2) 假设开发了一种新的编译程序，只用 8×10^8 条指令，平均 CPI 为 1.2，求这种新的编译程序相对于编译程序 A 和 B 的加速比。

三、指令系统（每个空 2 分，共 16 分）

有如下 C 语言程序：

对应的 RISC-V 汇编代码为：

```
int funct(int x, (1) y)
{
    int t = (2);
    for (int i = (3); i < (4); i++)
        if ((5))
            (6);
        else
            (7);
    return (8);
}
```

```
funct:
    slli    x5, x10, 3
    add     x5, x5, x11
    add     x6, x0, x11
    add     x8, x0, x0
Loop:
    bge     x6, x5, Exit
    ld      x7, 0(x6)
    blt     x7, x0, Exit
    addi    x8, x8, 1
    addi    x6, x6, 8
    beq     x0, x0, Loop
Exit:
    add     x10, x8, x0
    jalr    x0, 0(x1)
```

请填写出 C 语言程序中缺失的(1)~(8)。

四、运算器（10 分）

用二进制浮点数加法计算 $(12.75)_{10} + (6.5)_{10}$ 之值（采用 0 舍 1 入法）；并把计算结果转换成 IEEE754 半精度浮点数（1 位符号位，5 位阶码，10 位尾数）的二进制位模式和对应的十六进制数。

五、CPU（25 分）

1、（共 15 分）单周期 CPU 数据通路如下图所示。

指令：sd x9, 8(x22)

(1) 对上述指令而言，图中的控制信号值分别是什么？（ALUOp 给出 ALU 要做的运算即可）（7 分）

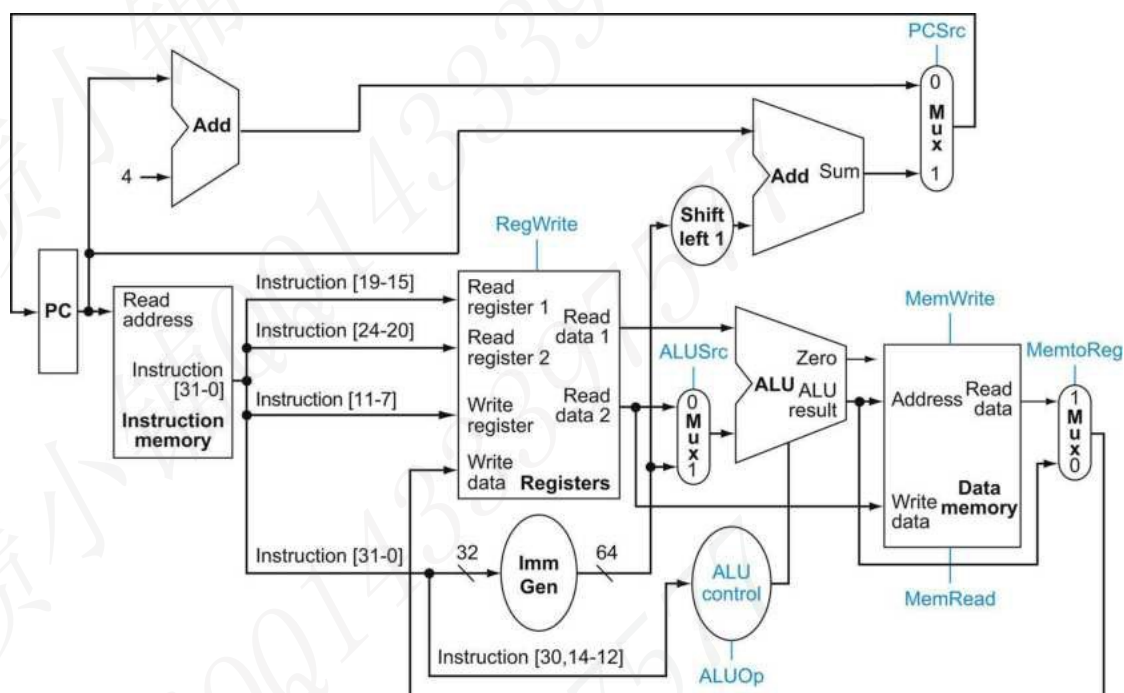
RegWrite	ALUSrc	ALUOp	PCSrc	MemWrite	MemRead	MemtoReg

(2) 对上述指令而言，下述数据线上的值为多少？sd 指令的 opcode 为 0x23，funct3 为

0x3。(6分)(所有结果均以16进制形式给出!!!)

寄存器1号读地址输入	
寄存器2号读地址输入	
寄存器写地址输入	
寄存器写数据输入	
ImmGen的输入	
ALU control的输入	

(3) 哪个(些)功能单元会产生输出,但不会被实际用到?(2分)



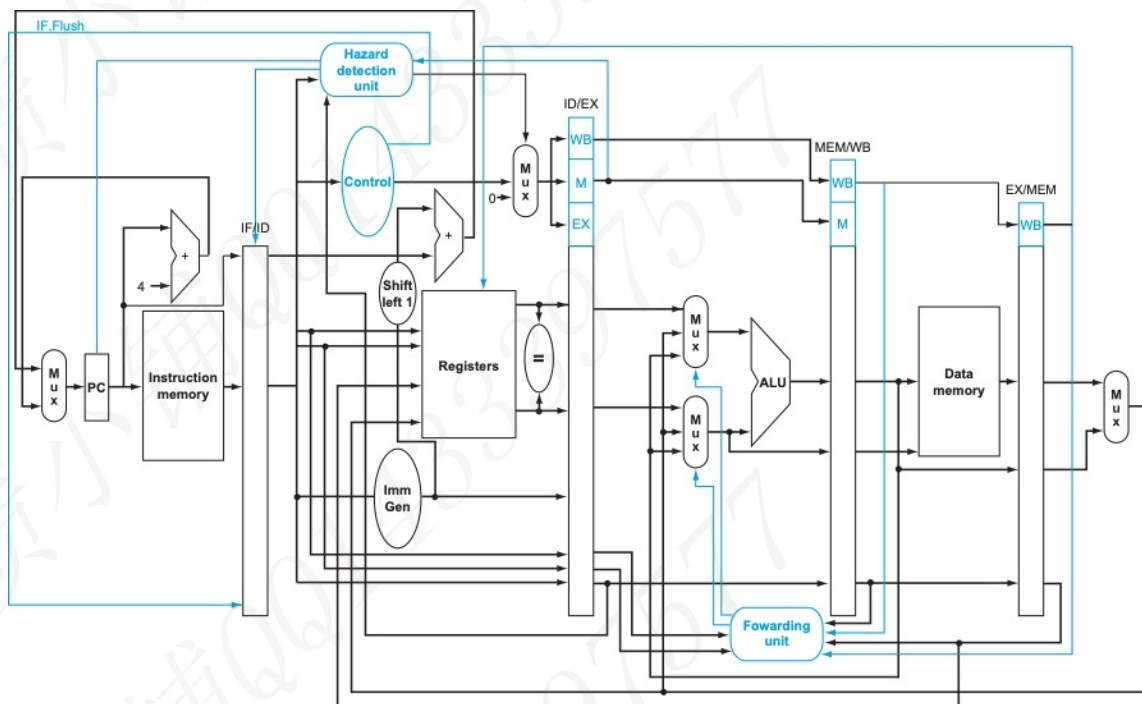
2、(共10分)流水线示意图如下所示。在此流水线上执行下面的指令序列:

```
add x10,x0,x0
addi x11,x0,100
ld x10,0(x11)
addi x10,x11,-1
add x10,x11,x11
beq x11,x10,exit
```

从取第一条指令开始计时,请在下面的表格中填写各时钟周期转发单元(forwarding unit)的输入输出信号状态值:

时钟周期	Clk5	Clk6	Clk7	Clk8	Clk9
ID/EX.RegisterRs1					
ID/EX.RegisterRs2					
EX/MEM.RegisterRd					
EX/MEM.RegWrite					
MEM/WB.RegisterRd					

MEM/WB.RegWrite					
ForwardA					
ForwardB					



六、存储系统（19分）

1、（每小题2分，共8分）现有一个采用直接映射策略的 cache，大小为4KB，块大小为64字节。有如下C语言代码：

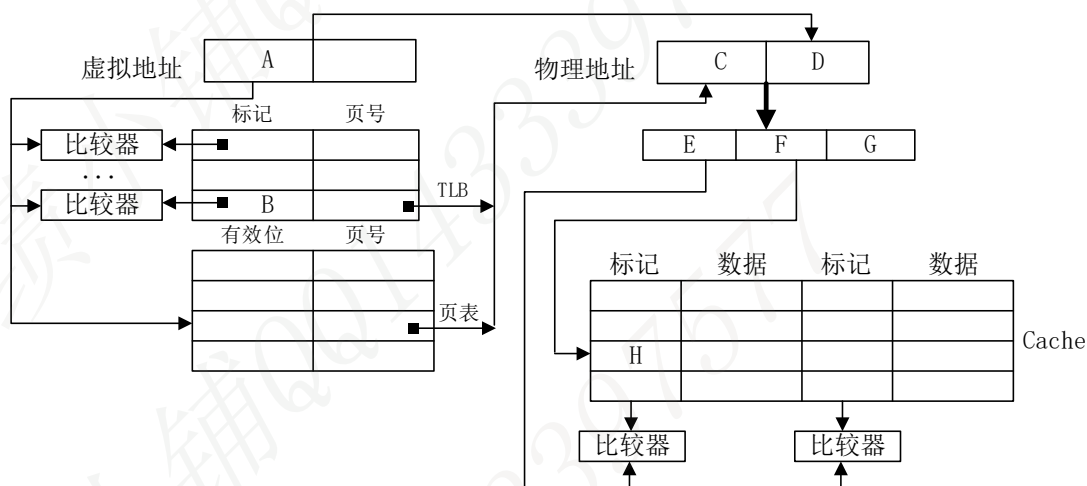
```
double array[LEN];
for (int i = 0; i < 1024; i++)
    for (int j=0; j<LEN; j+=STRIDE)
        array[j] += 1.0;
```

一个 double 占8字节。假设系统中没有其他程序在运行，cache 初始时是空的。

- （1）若 STRIDE 定义为1，LEN 从512变为1024时，性能有明显的下降，请分析原因。
- （2）在第1问的条件下，若 cache 改为采用 LRU 的全相联映射策略，程序性能会提升吗？请解释原因。
- （3）若 STRIDE 定义为16，LEN 为512时，cache 利用率为多少？若 LEN 增加到1024，程序性能会出现什么变化？此时 cache 利用率为多少？请解释原因。
- （4）在第(3)问前提下，若 cache 改为采用 LRU 的全相联映射策略，程序性能会提升吗？请解释原因。

2、（共11分）某计算机采用页式虚拟存储管理方式，按字节编址，虚拟地址为32位，物理地址为24位，页大小为8KB；TLB采用全相联映射；cache 数据区大小为64KB，按

2 路组相联方式组织，主存块大小为 64B。存储访问过程的示意图如下。



部分页表内容为:

有效位	标记	物理页号	...
0	0x7F180	0x002	...
1	0x3FFF1	0x035	...
0	0x02FF3	0x351	...
1	0x03FFF	0x153	...

请回答下列问题:

- 图中字段 A~G 的位数各是多少?TLB 标记字段 B 中存放的是什么信息? (4 分)
- 虚拟地址 0x07FFF180 所在的页面是否在主存中? 若在主存中, 则该虚拟地址对应的物理地址是什么? 将该主存块装入到 cache 中时, 所映射的 cache 组号是多少? 对应的 H 字段内容是什么? (4 分)
- 假定为该机配置一个 4 路组相联的 TLB, 其它不变, TLB 共可存放 8 个页表项, 若其当前内容如下图所示, 则此时虚拟地址 0x00048BAC 所在的页面是否存在主存中? 要求说明理由。 (3 分)

组号	有效位	标记	物理页号	有效位	标记	物理页号	有效位	标记	物理页号	有效位	标记	物理页号
0	0	-	-	1	0x00001	0x015	0	-	-	1	0x00012	0x01F
1	1	0x00013	0x02D	0	-	-	1	0x10008	0x7E	0		