

一、单项选择题（每小题 2 分，共 14 分）

- A. 加速大概率事件
B. 采用并行提高性能
C. 采用流水线提高性能
D. 采用预测提高性能

```
L1:  beq $3,$4,L1
```

- A. 0x0001 B. 0x0002 C. 0xFFEF D. 0xFFFE

- A. `addi $t0, $t1, 9` B. `lw $t3, 4($t1)` C. `j 1000` D. `beq $t2, $t1, 1000`

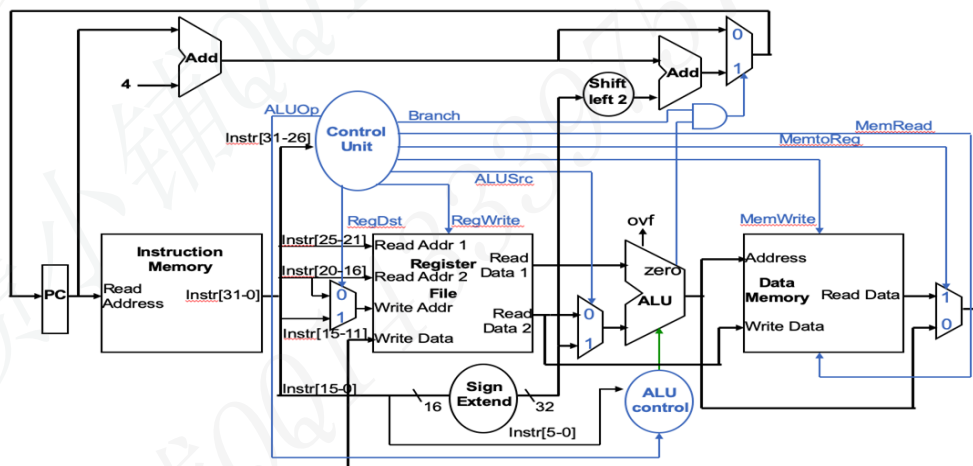
- ~~A. $-1.0 \times 10^{+2048}$;~~

- $$B = -2.0 \times 2^{+2048};$$

- C. $-1.0 \times 10^{+1023}$;

- D. $-2.0 \times 2^{+1023}$ 。

- 5、单周期 CPU 如下图所示，控制信号 MemtoReg 无效时表示： (A)



- A. 写入寄存器的数据来自 ALU
- B. 写入寄存器的数据来自数据存储器
- C. 写入寄存器的数据来自指令存储器
- D. 以上都不是

6、下列关于分支目标缓存 BTB 的说法中错误的是：(D)

- A. 作用与工作机制类似 TLB
- B. 取指令时根据指令地址检索 BTB
- C. 检索成功时说明正在取的指令是分支指令
- D. 检索不成功时说明正在取的指令不是分支指令

7、对下面给出的十六进制存储器地址：3、 B4、 2B、 2、 BF、 58、 BE、 0E、 B5、

2C、 BA、 FD。假设有一种 cache 设计方案，cache 容量为 8 个字，块大小为 1 个字。如果缺失阻塞时间为 25 个周期，cache 的访问时间为 2 个周期，那么这款 cache 的平均访问时间为 (D)。

- A. 286 B. 324 C. 335 D. 无法计算

二、性能计算（共 10 分）

假设对某应用程序中的四类操作进行改进，比较改进前后的性能，获得如下数据：

操作类型	程序中的数量（百万条指令）	改进前执行时间（周期数）	改进后执行时间（周期数）
A	10	2	1
B	30	20	15
C	35	10	3
D	15	4	1

(1) 各类操作单独改进后，程序获得的加速比分别是多少？由此可得出什么结论？

(2) 全部操作都改进后，程序获得的加速比是多少？

三、指令系统（共 20 分）

1、（10 分，每空 1 分）对如下 C 语言程序：

```
for (i=0, i<100, i+=2) {
```

```
    result += Mem[s0+i];
```

```
    result += Mem[s0+i+1];
```

```
}
```

下面的代码是其对应的 MIPS 程序，假设 i 和 result 存放在寄存器 \$s0 和 \$s1 中，寄存器 \$s2 中存放着数组 D 的基地址 s0，将其中的空填写完整。

```
addi $t1, $s0, 400
```

```

loop: lw $t1, (0($s2))
      add $s1, (2($s1)), (3($t1))
      lw $t2, (4($t1)), (5($s1))
      add $s1, (6), (7)
      addi $s2, (8), (9)
      (10) $s2, $t1, loop

```

```

addi x5, x18, 800 // 0x1000
loop: ld x6, 0(x19) // 0x1000
      add x18, x18, x6 // result +=
      ld x6, 8(x19) // 0x1000
      add x18, x18, x6
      addi x6, x6, 8 // i++
      ble x6, x5, loop

```

2、(10 分) 将下列 C 语言翻译成 MIPS 语言。假设 int 数组 A 和 B 的起始地址分别存储在寄存器 \$s1, \$s2; 且变量 m, n, i 存储在寄存器 \$s4, \$s5, \$s6。

```

if (m < n)
    B[i] = A[4] + 4;
else

```

```

bge x17, x18, else // m >= n
ld x5, 32(x15) // A[4]
addi x5, x5, 4 // A[4] + 4
slli x6, x19, 3 // i * 8
add x7, x16, x6 // B[i]
sd x5, 0(x7) // B[i] = A[4] + 4
else:

```

四、运算器 (共 10 分)

假设有一个虚构的 8 位浮点数标准，其中前导位 1 隐含，符号字段 1 位，指数字段 4 位，尾数字段 3 位。特别的，指数值 0000₂ 和 1111₂ 预留给特殊用途，不可用作数据表示。请按照上述浮点数标准：

- (1) 请写出上述虚构浮点数表示中指数的偏阶。 $2^4 - 1 = 7$
- (2) 对 8 位二进制浮点数 00110000₂ 进行字段划分，并将其转换为十进制浮点数。 $1.0 \times 2^{-1} = 0.5$
- (3) 采用二进制浮点数加法，分步骤计算二进制浮点数 00110000₂ 和十进制浮点数 -0.4375₁₀ 之和 (假设保持 4 位精度)。

$$\begin{array}{r}
 0.875 \\
 - 0.4375 \\
 \hline
 0.4375
 \end{array}$$

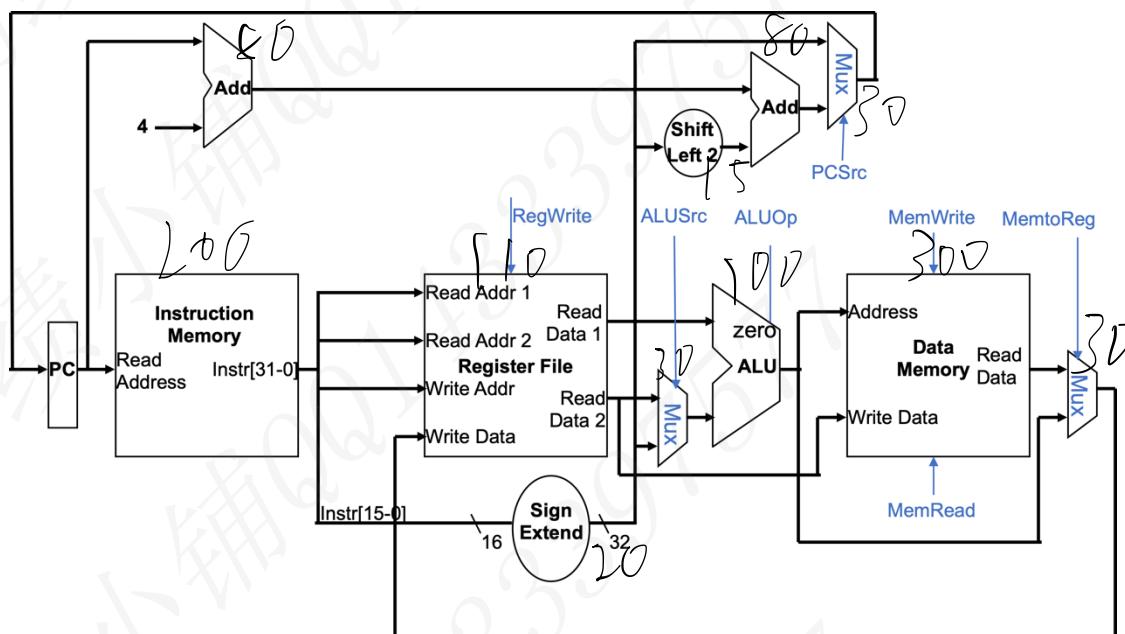
$$\begin{array}{r}
 0.875 = 7/8 = 7 \times 2^{-3} \\
 -0.4375 = -7/16 = -7 \times 2^{-4} \\
 \hline
 7 \times 2^{-3} - 7 \times 2^{-4} = 7 \times 2^{-4} = 7/16 = 0.4375
 \end{array}$$

五、CPU (共 22 分)

1、(10 分) 假定处理器数据通路中逻辑模块的延时如下：

I-Mem	D-Mem	Add	Mux	ALU	Regs	Sign_Extend	Shift-Left-2
200ps	300ps	80ps	30ps	100ps	110ps	20ps	15ps

参考如下数据通路图



单周期处理器执行如下指令：

```

Loop:  addi $t0, $zero, 6    # 指令地址 0x00000010H
        addi $t1, $zero, 10  # 指令地址 0x00000014H
        lw $s1, 0($t1)       # 指令地址 0x00000018H
        addi $t0, $t0, -1    # 指令地址 0x0000001CH
        slti $s3, $t0, 1     # 指令地址 0x00000020H
        bne $s3, $zero, 3    # 指令地址 0x00000024H
        j Loop               # 指令地址 0x00000028H
  
```

(1) 若该单周期处理器能够支持以上类型指令，则该处理器最小时钟周期应该设计为多少？依据是什么？（6分）

(2) 指令执行完成后 PC 的值为多少？（4分）

2、（共 12 分）在 MIPS 五级流水线上执行下列代码：

Beq rs,rt,label

Next1

Next2

.....

Label:Target1

Target2

.....

Req IF ID EX MEM WB
 Next1 IF X X X X
 Next1-Target1 IF ID EX MEM WB

为处理分支冒险，将分支比较和目标地址计算提前到 ID 级，并且在 ID 级增加一个

阻塞单元实现延迟分支。设比较器的输出为 ComparatorZero，ComparatorZero 为 1 表示比较结果相同，为 0 表示比较结果不相同。

如果要求在分支指令的 ID 级开始检测并阻塞流水线，请在不考虑任何数据冒险的情况下解答下列问题：

1. 画出流水线示意图；（3 分）

2. 说明阻塞单元的工作机制；（3 分）

3. 说明阻塞单元的输入、输出信号（请根据它们的作用自定义！）；（3 分）

4. 说明阻塞单元的输出信号与输入信号之间的逻辑关系（beq 指令的操作码是 4）。

（3 分）

六、（本题 24 分）

1、（14 分）假设虚拟存储器的页面为 8KB，TLB 和页表（按列顺序）初始状态如下，访问的虚拟地址流如下（十六进制）：A4EC、C5A6、E8F4、9100，说明每个地址的访问过程并列出访问 4 个数据之后 TLB 的状态，在 TLB 表后面增加一列说明其命中情况（设 TLB 命中表示为 H、TLB 不命中但页表命中表示为 M，发生缺页表示为 PF）。如果要从磁盘中取回页，设物理页面 8、10 可用。

TLB		
有效位	标记位 (十进制)	物理页号 (十进制)
1	11	12
1	5	11
1	7	4
0	4	9

页表					
有效位	物理页	有效位	物理页	有效位	物理页
1	5	1	9	1	8
0	磁盘	1	11	0	磁盘
0	磁盘	0	磁盘	1	3
1	6	1	4	1	12

（1）如果 TLB 采取全相联映射方式；

（2）如果 TLB 采取直接映射方式；

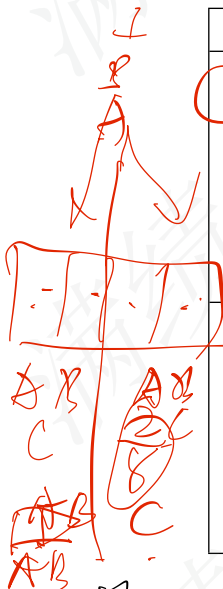
（3）如果 TLB 采取两路组相联映射方式（原 TLB 的四块分别为：0 组 0 块、1 组 0 块、0 组 1 块、1 组 1 块、）。

2、（10 分）假设有两款 Cache，直接映射和二路组相联，它们的大小均为 4 个块。下表中的 ABC 是相互独立的访存地址，且访问的是不同的 cache 块。请给出每次访问命中的

ABC在任意访问地址随机并可能冲突 这是个条件概率题

概率。假设初始时，cache 是空的。

访问	A	B	C	B	A	A	B	C	A
直接映射 cache 上的访问命中 概率	0%	0%	0	75	56	100	75	56	56
二路组 相 联 cache 上的访问命中 概率	0%	0%	0	100	75	100	100	75	75



$B: \frac{1}{4} B \quad \frac{3}{4} AB$
 $C: \frac{1}{16} C \quad \frac{3}{16} BC \quad \frac{3}{8} ABC$
 $A: \frac{1}{16} A \quad \frac{3}{16} AC \quad \frac{3}{8} ABC$
 $A: \frac{1}{16} AC \quad \frac{3}{16} BA$
 $A: \frac{1}{8} \frac{3}{16}$
 $B: \frac{1}{16} B \quad \frac{3}{16} BC \quad \frac{3}{8} ABC$
 $\frac{3}{16} AB \quad \frac{3}{16} BA$
 $C: \frac{1}{16} C \quad \frac{3}{16} BC \quad \frac{3}{8} ABC$
 $\frac{3}{16} AC \quad \frac{3}{16} BC$

ABC各有 $\frac{1}{2}$ 存两组
全在一组概率为 $\frac{1}{4} = \frac{1}{2} \times \frac{1}{2}$

在一组 $\frac{1}{4}$ 不在组 $\frac{3}{4}$

A	A	x	—
B	AB	x	—
C	BC	x	—
B	CB	x	—
A	BA	✓	✓
A	BA	✓	✓
B	AB	x	—
C	BC	x	—
A	CA		

AB
 CB
 ABC
 4×9