

武汉大学计算机学院

2021-2022 学年第一学期 2020 级《计算机组成与设计》

期末考试试题 A 卷 (闭卷)

学号 _____ 班级 _____ 姓名 _____ 成绩 _____

注意：所有答题内容必须写在答题纸上，凡写在试题或草稿纸上的一律无效。

一、单项选择题 (每小题 2 分，共 14 分)

- 1、CPU 时间可以划分为 (A)。
- A. 用户 CPU 时间和系统 CPU 时间
 - B. 程序执行的时间和等待 I/O 的时间
 - C. 程序执行时间和过程切换时间
 - D. 系统 CPU 时间和等待 I/O 的时间
- 2、如果 J 指令当前 PC 值是 0x80001000，机器码为 0x08002000 (操作码是高 6 位，偏移量是低 26 位)，则转移地址为 ()。
- A. 0x000080000
 - B. 0x80004000
 - C. 0x08000000
 - D. 0x80008000
- 3、MIPS 指令集主要包括 3 类指令，包括 R 指令、J 指令、I 指令。下面不属于 I 指令的是？ (D)
- A. addi \$t0, \$t1, 9
 - B. lw \$t3, 4(\$t1)
 - C. j 1000
 - D. beq \$t2, \$t1, 1000
- 4、在 IEEE 754 浮点数标准中，单精度浮点数长度为 32 位，其中符号字段 1 位，指数字段 8 位，尾数字段 23 位，则它能表示的最大规格化正数约为 (D)
- A. $1.0 \times 10^{+256}$;
 - B. $2.0 \times 2^{+256}$;
 - C. $1.0 \times 10^{+127}$;
 - D. $2.0 \times 2^{+127}$.
- 5、采用动态分支预测处理分支冒险时，如果配备 1 位预测器并且初始状态是预测分支不发生，则分支模式 T、T、NT、T、NT、NT、T、T 的预测成功率是 (B)。
- NT T T NT T NT NT T
- A. 25%
 - B. 37.5%
 - C. 50%
 - D. 62.5%
- 6、某计算机的 Cache 共有 8 块，采用 2 路组相联映射方式，每个主存块大小为 32 字节，按字节编址。主存 160 号字节所在主存块应装入到 Cache 的组号是 (B)。
- A. 0
 - B. 1
 - C. 2
 - D. 3

7、有如下顺序的三条指令：

```
lw    $2, 32($1)
sw    $4, 32($5)
add   $3, $2, $1
```

指令 lw 与 add 之间存在如下 (C) 冒险？

- ☒ A. EX/MEM.RegisterRd=ID/EX.RegisterRs
- ☒ B. EX/MEM.RegisterRd=ID/EX.RegisterRt
- ☐ C. MEM/WB.RegisterRd=ID/EX.RegisterRs
- ☐ D. MEM/WB.RegisterRd=ID/EX.RegisterRt

二、性能计算（共 10 分）

若有两种机器采用了不同方法来设计条件分支指令：

(a) P1：通过比较指令设置条件码，然后对条件码进行测试以决定分支。

(b) P2：分支指令中包含了比较操作。

在两种机器中，除了条件分支指令需要 2 个时钟周期之外，其他所有指令都只需 1 个时钟周期。若执行的指令中分支指令占 20%，那么，对于 P1，其比较指令也占 20%；而对于 P2，则不需要这部分比较指令。已知 P2 的时钟周期是 P1 的 1.25 倍，那么：

(1) P1 的 CPI 是多少？（4 分）

(2) P2 的 CPI 是多少？（4 分）

(3) 哪一个机器更快？（2 分）

三、指令系统（共 20 分）

1、（15 分，每空 1 分）对如下 C 语言程序：

```
for (i=0; i<a; i++) {
    j=0;
    while (j<b) {
        D[4*j]=i+j;
        j+=1;
    }
}
```

下面的代码是其对应的 MIPS 程序，假设值 a、b、i 和 j 分别存放在寄存器 \$s0、\$s1、\$t0 和 \$t1 中，寄存器 \$s2 中存放着数组 D 的基地址，将其中的空填写完整。

```
addi $t0, $0, 0
TEST1:  slt  $t2, ( (1) ), $s0
```

```

        ( 2 ) ) $t2, $0, exit
        addi $t1, $0, 0
TEST2:  slt  $t2, $t1, ( 3 ) )
        ( 4 ) ) $t2, $0, LOOP1
        add  $t3, $t0, ( 5 ) )
        sll $t2, ( 6 ) ) , ( 7 ) )
        add $t2, $t2, ( 8 ) )
        sw   ( 9 ) ) , ( 10 ) )
        addi $t1, ( 11 ) ) , ( 12 ) )
        j    ( 13 ) )
LOOP1:  addi ( 14 ) ) , $t0, ( 15 ) )
        j    TEST1
EXIT:

```

2、(5 分) 考虑下列 MIPS 代码：

```

func:    addi    $sp, $sp, -12
        sw      $ra, 8($sp)
        sw      $s0, 4($sp)
        sw      $a0, 0($sp)

        slti    $t0, $a0, 1
        beq     $t0, $zero, _L1
        add     $v0, $zero, $zero
        addi    $sp, $sp, 12
        jr      $ra

_L1:     mul     $s0, $a0, $a0
        addi    $a0, $a0, -1
        jal     func
        add     $v0, $v0, $s0

        lw      $a0, 0($sp)
        lw      $s0, 4($sp)
        lw      $ra, 8($sp)
        addi    $sp, $sp, 12

```

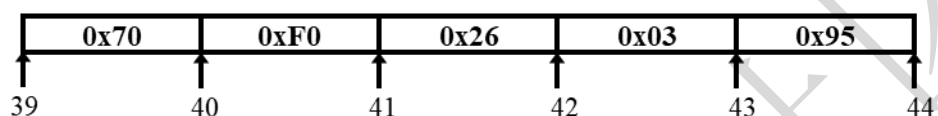
(1) 假设 C 函数的定义为 `int func(int a)`，请根据汇编代码写出等价的 C 语言代码。(3 分)

(2) 假设传递给 `func` 函数的实际参数的初始值 4，则循环结束的时候，函数的最后返回结果是多少？(2 分)

四、运算器（共 10 分）

假设有一个虚构的 8 位浮点数标准，称为“minifloat”（如：S E EEMMMM，其中符号字段 1 位，指数字段 3 位，尾数字段 4 位），其它属性和 IEEE754 标准一样（如：偏阶，非规格化数值， ∞ ，NaN，等等）。

- （1）请问偏阶是多少？在 $[1, 4)$ 范围内有多少个 minifloat？（4 分）
- （2）请写出大于 1 的最小 minifloat 数，用十进制数表示。（3 分）
- （3）定义一个 minifloat 类型的数组 A[3]，数组在内存的起始地址是 40，如下图所示，请用十进制写出数组每个元素的真值。（3 分）



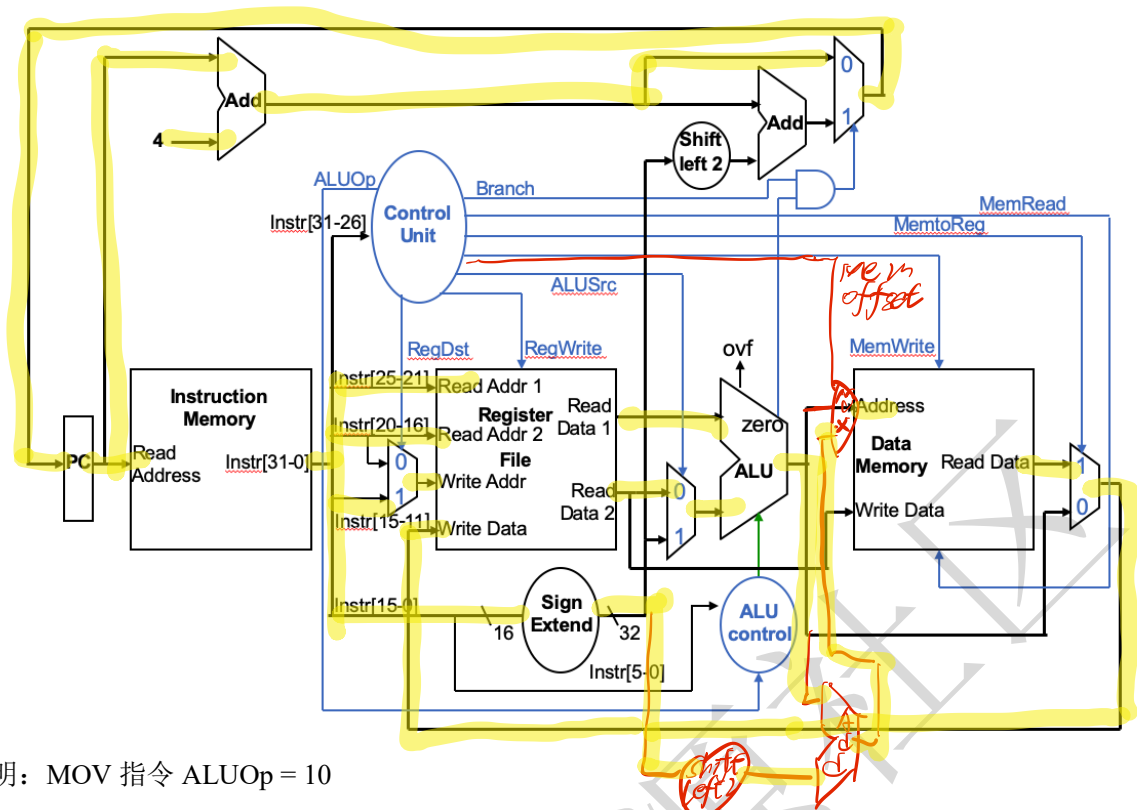
五、CPU(共 22 分)

1、（10 分）MIPS 有 5 中寻址方式：立即数寻址、寄存器寻址、基址寻址、PC 相对寻址和伪直接寻址，为了提高对数据存储器的灵活访问，现增加一种“相对基址变址寻址”方式，其指令格式为：Mov Rd, Offset(Rs+Rt)

其中：Rd 为目的寄存器，Rs 为基址寄存器，Rt 为变址寄存器，Offset 为字偏移量。

解释为： $\text{Reg}[\text{Rd}] = \text{Mem}[\text{Reg}[\text{Rs}] + \text{Reg}[\text{Rt}] + \text{Offset} * 4]$

现有的单周期 CPU 数据通路如下图：



说明：MOV 指令 ALUOp = 10

(1) 如果要实现“相对基址变址寻址”功能，现有的单周期 CPU 数据通路能否满足要求？如果不能，需要新增或修改哪些逻辑模块和控制信号？（6 分）

(2) 执行“相对基址变址寻址”指令时控制单元产生的控制信号分别为什么值？（4 分）

2、（共 12 分）在 MIPS 五级流水线上执行下列代码：

Add rd,rs,rt

Next1

Next2

Beq rs,rt,label

Next3

Next4

.....

Label:Target1

Target2

.....

为处理分支冒险，将分支比较和目标地址计算提前到 ID 级，并且采用预测机制处理分支冒险。如果总是预测分支发生而且配备 BTB（分支目标缓冲区），请在不考虑任何数据冒险的情况下解答下列问题：

- (1) 如果在 BTB 中没有检索到该指令并且在 ID 阶段确定该指令不是分支指令，该如何？请以 add 指令为例用流水线示意图说明。(3 分)
- (2) 如果在 BTB 中没有检索到该指令并且在 ID 阶段确定该指令是分支指令，又该如何？请以 beq 指令为例用流水线示意图说明。(3 分)
- (3) 如果在 BTB 中检索到该分支指令并且预测成功，请以 beq 指令为例画出流水线示意图。(3 分)
- (4) 如果在 BTB 中检索到该分支指令但是预测失败，该如何？请以 beq 指令为例用流水线示意图说明。(3 分)

六、(本题 24 分)

1、(14 分) 假设计算机 M 的主存地址为 24 位，按字节编址；采用分页存储管理方式，虚拟地址为 32 位，页大小为 4KB；TLB 采用 2 路组相联方式和 LRU 替换策略，共 8 组。请回答下列问题。

- (1) M 的虚拟地址中哪几位是 TLB 标记？哪几位是 TLB 组号？如果将 M 中的虚拟地址位数增加到 36 位，则 TLB 标记和组号的位数分别是多少位？(4 分)
- (2) 假设 TLB 初始时空，访问虚页号依次为 10、12、16、7、26、4、12 和 20，在此过程中，哪一个虚页号对应的 TLB 表项被替换？说明理由。(4 分)
- (3) 在该机器上运行一道程序，采用单级页表，部分页表如下表，请将下列虚拟地址转换成物理地址，写出计算过程，所有数字均为十进制，每项的起始编号是 0。(6 分)
- 虚拟地址：0793, 9048, 12862。

有效位	虚拟页号	物理页号	...
1	0	1	...
1	1	3	...
0	2	—	...
1	3	0	...
1	4	2	...
0	5	—	...

2、(10 分) 你正在设计处理器的 cache 系统，假设已经准备采用 write-allocate (写分配) 策略，块大小为 64B，所有的 load 和 store 都是针对 8 字节的位置进行的。总线支持 8B 和 64B 的事务处理，也就是从内存既能读写 8B 数据也能读写 64B 的数据。

- (1) 你不确定应该使用 write-back (写回) 还是 write-through (直写) 策略中的哪一

种。于是你运行了一个 benchmark 程序，它每秒产生 10 亿次写操作而没有读操作，你的 cache 的命中率为 X ，那么在程序稳定时，两种写策略的写带宽 (bytes/second) 分别应该为多少？（4 分）

（2）如果想使得写带宽的数值 (B/s) 尽可能的小， X 的值在什么范围时，你会更倾向于使用直写 cache？（2 分）

（3）假设现在你已经决定采用写回策略了，你想研究块大小对 cache 性能的影响。如果你的主要应用总是采用顺序访问的方式访问地址空间上连续的数据，那么你应该选择较大的块还是较小的块？或者说都没有影响？如果是随机访问呢？所有答案都需要给出你的分析和理由。（4 分）