

学号 _____ 班级 _____ 姓名 _____ 成绩 _____

注意：所有答题内容必须写在答题纸上，凡写在试题或草稿纸上的一律无效。

一、单项选择题 (每小题 2 分，共 20 分)

1、下列部件中实现指令执行控制的是 (C)。

- A、存储器 B、数据通路 C、控制器 D、输入/输出部件

2、对给定的应用，若增加多个处理器来分别处理独立的任务，则将对 (B) 产生影响。

(A) ?

- A、响应时间 B、吞吐率
C、响应时间和吞吐率 D、以上都不对

P21. ①处理器更快
吞吐率、响应时间
②多个处理器是增加吞吐率

3、设 \$s0 的内容为 0x10010010，则指令 lw \$t0, -12(\$s0) 读内存数据使用的地址为 ()

- A、0x10010014 B、0x10020004 C、0x1000ffe0 D、0x10010004

4、关于 MIPS 指令格式，下列说法中正确的是 (D) risc-v

- A、所有指令都有 funct 字段
B、所有指令都有 rd 字段
C、所有指令都有 rs 字段
D、所有指令都有 op 字段

5、-32 的 8 位二进制补码表示形式为 (C) 00100000
11100000

- A、11011111 B、00100000 C、11100000 D、11100001

6、-32 的 8 位二进制补码表示形式为 (C)

- A、11011111 B、00100000 C、11100000 D、11100001

7、MIPS 的单周期数据通路如下图所示，下面给出了相应部件的延时，在这个数据通路上执行 MIPS 指令集的最小时钟周期是多少？(不考虑 JAL 指令)。假设没有列出的部件延时为 0ns。

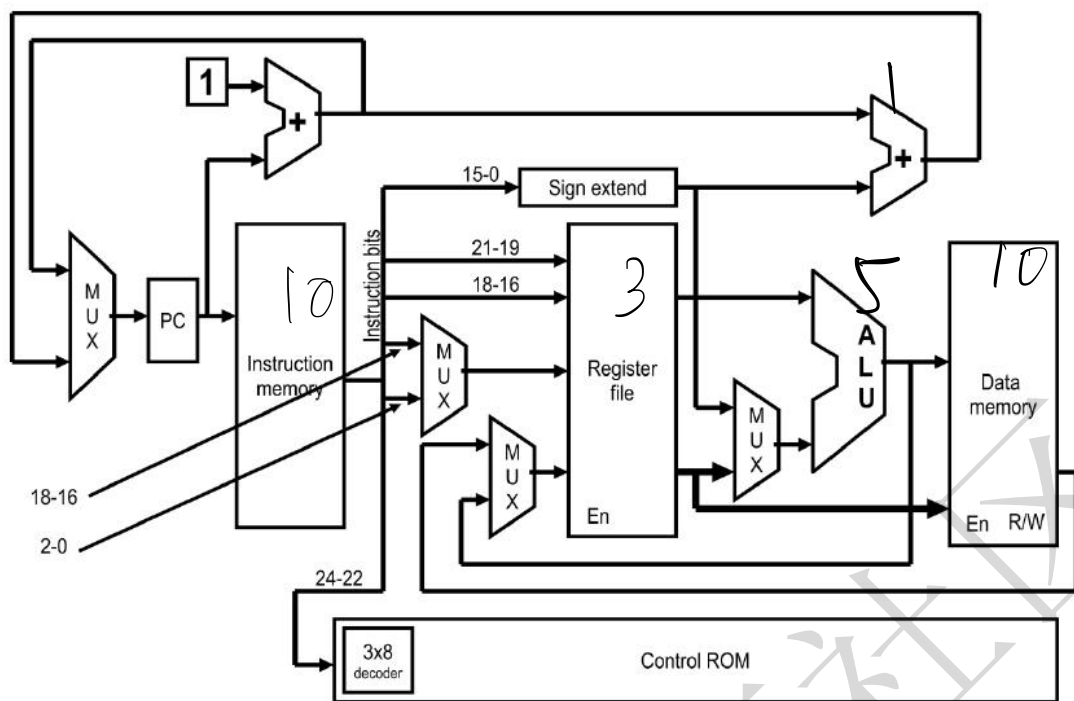
ALU: 5ns

数据存储器 (读或者写): 10ns

指令存储器 (读或者写): 10ns

寄存器文件读写: 3ns

地址加法器 (non-ALU): 1ns



- A、26ns B、28ns C、29ns D、31ns $10+3+5+10+3$
- 8、假设流水线处理器中增加流水的级数，将对 () 产生的影响。
- ~~A、时钟周期将变短~~ ~~B、每个程序的指令数将减少~~ C、CPI将变小 D、以上所有情况都会发生
- 9、下列有关存储器的说法正确的是 ()。
- ~~A、存储器层次结构中，存储器的容量、访问时间和单位成本都随着离处理器距离的增加而增加。~~ B、主存储器一般由 SRAM（静态随机存取存储器）来实现，它的特点是每比特占用的存储空间较少，因此等量的硅制造的 SRAM 的容量比 DRAM 的大。 C、相对于服务器，嵌入式系统的存储器通常设计的容量比较小和简单，以降低功耗。 D、具有相同复杂度的算法，在同一机器上运行的时间也会基本一致。
- 10、一台有完整的层次储存器的 MIPS 计算机，执行一条 LW 指令访问主存的可能最多次数为 ()。
- A、0 B、1 C、2 D、3
- IF 指令存储 ID 寄存器 cache miss 访问 MEM 访问*

二、性能计算（每小题 5 分，共 10 分）

有 3 种不同的处理器 P1、P2 和 P3 执行同样的指令集，有如表所示性能特点

处理器	时钟频率	CPI
P1	3GHz	1.5
P2	2.5GHz	1.0

$$CPI \text{ 时间} = \frac{CPI \times \text{指令数}}{\text{频率}}$$

P3	3.6GHz	2.0
----	--------	-----

(1) 以每秒钟执行的指令数目为标准, 那个处理器性能最高? $\frac{\text{频率}}{CPI}$ $\frac{3.6}{1.5} = 2 \times 10^9$ 2.5×10^9 1.8×10^9

(2) 如果每个处理器执行一个程序都花费 10 秒, 求它们的时钟周期数和指令数。

$$\text{周期数} = \text{时间} \times \text{频率} \quad 3 \times 10^{10} \quad 2.5 \times 10^{10} \quad 3.6 \times 10^{10}$$

$$\text{指令数} = \frac{\text{周期数}}{CPI} \quad 2 \times 10^{10} \quad 2.5 \times 10^{10} \quad 1.8 \times 10^{10}$$

三、指令系统 (每个空 1 分, 共 15 分)

对如下 C 语言程序:

```
for (i=0; i<a; i++) {
    j=0;
    while (j<b) {
        D[4*j]=i+j;
        j+=1;
    }
}
```

下面的代码是其对应的 MIPS 程序, 假设值 a、b、i 和 j 分别存放在寄存器 \$s0、\$s1、\$t0 和 \$t1 中, 寄存器 \$s2 中存放着数组 D 的基地址, 将其中的空填写完整。

```
addi $t0, $0, 0
TEST1: slt $t2, ( (1) $t0 ), $s0
        ( (2) $t2, $0, exit
addi $t1, $0, 0
TEST2: slt $t2, $t1, ( (3) $s1 )
        ( (4) $t2, $0, LOOP1
add $t3, $t0, ( (5) )
sll $t2, ( (6) ), ( (7) 4 )
add $t2, $t2, ( (8) )
sw ( (9) ), ( (10) )
addi $t1, ( (11) ), ( (12) )
J ( (13) )
LOOP1: addi ( (14) ), $t0, ( (15) )
J TEST1
```

EXIT:

```
addi x7, 0, 0 // i=0
TEST1: sub x10, x7, x5 // i-a
        beq x10, x0, exit // i-a=0
        addi x8, 0, 0 // j=0
TEST2: sub x11, x8, x6 // j-a
        beq x11, x0, loop1 // j=b
        add x12, x7, x8 // i+j
        slli x13, x8, 5 // 4*x8*xj
        add x13, x9, x13 // 8*D[i+j]
        sd x12, 0(x13) // 赋值
        addi x8, x8, 1 // j++
        jal TEST2 // 下一个while
loop1: addi x7, x7, 1 // i++
        jal TEST1 // 下一个for
EXIT: jalr x0, 0(x1)
```

四、运算器（共 10 分）

用二进制浮点数加法计算 $(12.75)_{10} + (6.5)_{10}$ 之值（保留 7 位精度）；并把计算结果转换成 IEEE754 单精度浮点数的二进制位模式和十六进制数。

$$\begin{aligned}
 12.75 &= 1100.11 & 1.1001 \times 2^3 \\
 6.5 &= 110.1 = 1.101 \times 2^2 = 0.1101 \times 2^3 = 10.01101 \times 2^2 \\
 &= 1.001101 \times 2^4 & 2^5 - 1 = 15 & 15 + 4 = 19 = (10011)_2
 \end{aligned}$$

$$\begin{array}{r}
 0100110011010000 \\
 0x4C\text{d}0
 \end{array}$$

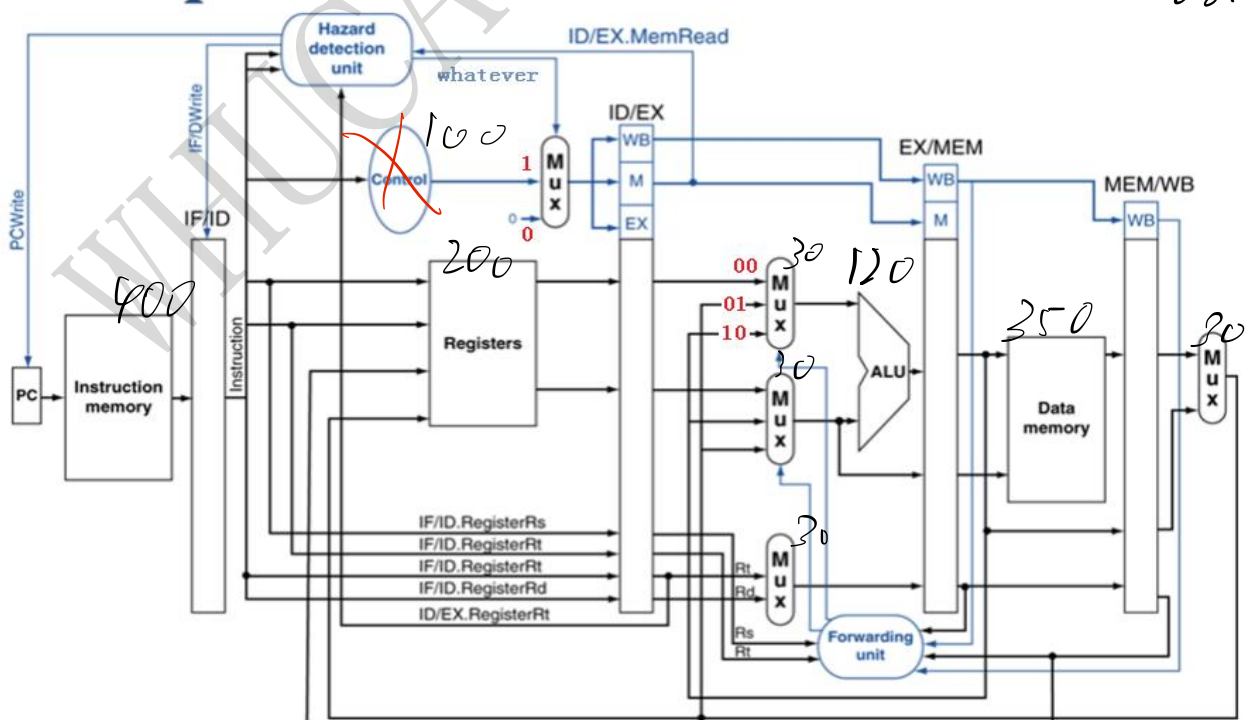
五、CPU(共 23 分)

1、（8 分）根据上图的数据通路，其中指令存储器、加法器、多选器、ALU、寄存器堆、数据存储器和控制单元的延迟分别为 400ps, 100ps, 30ps, 120ps, 200ps, 350ps 和 100ps，相应成本分别为 100, 30, 10, 100, 200, 2000 和 500。考虑给 ALU 增加一个乘法，这将使 ALU 的延迟增加到 200ps，同时 ALU 的成本增加 500，这样做的好处是需要执行的指令数减少了 5%，因为不需要再模拟 MUL 指令。

- (1) 改进前后的时钟周期分别是多少？
 前：400ps + 200 + 30 + 120 + 350 + 30 = 1130
 后：1130 + 200 = 1330
- (2) 改进后获得多大的加速比？
 2) $\frac{1130}{1330 \times 0.95} = 0.89$ 性能变差
- (3) 改进前后的性价比是多少？
 3) 前 100 + 30x2 + 10x3 + 100 + 200 + 2000 + 500 = 3890
 后 3890 + 500 = 4390 价格 $\frac{4390}{3890} = 1.13$
 $\frac{1.13}{0.89} = 1.27$

2、（共 15 分）流水线示意图如下：

Datapath with Hazard Detection



在此流水线上执行下面的指令序列：

```
add $10,$0,$0
addi $11,$0,100
lw $10,0($11)
addi $10,$11,-1
add $10,$11,$11
beq $11,$10,exit
```

同卓工

从取第一条指令开始计时，请在下面的表格中填写各时钟周期转发单元的输入输出信号状态值：

时钟周期	Clk5	Clk6	Clk7	Clk8	Clk9
ID/EX.Rs					
ID/EX.Rt					
EX/MEM.Rd					
EX/MEM.RegWrite					
MEM/WB.Rd					
MEM/WB.RegWrite					
ForwardA					
ForwardB					

六、（本题 22 分）

1、（6 分）直接映射 cache 的索引方法是用（块地址）mod（cache 中的块数）。假设 cache 地址为 32 位，有 256 个块，块大小为 64 字节。考虑一个不同的索引函数：

$(\text{块地址})[31:24] \text{ XOR } \text{块地址}[23:16]$

即，块地址的第 24~31 位异或块地址的第 16~23 位。是否可以用这个索引函数来索引直接映射 cache？如果可以，请解释原因，并讨论可能需要对 cache 做的修改，和原策略相比有什么好处？。如果不可以，请解释原因。

可以。Tag 位从 18 位增加到 26 位
计算 cache 地址变多。Tag 位变多

2、（16 分）假设虚拟存储器的页面为 8KB，TLB 和页表（按列顺序）初始状态如下，访问的虚拟地址流如下（十六进制）：A4EC、C5A6、E8F4、9100，说明每个地址的访问过程并列出访问 4 个数据之后 TLB 的状态，在 TLB 表后面增加一列说明其命中情况（设 TLB 命中表示为 H、TLB 不命中但页表命中表示为 M，发生缺页表示为 PF）。如果要从磁盘中取回页，设物理页面 8、10 可用。

TLB		
有效位	标记位 (十进制)	物理页号 (十进制)
1	11	12
1	5	11
1	7	4
0	4	9

页表					
有效位	物理页	有效位	物理页	有效位	物理页
1	5	1	9	1	8
0	磁盘	1	11	0	磁盘
0	磁盘	0	磁盘	1	3
1	6	1	4	1	12

(1) 如果 TLB 采取全相联映射方式;

(2) 如果 TLB 采取直接映射方式;

(3) 如果 TLB 采取两路组相联映射方式 (原 TLB 的四块分别为: 0 组 0 块、1 组 0 块、0 组 1 块、1 组 1 块、)。

c1) 3位offset, 右三位不全相联无index

物理页号分别为: 5, 6, 7, 4

5: H, 6: PF, 映到最后块, 7: H, 4: M, 9

TLB

1	4	9	M
1	5	11	H
1	7	4	H
1	6	8	PF

c2) 2位index 5: 1+01 6: 1+10 7: 1+11 4: 1+00

5: M, 6: PF, 替最后-1 7: M, 4: M

TLB

1	1	9	M
1	1	11	M
1	1	8	PF
1	1	4	M

c3) 1位index 5: 10+1 6: 11+0 7: 11+1 4: 10+0

5: TLB: M 6: PF 7: M 4: M

TLB

1	3	8	PF
1	2	11	M
1	2	9	M
1	2	4	H