**武汉大学计算机学院**

**2006~2007学年第二学期2006级《数字逻辑》**

**期未考试试卷 A卷**

学号 班级 姓名 成绩

一、填空（每空1分，共14分）

1、（21.5）10=（ ）2=（ ）8=（ ）16

2、若，则补=（ ）

3、十进制数809对应的8421BCD码是（ ）

4、若采用奇校验，当信息位为10011时，校验位应是（ ）

5、数字逻辑电路分为（ ）和（ ）两大类

6、电平异步时序逻辑电路的描述工具有（ ）、（ ）、（ ）

7、函数的反函数是（ ）

8、与非门扇出系数NO的含义是（ ）

9、若要消除函数对应的逻辑电路可能存在的险象，则应增加的冗余项是（ ）

二、选择题（每空2分，共16分）

从下列各题的四个答案中，选出一个正确答案，并将其代号填入括号内

1、数字系统采用（ ）可以将减法运算转化为加法运算

A．原码 B．余3码 C．Gray码 D．补码

2、欲使J-K触发器在CP脉冲作用下的次态与现态相反，JK的取值应为（ ）

A．00 B．01 C．10 D．11

3、对完全确定原始状态表中的6个状态，A、B、C、D、E、F进行比简，若有（A，B），（D、E）等效，则最简状态表中只有（ ）个状态

A．2 B．4 C．5 D．6

4、下列集成电路芯片中，（ ）属于组合逻辑电路

A．计数器74290 B．寄存器74194

C．三一八译码器74138 D．集成定时器5G555

5、设计一个20进制同步计数器，至少需要（ ）个触发器

A．4 B．5 C．6 D．20

6、用5G555构成的多谐振荡器有（ ）

A．两个稳态 B．两个暂稳态

C．一个稳态，一个暂稳态 D．既没有稳态，也没有暂稳态

7、可编程逻辑阵列PLA的与、或陈列是（ ）

A．与阵列可编程、或阵列可编程 B．与阵列不可编程、或阵列可编程

C．与阵列可编程、或阵列不可编程 D．与阵列不可编程、或阵列不可编程

8、最大项和最小项的关系是（ ）

A． B． C． D．无关系

三、逻辑函数化简（6分）

把化成最简与—或式

四、分析题（每小题12分，共24分）

1、分析图1所示组合逻辑电路

A

1

&

≥1

B

≥1

C

&

F

D

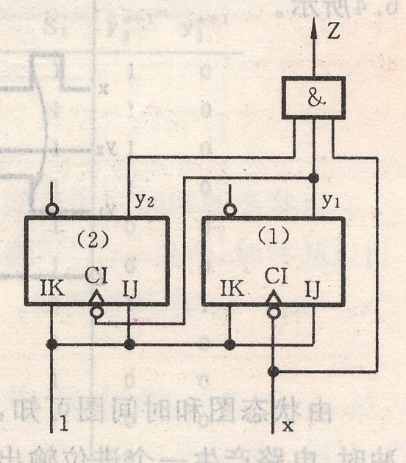
① 写出输出函数表达式

② 列出真值表

③ 说明电路功能

图1

2、分析图2所示脉冲异步时序逻辑电路



1

*x*

图2

① 写出输出函数和激励函数表达式

② 列出次态真值表，作出状态表和状态图

③ 说明电路功能

④ 设初态，作出*x*输入4个异步脉

冲后的状态*y*2*y*1和输出*z*的波形图。

五、设计题（每小题10分，共20分）

1、作出“1101”序列检测器的Moore模型原始状态图和状态表，电路有一个串行输入端*x*，一个输出端*z*。当*x*输入的序列中出现“1101”时，输出*z*为1，否则z为0，其典型输入输出序列如下：

输入x 0 1 0 1 1 0 1 1 0 1 0

输出z 0 0 0 0 0 0 1 0 0 0 0

2、用D触发器和适当的逻辑门设计能实现下列最简二进制状态表的同步时序逻辑电路

|  |  |  |
| --- | --- | --- |
| 现态  *y*2 *y*1 | 次态/输出 | |
| *x*=0 | *x*=1 |
| 00  01  11  10 | 01/0  11/0  01/0  00/0 | 10/0  10/0  00/0  11/1 |

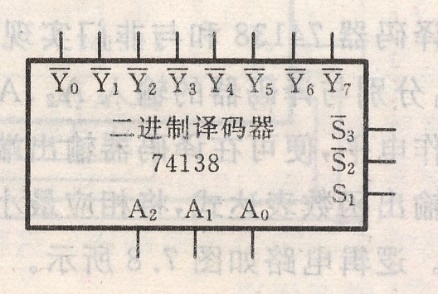
|  |  |
| --- | --- |
| D触发器激励表如下 | |
| Q→Qn+1 | D |
| 0 0  0 1  1 0  1 1 | 0  1  0  1 |

六 综合应用题（每小题10分，共20分）

1、用三一八译码器74138和适当的逻辑门设计一个三变量 “多数表决电路”

2、用四位二进制同步可逆计数器74193和八选一数据选择器74152设计一个“10010010”序列发生器，循环产生该序列。序列中的最高位“1”是序列的第一位。

（提示：首先把74193设计成八进制计数器，用其计数状态作八选一数据选择器的地址端，用要产生的序列位作数据选择器的数据输入端）

附：各集成电路逻辑符号

A1

A2

A0

G

D0

D1

D2

D3

D4

D5

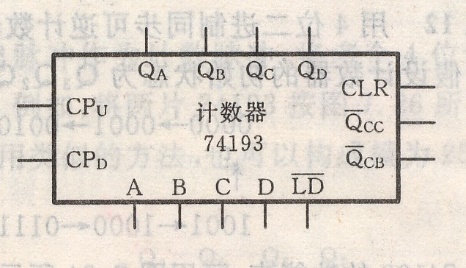
D6

D7

F

八选一MUX

74152



**武汉大学计算机学院**

**2006-2007学年第二学期2006级《数字逻辑》**

**期末考试试题A卷参考答案**

**一、填空题（每空1分，共14）**

解答：

1.（21.5）10=（10101，1）2=（25.4）8=（15.8）16

2. [*x*]补=1.0011 3. 100000001001

4. 0 5. 组合逻辑电路，时序逻辑电路

6. 逻辑表达式，流程表，总态图 7. 

8. 指与非门的输出端连接同类门的最多个数，它反映了与非门的带负载能力。

9. BC

**二、选择题（每空2分，共16分）**

解答

1. D 2. D 3. B 4. C 5. B 6. B 7. A 8. A

**三、逻辑函数化简（6分）**

解答

先画出函数F（A.B.C.D）的卡诺图

00 01 11 10

|  |  |  |  |
| --- | --- | --- | --- |
| 1 | d | d |  |
| 1 | 1 |  |  |
|  | d | 1 | d |
|  |  | 1 | d |

AB

CD

00

01

11

10

化简得最简与 或表达式：

**四、分析题（每小题12分，共24分）**

A

1

&

≥1

B

≥1

C

&

F

D

P1

P2

P3

1. 解答

① 逐级写出输出函数表达式

②列真值表

|  |  |
| --- | --- |
| 输入ABCD | 输入F |
| 0 0 0 0  0 0 0 1  0 0 1 0  0 0 1 1 | 0  0  1  1 |
| 0 1 0 0  0 1 0 1  0 1 1 0  0 1 1 1 | 1  1  1  1 |
| 1 0 0 0  1 0 0 1  1 0 1 0  1 0 1 1 | 0  0  1  1 |
| 1 1 0 0  1 1 0 1  1 1 1 0  1 1 1 1 | 1  1  1  1 |



③功能说明

由真值表可知，当输入ABCD取值为0010、0011、0100、0101、0110、0111、1010、1011、1100、1101、1110、1111时输出F为1，否则F为0。或者说当输入ABCD中B或C为1时，F为1,否则F为0。

2. 解答

① 输出函数和激励函数表达式

 电路属Mealy模型



② 列次态真值表，作状态表和状态图

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 输入  *x* | 现态*y*2*y*1 | 激励函数 | | | | 输出  Z | 次态  *y*2*m*+1*y*1*n*+1 |
| *J*2*k*2 | *C* 2 | *J*1 *k*1 | *C* 1 |
| 1 | 0 0 | 1 1 |  | 1 1 | ↓ | 0 | 0 1 |
| 1 | 0 1 | 1 1 | ↓ | 1 1 | ↓ | 0 | 1 0 |
| 1 | 1 0 | 1 1 |  | 1 1 | ↓ | 0 | 1 1 |
| 1 | 1 1 | 1 1 | ↓ | 1 1 | ↓ | 1 | 0 0 |

状态表



|  |  |
| --- | --- |
| 现在  *y*2*y*1 | 次真y2n+1 *y*1n+1 / Z |
| 0 0 | 0 1 / 0 |
| 0 1 | 1 0 / 0  1/1 |
| 1 0 | 1 1 / 0 |
| 1 1 | 0 0 / 1 |

③ 电路功能：异步模4加1计数器，输出Z表示进位

④ 时间图

1 2 3 4

*x*

*y*2

*y*1

*Z*

**五、设计题（每小题10分，共20分）**

1. 解答 设初态为

原始状态图如下

原始状态表

1

1

0

1

0

0

1

0

0

1

*x*:

|  |  |  |  |
| --- | --- | --- | --- |
| 现态 | 次态 | | 输出 |
| *x*=0 | *x*=1 |
| A | A | B | 0 |
| B | A | C | 0 |
| C | D | C | 0 |
| D | A | E | 0 |
| E | A | B | 1 |

2. 解答

（1）作输出函数和激励函数真值表

|  |  |  |  |
| --- | --- | --- | --- |
| 输入  *x y*2 *y*1 | 次态  *y*2n+1 *y*1n+1 | 激励函数  *D*2 *D*1 | 输出  *Z* |
| 0 0 0 | 0 1 | 0 1 | 0 |
| 0 0 1 | 1 1 | 1 1 | 0 |
| 0 1 1 | 0 1 | 0 1 | 0 |
| 0 1 0 | 0 0 | 0 0 | 0 |
| 1 0 0 | 1 0 | 1 0 | 0 |
| 1 0 1 | 1 0 | 1 0 | 0 |
| 1 1 1 | 0 0 | 0 0 | 0 |
| 1 1 0 | 1 1 | 1 1 | 1 |

（2）确定输出函数和激励函数

0

1

*y*1

*xy*2

00 01 11 10

|  |  |  |  |
| --- | --- | --- | --- |
| 1 |  | 1 |  |
| 1 | 1 |  |  |

D1

00 01 11 10

|  |  |  |  |
| --- | --- | --- | --- |
|  |  | 1 | 1 |
| 1 |  |  | 1 |

D2

*xy*2

*y*1

0

1

（3）画逻辑电路图

Z

&

y1 y1

C D1

y2 y2

C D2

≥1

≥1

CP

&

&

&

&

&

x

1

注：D2、D1亦可化成与非 与非的形式。

**六、综合应用题（每小题10分，共20分）**

1. 解答

① 列其值表

设输入为A，B，C：1：赞同 0：反对

输出为F ：1：通过 0：否决

列其值表如下：

|  |  |
| --- | --- |
| 输入  ABC | 输出  ② 输出函数表达式  F=∑m(3,5,6,7)  ③ 变换表达式形式    ④画逻辑图    F |
| 0 0 0  0 0 1  0 1 0  0 1 1  1 0 0  1 0 1  1 1 0  1 1 1 | 0  ABC  0  &  F  0  1  0  1  1  1 0 0  1 |

2. 解答

① 把74193设计成8进制计数器，计数规律为QDQCQBQA：

0000→0001→0010→0011

↑ ↓

0111←0110←0101←0100

当QDQCQBQA向1000进位时，强迫计数器产生清0信号，所以CLR=QD

② 用QCQBQA作八选一数据选择的地址选择端

③ 数据选择器的输入端D0~D7依次接入待产生序列的各位10010010

④ 设置工作启动按钮，提供清0脉冲，CPu外接工作脉冲，CPD按“1”

⑤ 逻辑图如下

CLR

QD

QC

CPU QB

CPD QA



≥1

“1”

A2

A1 八选一MUX

A0

G D0 D1 D2 D3 D4 D5 D6 D7

“0”

F

启动脉冲Ps

“1”

CP

1 0 0 1 0 0 1 0

**武 汉 大 学 计 算 机 学 院**

**《数字逻辑》期末考试试题（A卷）**

**2007—2008学年第二学期（闭卷考试）**

**班号： 学号： 姓名： 成绩：**

**（注：答案全部写在答题纸上）**

**一、填空题（每空1分，共16分）**

1、（27.5）10=（ ）2=（ ）16

2、已知*x*=-0.1011，则[*x*]补=（ ）

3、奇偶校验码可检测（ ）位错，但不能定位和纠错

4、每个双稳态触发器可记录（ ）位二进制码

5、十进制数347对应的8421BCD码是（ ）

6、三态门的三种输出状态是（ ）、（ ）、（ ）

7、有两个相同型号的TTL与非门，甲的开门电平为1.6V, 乙的开门电平为1.7V，试问在输入相同高电平时，（ ）的抗干扰能力强。

8、的反函数是（ ），对偶函数是（ ）

9、组合逻辑电路的竞争可分为（ ）竞争和（ ）竞争两种类型。

10、用5G555构成的单稳触发器的暂稳态持续时间*tw*的宽度与（ ）有关。

11、脉冲异步时序逻辑电路的状态（ ）同时变化的。

**二、单项选择题（每空2分，共14分）**

1、能够直接将输出端相连实现“线与”的逻辑门是（ ）

A. 与门 B. 或门 C. OC门 D. 与或非门

2、三一八译码器74138能够正常工作的条件是使能端必须为（ ）

A.100 B.011 C.101 D.110

3、对上升沿触发的钟控触发器，其状态翻转的时刻发生在（ ）

A.CP为0时 B. CP由0到1时

C. CP由1到0时 D. CP为1时

4、同步时序逻辑电路中，状态编码采用相邻编码法的主要目的是（ ）

A.减少触发器个数 B.提高电路可靠性

C.提高电路工作速度 D.减少电路中的逻辑门，使电路结构最简

5、电平异步时序逻辑电路，不允许两个或两个以上输入信号（ ）

A.同时为1 B. 同时为0 C. 同时改变 D.同时出现

6、对完全确定原始状态表中的5个状态A、B、C、D、E进行化简，若有（B、C）、（B、D）等效，则最简状态表中只有（ ）个状态

A. 2 B. 3 C. 4 D. 5

7、某同步时序逻辑电路的最简状态表中有11个状态，则设计该电路最少需要（ ）个触发器。

A. 3 B. 4 C. 5 D. 15

**三、化简逻辑函数（每小题5分，共10分）**

1、用代数法把函数化成最简与一或式

2、用卡诺图法把函数化成最简或—与式

1

1

A

B

1

1

&

F1

F2

F3

F4

&

&

&

**四、分析题（每小题10分，共20分）**

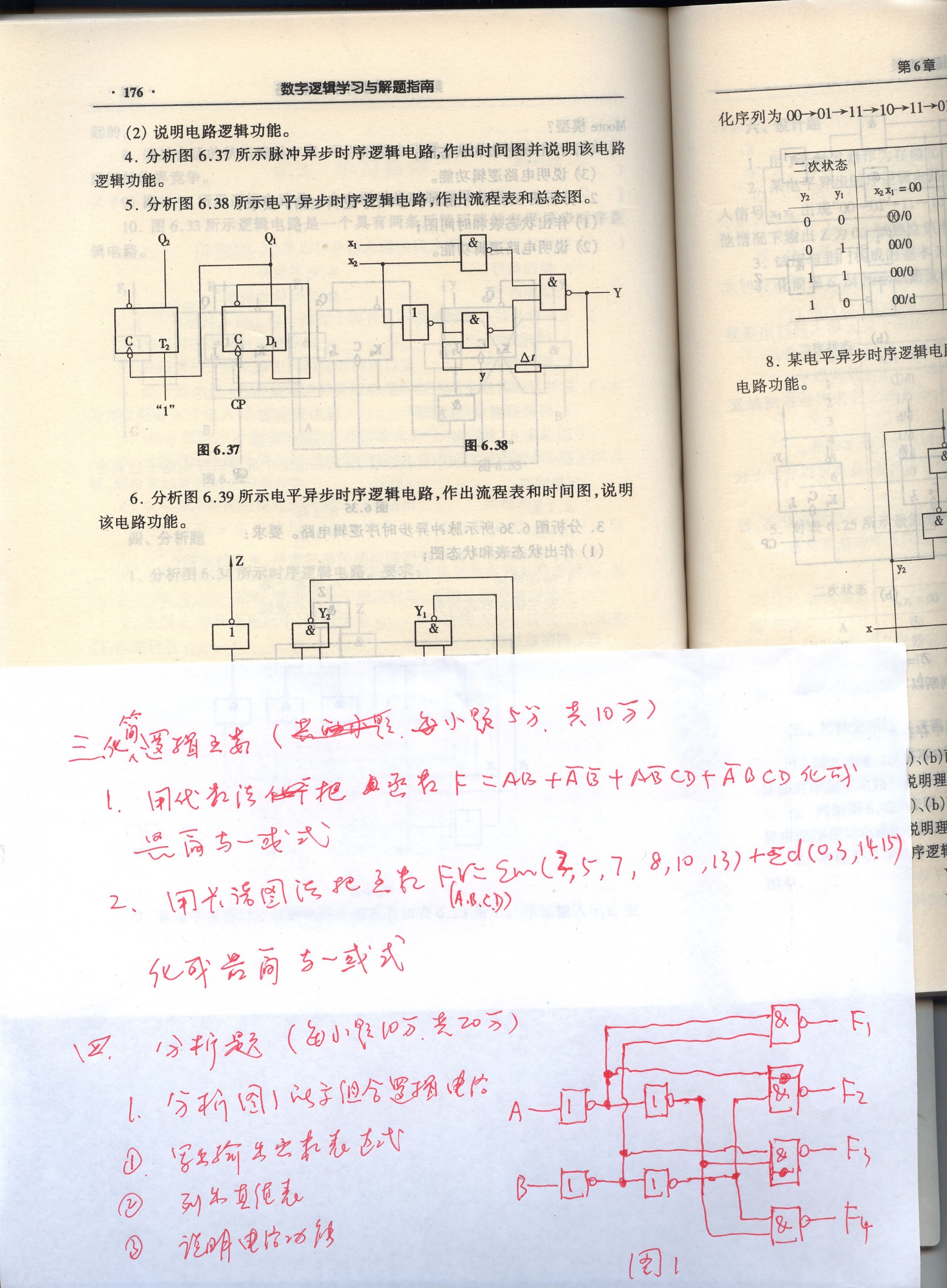
1、分析图1所示组合逻辑电路

① 写出输出函数表达式

② 列出真值表

③ 说明电路功能

图1



*y*2

*y*1

2、分析图2所示脉冲异步时序逻辑电路

① 写出激励函数表达式

② 作出状态表和状态图

③ 作出时间图并说明电路功能（设初态*y*2*y*1=00）

图2

**五、设计题（每小题10分，共20分）**

1、作出“1111”序列检测器的Moore模型原始状态图和状态表，电路有一个串行输入端*x*，一个输出端*z*。当*x*输入的随机序列中出现连续4个或4个以上1时，输出*z*为1，否则*z*为0，其典型输入输出序列如下：

输入x：0 1 1 0 1 1 1 1 1 0 1 0

输出z：0 0 0 0 0 0 0 1 1 0 0 0

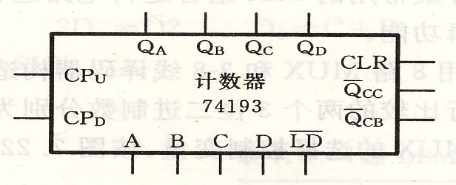
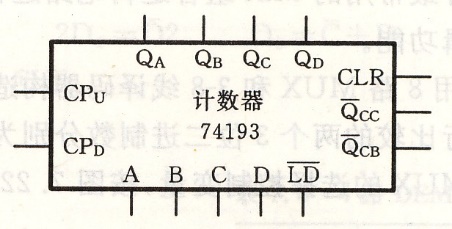
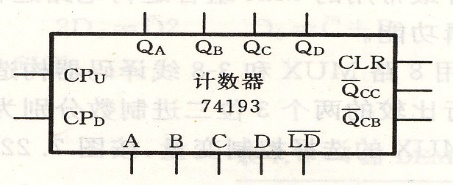
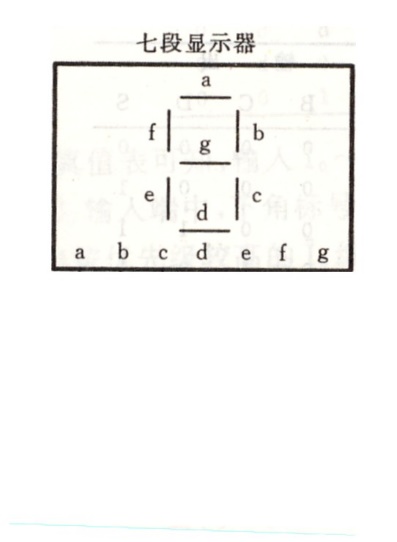
2、用J-k触发器和适当的逻辑门设计一个Mealy模型同步八进制可逆计数器。电路有一个输入x，一个输出z。x=0在时钟脉冲作用下，作加1计数，x=1作减1计数；输出z等于1表示进位或借位。（J-k触发器激励表如下）：

|  |  |
| --- | --- |
|  | J K |
| 0 0  0 1  1 0  1 1 | 0 d  1 d  d 1  d 0 |

**六、综合应用题（每小题10分，共20分）**

1、用PLA设计一个组合逻辑电路，该电路用于比较二个一位二进制数A、B的大小，产生大于（F1）、小于（F2）、等于（F3）三种比较结果

2、用四位二进制同步可逆计数器74193，七段显示译码器7448，七段显示器设计一个“秒”时钟，循环显示“0～9”秒。假设秒脉冲已设计好，可直接接到计数器的CP端。（写出设计过程，说明工作原理，画出逻辑图）



**武 汉 大 学 计 算 机 学 院**

**《数字逻辑》期末考试试题（A卷）参考答案**

**2007—2008学年第二学期（闭卷考试）**

**一、解答（每空1分，共16分）**

1. (11011.1)2、(1B.8)16 2. [*x*]补=1.0101

3. 奇数 4. 1 5. 0011 0100 0111 6. 高电平, 低电平, 高阻

7. 甲 8. 

9. 临界竞争, 非临界竞争 10. 充电时间常数 RC 11. 不是

**二、解答（每小题2分，共14分）**

1. C 2.A 3.B 4.D 5. C 6.B 7.B

**三、解答（每小题5分，共10分）**

**1.**



**2.** 画出函数F的卡诺图

解法1 圈为0的项，直接写出或一与式 

d 0 0 1

0 1 1 0

d 1 d 0

1 0 d 1

00

01

11

10

00 01 11 10

AB

CD

解法2 先求的最简与一或式。再对求反即得F的最简或一与式



**四、解答（每小题10分，共20分）**

**1.** ①写出输出函数表达式



② 列其值表

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| A | B | F1 | F2 | F3 | F4 |
| 0 | 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 0 |

③功能：由其值表可见，每输入一组二进制码时，与这个二进制码值相对应的输出线上将出现一个低电平为0的有效信号。故其功能是将二进制码按它原来的值译成相应的输出信号，是一个二一四译码器，输出低电平有效。

**2.** ① 写出激励函数表达式



② 作状态转换其值表

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| cp | y2 | y1 | T2 | c2 | D1 | c­1 | *y*2n+1 | *y*1n+1 |
| 1 | 0 | 0 | 1 | ↑ | 1 | 1↓ | 0 | 1 |
| 1 | 0 | 1 | 1 | ↓ | 0 | 1↓ | 1 | 0 |
| 1 | 1 | 0 | 1 | ↑ | 1 | 1↓ | 1 | 1 |
| 1 | 1 | 1 | 1 | ↓ | 0 | 1↓ | 0 | 0 |

状态表

0

0

0

0

1

1

1

1

状态图

|  |  |  |
| --- | --- | --- |
| 现态  *y*2*y*1 | | 次态 |
| cp=1 |
| 0 | 0 | 0 1 |
| 0 | 1 | 1 0 |
| 1 | 0 | 1 1 |
| 1 | 1 | 0 0 |

cp:

③ 电路功能：该电路是一个异步模四

（二位二进制数）加1计数器。时间图如下：

cp

*y*2

*y*1

**五、解答（每小题10分，共20分）**

**1.** 设初态为A

0

1

1

1

1

1

0

0

0

0

*x*:

原始状态表

|  |  |  |  |
| --- | --- | --- | --- |
| 现状 | 状态 | | 输出 |
| X=0 | X=1 |
| A | A | B | 0 |
| B | A | C | 0 |
| C | A | D | 0 |
| D | A | E | 0 |
| E | A | E | 1 |

原始状态图

**2.** ①形成原始状态图和原始状态表

|  |  |  |
| --- | --- | --- |
| 现态  *y*2*y*1*y*0 |  | |
| *x*=0 | *x*=1 |
| 0 0 0 | 001/0 | 111/1 |
| 0 0 1 | 010/0 | 000/0 |
| 0 1 0 | 011/0 | 001/0 |
| 0 1 1 | 100/0 | 010/0 |
| 1 0 0 | 101/0 | 011/0 |
| 1 0 1 | 110/0 | 100/0 |
| 1 1 0 | 111/0 | 101/0 |
| 1 1 1 | 000/1 | 110/0 |

1/1

② 确定激励函数和输出函数

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入 | | | | 次态 | | | 输出 | 激励 | | |
| x | y2 | y1 | y0 |  |  |  | *z* |  |  |  |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0d | 0d | 1d |
| 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0d | 1d | d1 |
| 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0d | d0 | 1d |
| 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 1d | d1 | d1 |
| 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | d0 | 0d | 1d |
| 0 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | d0 | 1d | d1 |
| 0 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | d0 | d0 | 1d |
| 0 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | d1 | d1 | d1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1d | 1d | 1d |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0d | 0d | d1 |
| 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0d | d1 | 1d |
| 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0d | d0 | d1 |
| 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | d1 | 1d | 1d |
| 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | d0 | 0d | d1 |
| 1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | d0 | d1 | 1d |
| 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | d0 | d0 | d1 |

画卡诺图化简

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | 00 | 01 | 11 | 10 |
| 00 |  | d | d | 1 |
| 01 |  | d | d |  |
| 11 | 1 | d | d |  |
| 10 |  | d | d |  |

*xy*2

*y*1*y*0

J2

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | 00 | 01 | 11 | 10 |
| 00 | d |  | 1 | d |
| 01 | d |  |  | d |
| 11 | d | 1 |  | d |
| 10 | d |  |  | d |

*xy*2

*y*1*y*0

K2

……



③画电路图（略）

**六、解答（每小题10分，共20分）**

**1.**① 列真值表求出F1（大于），F2 (小于)，F3(等于)的最简与或表达式。

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A | B | F1 | F2 | F3 |
| 0 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 1 |





  
②画PLA的阵列图

A





B

F1

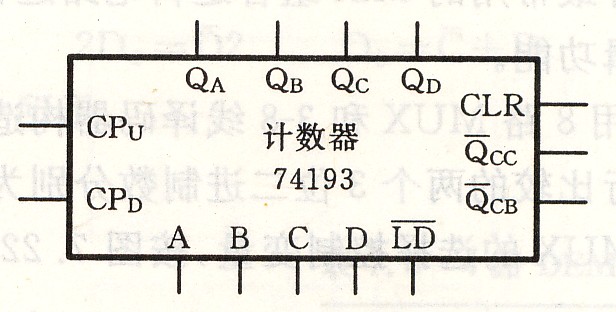
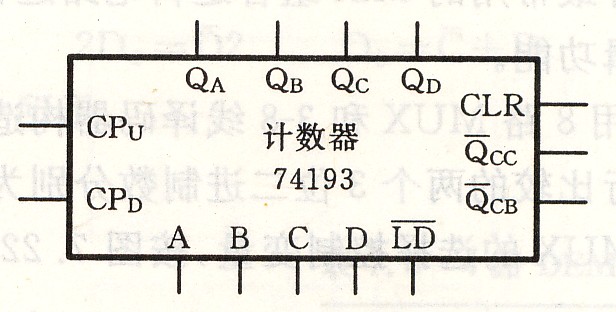
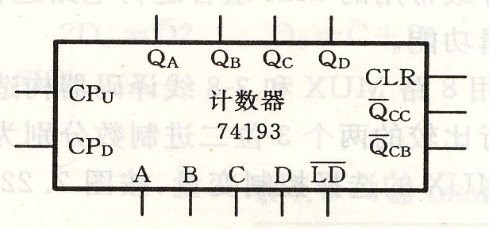
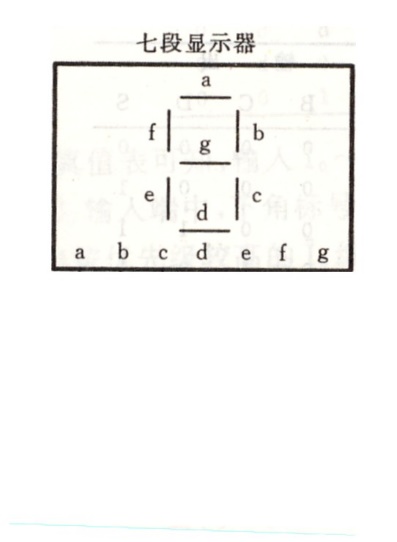
F2

F3

**2.**① 先把74193设计成十进制计数器，并用启动脉冲pS将初态QDQCQBQA清零，CLR=QDQB,CPu接“秒”脉冲CP, CPD接“1”。

② 把计数器的输出状态QDQCQBQA接7448的A3A2A1A0，并正确处理7448的辅助控制信号，

③ 把7448的七段输出端a~g接七段显示器的输入a~g。



QD QC QB QA

D C B A

&

Ps

“秒”脉冲CP

“1”

“1”

“1”

≥1

“秒”时钟逻辑电路图

“1”

**武 汉 大 学 计 算 机 学 院**

**《数字逻辑》期末考试试题（B卷）**

**2007—2008学年第二学期（闭卷考试）**

**班号： 学号： 姓名： 成绩：**

**（注：答案全部写在答题纸上）**

**一、填空（17分）**

1、（17.5）10=（ ）2­=（ ）8=（ ）16

2、若*x*= -0.1100，则[*x*]原=[ ]，[*x*]反=[ ]，[*x*]补=[ ]。

3、8421BCD码1001 0111 0010 0001对应的十进制数是（ ），十进制数52对应的余3码是（ ）

4、数字逻辑电路可分为（ ）和（ ）两大类。

5、PLA的与陈列是（ ）编程的，或陈列是（ ）编程的。

6、若采用奇校验，当信息位为10111时，校验位应是（ ）。

7、若（3）10的Gray码为011，则（4）10的Gray码可能是（ ）

8、数字系统中，采用（ ）码可以将减法运算转化为加法运算。

9、若两输入与非门的输出为0，则其输入是（ ）

10、要使JK触发器在CP脉冲作用下的次态与现态相同，JK的取值应为（ ）

**二、完成下列各题（每小题10分，共20分）**

1、证明 

2、把函数化成最简“与或”式和最简“或 与”式。

**三、分析题（每小题12分，共24分）**

1、分析图1组合逻辑电路，写出表达式，列出真值表，说明电路逻辑功能。

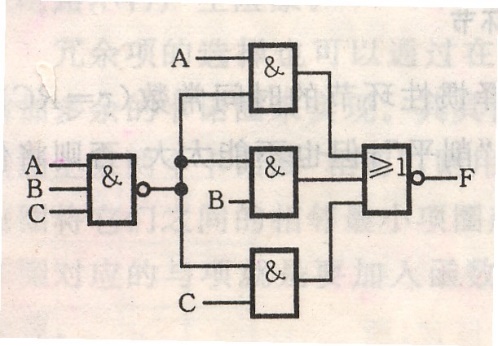
2、对图2所示脉冲异步时序逻辑电路

图1

① 写出输出函数和激励函数表达式

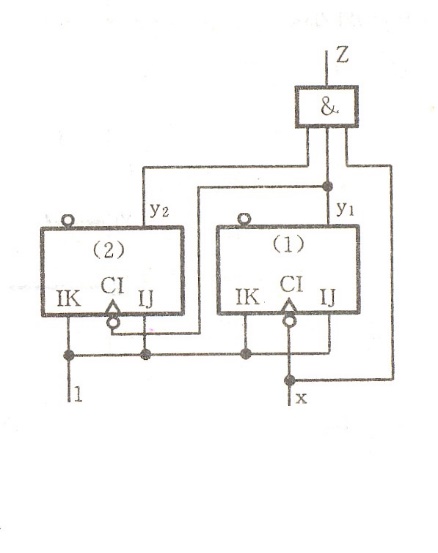


图2

② 列出次态真值表，作出状态图和状态表

③ 说明电路功能

**四、设计与应用题（每小题13分，共39分）**

1、作出“1101”序列检测器的Moore模型原始状态图和状态表，电路有一个串行输入端*x*，一个输出端*z*。当*x*输入的序列中出现“1101”时，输出*z*为1，否则z为0，其典型输入输出序列如下：

输入x 0 1 0 1 1 0 1 1 0 1 0

输出z 0 0 0 0 0 0 1 0 0 0 0

2、用三—八译码器和适当的逻辑门设计一个全加器电路

3、用D触发器作同步时序逻辑电路的存储元件，实现下列最简二进制状态表

D触发器激励表如下

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 现 态 | | 次态 | |  | *Q*→*Qn*+1 | D |
| y2 | y1 | *x*=0 | *x*=1 |  |
| 0 | 0 | 01/0 | 10/0 |  | 0 0 | 0 |
| 0 | 1 | 11/0 | 10/0 |  | 0 1 | 1 |
| 1 | 1 | 10/1 | 01/0 |  | 1 0 | 0 |
| 1 | 0 | 00/1 | 11/1 |  | 1 1 | 1 |

**武 汉 大 学 计 算 机 学 院**

**《数字逻辑》期末考试试题（B卷）参考答案**

**2007—2008学年第二学期（闭卷考试）**

一、填空题（每空1份，共17分）

解答：

1、（17.5）10=(10001.1)2=(21.4)8=(11.8)16

2、[*x*]原=1.1100，[*x*]反=1.0011，[*x*]补=1.0100

3、9721， 10000101

4、组合逻辑电路，时序逻辑电路

5、可，可 6、1 7、111，001，010

8、补，反 9、1 1 10、00

二、完成下列各题（每小题10分，共20分）

1、解答



2、解答

（1）先作出函数的四变量卡诺图

（2）具简与一或式为

CD

AB

00 01 11 10

|  |  |  |  |
| --- | --- | --- | --- |
| 1 | d | d |  |
| 1 | d |  |  |
|  |  | 1 | d |
|  |  | 1 | d |



00

01

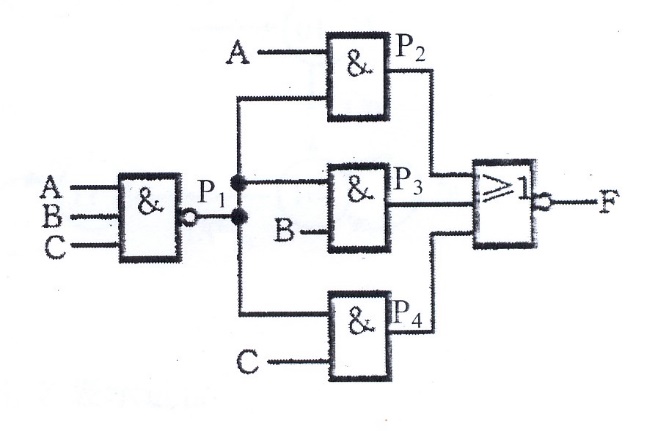
11

10

（3）具简或一与式为



三、分析题（每小题12分，共24分）

1、解答

① 逐级写出输出函数表达式



② 列其值表

③ 功能说明

由真值表可知，当输入ABC取值相同，同为000或同为111时，输出F为1，否则F为0，该电路可检查输入是否一致。

|  |  |
| --- | --- |
| 输入ABC | 输出F |
| 0 0 0  0 0 1  0 1 0  0 1 1  1 0 0  1 0 1  1 1 0  1 1 1 | 1  0  0  0  0  0  0  1 |

2. 解答

① 输出函数和激励函数表达式

 电路属Mealy模型



② 列次态真值表，作状态表和状态图

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 输入  *x* | 现态*y*2*y*1 | 激励函数 | | | | 输出  Z | 次态  *y*2*m*+1*y*1*n*+1 |
| *J*2*k*2 | *C* 2 | *J*1 *k*1 | *C* 1 |
| 1 | 0 0 | 1 1 |  | 1 1 | ↓ | 0 | 0 1 |
| 1 | 0 1 | 1 1 | ↓ | 1 1 | ↓ | 0 | 1 0 |
| 1 | 1 0 | 1 1 |  | 1 1 | ↓ | 0 | 1 1 |
| 1 | 1 1 | 1 1 | ↓ | 1 1 | ↓ | 1 | 0 0 |

状态表



|  |  |
| --- | --- |
| 现在  *y*2*y*1 | 次真y2n+1 *y*1n+1 / Z |
| 0 0 | 0 1 / 0 |
| 0 1 | 1 0 / 0  1/1 |
| 1 0 | 1 1 / 0 |
| 1 1 | 0 0 / 1 |

③ 电路功能：异步模4加1计数器，输出Z表示进位

四、设计与应用题（每小题13分，共39分）

1. 解答 ： 设初态为

原始状态图如下

原始状态表

1

1

0

1

0

0

1

0

0

1

*x*:

|  |  |  |  |
| --- | --- | --- | --- |
| 现态 | 次态 | | 输出 |
| *x*=0 | *x*=1 |
| A | A | B | 0 |
| B | A | C | 0 |
| C | D | C | 0 |
| D | A | E | 0 |
| E | A | B | 1 |

2、解答

（1）设Ai为被加数，Bi为加数，Ci-1为低位来的进位，Si为本位和，Ci为本位向高位的进位。列真值表如下：

（2）写输出函数的最小项表达式如下：



（3）变换表达式形式



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 输入 | | | 输出 | |
| Ai | Bi | Ci-1 | Si | Ci |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

（4）画逻辑图



3、解答

*y*1

*xy*2

0

1

00 01 11 10

|  |  |  |  |
| --- | --- | --- | --- |
|  |  | 1 | 1 |
| 1 | 1 |  | 1 |

D2

（1）列次态和输出函数真值表

*y*1

*xy*2

0

1

00 01 11 10

|  |  |  |  |
| --- | --- | --- | --- |
| 1 |  | 1 |  |
| 1 |  | 1 |  |

D1

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 输入 | | | 次态 | | 输出 | 激励函数 | |
| x | y2 | y1 | y2n+1 | y1n+1 | Z | D2 | D1 |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |

*y*1

*xy*2

0

1

00 01 11 10

|  |  |  |  |
| --- | --- | --- | --- |
|  | 1 | 1 |  |
|  | 1 |  |  |

Z

（2）求激励函数和输出函数



（3）画逻辑电路图（略）

武汉大学计算机学院

《数字逻辑》期末考试试题（A卷）

2008～2009学年第二学期（闭卷考试）

班级： 学号： 姓名： 成绩：

（注：答案全部写在答题纸上）

一、填空题（每空1分，共16分）

1．已知[*X*]补=1.1100，则[*X*]真值=（ ），[*X*]反=（ ）。

2．（30.5）10=（ ）2=（ ）8=（ ）16。

3．的反函数是（ ），对偶函数是（ ）。

4．余3码010010001011对应的十进制数是（ ）。

5．有两个相同型号的TTL与非门，甲的关门电平为0.9V，乙的关门电平为0.8V，试问在输入相同低电平时，（ ）的抗干扰能力强。

6．集电极开路逻辑门（OC门）的输出端（ ）直接相连实现线与。

7．欲使T触发器在CP脉冲作用下的次态与现态相反，则T的取值应为（ ）。

8．脉冲异步时序逻辑电路（ ）两个或两个以上输入端同时为1。

9．优先编码器的多个输入端（ ）同时输入有效信号。

10．可编程逻辑阵列PLA的与阵列是（ ）编程的。

11．若要消除函数对应的电路可能存在的险象，则应增加的冗余项是（ ）。

12．对完全确定状态表中的7个状态A、B、C、D、E、F、G进行化简，若有（A、B），（B、C），（E、F）等效，则最简状态表中只有（ ）个状态。

二、证明题（6分）



三、化简题（每小题5分，共10分）

把下列函数化成最简与一或式：

1．；

2．。

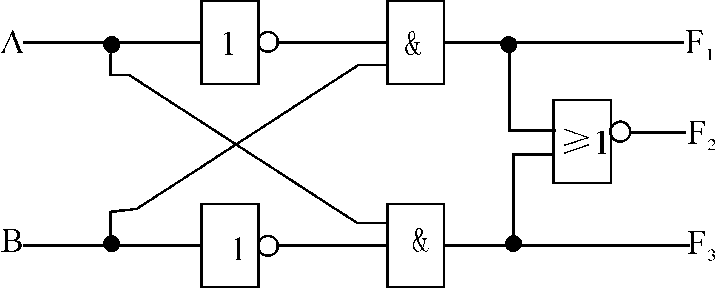
四、分析题（每小题10分，共20分）

1．分析图1所示组合逻辑电路

（1）写出输出函数表达式（3分）

（2）列出真值表（4分）

（3）说明电路功能（3分）

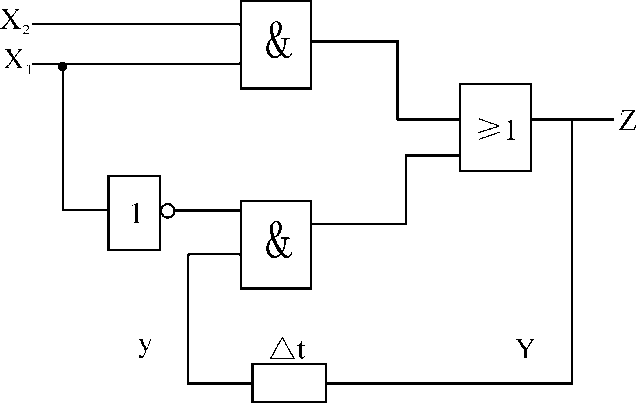
 图1

2．分析图2所示电平异步时序逻辑电路

（1）写出输出函数和激励函数表达式（3分）

（2）作出流程表（表中输入变量按X2X1顺序排列）（3分）

（3）作出总态图（4分）

 图2

五、设计题（每小题12分，共24分）

1．作出同步时序逻辑电路“110”序列检测器的Mealy模型原始状态图和状态表。电路有一个串行输入端*X*，一个输出端*Z*。当*X*输入的序列中出现“110”时，输出*Z*为1，否则*Z*为0。其典型输入输出序列如下：

输入*X*：0 1 0 1 1 0 0 1 1 0 1

输出*Z*：0 0 0 0 0 1 0 0 0 1 0

2．用J、K触发器和适当的逻辑门设计能实现下列最简二进制状态表功能的同步时序逻辑电路。

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 现态  *y*2 *y*1 | |  | |  | J—K触发器激励表 | | | |
| *X*=0 | *X*=1 |  |  | | J | K |
| 0 | 0 | 00/0 | 01/0 |  | 0 | 0 | 0 | d |
| 0 | 1 | 00/0 | 11/0 |  | 0 | 1 | 1 | d |
| 1 | 0 | dd/d | dd/d |  | 1 | 0 | d | 1 |
| 1 | 1 | 00/0 | 11/1 |  | 1 | 1 | d | 0 |

六、综合应用题（每小题12分，共24分）

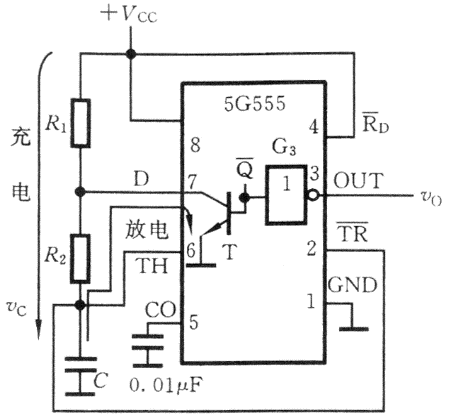
1．用四选一数据选择器设计一个三变量奇数检测电路，当输入的三个变量A、B、C中1的个数为奇数时，输出F等于1，否则F等于0。（用AB作地址选择端）

2．用5G555定时器和适当的电阻电容构成的多谐振荡器如下图所示：

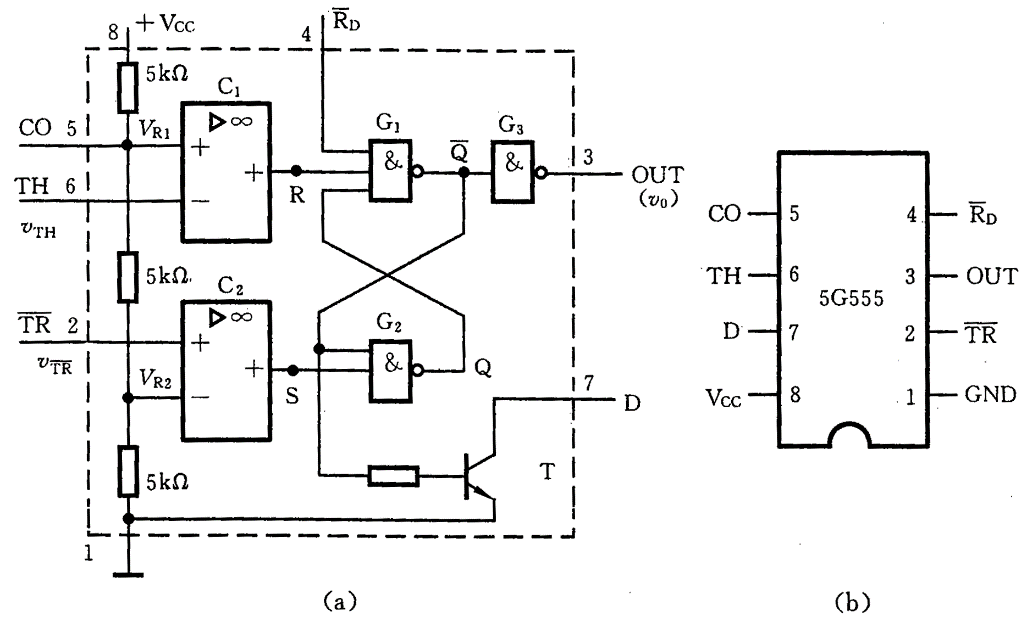
①说明电路的工作原理；（4分）

②画出电容电压VC的充放电波形和输出电压VO的振荡波形；（4分）

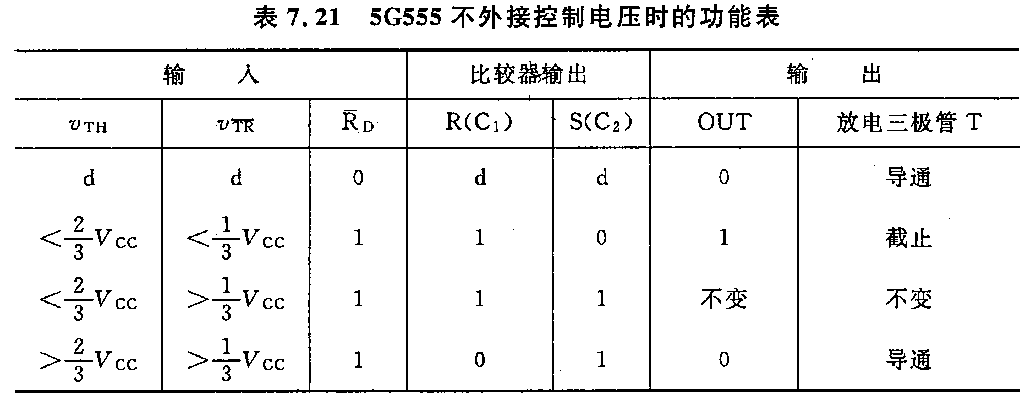
③计算出矩形波的振荡周期。（4分）



附：5G555的电路结构图、引脚图、功能表如下：



5G555不外接控制电压时的功能表



武汉大学计算机学院

《数字逻辑》期末考试（A卷）参考答案

2008～2009学年第二学期（闭卷考试）

一、填空题（每空1分，共16分）

1．[*X*]真值=－0.0100，[*X*]反=1.1011。

2．（30.5）10=（11110.1）2=（36.4）8=（1E.8）16

3．反函数，对偶函数。

4．（158）10 5．甲 6．可以（允许） 7．1

8．不允许 9．可以（允许） 10．可 11．增加冗余项 12．4

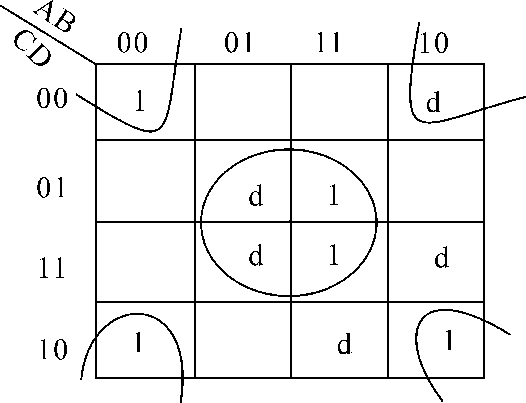
二、证明题（6分）



三、化简题（每小题5分，共10分）

**1．解：**

**2．解**①：画卡诺图



②最简与一或式 

四、分析题（每小题10分，共20分）

**1．解答**

（1）输出函数表达式：

（2）列真值表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 输入 | | 输出 | | |
| *A* | *B* | *F*1 | *F*2 | *F*3 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |

（3）功能说明：该电路对二个1位二进制数A、B进行比较，产生小于（F1），等于（F2）和大于（F3）三种比较结果。

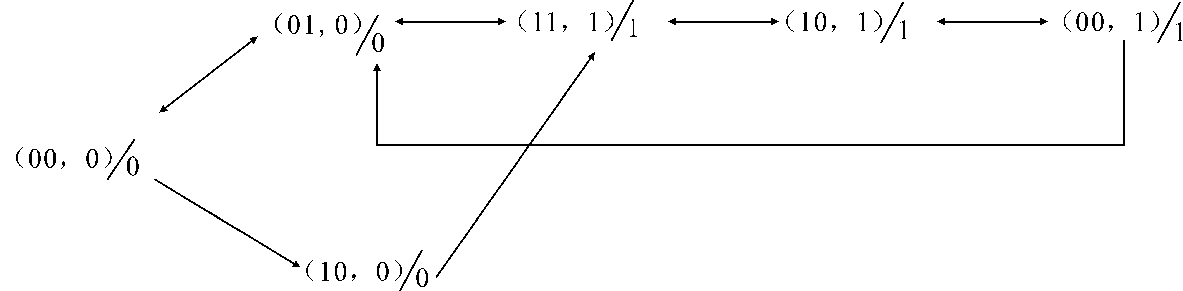
**2．解答**

（1）输出函数和激励函数表达式：（电路属于Mealy模型）

（2）流程表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 二次状态 | 激励状态/输出状态*Y*/*Z* | | | |
| *y* | *x*2*x*1=0 0 | 0 1 | 1 1 | 1 0 |
| 0 | /0 | /0 | 1/1 | /0 |
| 1 | /1 | 0/0 | /1 | /1 |

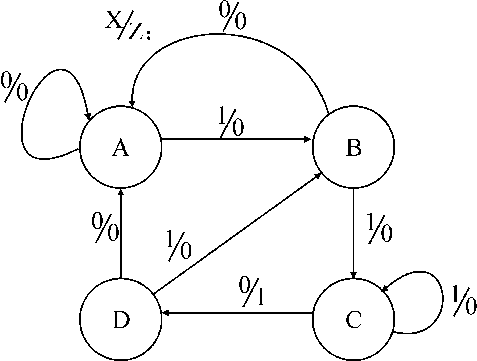
（3）总整图



五、设计题（每小题12分，共24分）

|  |  |  |
| --- | --- | --- |
| 现态  *y* | 次态/输出 | |
| *x*=0 | *x*=1 |
| A | A/0 | B/0 |
| B | A/0 | C/0 |
| C | D/1 | C/0 |
| D | A/0 | B/0 |

**1．解：**设初态为A，由题意得：



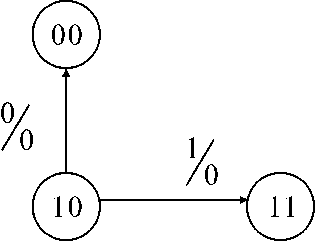
**2．解**（1）：列次态转换真值表

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入 | | | 次态 | | 激励 | | | | 输出*Z* |
| *x* | *y*2 | *y*1 |  |  | *J*2 | *K*2 | *J*1 | *K*1 |
| 0 | 0 | 0 | 0 | 0 | 0 | d | 0 | d | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | d | d | 1 | 0 |
| 0 | 1 | 0 | d | d | d | d | d | d | d |
| 0 | 1 | 1 | 0 | 0 | d | 1 | d | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | d | 1 | d | 0 |
| 1 | 0 | 1 | 1 | 1 | 1 | d | d | 0 | 0 |
| 1 | 1 | 0 | d | d | d | d | d | d | d |
| 1 | 1 | 1 | 1 | 1 | d | 0 | d | 0 | 1 |



（2）用卡诺图化简得：

（3）讨论当电路进入多余状态10时，电路能否自启动。

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| *x* | *y*2 | *y*1 | *J*2 | *K*2 | *J*1 | *K*1 |  |  | *z* |
| 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 |

可见电路能自启动。

（4）画逻辑图（略）

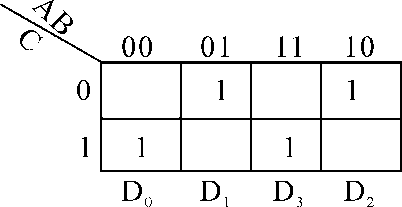
六、综合应用题（每小题12分，共24分）

**1．解**（1）：设输入变量为*A*、*B*、*C*，输出为*F*，列真值表如下：

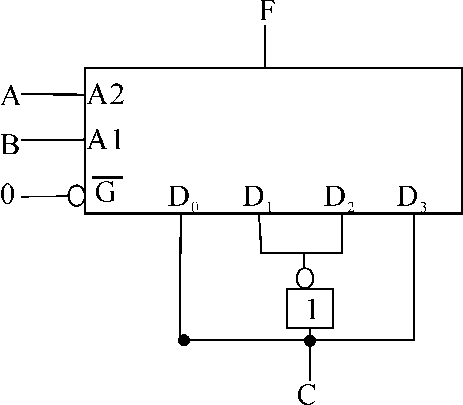
|  |  |  |  |
| --- | --- | --- | --- |
| 输入 | | | 输出 |
| A | B | C | F |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 |

（2）写输出函数表达式：

（3）选*A*、*B*作地址端，确定输入数据*D*0、*D*1、*D*2、*D*3。

 *D*0=*C*、

、*D*3=*C*

（4）画逻辑图

**2．解：**

①工作原理

当合上电源瞬间，电容上的电压不能突变，，所以，输出*V*o=1，放电三极管截止，电源电压经*R*1、*R*2和电容*C*充电，*VC*逐步上升，当*VC*上升到时，放电三极管仍然截止，*V*0仍然为1，电路处于第一个暂稳态。当*VC*继续充电到时，此时，，放电三极管开始导通，输出*V*o=0，电容经过*C*、*R*2和放电三极管T放电，*VC*开始下降。当下降到时，输出*V*0仍为0，电路处于第二个暂稳态。当*VC*继续放电下降到时，*VTH*就，，放电三极管又截止，输出*V*0又变到1，又重复第一个暂稳态，如此循环产生振荡，输出矩形波。

（2）电容电压*VC*的充放电波形和输出电压*Vo*的振荡波形如下：



（3）输出矩形波的高电平时间*tH*是电容电压*VC*的充电时间，与有关，即或。

输出低电平的时间*tL*为*VC*的放电时间，与*R*2*C*有关。

即或

∴ 矩形波的振荡周期



或 

**武汉大学计算机学院**

**2009～2010学年第二学期2009级《数字逻辑》**

**期未考试试卷 A卷**

学号 班级 姓名 成绩

一、填空题（每空1分，共14分）

1．在数字电路和计算机中，只有（ ）和（ ）两种符号来表示信息。

2．时序逻辑电路由（ ）和（ ）组成。

3．（26.25）10＝（ ）2；（5B）16＝（ ）8

4．（305.1）10＝（ ）8421BCD=（ ）余3码

5．若X＝-1010，则[X]补=（ ）

6．TTL与非门的关门电平为0.8V，开门电平为1.9V，当其输入低电平为0.3V，高电平为3.2V时，其输入低电平噪声容限VNL为（ ），输入高电平噪声容限VNH为（ ）。

7．JK触发器的特征方程是（ ）。

8．的反函数是（ ），对偶函数是（ ）。

二、选择题（每题2分，共16分）

从下面每题的四个答案中选择唯一正确的答案填入括号中。

1．能把缓变输入信号转换成矩形波的电路是（ ）。

A．单稳态触发器 B．多谐振荡器

C．施密特触发器 D．边沿触发器

2．用PLA进行逻辑设计时，应将逻辑函数表达式变换成（ ）。

A．与非与非式 B．异或表达式

C．最简与或式 D．最简或与式

3．在下列器件中，属于时序逻辑电路的是（ ）。

A．计数器 B．译码器 C．数据选择器 D．全加器

4．设计一个能存放8位二进制代码的寄存器，需要（ ）个触发器。

A．2 B．3 C．4 D．8

5．维持阻塞D触发器是时钟脉冲CP的（ ）触发的。

A．下降沿 B．上升沿 C．高电平 D．低电平

6．对完全给定原始状态表中的6个状态A、B、C、D、E、F化简，若有（AB）、（BC）、（EF）等效，则最简状态表中应有（ ）个状态。

A．4 B．6 C．3 D．5

7．组合逻辑电路的竞争险象是由（ ）引起的。

A．电路有多个输出 B．电路中使用多种门电路

C．电路中存在延迟 D．电路不是最简

8．在（ ）电路中，不允许两个或两个以上输入信号同时发生变化。

A．组合逻辑 B．电平异步时序逻辑

C．脉冲异步时序逻辑 D．以上都不是

三、证明题（7分）



四、化简题（7分）

把函数化成最简与一或式。

五、分析题（每小题10分，共20分）

1．分析图1所示由四选一多路选择器构成的组合逻辑电路。

①写出F的表达式 ②说明电路逻辑功能

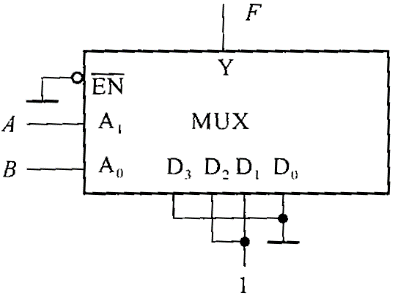
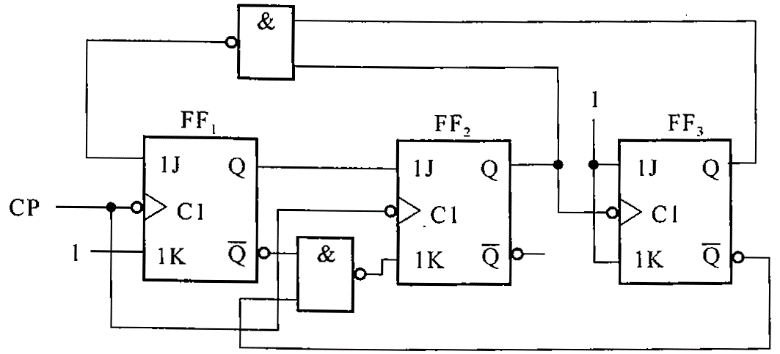
 

图1 图2

2．分析图2所示异步时序逻辑电路

① 写出激励函数表达式 ② 作出状态表和状态图

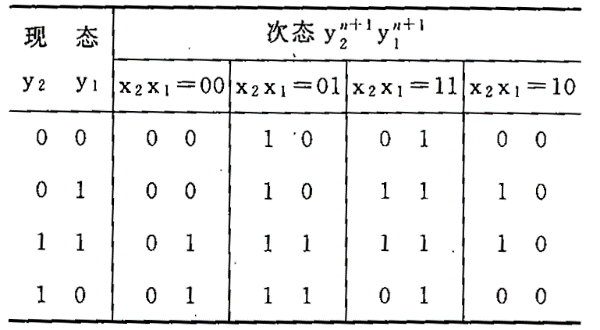
③ 画出CP、Q3、Q2、Q1的波形图 ④ 说明电路功能

六、设计题（每小题10分，共20分）

1．作出三位二进制码奇检测器的Mealy模型原始状态图和状态表。当电路从串行输入端X接收的每3位一组的二进制代码中有奇数个1时，输出Z为1，否则Z为0。

2．用D触发器作存储元件，设计能实现下列最简二进制状态表的同步时序逻辑电路。D触发器激励表如下：

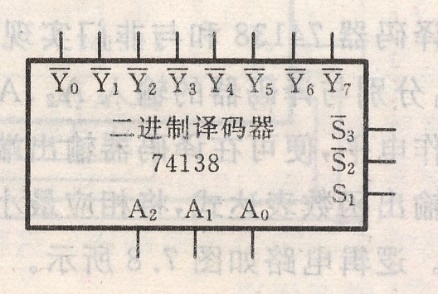
|  |  |  |
| --- | --- | --- |
| Q → Qn+1 | | D |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |



七、综合应用题（16分）

用四位二进制同步可逆计数器74193和八选一数据选择器74152设计一个“01101011”序列发生器，循环产生该序列。序列中的最高位“0”是序列的第一位。

（提示：首先把74193设计成八进制计数器，用其计数状态作八选一数据选择器的地址端，用要产生的序列位作数据选择器的数据输入端）

附：各集成电路逻辑符号

A1

A2

A0

G

D0

D1

D2

D3

D4

D5

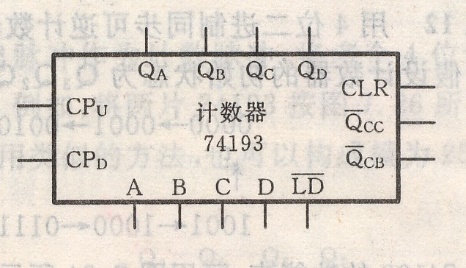
D6

D7

F

八选一MUX

74152



**武汉大学计算机学院**

**2009～2010学年第二学期2009级《数字逻辑》**

**期末考试试题A卷参考答案**

**一、填空题（每空1分，共14分）**

1．0、1 2．组合电路，存储电路 3．（11010.01）2；（223）8

4．（00110000 0101.0001）8421BCD （0110 0011 1000）余3码

5．[X]补=10110 6．0.5V，1.3V 7．

8． 

**二、选择题（每题2分，共16分）**

1．C 2．D 3．A 4．D 5．B 6．C 7．C 8．B

**三、证明题（7分）**

可用真值表或代数法证

**四、化简题（7分）**



**五、分析题（每小题10分，共20分）**

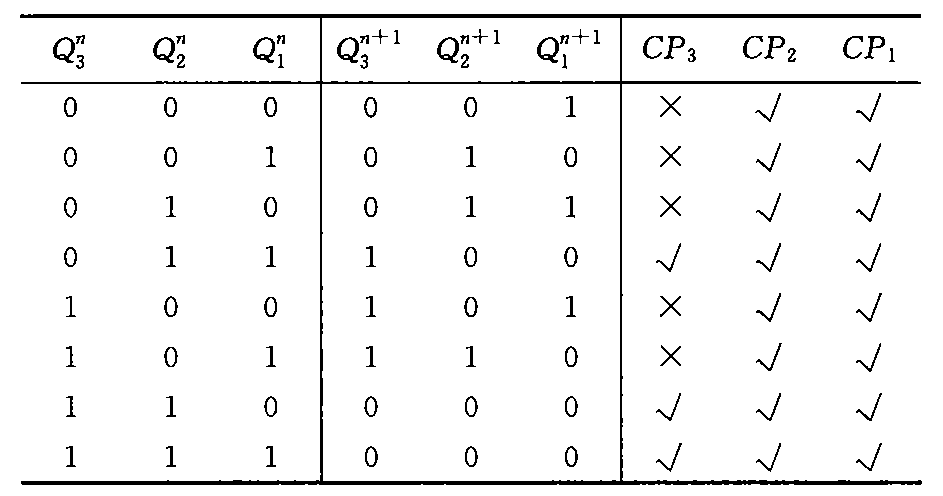
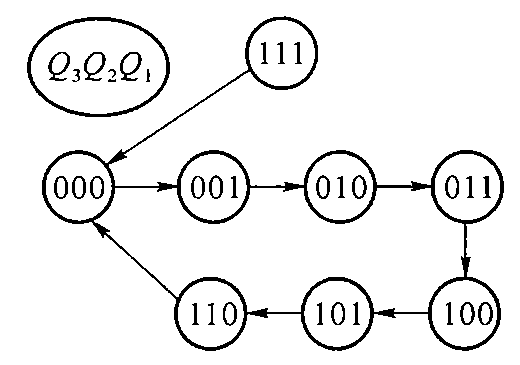
1． 

该电路实现异或逻辑功能

2．  *K*1=1 *CP*1=*CP*

  *CP*1=*CP*

 *CP*3=*Q*2

功能：异步七进制加法计数器，能自启动。

**六、设计题（每小题10分，共20分）**

1．参考P158图5.49

2． 

**七、综合应用题（16分）**

① 把74193设计成8进制计数器，计数规律为QDQCQBQA：

0000→0001→0010→0011

↑ ↓

0111←0110←0101←0100

当QDQCQBQA向1000进位时，强迫计数器产生清0信号，所以CLR=QD

② 用QCQBQA作八选一数据选择的地址选择端

③ 数据选择器的输入端D0～D7依次接入待产生序列的各位01101011

④ 设置工作启动按钮，提供清0脉冲，CPu外接工作脉冲，CPD接“1”

⑤ 逻辑图如下：

CLR

QD

QC

CPU QB

CPD QA



≥1

“1”

A2

A1 八选一MUX

A0

G D0 D1 D2 D3 D4 D5 D6 D7

“0”

F

启动脉冲Ps

“1”

CP

0 1 1 0 1 0 1 1

**武汉大学计算机学院**

**2010～2011学年第二学期2010级《数字逻辑》**

**期未考试试卷（闭卷） A卷（A类）**

学号 班级 姓名 成绩

全部答案均要求写在答题纸上，写在试卷上无效。

一、填空题（每空1分，共14分）

1．若*x*=－0.1011，则[*x*]补=（ ）。

2．（10110.1）2=（ ）10=（ ）8=（ ）16

3．8421BCD码 100100010111对应的十进制数是（ ）。

4．时序逻辑电路由（ ）和（ ）组成。

5．F（ABC）=AB＋的反函数是（ ），对偶函数是（ ）。

6．欲使JK触发器在CP有效跳沿作用下的次态与现状相反，则JK的取值应为（ ）。

7．一个矩形波信号从与非门输入端传到输出端所延迟的时间叫（ ）。

8．消除组合逻辑电路竞争险象的常用方法有（ ）、（ ）、（ ）。

二、单项选择题（每小题2分，共16分）

从下面每题的四个答案中，选择唯一正确的答案代号填入括号内。

1．在一个给定的数字波形中，其周期为脉冲宽度的两倍，则占空比为（ ）。

A．100% B．200% C．50% D．150%

2．具有三种输出状态的门是（ ）。

A．与门 B．或门 C．OC门 D．三态门

3．维持阻塞D触发器是时钟的（ ）触发的。

A．上升沿 B．下降沿 C．高电平 D．低电平

4．电平异步时序逻辑电路的分析工具是（ ）。

A．真值表、卡诺图 B．状态表、状态图

C．功能表、波形图 D．流程表、总态图

5．欲把正弦波变换为同频率的矩形波，应选择（ ）。

A．多谐振荡器 B．施密特触发器 C．单稳态触发器 D．J-K触发器

6．对完全给定状态表中的7个状态A、B、C、D、E、F、G进行化简，若有（A、B），（B、C），（E、F）等效，则最简状态表中只有（ ）个状态。

A．4 B．5 C．3 D．6

7．用PLA实现组合逻辑电路功能，通常要将函数表达式表示成（ ）。

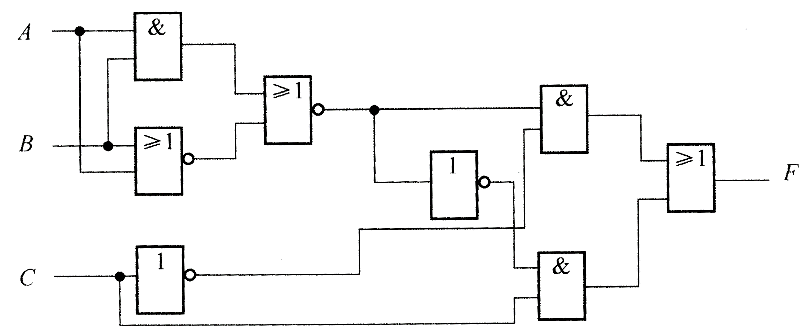
A．最小项表达式 B．最简与一或式 C．最大项表达式 D．一般或一与式

8．下列集成电路芯片中，（ ）属于时序逻辑电路。

A．计数器74193 B．三-八译码器74138 C．多路选择器74153 D．优先编码器74148

三、化简题（8分）

用卡诺图把F（ABCD）=∑m（1，3，13，15）＋∑d（6，9，11，14）化成最简与一或式。



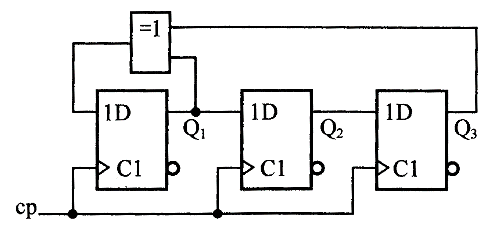
四、分析题（每小题12分，共24分）

1．分析图示组合逻辑电路

（1）写出输出函数表达式

（2）列出真值表

（3）说明电路功能

2．分析图示同步时序逻辑电路

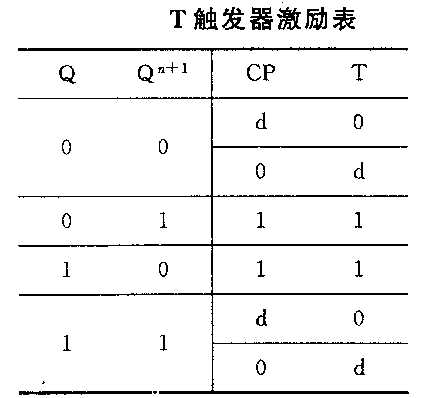
（1）写出激励函数表达式

（2）作状态表和状态图

（3）说明电路功能

五、设计题（14分）

用T触发器设计一个异步二位二进制（模四）加1计数器，该电路对输入端X出现的脉冲进行计数，当收到第4个脉冲时，输出Z产生进位（用Mealy模型）。T触发器激励表如下：



六、综合应用题（每小题12分，共24分）

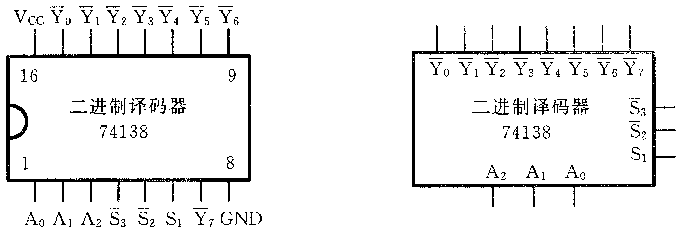
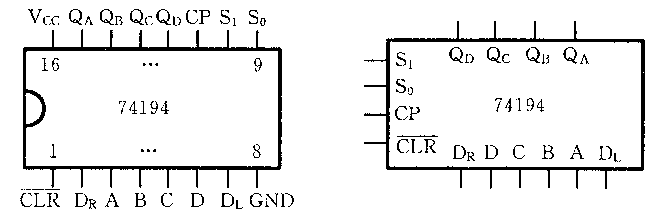
1．用三-八译码器74138和适当的逻辑门设计一个全加器电路（设被加数为*Ai*，加数*Bi*，低位进位*Ci*-1，本位和*Si*，本位向高位进位*Ci*）。

2．移位寄存器74194的引脚图和逻辑图如下：

（1）说明它的引脚名称和功能。

（2）用74194和适当的逻辑门设计一个11101000（最先输出右边“0”位）序列发生器，循环产生该脉冲序列。

附图：

**武汉大学计算机学院**

**2010～2011学年第二学期2010级《数字逻辑》**

**期末考试试题A卷（A类）参考答案**

一、解答（每空1分，共14分）

1．[*x*]补=1.0101 2．（22.5）10、（26.4）8、（16.8）16

3．917 4．组合电路、存储电路

5．、 6．11

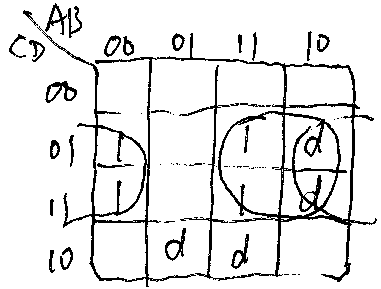
7．平均传输延迟时间tpd 8．增加冗余项，增加惯性延迟环节，选通法

二、解答（每小题2分，共16分）

1．C 2．D 3．A 4．D 5．B 6．A 7．B 8．A

三、解答（8分）

画出*F*的卡诺图，圈为1的项，得到最简与一或表达式。



四、解答（每小题12分，共24分）

1．（1）写出输出函数表达式并化简



（2）列真值表

|  |  |  |  |
| --- | --- | --- | --- |
| 输入 | | | 输出 |
| *A* | *B* | *C* | *F* |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 |

（3）功能：该电路是三变量奇检验电路。即当三个输入变量*ABC*中有奇数个1时，*F*输出为1，否则F为0。

2．（1）写激励函数表达式：*D*3=*Q*2 *D*2=*Q*1 *D*1=*Q*3*Q*1

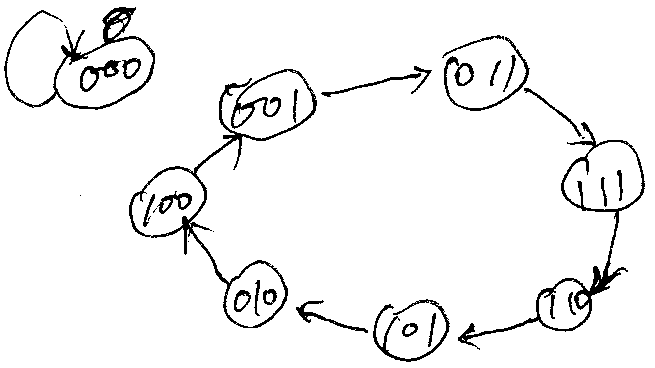
（2）列次态真值表，作状态表和状态图

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| *Q*3 | *Q*2 | *Q*1 | *D*3 | *D*2 | *D*1 |  |  |  |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 0 |

状态表

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| *Q*3 | *Q*2 | *Q*1 |  |  |  |
| 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 0 |

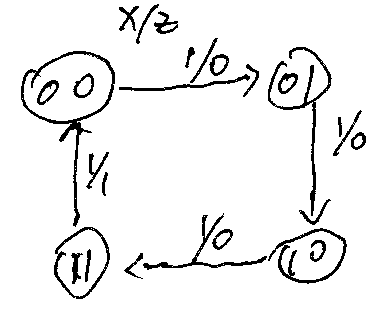
状态图如下：



（3）功能：该电路是一个模7计数器，电路不能自启动，没有自恢复功能。（或者说该电路是一个1110100序列信号发生器）

五、解答（14分）

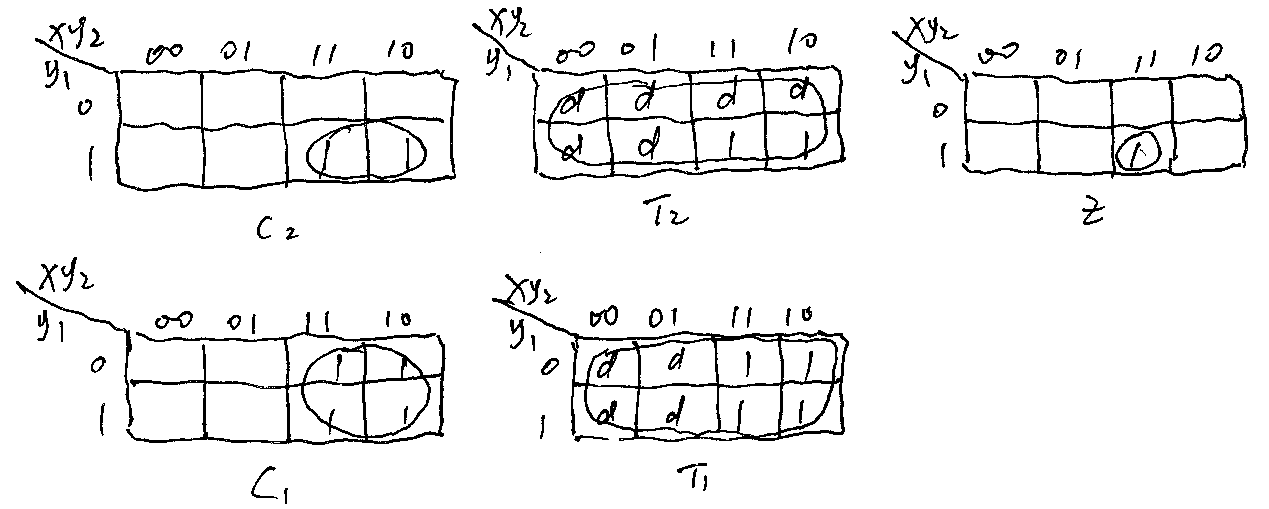
1．作状态图和状态表



|  |  |  |
| --- | --- | --- |
| 现态 | |  |
| *y*2 | *y*1 | *x*=1 |
| 0 | 0 | 01/0 |
| 0 | 1 | 10/0 |
| 1 | 0 | 11/0 |
| 1 | 1 | 00/1 |

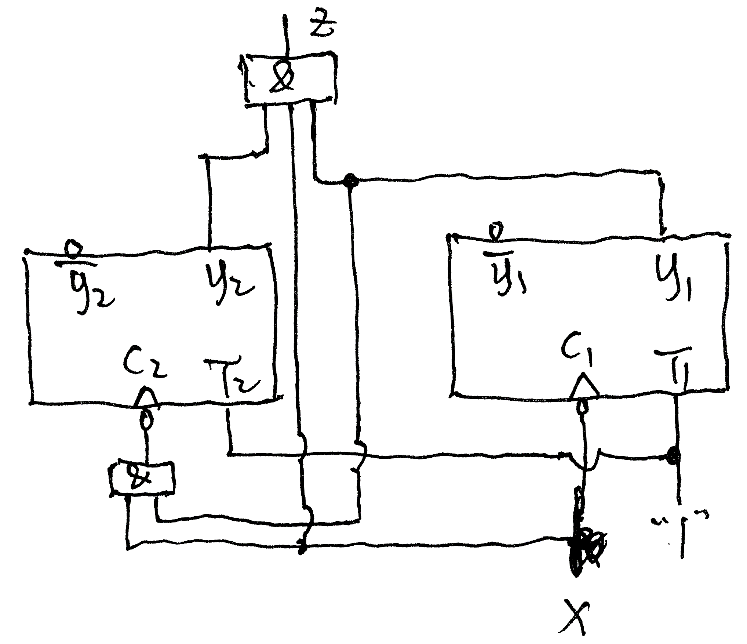
2．列次态真值表，确定激励函数和输出函数。

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输 入 | | | 次 态 | | 输出 | 激 励 | | | |
| *x* | *y*2 | *y*1 |  |  | *z* | *C*2 | *T*2 | *C*1 | *T*1 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | d | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 0 | 0 | d | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |



化简得：*C*2=*xy*1，*T*2=1，*C*1=*x*，*T*1=1，*z*=*xy*2*y*1。

（3）画逻辑图



六、解答（每小题12分，共24分）

1．（1）列全加器真值表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| *Ai* | *Bi* | *Ci*-1 | *Si* | *Ci* |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

（2）写最小项表达式

*Si*=∑m（1、2、4、7）

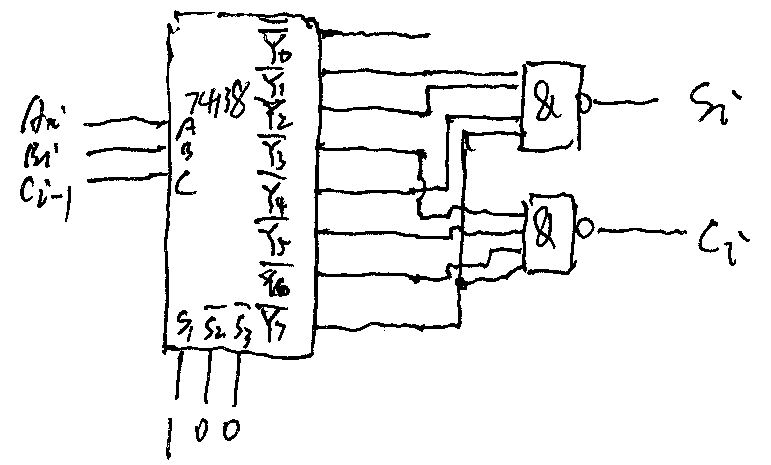
*Ci*=∑m（3、5、6、7）

（3）变换表达式形式





（4）画逻辑图



2．（1）*QDQCQBQA*：寄存器状态输出端；*DCBA*：并行数据输入端；*DR*：右移串行数据输入端；*DL*：左移串行数据输入端；：清零端，=0时，*QDQCQBQA*=0000，正常工作时=1；*CP*：工作脉冲；*S*1*S*0：工作方式控制端，可控制实现右移、左移、并入、保存。

（2）a、因为序列周期*TP*=8，所以需要移位寄存器的级数*n*≥3，假设选择*QDQCQB*三位，要产生的序列从右移串行输入端*DR*输入，在*CP*作用下，经*QDQCQB*右移从*QB*端一位一位串行输出，*QDQCQB*的初态应为最先输出的右边三位，即000。

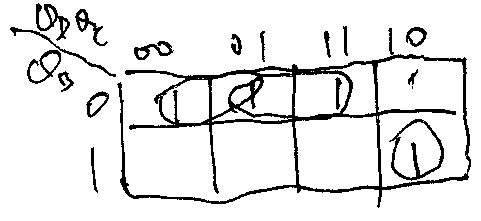
b、令=0，使*QDQCQB*=000。

c、再令=1，*S*1*S*0=01，在*CP*作用下，*DR*端依次输入10111000，即可从*QB*端循环产生11101000序列。

d、求出*DR*表达式

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| *CP* | *DR* | *QD* | *QC* | *QB* |
| 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 2 | 1 | 0 | 1 | 0 |
| 3 | 1 | 1 | 0 | 1 |
| 4 | 1 | 1 | 1 | 0 |
| 5 | 0 | 1 | 1 | 1 |
| 6 | 0 | 0 | 1 | 1 |
| 7 | 0 | 0 | 0 | 1 |

*DR*=∑m（0、2、5、6）





e、画电路图

