

SN360/SN361 Introduction à la conception des circuits numériques

Module « Systèmes matériels et logiciels »

Crédit SN360 : 4/4 / Crédit SN361 : 2/6

Vincent Berouille

Bureau : D202

vincent.berouille@esisar.grenoble-inp.fr

Présentation des intervenants

- Vincent Beroulle, responsable du cours
 - Enseignant/Chercheur à l'Esisar et au laboratoire LCIS (Laboratoire de Conception et d'Intégration des Systèmes) depuis 2002
 - Ingénieur Grenoble INP, agrégé en génie électrique de l'école normale supérieure de Cachan, Docteur en microélectronique de l'Univ. de Montpellier
 - Directeur du LCIS
 - Activités de recherche sur la sécurité et la sûreté des circuits et systèmes intégrés

Informations préliminaires

- Objectif du cours :
 - *Être capable de concevoir des circuits numériques simples sur composants reconfigurables (FPGA)*
 - *Être capable d'utiliser les principaux HDL : VHDL (écriture) et Verilog (lecture)*
 - *Comprendre le fonctionnement des composants élémentaires d'un processeur*

Informations préliminaires

- Volumes horaires :
 - SN360 : 8 CM / 6 TD / 3 TP
 - SN361 : 6 CM / 6 TD (dont 2 TD => 2 CM) / 4 TP (dont 1 TP => 2 TD)
- Nombreux documents sur Chamilo
 - Polycopiés du cours
 - Syntaxe VHDL et syntaxe Verilog
 - Sujets de TD et de TP
 - Corrections des examens des années précédents
 - QCMs
- Autre :
 - Chaine Youtube (VHDL, en anglais) : LBEbooks

Informations préliminaires

- Méthode d'évaluation :
 - 1 examen écrit de 2h, 80% de la note, seuls documents autorisés « Syntaxe VHDL et Verilog », sans calculatrice
 - note de 2^{ème} session remplace uniquement la note examen de 1^{ère} session
 - Contrôle continu 20% :
 - Moyenne des QCM, 10% de la note
 - Moyenne des TP, 10% de la note (comptes rendus de TP et **travaux à la maison à préparer avant les séances**)
 - Non rattrapable
- $N1 = 0,2.CC + 0,8.E1$
- $N2 = \text{Max}(E2; 0,2.CC + 0,8.E2)$

Informations préliminaires

- Version gratuite du simulateur et de l'outil de synthèse logique (*AMD Vivado Design Suite: Standard Edition*) disponible sur le site AMD

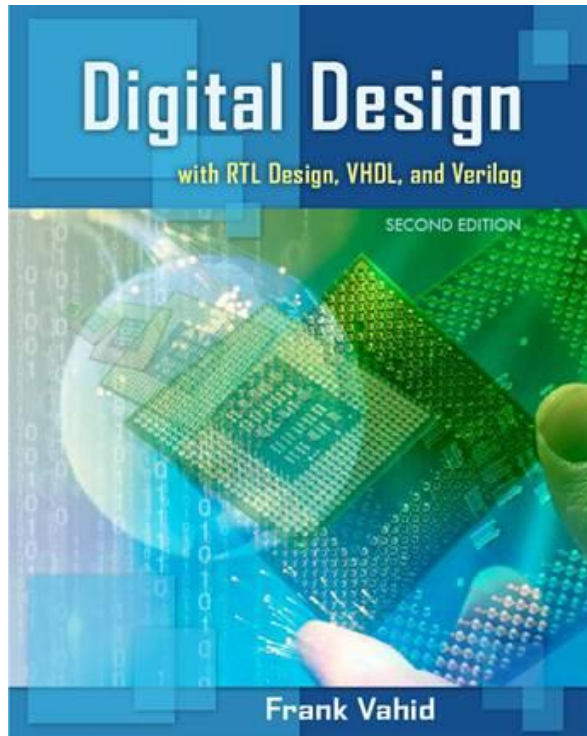
Informations préliminaires

- Les QCM sont à faire régulièrement sur Chamilo (de 1 à 2 semaine de délai, cf. explications orales données en cours)

Informations préliminaires

Ce cours a été créé à partir du livre et des transparents du cours [« Digital Design » de Frank Vahid](#)

Le cours original de Frank Vahid est disponible sur Chamilo



Digital Design

Slides to accompany the textbook *Digital Design, with RTL Design, VHDL, and Verilog*, 2nd Edition,
by Frank Vahid, John Wiley and Sons Publishers, 2010.

I Introduction

Plan

I Introduction

II Représentation des nombres en binaire

III Circuits combinatoires

IV Circuits séquentiels

V Machine à états finis

VI Complément sur les HDL

VII Circuits reconfigurables (optionnel)

I Introduction


Plan

- **I Introduction**

- **Pourquoi utiliser les composants reconfigurables?**
- Architecture des FPGA SRAM
- HDL & flot de conception

I Introduction

Contexte « systèmes embarqués »

- **Fortes contraintes** : miniaturisation, coût, performances temporelles, consommation...
- Réduction du "**Time-To-Market**« (TTM)
- Conception à se de composants reconfigurables :
 - **HDL** : « **H**ardware **D**escription **L**anguage
 - VHDL: Very High Speed Integrated Circuit HDL
 - Verilog
 - Simulation et synthèse automatique de circuits numériques

I Introduction

Pourquoi utiliser la logique reconfigurable?

- La logique reconfigurable offre **plus de performances** qu'un processeur
- Mais **moins de flexibilité**

Processeurs

Exécution temporelle

- Séquentiel

✓ Flexibilité

✗ Performance

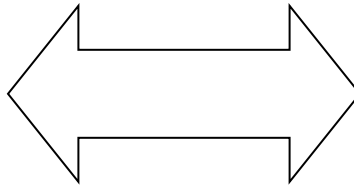
Logique reconfigurable

Exécution spatiale

- Parallélisme

✓ Performance

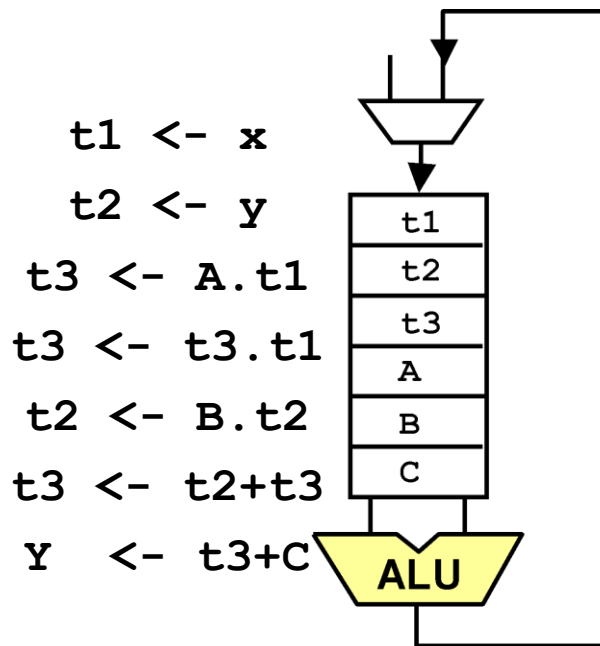
✗ Flexibilité



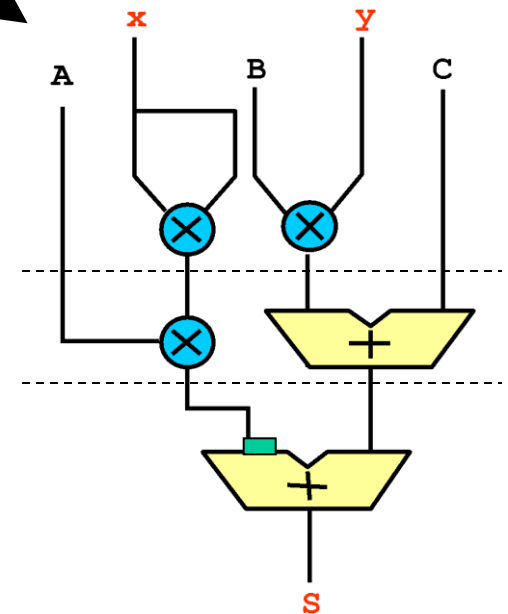
I Introduction

Pourquoi utiliser la logique reconfigurable?

$$S = Ax^2 + By + C$$



#CYCLES: 7



#CYCLES: 3

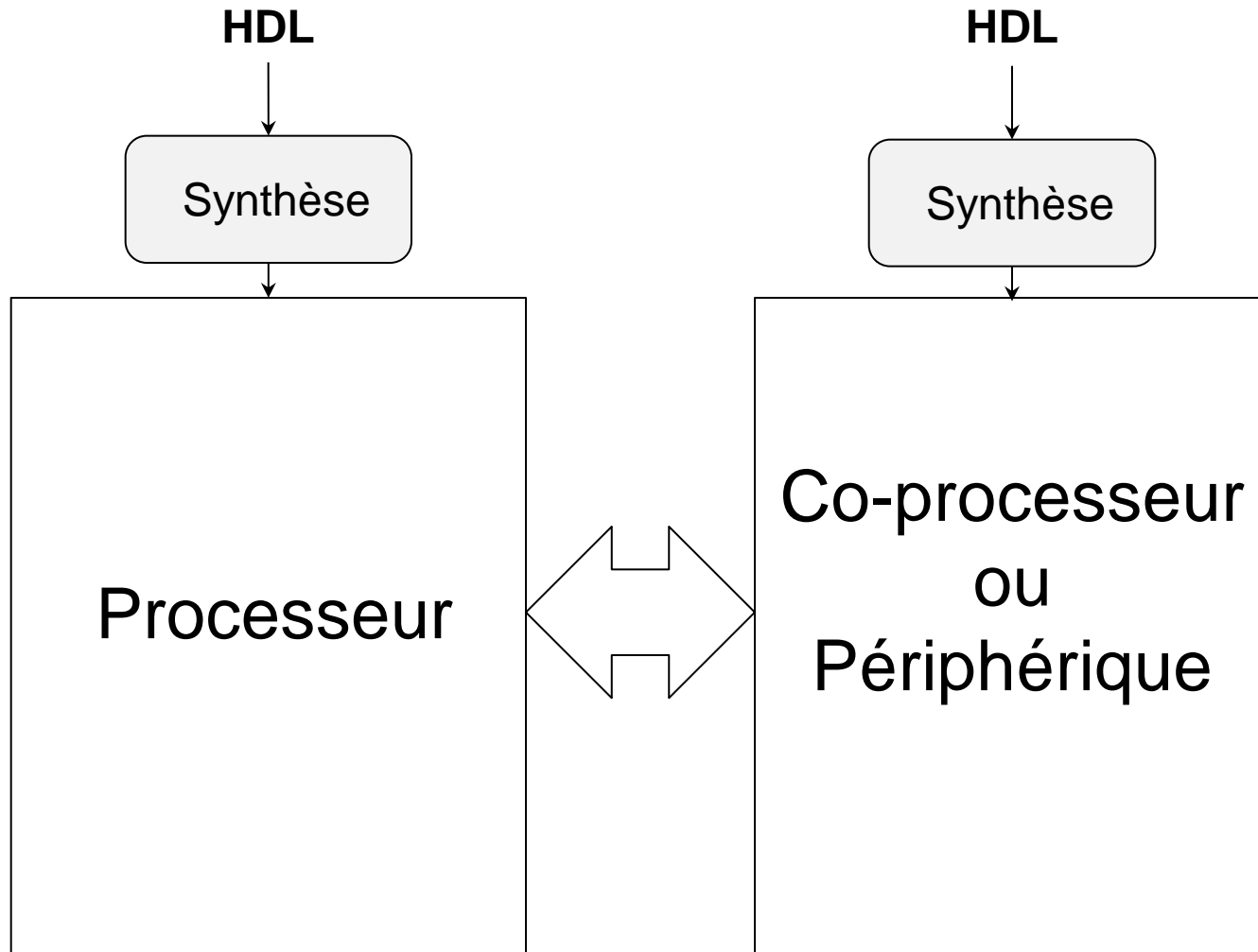
I Introduction

Quand utiliser la logique reconfigurable?

- Choix entre processeur (logique programmée, logiciel) et composant reconfigurable (logique câblée) en fonction des délais entre les événements :
 - ps – ns : matériel (FPGA)
 - μ s : matériel ou logiciel
 - ms : logiciel

I Introduction

Quand utiliser les HDL?



I Introduction

Cibles des outils de synthèse

- Les HDL permettent de concevoir des systèmes sur des cibles matérielles différentes
 - Circuit reconfigurable (CPLD/FPGA) : de l'ordre de 10M à 100M de transistors
 - Circuit non reconfigurable (ASIC/MPSoC : processeurs, multi-cores) : de 100M à 10Md de transistors
 - Circuit mixte (SoPC ou eFPGA) mélangeant parties reconfigurables et non reconfigurables (10Md à 50Md de transistors)

I Introduction

Cibles des outils de synthèse logique

Glossaire :

- CPLD : Complex Programmable Logic Device
- FPGA : Field Programmable Gate Array
- ASIC : Application Specific Integrated Circuit
- MPSoC : Multi-Processor System-on-Chip
- SoPC : System-on-Programmable-Chip
- eFPGA : embedded FPGA

I Introduction

Plan

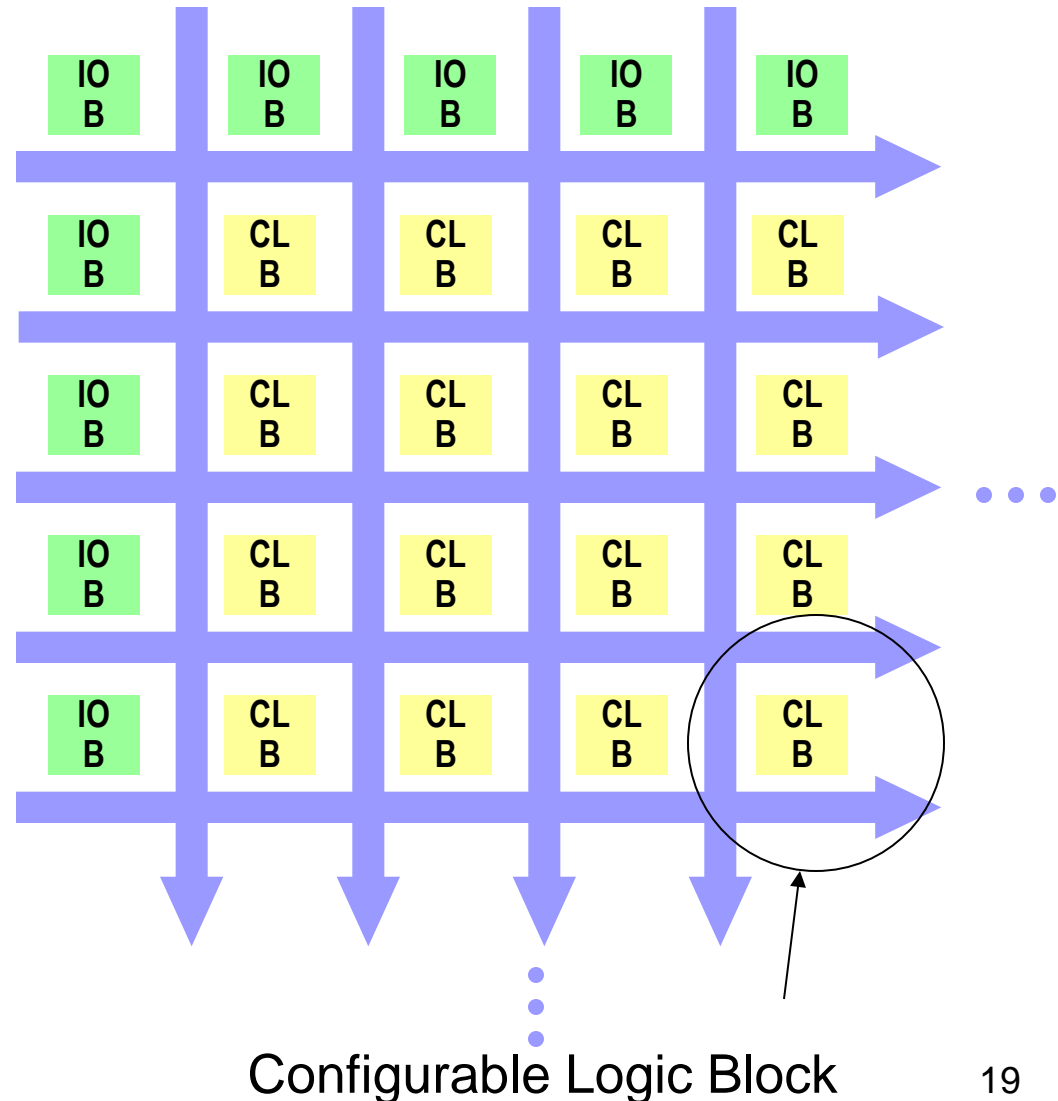
- **I Introduction**

- Pourquoi utiliser les composants reconfigurables?
- **Architecture des FPGA SRAM**
- VHDL flot de conception

I Introduction

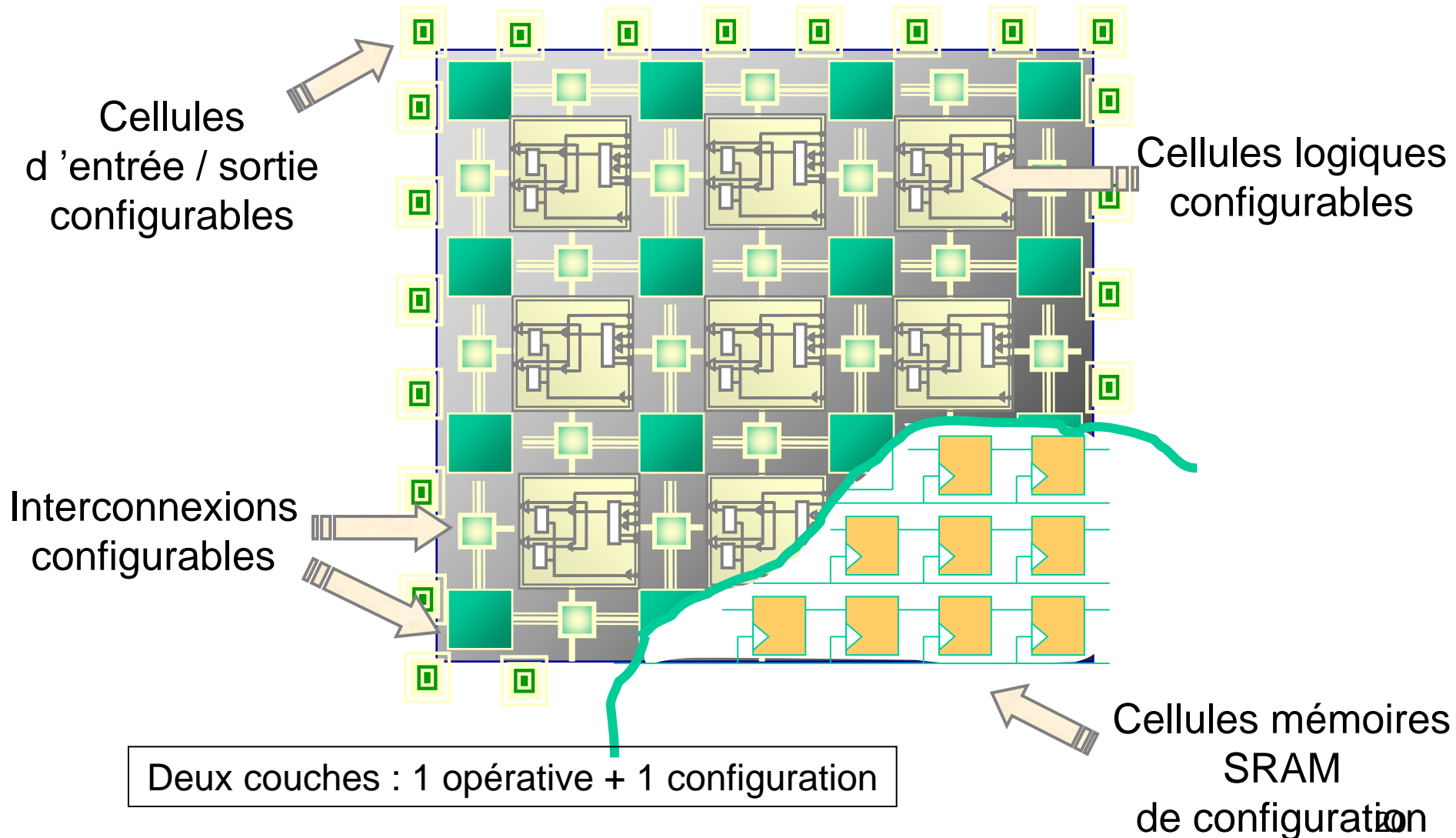
Architecture FPGA SRAM

- «**Field Programmable Gate Array** »
 - Tableau de blocs logiques programmables interconnectés entre eux (et vers les entrées/sorties) par des canaux de routage



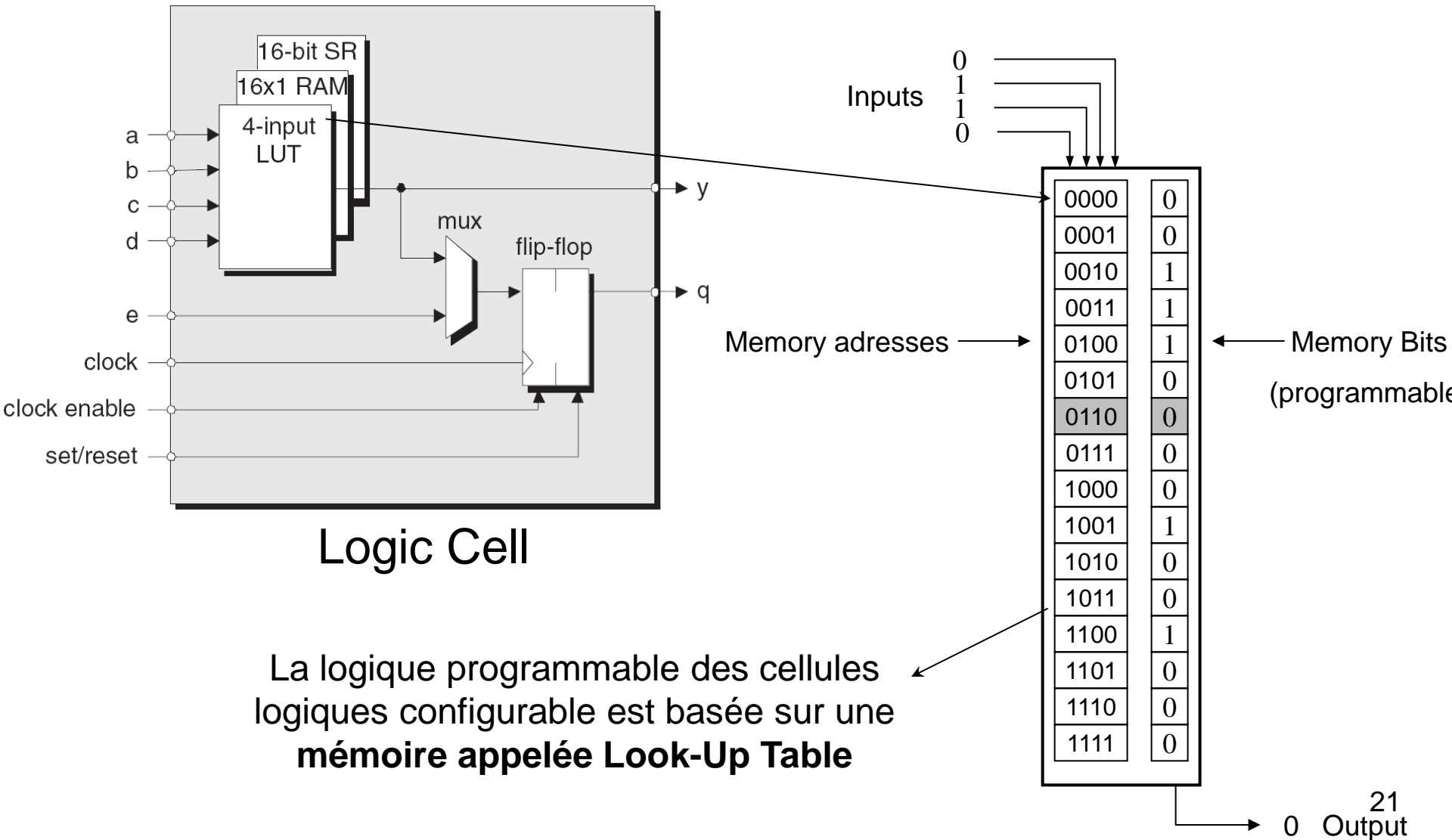
I Introduction

Architecture FPGA SRAM



I Introduction

Architecture FPGA SRAM



I Introduction

Plan

- **I Introduction**

- Pourquoi utiliser les composants reconfigurables?
- Architecture des FPGA
- **HDL et flot de conception**

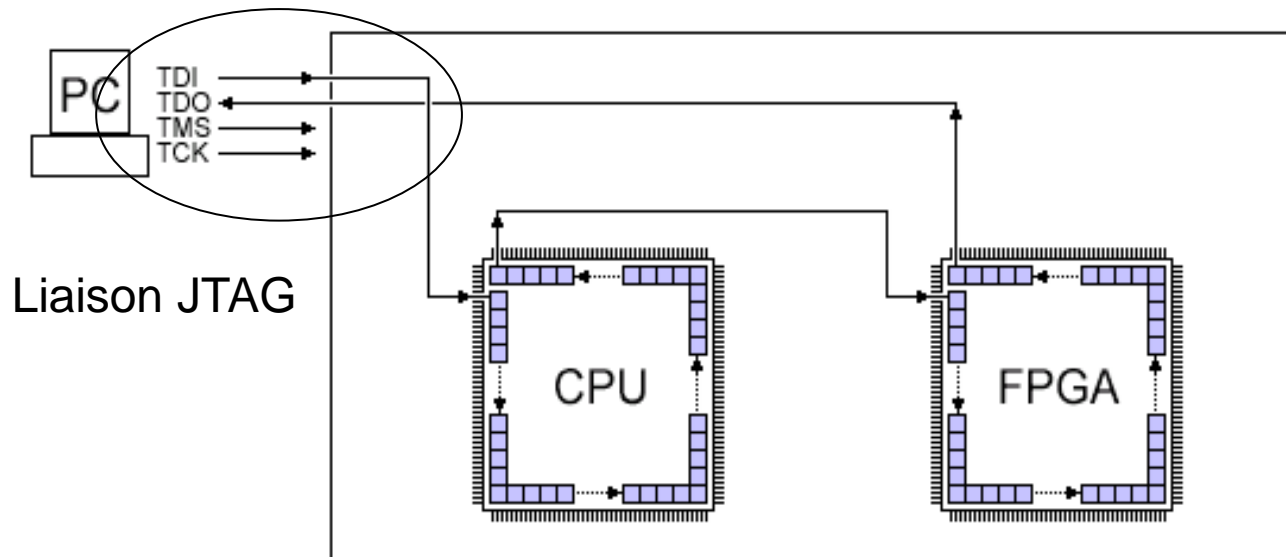
Flot de conception



I Introduction

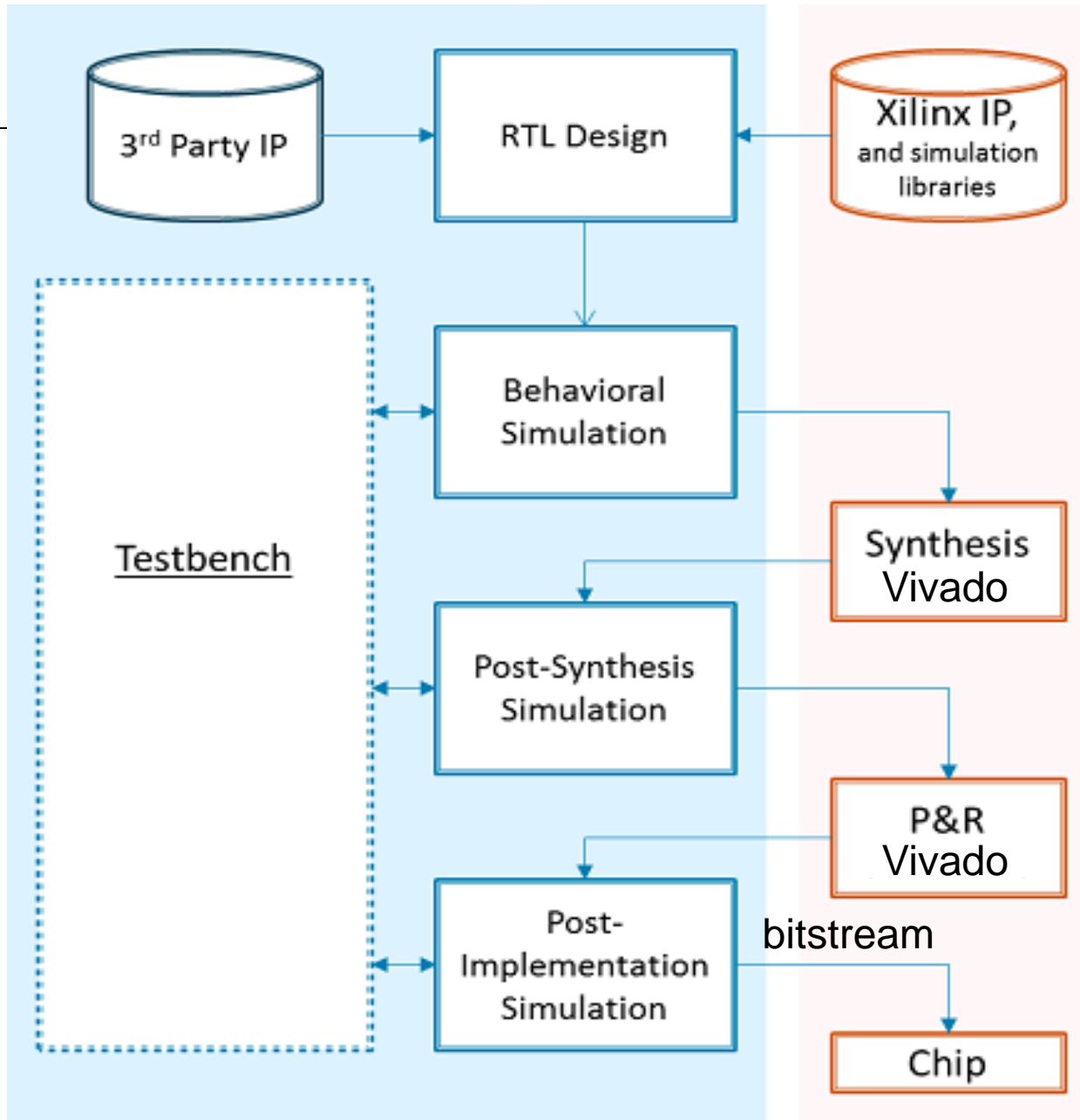
6 Programmer le composant

- La synthèse produit un fichier binaire (bitstream)
- Un PC permet de programmer le composant reconfigurable



Design and Simulation

AMD Tools



Faire le QCM : QCM1 SN360/SN361 Introduction