

计算机组成原理实验指导

(学生用书)

第一节 TEC—4 计算机组成原理实验系统

TEC—4 计算机组成原理实验系统由北京邮电大学计算机学院、清华同方教学仪器设备公司、深圳拓普威电子有限公司联合研制。它是一个 8 位计算机模型实验系统，可用于大专、本科、硕士研究生计算机组成原理课程、计算机系统结构课程的教学实验，对提高学生的动手能力、提高学生对计算机整体和各组成部分的理解、提高学生的计算机系统综合设计能力都会有很大帮助。

一、TEC—4 计算机组成原理实验系统特点

1. 计算机模型简单、实用，运算器数据通路、控制器、控制台各部分划分清晰。
2. 计算机模型采用了数据总线和指令总线双总线体制，能够实现流水控制。
3. 控制器有微程序控制器或者硬布线控制器两种类型，每种类型又有流水和非流水两种方案。
4. 寄存器堆由 1 片 ispLSI1016 组成，运算器由 1 片 ispLSI1024 组成，设计新颖。
5. 实验台上包括了 1 片在系统编程芯片 ispLSI1032，学生可用它实现硬布线控制器。
6. 该系统能做运算器组成、双端口存储器、数据通路、微程序控制器、中断、CPU 组成与机器指令执行、流水微程序控制器、硬布线控制器、流水硬布线控制器等多种实验。
7. 电源部分采用模块电源，重量轻，具有抗电源对地短路能力。
8. 采用自锁紧累接接线方式，接线可靠。

二、TEC—4 计算机组成原理实验系统的组成

TEC—4 计算机组成原理实验系统由下述六部分组成：

1. 控制台
2. 数据通路
3. 控制器
4. 用户自选器件试验区
5. 时序电路
6. 电源部分

下面分别对各组成部分予以介绍。

三、电源

电源部分由一个模块电源、一个电源插座、一个电源开关和一个红色指示灯组成。电源模块通过四个螺栓安装在实验台下面。它输出+5V 电压，最大负载电流 3 安培，内置自恢复保险功能，具有抗+5V 对地短路能力。电源插座用于接交流 220 伏市电，插座内装有保险丝。电源开关用于接通或者断开交流 220 伏市电。当电源模块输出+5V 时，点亮+5V 红色指示灯。

四、时序发生器

时序发生器产生计算机模型所需的时序。时序电路由一个 1MHz 晶体振荡器、2 片 GAL22V10 (U6 和 U7) 组成，位于控制存储器的右边。根据本机设计，执行一条微指令需要 4 个时钟周期 T1、T2、T3、T4，执行一条指令通常需要取指、送操作数、运算、写结果四个节拍，因此本机的基本时序如下：

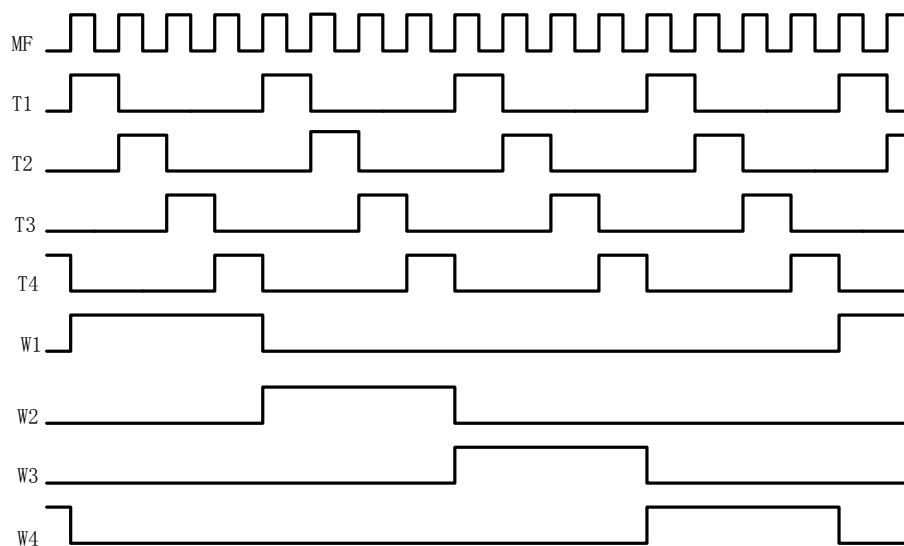


图3 基本时序图

图中，MF 是晶体振荡器产生的 1MHz 基本时钟，T1、T2、T3、T4 是数据通路和控制器中各寄存器的时钟脉冲，印制板上已将它们和有关的寄存器连接。T1、T2、T3、T4 既供微程序控制器时使用，也供硬布线控制器使用。W1、W2、W3、W4 只供硬布线控制器作指令节拍信号使用。

五、数据通路

数据通路的设计是 TEC—4 计算机组成原理实验系统最有特色的部分。首先它采用了数据总线和指令总线双总线形式，使得流水实验能够实现。它还使用了大规模在系统可编程器件作为运算器和寄存器堆，使得设计简单明了，可修改性强。数据通路位于实验系统的中部。

图 4 是数据通路总体图, 下面介绍图中个主要部件的作用。

1. 运算器 ALU

运算器 ALU 由一片 ispLSI1024 (U47) 组成，在选择端 S2、S1、S0 控制下，对数据 A 和 B 进行加、减、与、直通、乘五种运算, 功能如下：

表 1 运算器功能表

选 择			操 作
S2	S1	S0	
0	0	0	A & B
0	0	1	A & A (直通)
0	1	0	A + B
0	1	1	A - B
1	0	0	A(低 4 位) X B(低 4 位)

进位 C 只在加法运算和减法运算时产生。加运算中，C 表示进位；减运算中，C 代表借位。加、减运算产生的进位（借位）在 T4 的上升沿送入 C 寄存器保存。与、乘、直通操作

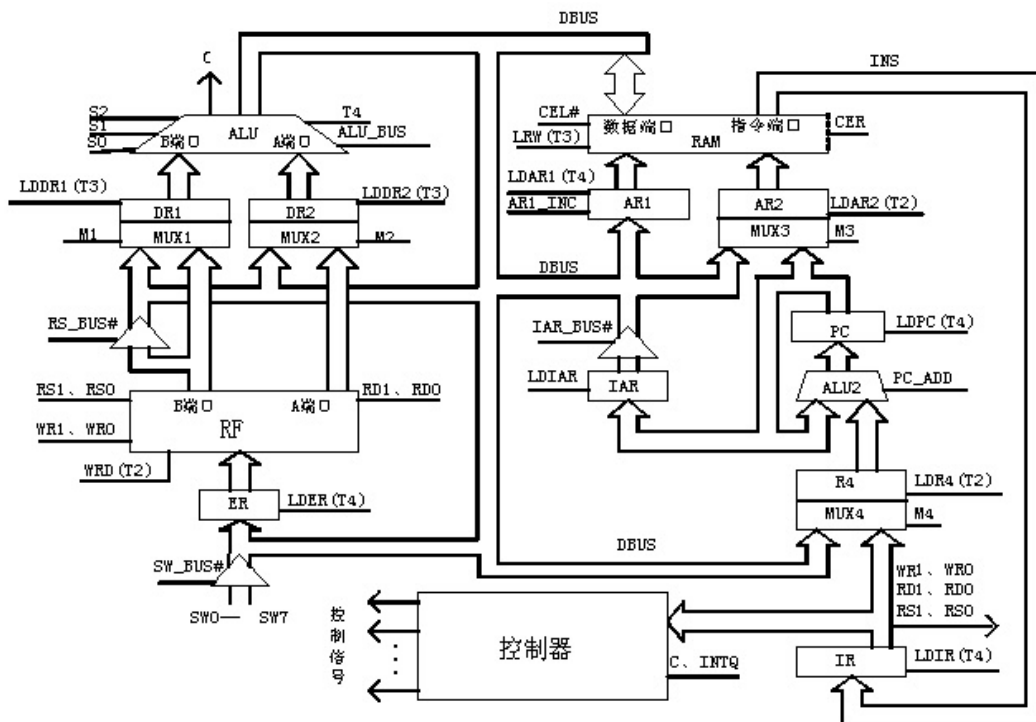


图4 数据通路总体图

不影响进位 C 的状态，即进位 C 保持不变。

当 $ALU_BUS = 1$ 时，运算结果送往数据总线 DBUS。加、减运算产生的进位（借位）C 与控制台的 C 指示灯相连。

2. DR1 和 DR2

DR1 和 DR2 是运算操作数寄存器，DR1 和 ALU 的 B 数据口相连，DR2 和 ALU 的 A 数据口相连。DR1 和 DR2 各由 2 片 74HC298（U23、U24、U21、U22）组成。U23 是 DR1 的低 4 位，U24 是 DR1 的高 4 位；U21 是 DR2 的低 4 位，U22 是 DR2 的高 4 位。当 $M1=0$ 且 $LDDR1=1$ 时，在 T3 的下降沿，DR1 接收来自寄存器堆 B 端口的数据；当 $M1=1$ 且 $LDDR1=1$ 时，在 T3 的下降沿，DR1 接收来自数据总线 DBUS 的数据。当 $M2=0$ 且 $LDDR2=1$ 时，在 T3 的下降沿，DR2 接收来自寄存器堆 A 端口的数据；当 $M2=1$ 且 $LDDR2=1$ 时，在 T3 的下降沿，DR2 接收来自数据总线 DBUS 的数据。

3. 多端口通用寄存器堆 RF

多端口通用寄存器堆 RF 由 1 片 ispLSI1016（U32）组成，它的功能和 MC14580 类似。寄存器堆中包含 4 个 8 位寄存器（R0、R1、R2、R3），有三个控制端口。其中两个端口控制读操作，一个端口控制写操作，三个端口可同时操作。RD1、RD0 选择从 A 端口读出的寄存器，RS1、RS0 选择从 B 端口读出的寄存器，WR1、WR0 选择被写入的寄存器。WRD 控制写操作。当 $WRD = 0$ 时，禁止写操作；当 $WRD = 1$ 时，在 T2 的上升沿将来自 ER 寄存器的数据写入由 WR1、WR0 选中的寄存器。

A 端口的数据直接送往操作数寄存器 DR2，B 端口的数据直接送往操作数寄存器 DR1。除此之外，B 端口的数据还通过 1 片 74HC244（U15）送往数据总线 DBUS。当 $RS_BUS\# = 0$ 时，允许 B 端口的数据送到数据总线 DBUS 上；当 $RS_BUS\# = 1$ 时，禁止 B 端口的数据

送到数据总线 DBUS。

4. 暂存寄存器 ER

暂存寄存器 ER(U14)是 1 片 74HC374, 主要用于暂时保存运算器的运算结果。当 LDER = 1 时, 在 T4 的上升沿, 将数据总线 DBUS 上的数据打入暂存寄存器 ER。ER 的输出送往多端口通用寄存器堆 RF, 作为写入数据使用。

5. 开关寄存器 SW_BUS

开关寄存器 SW_BUS(U38)是 1 片 74HC244, 用于将控制台开关 SW7—SW0 的数据送往数据总线 DBUS。当 SW_BUS# = 1 时, 禁止开关 SW7—SW0 的数据送往数据总线 DBUS; 当 SW_BUS# = 0 时, 允许开关 SW7—SW0 的数据送往数据总线 DBUS。

6. 双端口存储器 RAM

双端口存储器由一片 IDT7132(U36)及少量附加控制电路组成。IDT7132 是 2048 字节的双端口静态随机存储器, 本机实际使用 256 字节。IDT7132 两个端口可同时进行读、写操作。在本机中, 左端口的数据连接数据总线 DBUS, 可进行读、写操作, 右端口数据和指令总线 INS 连接, 输出到指令寄存器 IR, 作为只读端口使用。存储器 IDT7132 有 6 个控制引脚: CEL#、LRW、OEL#、CER#、RRW、OER#。CEL#、LRW、OEL#控制左端口读、写操作, CER#、RRW、OER#控制右端口读、写操作。CEL#为左端口选择引脚, 低有效, 为高时禁止左端口操作; LRW 为高时, 左端口进行读操作, LRW 为低时, 左端口进行写操作; OER#为低时, 将左端口读出的数据放到数据总线 DBUS 上。CER#、RRW、OER#控制右端口读、写操作的方式与 CEL#、LRW、OER#控制左端口读、写操作的方式类似, 不过右端口读出的数据放到指令总线上而不是数据总线上。本机设计中, OER#已固定接地, RRW 固定接高电平, CER#由 CER 反相产生。当 CER=1 时, 右端口读出数据, 并放到指令总线 INS 上; 当 CER=0 时, 禁止右端口操作。左端口的 OEL#由 LRW 经反相产生, 不需单独控制。当 CEL#=0 且 LRW=1 时, 左端口进行读操作; 当 CER#=0 且 LRW=0 时, 在 T3 的上升沿开始进行写操作, 将数据总线 DBUS 上的数据写入存储器。

7. 地址寄存器 AR1 和 AR2

地址寄存器 AR1(U37)和 AR2(U27、U28)提供双端口存储器的地址。AR1 是 1 片 GAL22V10, 具有加 1 功能, 提供双端口存储器左端口的地址。AR1 从数据总线 DBUS 接收数据。AR1 的控制信号是 LDAR1 和 AR1_INC。当 AR1_INC = 1 时, 在 T4 的上升沿, AR1 的值加 1; 当 LDAR1 = 1 时, 在 T4 的上升沿, 将数据总线 DBUS 的数据打入地址寄存器 AR1。AR2 由 2 片 74HC298 组成, 有两个数据输入端, 一个来自程序计数器 PC, 另一个来自数据总线 DBUS。AR2 的控制信号是 LDAR2 和 M3。M3 选择数据来源, 当 M3 = 1 时, 选中数据总线 DBUS; 当 M3 = 0 时, 选中程序计数器 PC。LDAR2 控制何时接收地址, 当 LDAR2 = 1 时, 在 T2 的下降沿将选中的数据源上的数据打入 AR2。

8. 程序计数器 PC、地址加法器 ALU2、地址缓存器 R4

程序计数器 PC、地址加法器 ALU2、地址缓存器 R4 联合完成三种操作: PC 加载, PC+1, PC+D。R4 是一个由 2 片 74HC298 (U25、U26) 构成的具有存储功能的两路选择器。当 M4 = 1 时, 选中数据总线 DBUS; 当 M4 = 0, 从指令寄存器 IR 的低 4 位 IR0—IR3 接收数据。当 LDR4 = 1 时, 在 T2 的下降沿将选中的数据打入 R4。ALU2 由 1 片 GAL22V10 (U17) 构成, 当 PC_ADD = 1 时, 完成 PC 和 IR 低 4 位的相加, 即 PC 加 D。程序计数器 PC 是 1 片 GAL22V10 (U18), 当 PC_INC = 1 时, 完成 PC+1; 当 PC_ADD = 1 时, 与 ALU2 一起完成 PC+D 的功能; 当 LDPC=1 时,

接收从 ALU2 和 R4 来的地址，实际是接收来自数据总线 DBUS 的地址，这些新的程序地址在 T4 的上升沿打入 PC 寄存器。

9. 指令寄存器 IR

指令寄存器 IR 是一片 74HC374 (U20)。它的数据端从双端口存储器接收数据（指令）。当 LDIR = 1 时，在 T4 的上升沿将来自双端口存储器的指令打入指令寄存器 IR 保存。指令的操作码部分送往控制器译码，产生各种所需的控制信号。大多数情况下，指令的操作数部分应连到寄存器堆（用户自己连接），选择参与运算的寄存器。在某些情况下，指令的操作数部分也参与新的 PC 的计算。

本实验系统设计了 12 条基本的机器指令，均为单字长（8 位）指令。指令功能及格式如表 2 所示。表 2 中的 X 代表随意值，RS1、RS0 指的是寄存器堆的 B 端口选择信号 RS1、RS0，RD1、RD0 指的是寄存器堆的 A 端口选择信号 RD1、RD0，不过由于运算结果需写回，因此它也同时指 WR1、WR0，用户需将它们对应连接。另一点需说明的是，为了简化运算，指令 JC D 中的 D 是一个 4 位的正数，用 D3 D2 D1 D0 表示。

实验系统虽仅设计了 12 条基本的机器指令，但代表了计算机中常用的指令类型。必要时用户可扩充到 16 条指令或者重新设计指令系统。

10. 中断地址寄存器 IAR

中断地址寄存器 IAR (U19) 是一片 74HC374，用于保存中断发生时的断点地址。它直接使用 LDIAR 信号作为时钟脉冲。当 IAR_BUS# = 0 时，它将断点地址送到数据总线 DBUS 上，

表 2 机器指令格式

名称	助记符	功能	指令格式							
			R7	R6	R5	R4	R3	R2	R1	R0
加法	ADD Rd, Rs	Rd+Rs→Rd	0	0	0	0	RS1	RS0	RD1	RD0
减法	SUB Rd, Rs	Rd-Rs→Rd	0	0	0	1	RS1	RS0	RD1	RD0
乘法	MUL Rd, Rs	Rd*Rs→Rd	0	0	1	0	RS1	RS0	RD1	RD0
逻辑与	AND Rd, Rs	Rd&Rs→Rd	0	0	1	1	RS1	RS0	RD1	RD0
存数	STA Rd, [Rs]	Rd→[Rs]	0	1	0	0	RS1	RS0	RD1	RD0
取数	LDA Rd, [Rs]	[Rs]→Rd	0	1	0	1	RS1	RS0	RD1	RD0
无条件转移	JMP [Rs]	[Rs]→PC	1	0	0	0	RS1	RS0	X	X
条件转移	JC D	若 C=1 则 PC+D→PC	1	0	0	1	D3	D2	D1	D0
停机	STP	暂停运行	0	1	1	0	X	X	X	X
中断返回	IRET	返回断点	1	0	1	0	X	X	X	X
开中断	INTS	允许中断	1	0	1	1	X	X	X	X
关中断	INTC	禁止中断	1	1	0	0	X	X	X	X

以便使用控制台上的数据指示灯观察断点地址。

以上介绍了数据通路的基本组成。数据通路所需的各控制信号，除了 T1、T2、T3、T4 已在印制板上连接好以外，其余的控制信号在数据通路的下方都有插孔引出，实验时只要将它们和控制器产生的对应信号正确连接即可。实验中提供的电路图上，凡引出、引入线端带有短粗黑标记的信号，都是需要用户自己连接的信号。

六、控制器

控制器位于本实验系统的中上部，产生数据通路操作所需的控制信号。出厂时，提供了一个微程序控制器，使用户能够进行基本的计算机组成原理实验。在进行流水微程序控制器实验，硬布线控制器实验和流水硬布线控制器实验等课程设计时，用户可设计自己的控制器，部分或者全部代替出厂时提供的控制器。图 5 是控制器的框图。

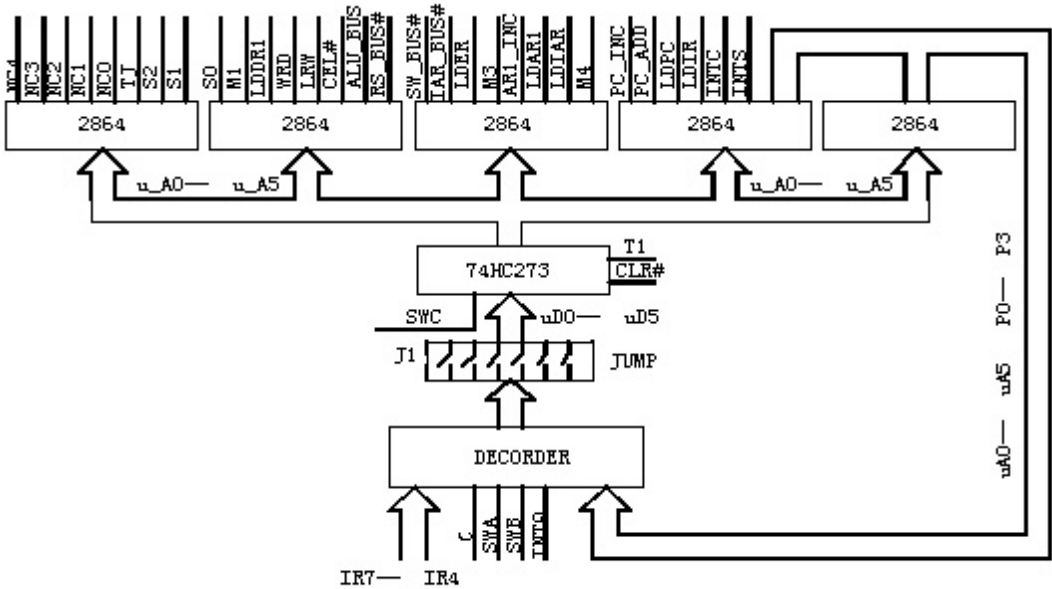


图5 控制器框图

1. 控制存储器

控制存储器由 5 片 28C64 (U8、U9、U10、U11、U12) 组成。28C64 是电擦除的可编程 ROM，存储容量为 8K 字节，本实验系统仅使用了 128 字节。微指令格式采用全水平型，微指令字长 35 位。其中顺序控制部分 10 位：后继微地址 $\mu A0—\mu A5$ ，判别标志 P0、P1、P2、P3；操作控制字段 25 位，全部采用直接表示法，用于控制数据通路的操作。

标志位 P3 和控制台开关 SWB、SWA 结合在一起确定微程序的分支，完成不同的控制台操作。标志位 P2 与指令操作码 (IR 的高 4 位 IR4、IR5、IR6、IR7) 结合确定微程序的分支，转向各种指令的不同微程序流程。标志位 P1 标志一条指令的结束，与中断请求信号 INTQ 结合，实现对程序的中断处理。标志位 P0 与进位标志 C 结合确定微程序的分支，实现条件转移指令。

操作控制字段 25 位，全部采用直接表示法，控制数据通路的操作。在设计过程中，根据微程序流程图对控制信号行了适当的综合与归并，把某些在微程序流程图中作用相同或者类似的信号归并为一个信号。下面列出微程序控制器提供的控制信号。信号名带后缀#者为低电平有效，否则为高电平有效。

INTS	置中断允许标志 INTE 为 1。
INTC	清除中断允许标志 INTE。
LDIR (CER)	为 1 时，允许对 IR 加载，此信号也可用于作为双端口存储器右端口选择 CER。
LDPC (LDR4)	为 1 时，允许对程序计数器 PC 加载，此信号也可用于作为 R4 的加载允许信号 LDR4。
PC_ADD	为 1 时，进行 PC+D 操作。
PC_INC	为 1 时，进行 PC+1 操作。
M4	当 M4 = 1 时，R4 从数据总线 DBUS 接收数据；当 M4=0 时，R4 从指

	令寄存器 IR 接收数据。
LDIAR	为 1 时, 对中断地址寄存器 IAR 加载。
LDAR1 (LDAR2)	为 1 时, 允许对地址寄存器 AR1 加载, 此信号也可用于作为允许对地址寄存器 AR2 加载。
AR1_INC	为 1 时, 允许进行 AR1+1 操作。
M3	当 M3 = 1 时, AR2 从数据总线 DBUS 接收数据; 当 M3 = 0 时, AR2 从程序计数器 PC 接收数据。
LDER	为 1 时, 允许对暂存寄存器 ER 加载。
IAR_BUS#	低有效, 为 0 时将中断地址寄存器 IAR 送数据总线 DBUS。
SW_BUS#	低有效, 为 0 时将控制台开关 SW7—SW0 送数据总线 DBUS。
RS_BUS#	低有效, 为 0 时将寄存器堆 RF 的 B 端口送数据总线 DBUS。
ALU_BUS	为 1 时, 将 ALU 中的运算结果送数据总线 DBUS。
CEL#	低有效, 为 0 时允许双端口存储器左端口进行读、写操作。
LRW	当 LRW = 1 且 CEL# = 0 时, 双端口存储器左端口进行读操作; 当 LRW = 0 且 CEL# = 0 时, 双端口存储器左端口进行写操作。
WRD	为 1 时, 允许对寄存器堆 RF 进行写操作。
LDDR1 (LDDR2)	为 1 时允许对操作数寄存器 DR1 加载。此信号也可用于作为对操作数寄存器 DR2 加载。
M1 (M2)	当 M1 = 1 时, 操作数寄存器 DR1 从数据总线 DBUS 接收数据; 当 M1 = 0 时, 操作数寄存器 DR1 从寄存器堆 RF 接收数据。此信号也可用于作为操作数寄存器 DR2 的数据来源选择信号。
S2、S1、S0	选择运算器 ALU 的运算类型。
TJ	暂停微程序运行。
NC0、NC1、NC2 、NC3、NC4	备用

上述控制信号连同时序电路提供的时序、控制信号位于控制器的下边。

2. 微地址寄存器 μ AR (74HC273)

微地址寄存器 μ AR (74HC273) 对控制存储器提供微程序地址。当 CLR# = 0 时, 将其复位到零, 使微程序从 000000B 地址开始执行。在 T1 的上升沿将新的微程序地址 μ D0— μ D5 打入微地址寄存器 μ AR。控制台开关 SWC 直接连到 74HC273, 作为 μ D6, 用于实现读寄存器操作 KRR。

3. 跳转开关 JUMP

这是一组 6 个跳线开关 (J1)。当用短路子将它们连通时, 微地址寄存器 μ AR 从本实验系统提供的微程序地址译码电路得到新的微程序地址 μ D0— μ D5。当他们被断开时, 用户提供自己的新微程序地址 μ D0— μ D5。这样用户能够使用自己设计的微程序地址译码电路。

4. 微程序地址译码电路 DECORDER

微程序地址译码电路 DECORDER 产生后继微程序地址, 它由 2 片 74HC32 (U2、U3) 和 2 片 74HC08 (U4、U5) 构成。微程序地址译码电路数据来源是: 控制存储器产生的后继微程序地址 μ A0— μ A5, 控制存储器产生的标志位 P0—P3, 指令操作码 IR4—IR7, 进位标志 C, 中断请求标志 INTQ, 控制台方式标志位 SWA、SWB。

七、控制台

控制台位于 TEC—4 计算机组成原理实验系统的下部，主要由若干指示灯和若干拨动开关组成，用于给数据通路置数、设置控制信号、显示各种数据使用。

1. SW7—SW0

数据开关，直接接到数据通路部分的数据总线 DBUS 上，用于向数据通路中的器件置数。开关拨到上面位置时输出 1，拨到下面位置时输出 0。SW7 是最高位，SW0 是最低位。

2. K15—K0

双位拨动开关。开关拨到上面位置时输出 1，拨到下面位置时输出 0。实验中用于模拟数据通路部分所需的电平控制信号。例如，将 K0 与 LDDR1 连接，则 K0 向上时，表示置 LDDR1 为 1；K0 向下时，表示置 LDDR1 为 0。

3. 数据指示灯 D7—D0

8 个红色发光二极管，用于显示数据总线 DBUS 或者指令寄存器 IR 的状态。D7 是最高位，D0 是最低位。双位开关 IR/DBUS 拨到 IR 位置时，显示指令寄存器 IR 的状态；双位开关 IR/DBUS 拨到 DBUS 位置时，显示数据总线 DBUS 状态。

4. 地址指示灯 A7—A0

8 个绿色发光二极管，用于显示双端口存储器的地址寄存器内容。A7 是最高位，A0 是最低位。双端口存储器 IDT7132 有两个地址端口，地址寄存器 AR1 提供左端口地址 A7L—A0L，地址寄存器 AR2 提供右端口地址 A7R—A0R。当双位开关 AR2/AR1 拨到 AR1 位置时，显示地址寄存器 AR1 的内容；当双位开关 AR2/AR1 拨到 AR2 位置时，显示地址寄存器 AR2 的内容。

5. 微地址指示灯 μ A5— μ A0

6 个黄色发光二极管，用于显示控制存储器的地址 μ A5— μ A0。 μ A5 是最高位， μ A0 是最低位。

6. 其他指示灯 P3、P2、P1、P0、IE、C

6 个黄色发光二极管用于显示 P3、P2、P1、P0、IE、C 的值。P3、P2、P1、P0 是控存的微代码位，用于条件分支产生下一个微地址。C 是加、减运算时产生的进位值。IE 是中断允许标志。当 IE = 1 时，允许中断；当 IE = 0 时，禁止中断。

7. 微动开关 CLR#、QD、INTR

这三个微动开关用于产生 CLR#、QD、INTR 单脉冲。按一次按钮 CLR#，产生一个负的单脉冲 CLR#，对全机进行复位，使全机处于初始状态，微程序地址置为 000000B。CLR#到时序和控制器的连接已在印制板上实现，控制存储器和数据通路部分不使用复位信号 CLR#。按一次 QD 按钮，产生一个正的 QD 启动脉冲。QD 和时序部分的连接已在印制板上实现。按一次 INTR 按钮，产生一个正的单脉冲，可用于作为中断请求信号。INTR 到时序部分的连接已在印制板上实现。这三个单脉冲都有插孔对外输出，供用户设计自己的控制器和时序电路时使用。

8. 单步、单拍、单指开关 DB、DP、DZ

DB（单步）、DP（单拍）、DZ（单指）是三种特殊的非连续工作方式。当 DP = 1 时，计

计算机处于单拍方式，按一次 QD 按钮，每次只执行一条微指令，发送一组 T1、T2、T3、T4 时序脉冲。当 DZ = 1 时，计算机处于单指方式。单指方式只对微程序控制器适用。在单指方式下，按一次 QD 按钮，计算机执行一条指令。当 DB = 1 时，机器处于单步方式。单步方式只对硬布线控制器适用。在单步方式下，按一次启动按钮 QD，发送一组 W1、W2、W3、W4 时序脉冲。在使用硬布线控制器时，每条指令需要一组 W1、W2、W3、W4 时序脉冲，因此单步方式实际上是硬布线控制器下的单指方式。DB、DP、DZ 这三个双位开关，任何时刻都只允许一个开关置 1，决不允许两个或三个开关同时置 1。当 DB=0 且 DP=0 且 DZ=0 时，机器处于连续工作方式。

9. 控制台方式开关 SWC、SWB、SWA

控制台方式开关 SWC、SWB、SWA 定义了 TEC—4 计算机组成原理实验系统的五种工作方式。在出厂时提供的标准控存中，五种工作方式定义如下：

SWC	SWB	SWA	工作方式
0	0	0	PR，启动程序
0	0	1	KRD，读双端口存储器
0	1	0	KWE，写双端口存储器
0	1	1	KLD，加载寄存器堆
1	0	0	KRR，读寄存器堆

在按 CLR#按钮复位后，根据 SWC、SWB、SWA 选择工作方式。

PR 是启动程序方式。在此方式下，首先在 SW7—SW0 指定启动地址，按启动按钮 QD 后，启动程序运行。

KRD 是读双端口存储器方式。在此方式下，(1) 首先在 SW7—SW0 置好存储器地址；按 QD 按钮，则将此地址打入地址寄存器 AR1，并读出该地址存储器内容到数据总线 DBUS。(2) 每按一次 QD 按钮，地址寄存器 AR1 加 1，并读出新地址存储器内容到数据总线 DBUS。依次进行下去，直到按复位按钮 CLR#为止。

KWE 是写双端口存储器方式。在此方式下，(1) 首先在 SW7—SW0 置好存储器地址；按 QD 按钮，则首先将此地址打入地址寄存器 AR1，然后等待输入数据。(2) 在 SW7—SW0 置好数据，按 QD 按钮，首先写数据到 AR1 指定的存储器单元，然后地址寄存器 AR1 加 1，等待新的输入数据。依次进行下去，直到按复位按钮 CLR#为止。

KLD 是加载寄存器堆方式。此方式用于对寄存器堆加载。(1) 首先在 SW7—SW0 置好存储器地址，按 QD 按钮，则将此地址打入地址寄存器 AR1 和地址寄存器 AR2。(2) 在 SW7—SW0 置好数据，数据的低 2 位 D1、D0 为寄存器堆中的寄存器号，按一次 QD 按钮，则写数据到 AR1 指定的存储器单元；然后将写入的数据从右端口读出，并送入指令寄存器 IR。

(3) 在 SW7—SW0 置好数据，该数据为写入寄存器的数据，寄存器号由 IR 低 2 位指定。按 QD 按钮，则首先将此数据写入寄存器 ER，然后将 ER 中的数据写入指定的寄存器。(4) 返回 (2)，依次进行下去，直到按复位按钮 CLR#为止。

KRR 是读寄存器堆方式。此方式用于读寄存器堆中的寄存器。(1) 首先在 SW7—SW0 置好存储器地址，按 QD 按钮，则将此地址打入地址寄存器 AR1 和地址寄存器 AR2。(2) 在 SW7—SW0 置好数据，数据的 D3、D2 位为寄存器堆中的寄存器号，按一次 QD 按钮，则写数据到 AR1 指定的存储器单元；然后将写入的数据从右端口读出，并送入指令寄存器 IR。同时将 IR3、IR2 指定的寄存器送往数据总线 DBUS。拨动开关 IR/DBUS 可看到 IR 的值和 IR 指定的寄存器的值。(3) 返回 (2)，依次进行下去，直到按复位按钮 CLR#为止。

八、用户自选器件试验区

本计算机组成原理实验系统提供了一个用户自选器件试验区，供流水微程序控制器实

验、硬布线控制器实验、流水硬布线控制器实验使用。自选器件试验区包括了 1 个 ispLSI1032 器件及下载插座，把 PC 机和下载插座用出厂时提供的下载电缆相连，在 PC 机上运行 ispEXPERT 软件，即可对 ispLSI1032 器件编程和下载。利用 ispLSI1032 器件，可满足这三个实验中应用的逻辑电路需要。另外，为了增加灵活性和性，用户自选器件试验区还提供了 10 个双列直插插座，其中包括 2 个 24 引脚插座，3 个 20 引脚插座，2 个 16 引脚插座，3 个 14 引脚插座。

除此之外，TEC—4 计算机组成原理实验系统中还提供了 3 个接地点，供用示波器和万用表测试时使用。

第二节 运算器组成实验

一、实验目的

- (1) 掌握算术逻辑运算加、减、乘、与的工作原理。
- (2) 熟悉简单运算器的数据传送通路。
- (3) 验证实验台运算器的 8 位加、减、与、直通功能。
- (4) 验证实验台的 4 位乘 4 位功能。
- (5) 按给定数据，完成几种指定的算术和逻辑运算。

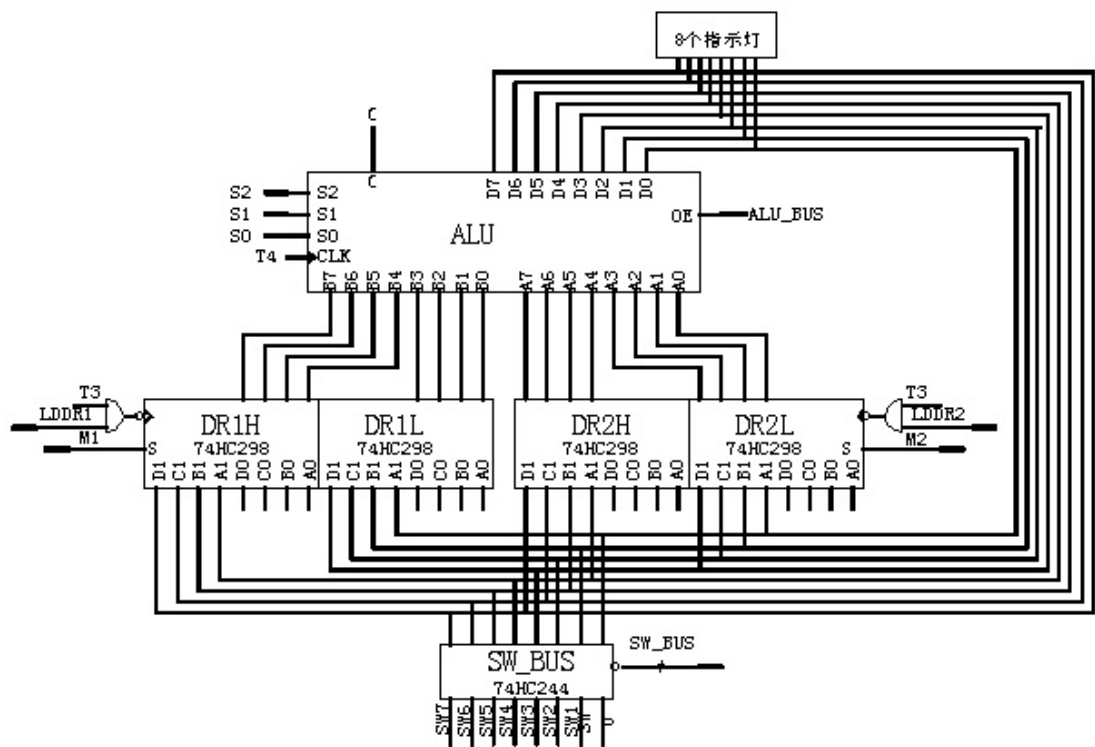


图6 运算器数据通路实验电路图

二、实验电路

图 6 示出了本实验所用的运算器数据通路图。ALU 由 1 片 ispLSI1024 构成。四片 4 位的二选一输入寄存器 74HC298 构成两个操作数寄存器 DR1 和 DR2，保存参与运算的数据。DR1 接 ALU 的 B 数据输入端口，DR2 接 ALU 的 A 数据输入端口，ALU 的输出在 ispLSI1024 内通过三态门发送到数据总线 DBUS7—DBUS0 上，进位信号 C 保存在 ispLSI1024 内的一个 D 寄存器中。当实验台下部的 IR/DBUS 开关拨到 DBUS 位置时，8 个红色发光二极管指示灯接在数据总线 DBUS 上，可显示运算结果或输入数据。另有一个指示灯 C 显示运算器进位信号状态。由 ispLSI1024 构成的 8 位运算器的运算类型由选择端 S2、S1、S0 选择，功能如表 3 所示：

表 3 运算器运算类型选择表

选 择			操 作
S2	S1	S0	
0	0	0	A & B
0	0	1	A & A (直通)
0	1	0	A + B
0	1	1	A - B
1	0	0	A(低 4 位) X B(低 4 位)

进位 C 只在加法运算和减法运算时产生，与、乘、直通操作不影响进位 C 的状态，即进位 C 保持不变。减法运算采用加减数的反码再加以 1 实现。在加法运算中，C 代表进位；在减法运算中，C 代表借位。运算产生的进位在 T4 的上升沿送入 ispLSI1024 内的 C 寄存器保存。

在 SW_BUS#信号为 0 时，参与运算的数据通过一个三态门 74HC244 (SW_BUS) 送到 DBUS 总线上，进而送至 DR1 或 DR2 操作数寄存器。输入数据可由实验台上的 8 个二进制数据开关 SW0—SW7 来设置，其中 SW0 是最低位，SW7 是最高位。开关向上时为 1，开关向下时为 0。

图中尾巴上带粗短线标记的信号都是控制信号，控制信号均为电位信号。T3、T4 是脉冲信号，印制板上已连接到实验台的时序电路产生的 T3、T4 信号上。S2、S1、S0、ALU_BUS、LD_DR2、LDDR1、M1、M2、SW_BUS#各电位控制信号用电平开关 K0—K15 来模拟。K0—K15 是一组用于模拟各控制电平信号的开关，开关向上时为 1，开关向下时为 0，每个开关无固定用途，可根据实验具体情况选用。S2、S1、S0、ALU_BUS、LDDR2、LDDR1 为高电平有效，SW_BUS#为低电平有效。M1=1 时，DR1 选择 D1—A1 作为数据输入端；M1=0 时，DR1 选择 D0—A0 作为数据输入端。当 LDDR1=1 时，在 T3 的下降沿，选中的数据被打入 DR1 寄存器。M2=1 时，DR2 选择 D1—A1 作为数据输入端；M2=0 时，DR2 选择 D0—A0 作为数据输入端。当 LD_DR2=1 时，在 T3 的下降沿，选中的数据被打入 DR2 寄存器。

数据总线 DBUS 有 5 个数据来源：运算器 ALU，寄存器堆 RF，控制台开关 SW0—SW7，双端口存储器 IDT7132 和中断地址寄存器 IAR。在任何时刻，都不允许 2 个或者 2 个以上的数据源同时向数据总线 DBUS 输送数据，只允许 1 个(或者没有)数据源向数据总线 DBUS 输送数据。在本实验中，为了保证数据的正确设置和观察，请令 RS_BUS# = 1, LRW = 0, IAR_BUS# = 1。

为了在实验中，每次只产生一组 T1、T2、T3、T4 脉冲，需将实验台上的 DP、DB、DZ 开关进行正确设置。将 DP 开关置 1，将 DB、DZ 开关置 0，每按一次 QD 按钮，则顺序产生 T1、T2、T3、T4 各一个单脉冲。本实验中采用单脉冲输出。

三、实验设备

- (1) TEC—4 计算机组成原理实验系统 1 台
- (2) 双踪示波器一台
- (3) 直流万用表一只
- (4) 逻辑测试笔一支

四、实验任务

(1) 按图 6 所示，正确连接运算器模块与实验台上的电平开关 K0—K15。由于运算器的 C 和 C 指示灯、8 位数据开关 SW0—SW7、T3、T4 的连线已由印制电路板连好，故接线任务仅仅是完成有关控制信号与电平开关 K0—K15 的连线。正确设置开关 DZ、DB、DP。用数据开关 SW0—SW7 向 DR1 和 DR2 寄存器置数。

1. 置 $ALU_BUS = 0$ ，关闭 ALU 向数据总线 DBUS 的输出；置 $SW_BUS\# = 0$ ，开启数据开关 SW0—SW7 向数据总线 DBUS 的输出。**注意，对于数据总线 DBUS（或者其他任何总线），在任一时刻，只能有一个数据源向它输出。**置 IR/DBUS 开关于 DBUS 位置，在数据开关 SW0—SW7 上设置各种数据，观察数据指示灯状态是否与数据开关状态一致。

2. 置 $M1=1$ ，选择 DBUS 作为 DR1 的数据源；置 $LDDR1=1$ ，按 QD 按钮，则将 DBUS 的数据打入 DR1。置 $M2=1$ ，选择 DBUS 作为 DR2 的数据源；置 $LDDR2=1$ ，按 QD 按钮，则将 DBUS 的数据打入 DR2。向 DR1 存入 0 1 0 1 0 1 0 1，向 DR2 存入 1 0 1 0 1 0 1 0。

3. 置 $SW_BUS\# = 1$ ，关闭数据开关 SW0—SW7 对数据总线 DBUS 的输出；置 $ALU_BUS = 1$ ，开启 ALU 对 DBUS 的输出。选择 $S2 = 0$ 、 $S1 = 0$ 、 $S1 = 1$ ，使运算器进行直通运算，通过 DBUS 指示灯验证 DR2 中的内容是否为第 2 步设置的值。令 $S2 = 0$ 、 $S1 = 1$ 、 $S0 = 0$ ，使运算器进行加运算，通过 DBUS 指示灯验证 DR1 中的内容是否为第 2 步设置的值。在表 4 中填入控制信号状态与 DBUS 显示状态。

表 4 DR1、DR2 设置值检查

ALU_BUS	SW_BUS#	寄存器内容	S2 S1 S0	DBUS
		DR1 (01010101)、 DR2 (10101010)		
		DR1 (01010101)、 DR2 (10101010)		

(2) 验证运算器的算术运算和逻辑运算功能。

1. 令 $DR1 = 01100011B$ ， $DR2 = 10110100B$ ，正确选择 $S2$ 、 $S1$ 、 $S0$ ，依次进行加、减、与、直通，乘实验，记下实验结果（数据和进位）并对结果进行分析。
2. 令 $DR1 = 10110100B$ ， $DR2 = 01100011B$ ，正确选择 $S2$ 、 $S1$ 、 $S0$ ，依次进行加、减、与、直通，乘实验，记下实验结果（数据和进位）并对结果进行分析。
3. 令 $DR1 = 01100011B$ ， $DR2 = 01100011B$ ，正确选择 $S2$ 、 $S1$ 、 $S0$ ，依次进行加、减、与、直通，乘实验，记下实验结果（数据和进位）并对结果进行分析。
4. 令 $DR1 = 01001100B$ ， $DR2 = 10110011B$ ，正确选择 $S2$ 、 $S1$ 、 $S0$ ，依次进行加、减、与、直通，乘实验，记下实验结果（数据和进位）并对结果进行分析。
5. 令 $DR1=11111111B$ ， $DR2 = 11111111B$ ，正确选择 $S2$ 、 $S1$ 、 $S0$ ，依次进行加、减、与、直通，乘实验，记下实验结果（数据和进位）并对结果进行分析。

(3) $M1$ 、 $M2$ 控制信号的作用是什么？改变 $M1$ 、 $M2$ 的高低电平，重复第 (2) 步，观察出现什么问题？

五、实验要求

这是计算机组成原理课程中使用 TEC—4 计算机组成原理实验系统进行的第一个实验。除了实验本身的要求外，一个很重要的任务是使学生熟悉 TEC—4 计算机组成原理实验系统，从而掌握它，学会使用它。

1. 做好实验预习，掌握运算器的数据传送通路和 ALU 的功能特性，并熟悉本实验中所用的控制台开关的作用和使用方法。

2. 写出实验报告，内容是：

- (1) 实验目的；
- (2) 画出表 4 并填上实验值。
- (3) 列表比较实验任务 (2) 的理论分析值；并对结果进行分析。
- (4) 实验任务 (3)，出现何种现象？为什么？