

课程内容

⌘ 数制与码制(第一章)

⌘ 逻辑代数(第二章)

⌘ 组合逻辑电路(第四章)

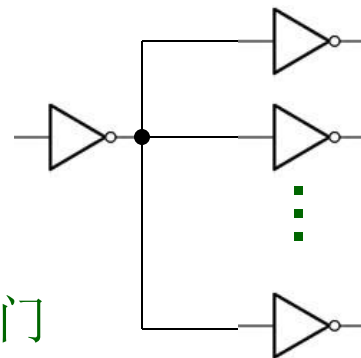
⌘ 触发器 (第五章)

⌘ 时序逻辑电路(第六章)

⌘ 集成门电路(第三章)

问题1: 低电平---0; 高电平---1
几伏为高电平? 几伏为低电平?

问题2: 理想情况, 一个门能驱动无数个负载, 实际上不能, 为什么?



TTL门, CMOS门

第三章 集成门电路

概述

半导体二极管门电路

TTL门电路 (**T**ransistor-**T**ransistor **L**evel)

CMOS门电路 **C**omplementary

Metal-Oxide – Semiconductor Field Effect Transistor

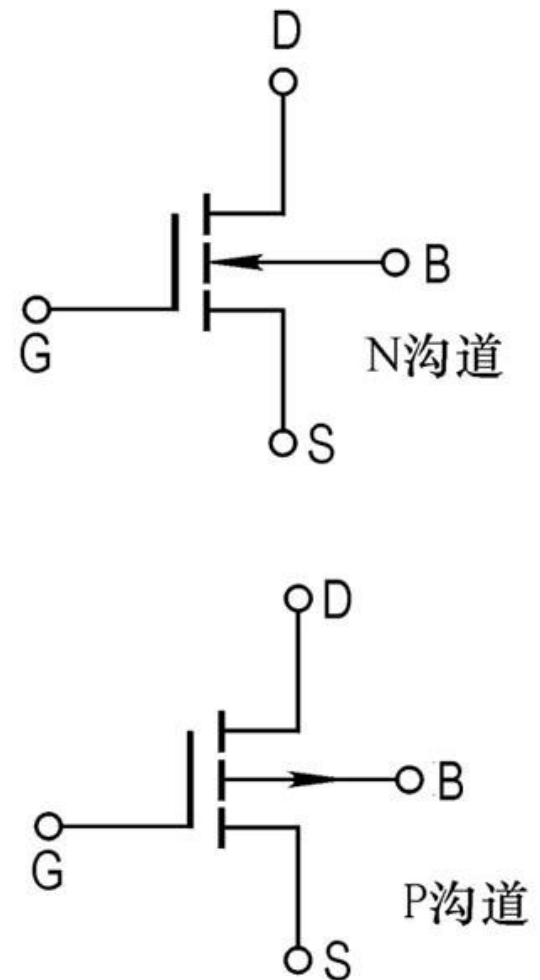
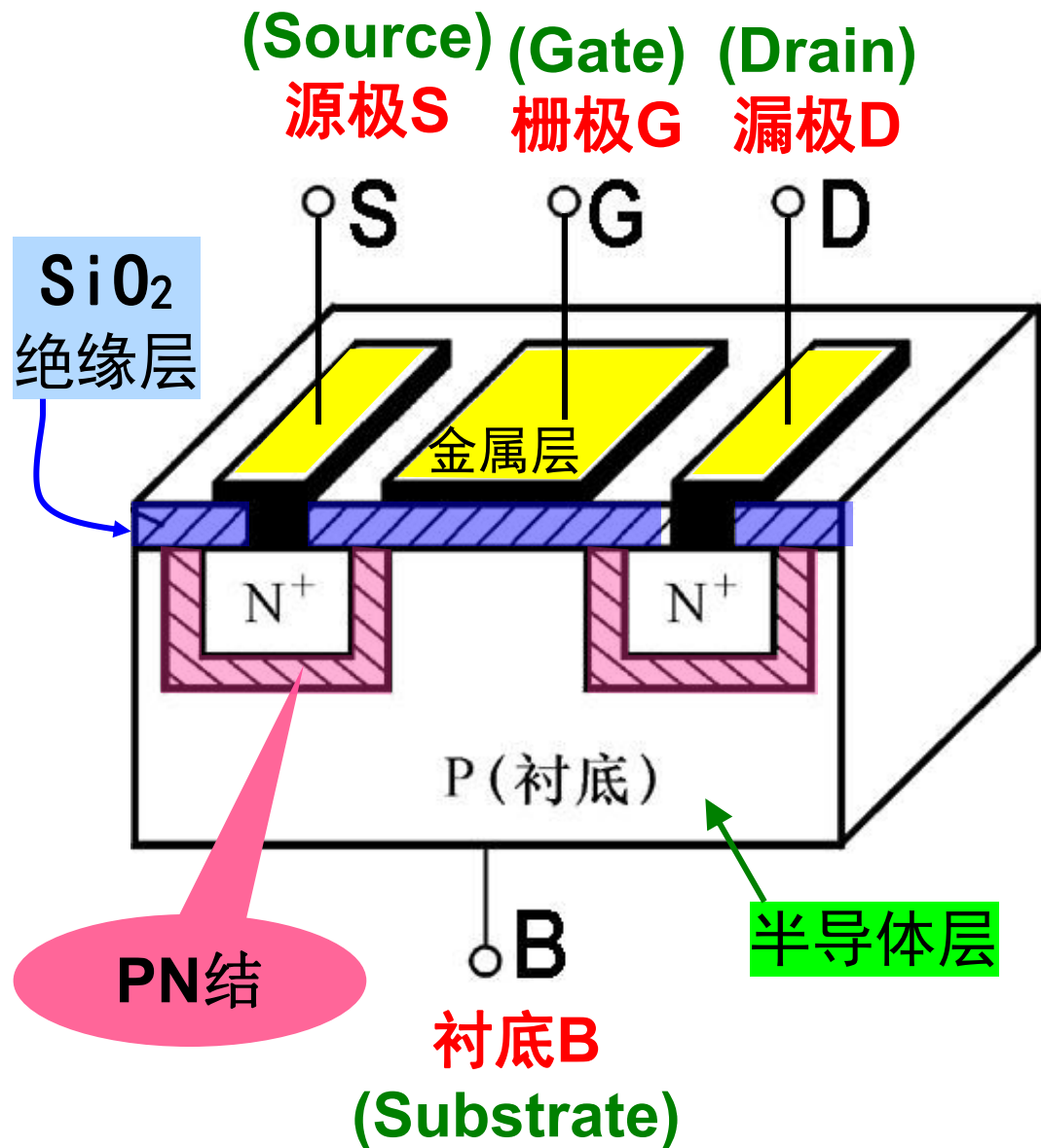
互补金属-氧化物-半导体场效应管

3.3 CMOS 门电路

主要要求:

- 掌握 CMOS 反相器的电路、工作原理和主要外特性。
- 掌握 CMOS 与非门、或非门、开路门、三态门和传输门的电路和逻辑功能。
- 了解 CMOS 数字集成电路的应用要点。

3.3.1 MOS管的结构

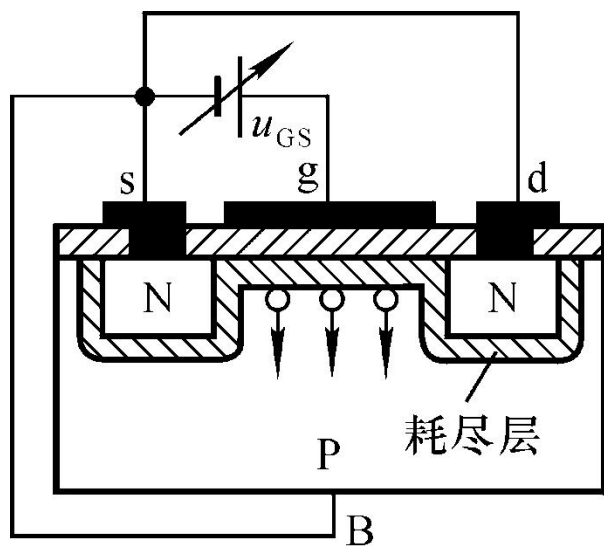


以**N沟道增强型**为例：

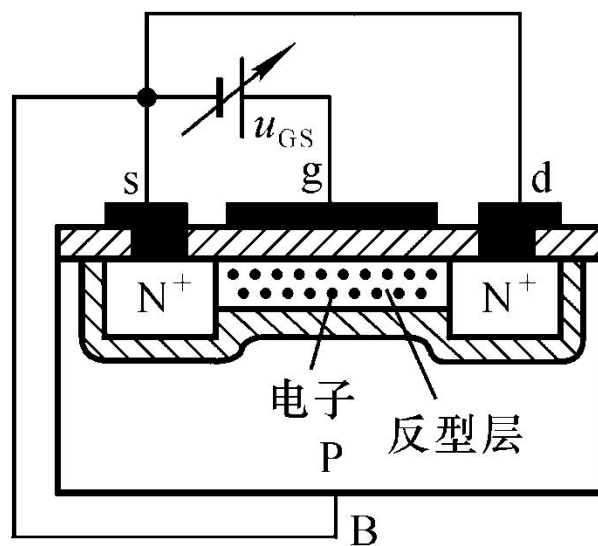
当 $V_{GS}=0$ 时，**D-S**间是两个背向**PN**结串联， $i_D=0$

当 $V_{GS}>0$ 时，且足够大至 $V_{GS} > V_{GS(th)}$ ，**D-S**间形成导电沟道（**N型层**）

开启电压



(a)



(b)

3.3.2 CMOS反相器

MOS管有NMOS管和PMOS管两种。

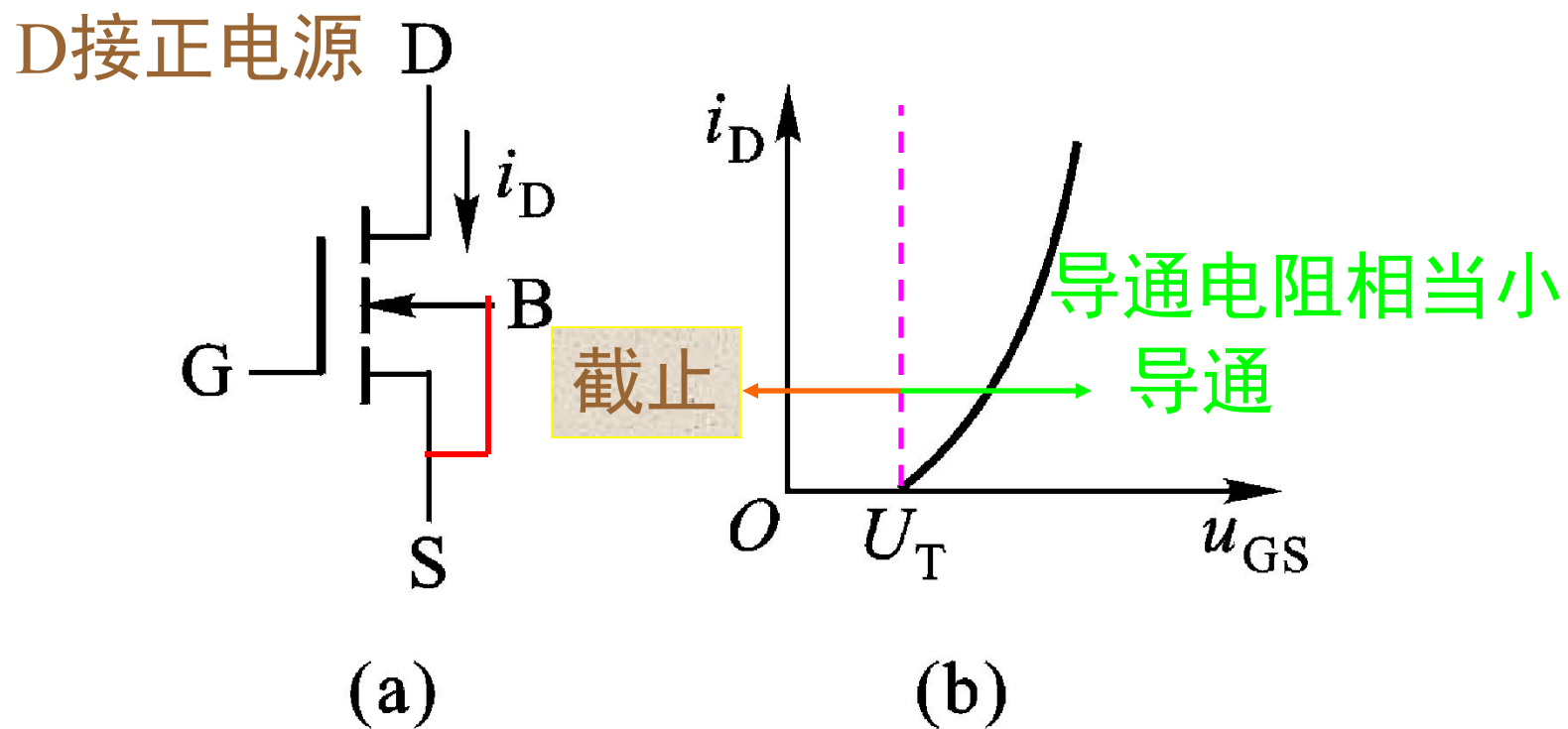
当NMOS管和PMOS管成对出现在电路中，且二者在工作中互补，称为CMOS管(意为互补)。

MOS管有增强型和耗尽型两种。

在数字电路中，多采用增强型。

1. MOS管的开关特性

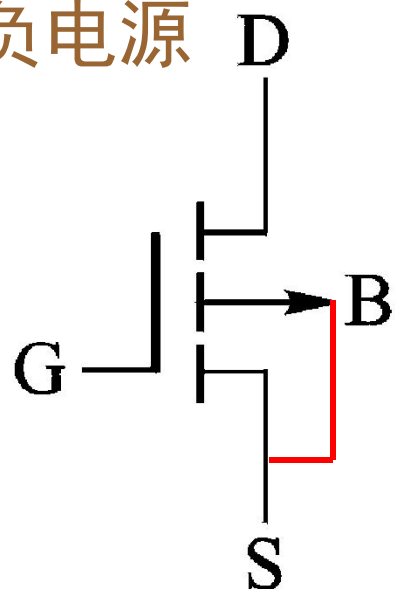
(1) NMOS管的开关特性



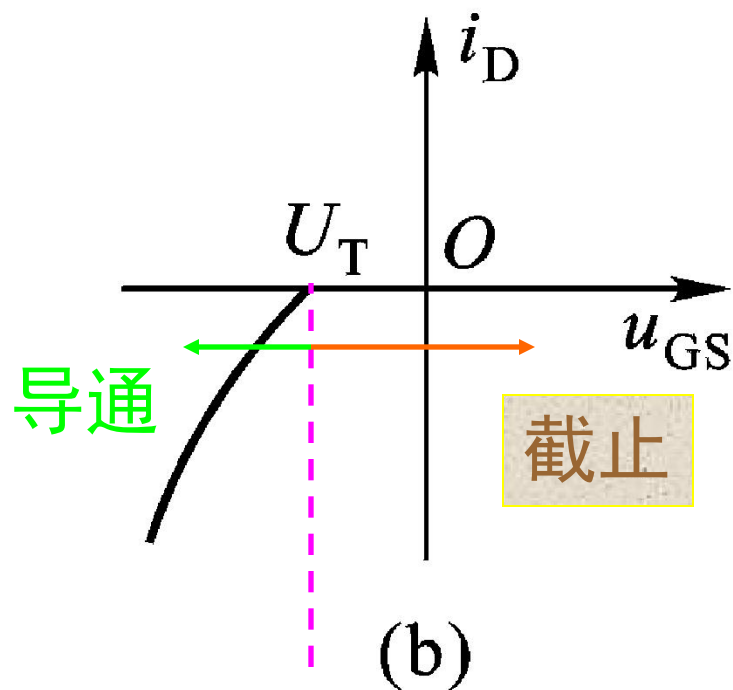
NMOS管的电路符号及转移特性
(a) 电路符号 (b) 转移特性

(2) PMOS管的开关特性

D接负电源



(a)



(b)

PMOS管的电路符号及转移特性

(a) 电路符号

(b) 转移特性

导通电阻相当小

CMOS门电路（Complementary）

CMOS反相器及工作原理

● CMOS反相器

工作原理：

1. 输入为低电平 $V_{IL} = 0V$ 时，

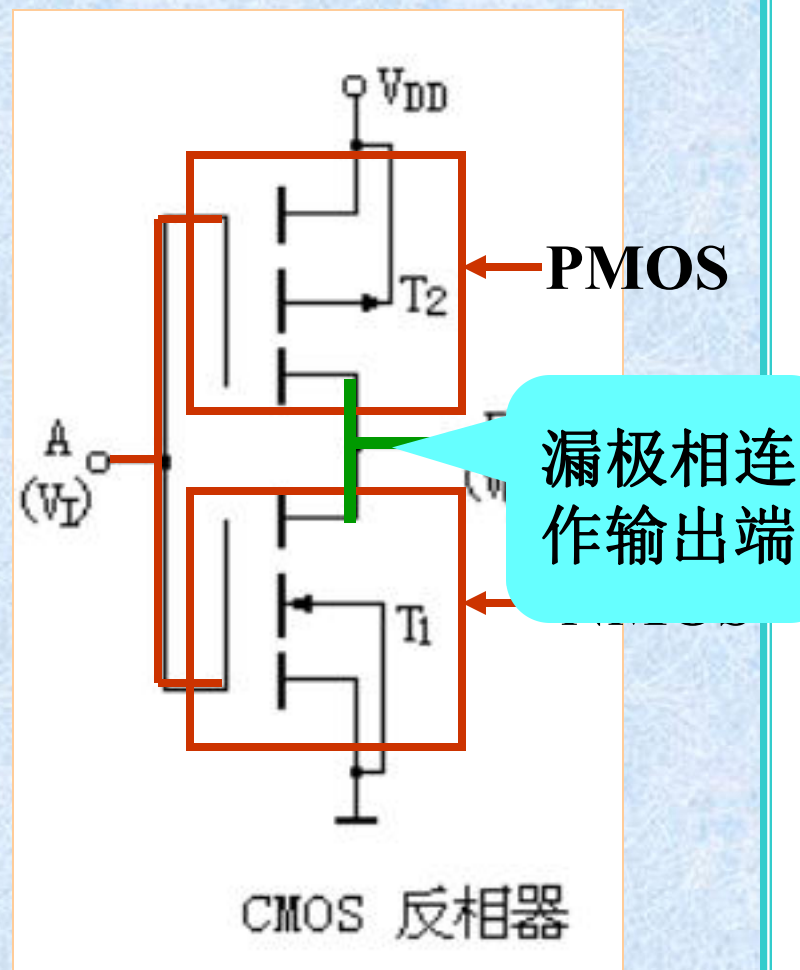
$V_{GS1} < V_{T1} \rightarrow T_1$ 管截止；

$|V_{GS2}| > V_{T2} \rightarrow T_2$ 导通。

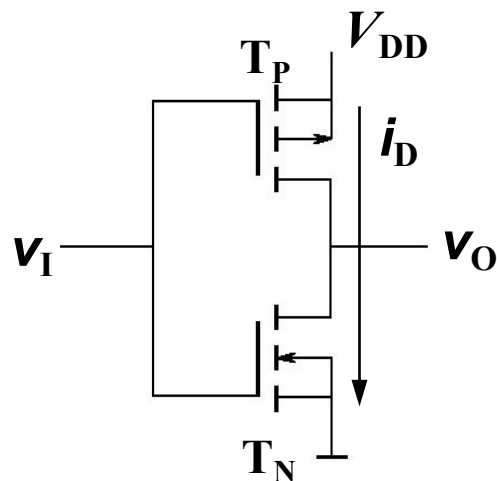
电路中电流近似为零（忽略 T_1 的截止漏电流）， V_{DD} 主要降落在 T_1 上，输出为高电平 $V_{OH} \approx V_{DD}$ 。

2. 输入为高电平 $V_{IH} = V_{DD}$ 时， T_1 通 T_2 止， V_{DD} 主要降在 T_2 上，输出为低电平 $V_{OL} \approx 0V$ 。

实现逻辑“非”功能 $F = \overline{A}$



二、电压、电流传输特性

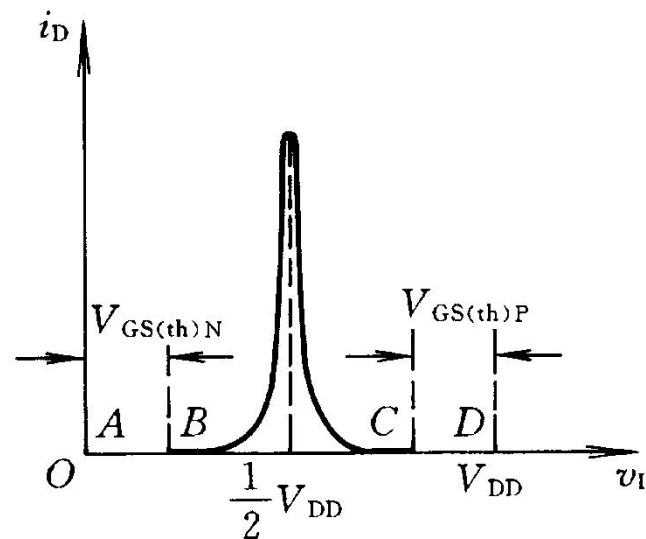
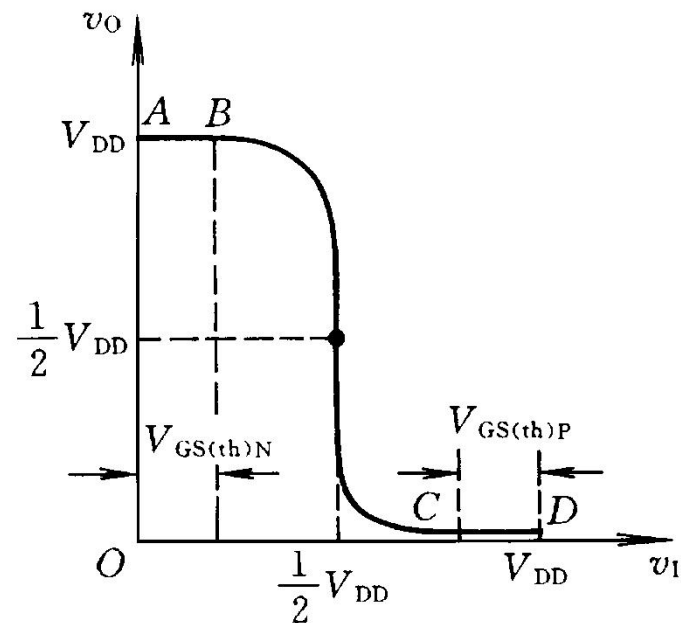


AB段: $V_I < V_{GS(th)N}$

T_P 导通, T_N 截止 $\Rightarrow V_O = V_{OH} = V_{DD}$

CD段 $V_I > V_{DD} - |V_{GS(th)P}|$

T_N 导通, T_P 截止 $\Rightarrow V_O = V_{OL} = 0$



二、电压、电流传输特性

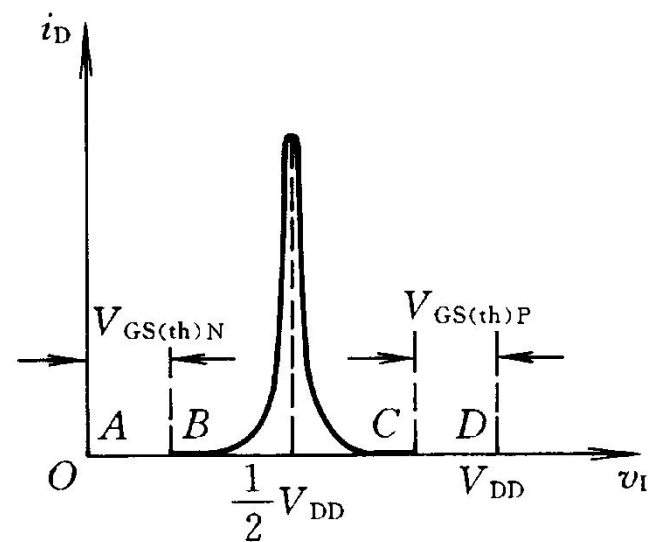
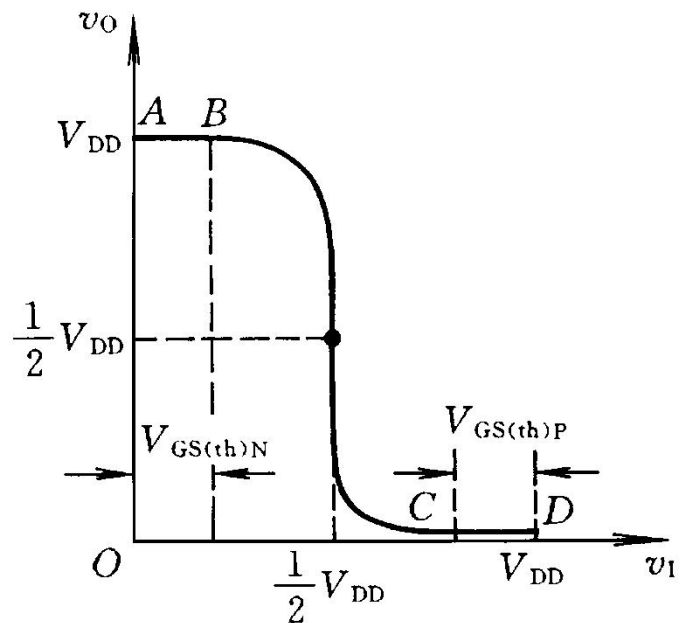
BC段：

$$V_{GS(th)N} < V_I < V_{DD} - |V_{GS(th)P}|$$

T_P 、 T_N 同时导通，

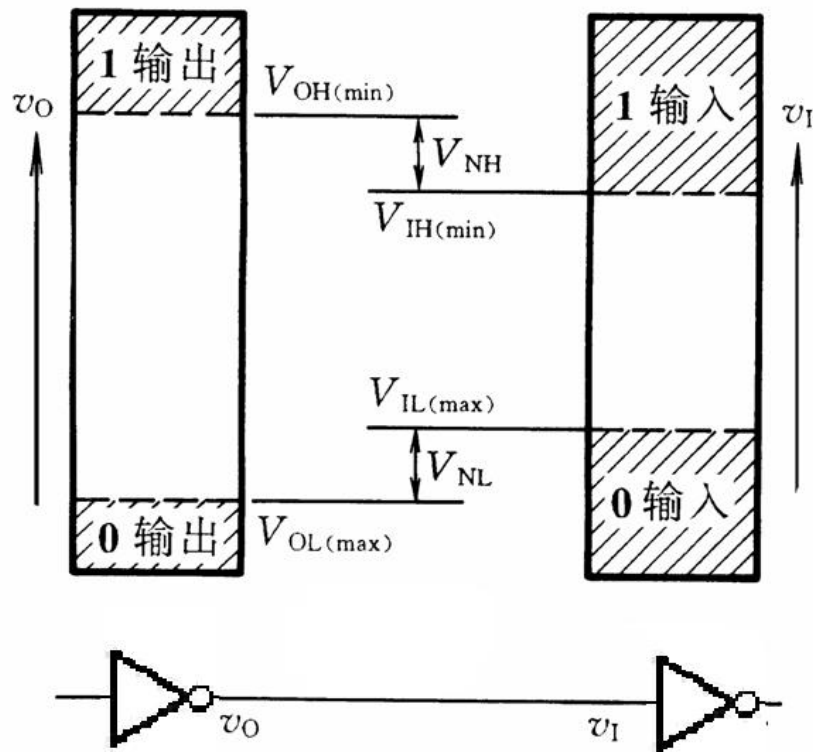
若 T_P 、 T_N 完全对称，则

$$V_I = \frac{1}{2}V_{DD} \text{ 时, } V_O = \frac{1}{2}V_{DD}$$



三、输入噪声容限

在输出变化允许范围内，允许输入的变化范围称为输入噪声容限。



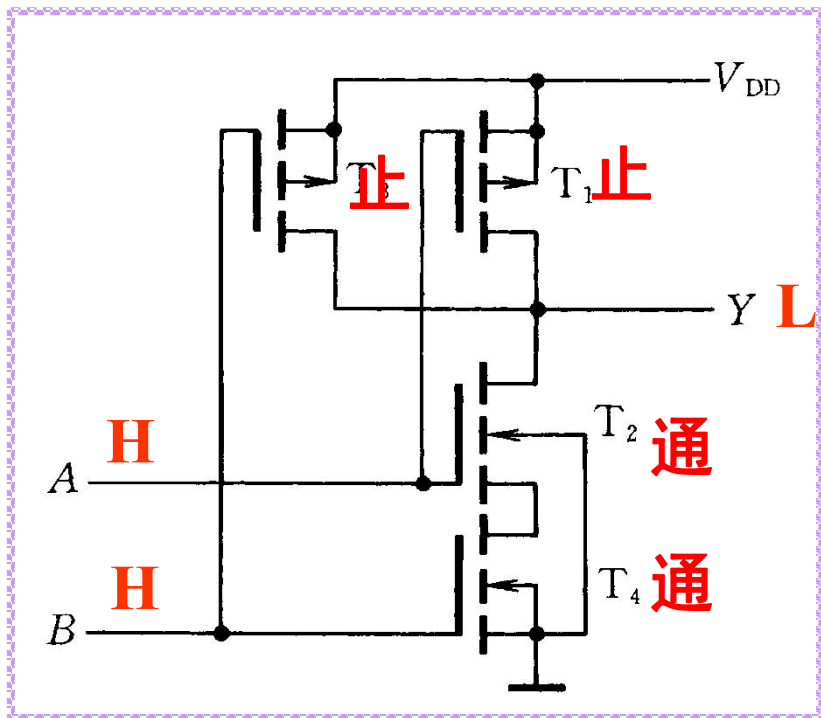
$$V_{NH} = V_{OH(min)} - V_{IH(min)}$$

$$V_{NL} = V_{IL(max)} - V_{OL(max)}$$

3.2.2 重要的CMOS基本逻辑门结构

与非门

$$Y = (AB)'$$



T_2 、 T_4 为驱动管

T_1 、 T_3 为负载管

● 与非门结构特点：

驱动管相串联，负载管相并联。

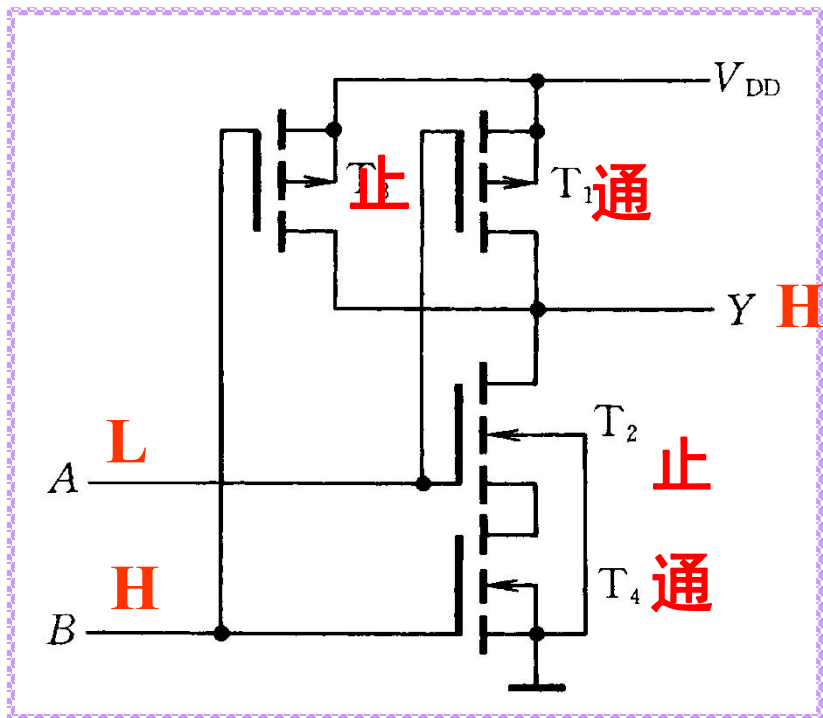
● 工作原理：

- 当输入均为高电平时，驱动管均导通，负载管均截止，输出为低电平。
- 当输入中有低电平时，低电平输入端相对应的驱动管截止，负载管导通，输出为高电平。

3.2.2 重要的CMOS基本逻辑门结构

与非门

$$Y = (AB)'$$



T_2 、 T_4 为驱动管

T_1 、 T_3 为负载管

● 与非门结构特点：

驱动管相串联，负载管相并联。

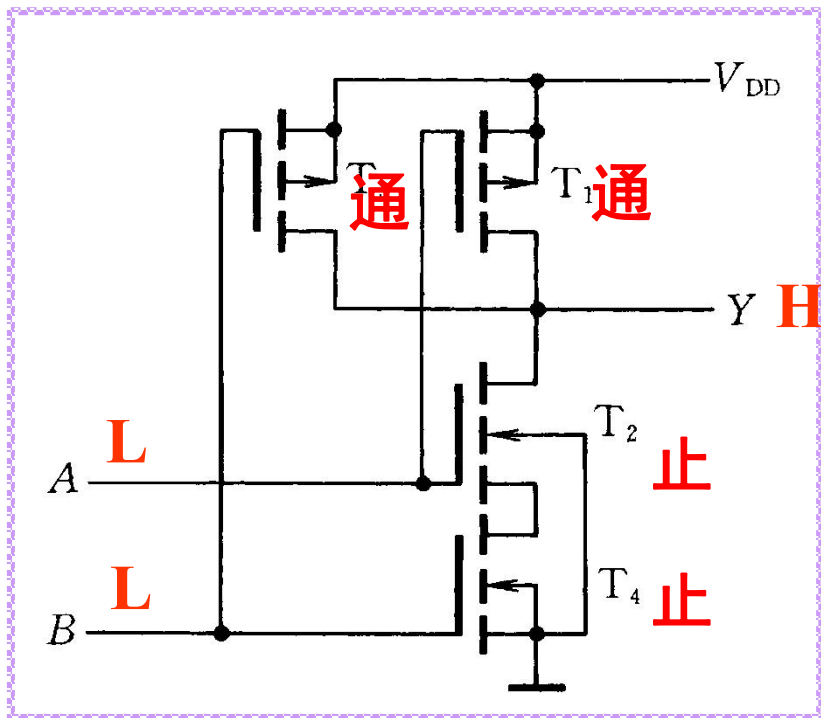
● 工作原理：

- 当输入均为高电平时，驱动管均导通，负载管均截止，输出为低电平。
- 当输入中有低电平时，低电平输入端相对应的驱动管截止，负载管导通，输出为高电平。

3.2.2 重要的CMOS基本逻辑门结构

与非门

$$Y = (AB)'$$



T_2 、 T_4 为驱动管

T_1 、 T_3 为负载管

● 与非门结构特点：

驱动管相串联，负载管相并联。

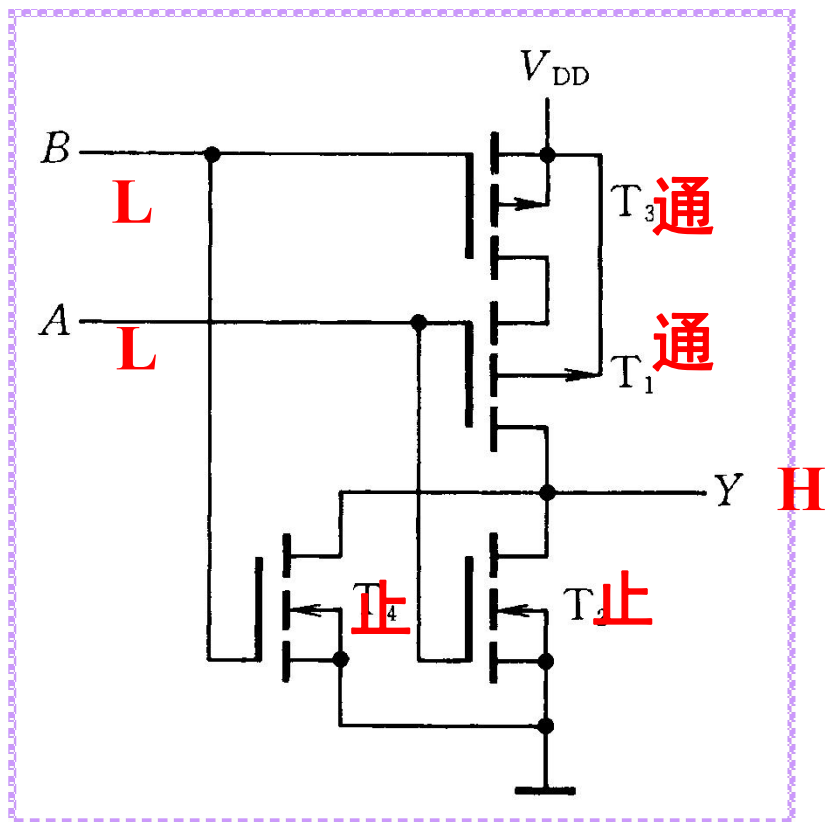
● 工作原理：

- 当输入均为高电平时，驱动管均导通，负载管均截止，输出为低电平。
- 当输入中有低电平时，低电平输入端相对应的驱动管截止，负载管导通，输出为高电平。

3.2.2 重要的CMOS基本逻辑门结构

或非门

$$Y = (A+B)'$$



T_2 、 T_4 为驱动管

T_1 、 T_3 为负载管

- 或非门结构特点：

驱动管相并联，负载管相串联。

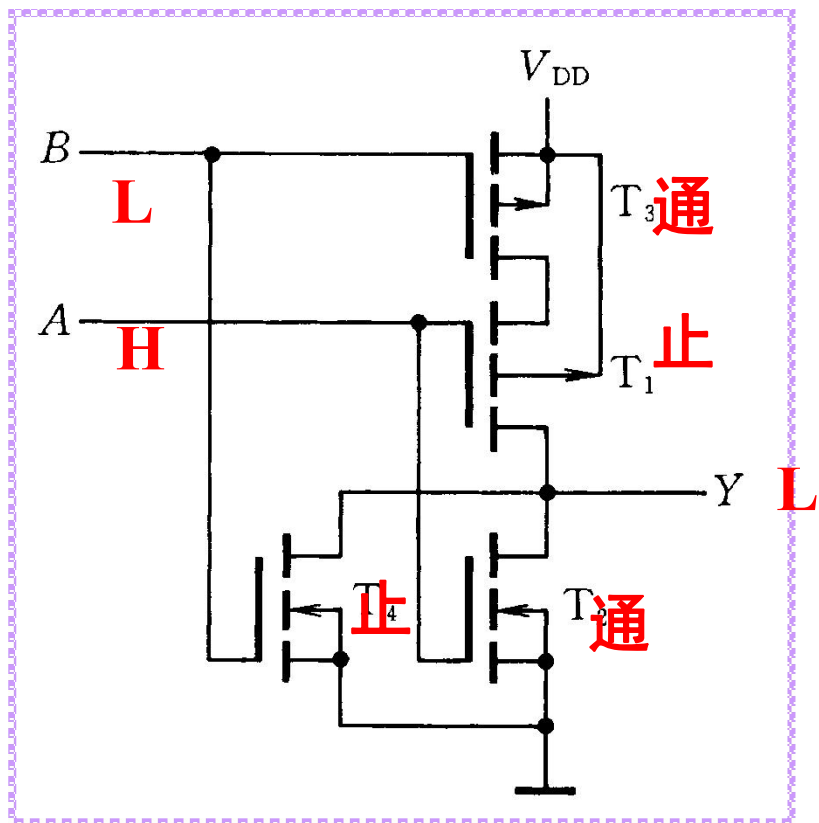
- 工作原理：

- 当输入中有高电平时，高电平输入端对应的驱动管导通，负载管截止，输出为低电平。
- 当输入均低电平时，驱动管均截止，负载管均导通，输出为高电平。

3.2.2 重要的CMOS基本逻辑门结构

或非门

$$Y = (A+B)'$$



T_2 、 T_4 为驱动管

T_1 、 T_3 为负载管

● 或非门结构特点：

驱动管相并联，负载管相串联。

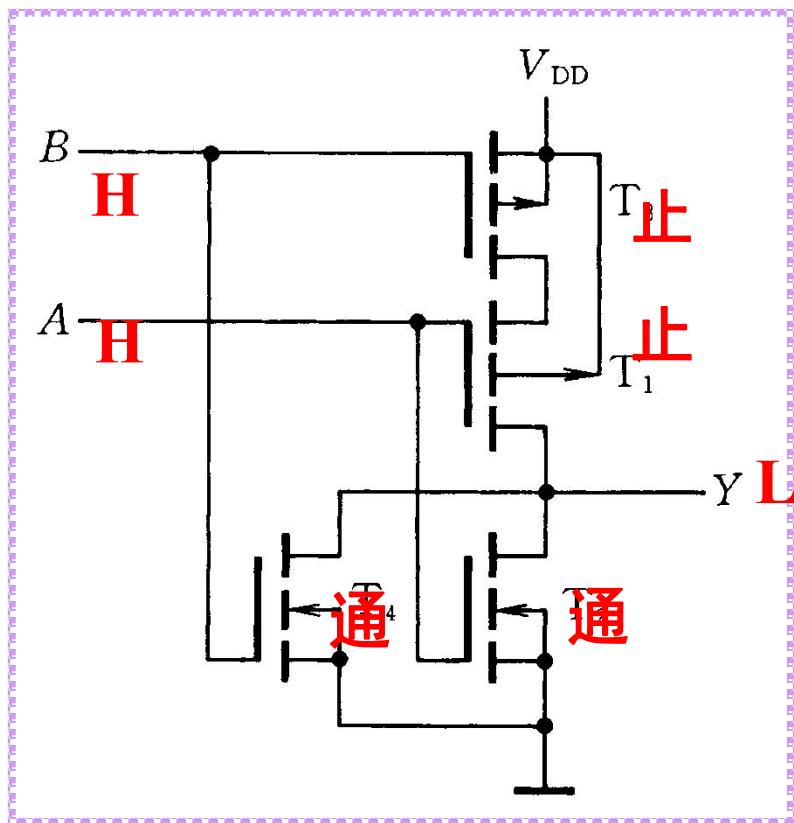
● 工作原理：

- 当输入中有高电平时，高电平输入端对应的驱动管导通，负载管截止，输出为低电平。
- 当输入均低电平时，驱动管均截止，负载管均导通，输出为高电平。

3.2.2 重要的CMOS基本逻辑门结构

或非门

$$Y = (A+B)'$$



T_2 、 T_4 为驱动管

T_1 、 T_3 为负载管

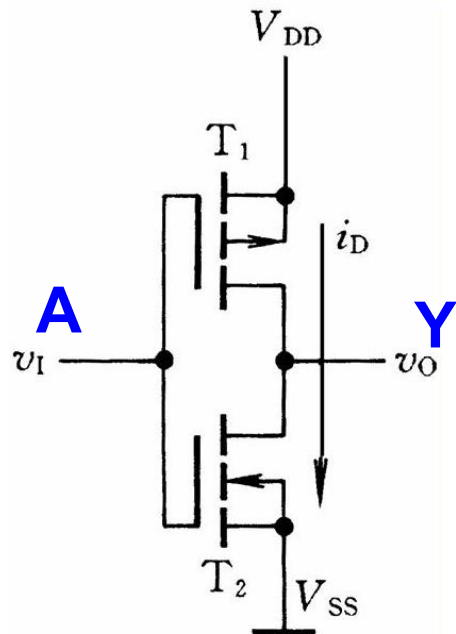
● 或非门结构特点：

驱动管相并联，负载管相串联。

● 工作原理：

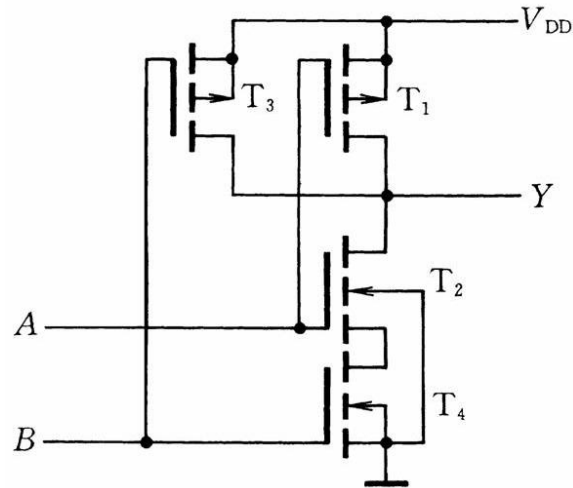
- 当输入中有高电平时，高电平输入端对应的驱动管导通，负载管截止，输出为低电平。
- 当输入均低电平时，驱动管均截止，负载管均导通，输出为高电平。

3.2.2 重要的CS基本逻辑门结构



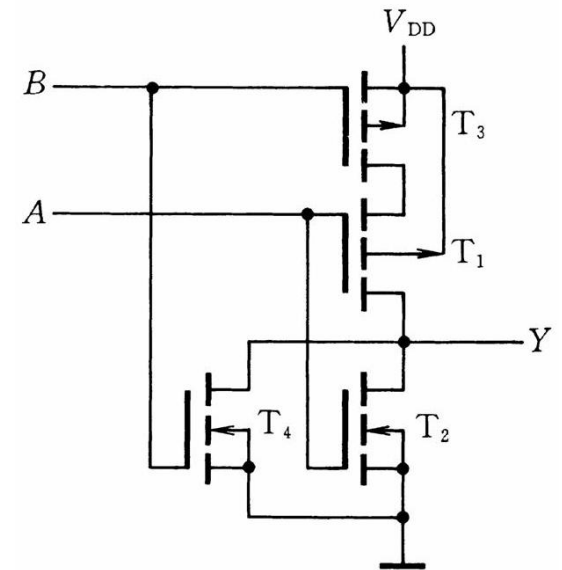
a) 反相结构

$$Y = A'$$



b) 与非结构

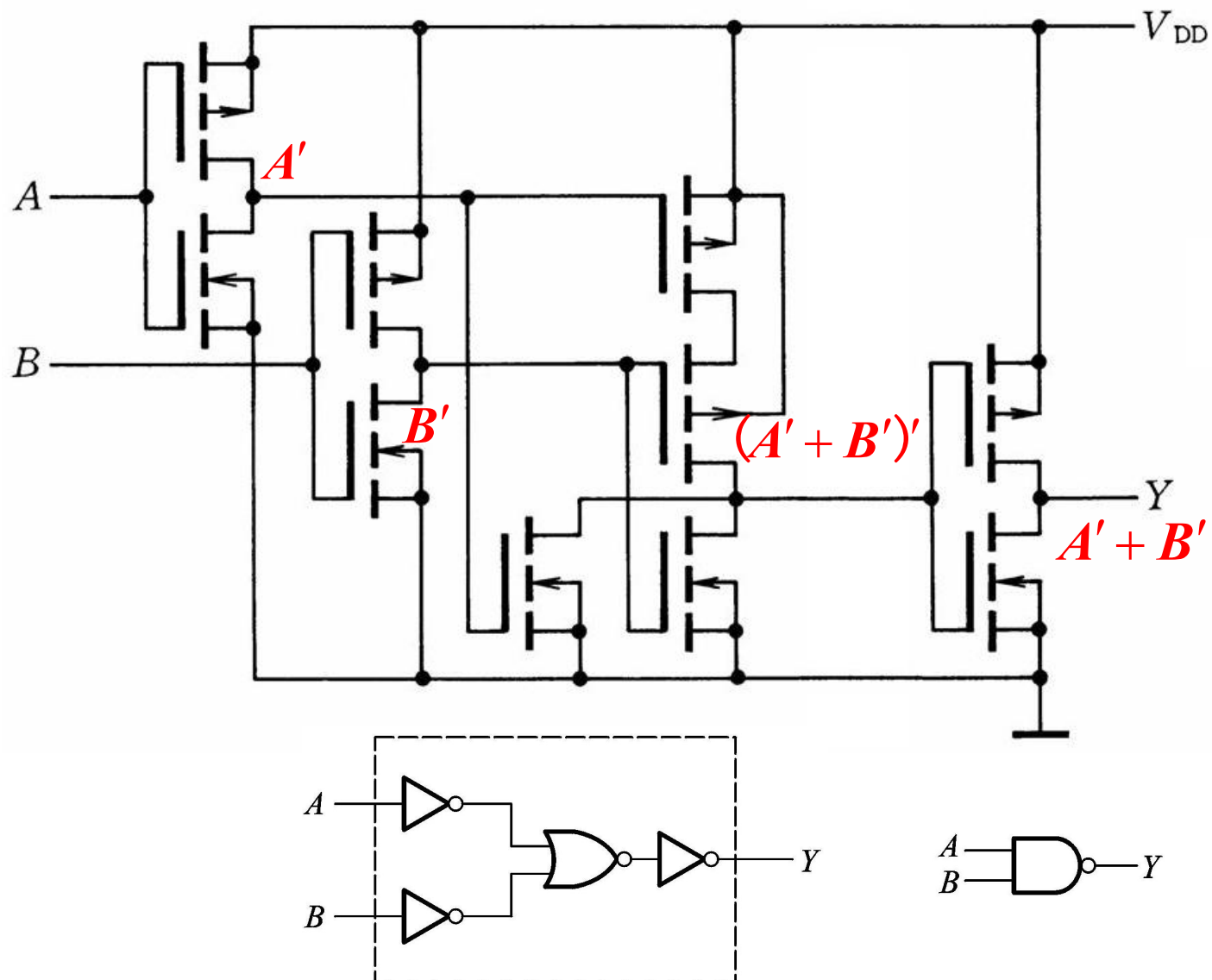
$$Y = (AB)'$$



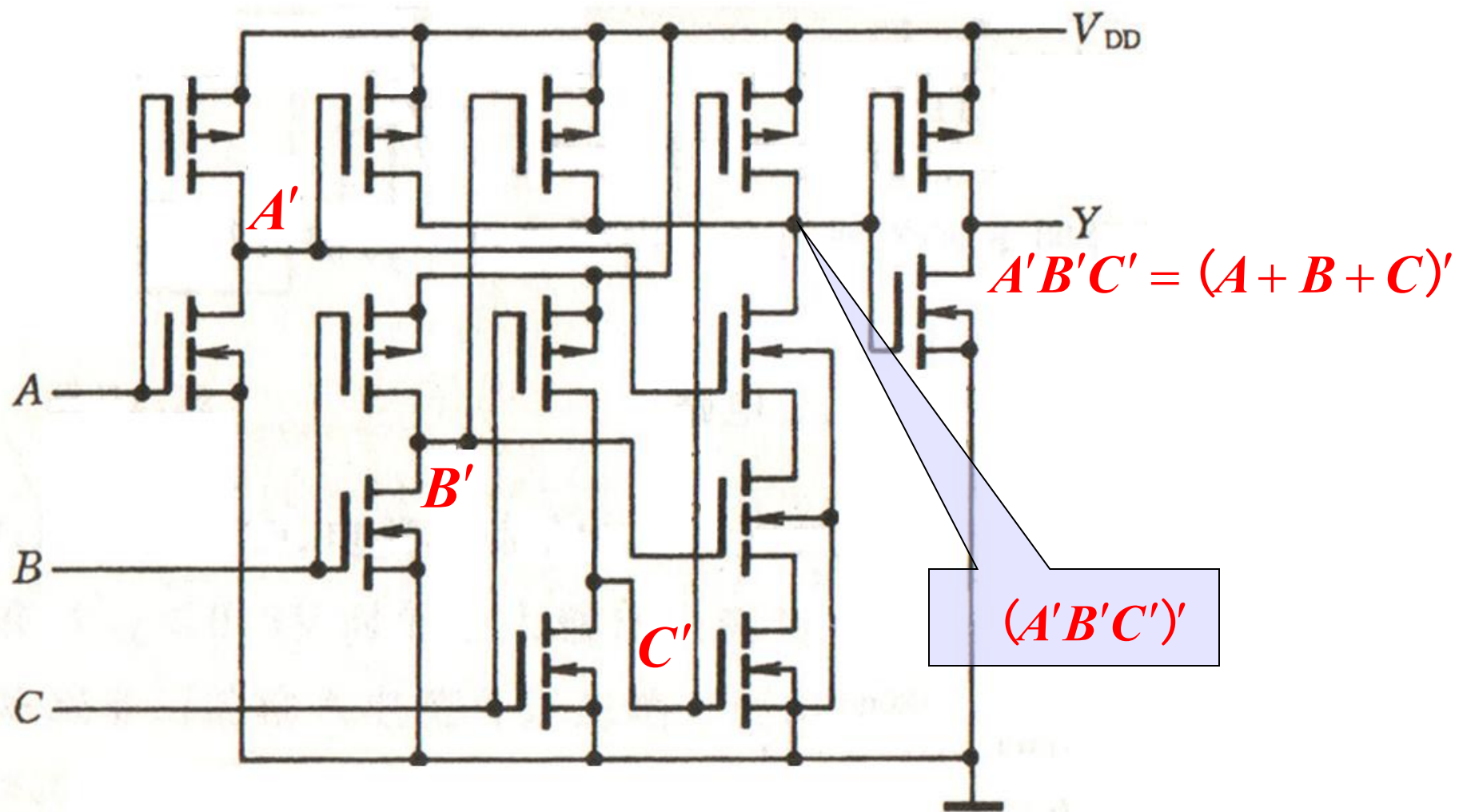
c) 或非结构

$$Y = (A+B)'$$

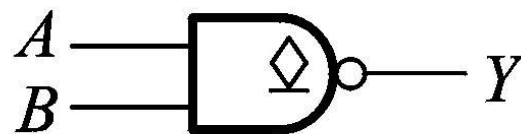
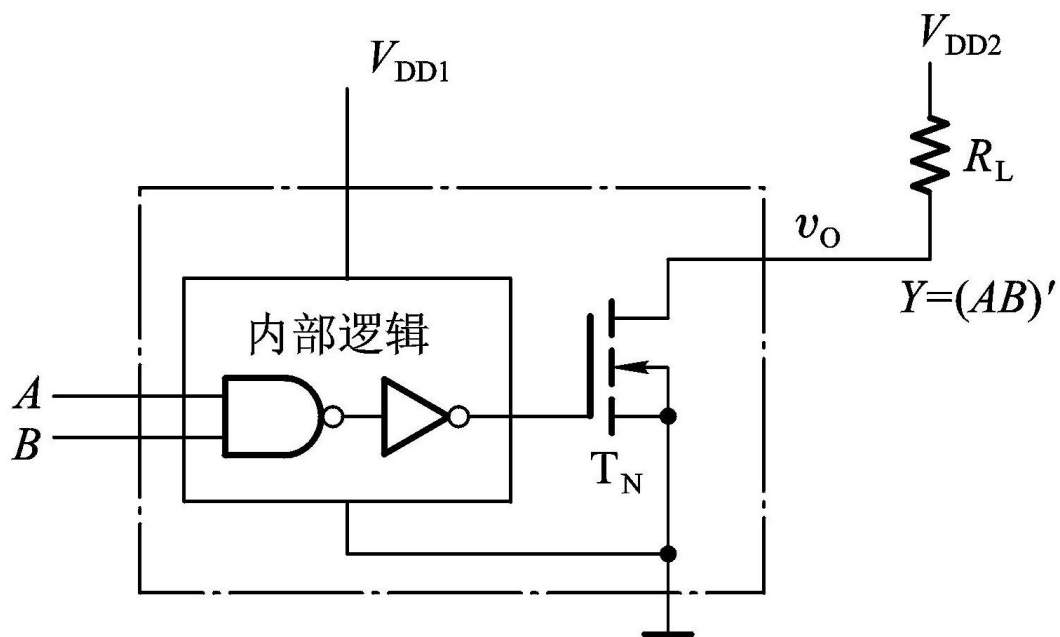
例：分析电路的逻辑功能。



例：分析电路的逻辑功能。

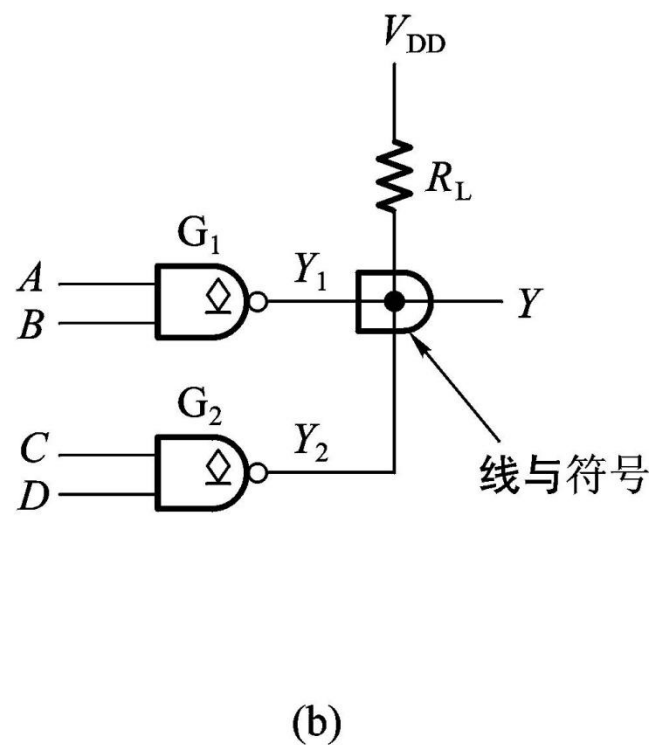
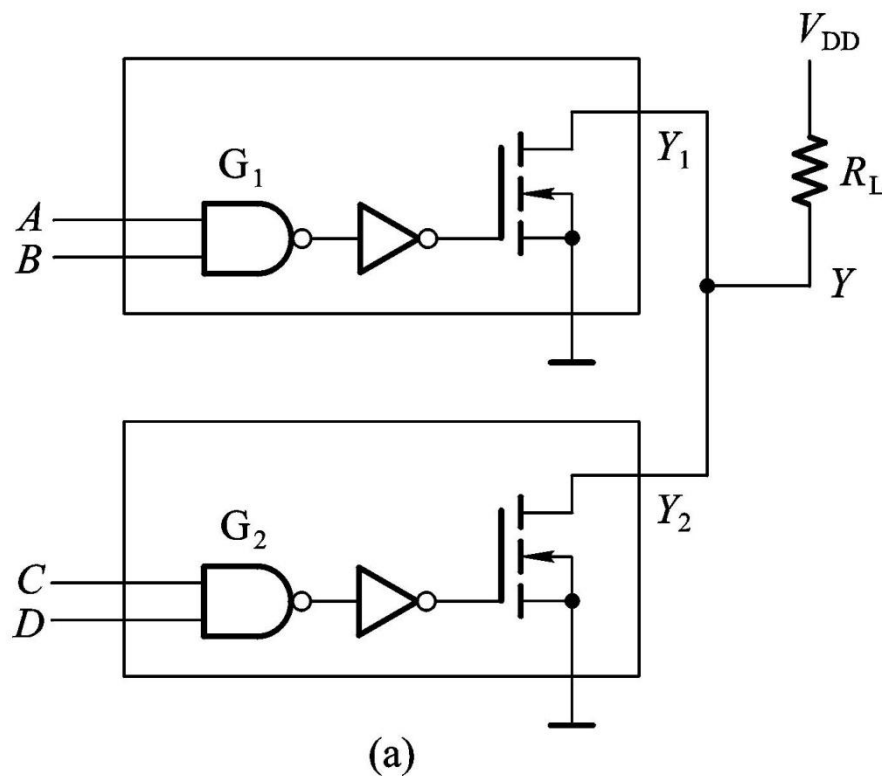


二、漏极开路的门电路（**OD**门）

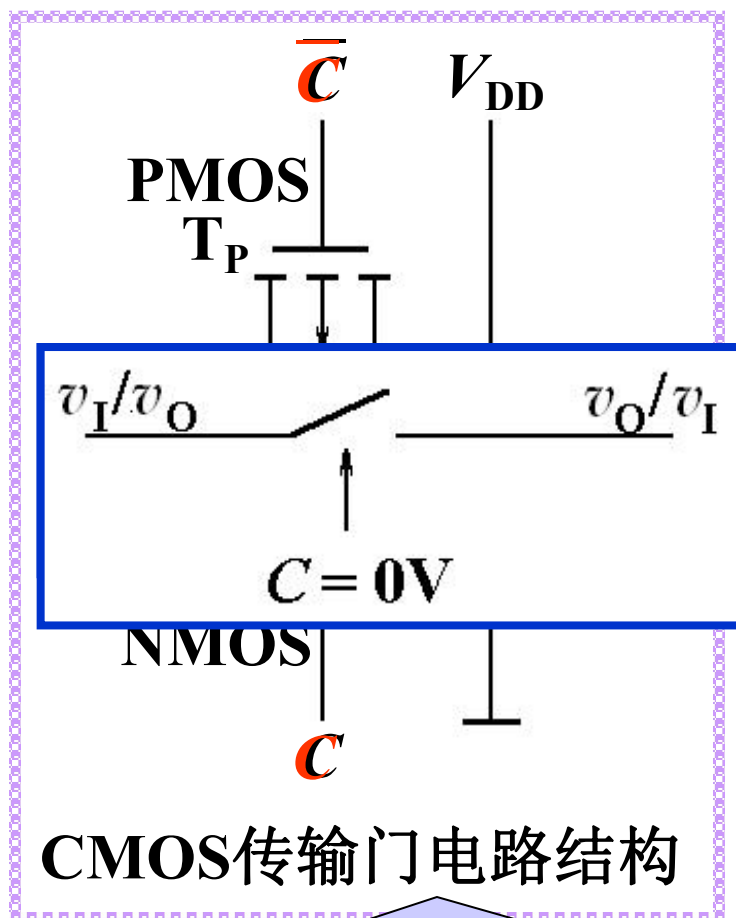


OD门的使用

1. 可将输出并联使用，实现线与或用作电平转换驱动器
2. 使用时允许外接 R_L, V'_{DD} (V'_{DD} 可以不等于 V_{DD})



三、CMOS 传输门



工作原理

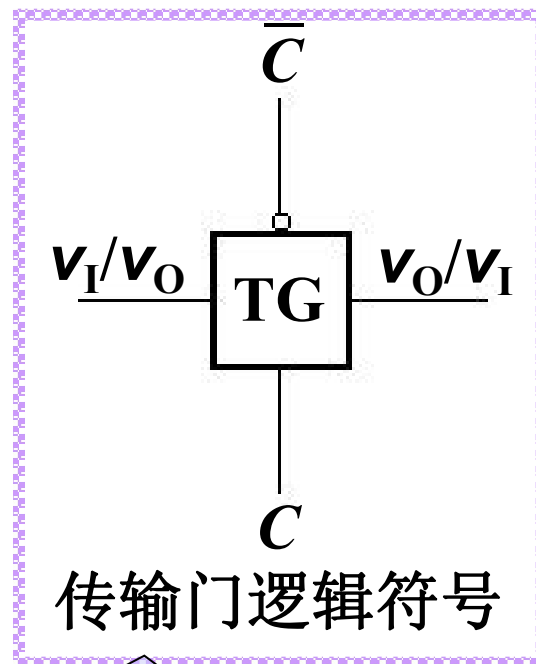
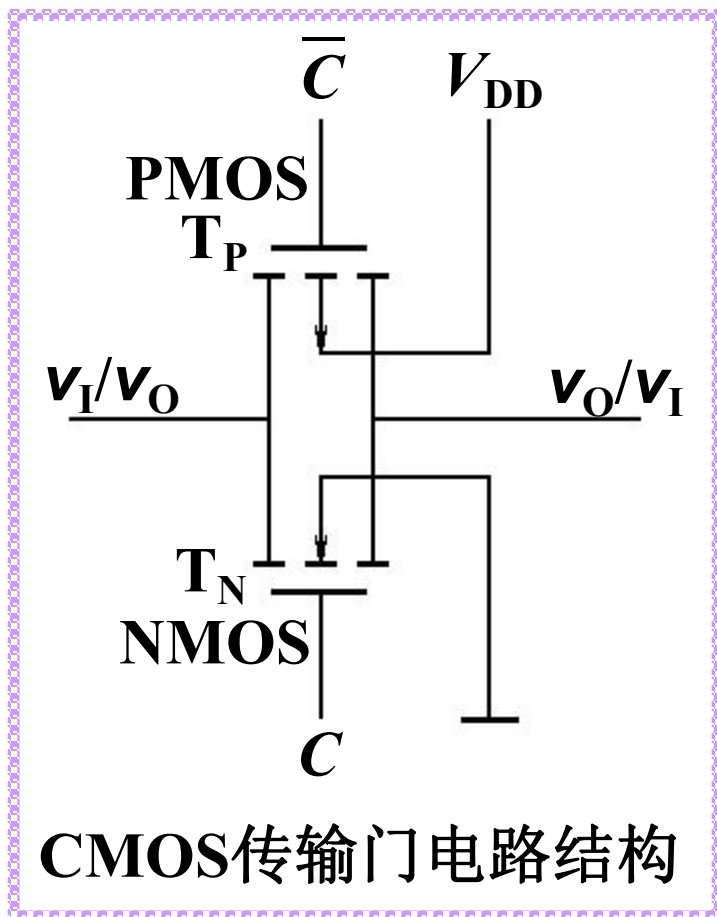
当 $C = V_{DD}$, $v_I = 0 \sim V_{DD}$ 时, T_N 、 T_P 导通, 输出与输入之间呈现低电阻, $v_O = v_I$, 称传输门开通。

当 $C = 0V$, $v_I = 0 \sim V_{DD}$ 时, T_N 、 T_P 均截止, 输出与输入之间呈现高电阻, 相当于开关断开。

v_I 不能传输到输出端, 称传输门关闭。

$C = 1$, $\overline{C} = 0$ 时, 传输门开通, $v_O = v_I$;
 $C = 0$, $\overline{C} = 1$ 时, 传输门关闭, 信号不能传输。

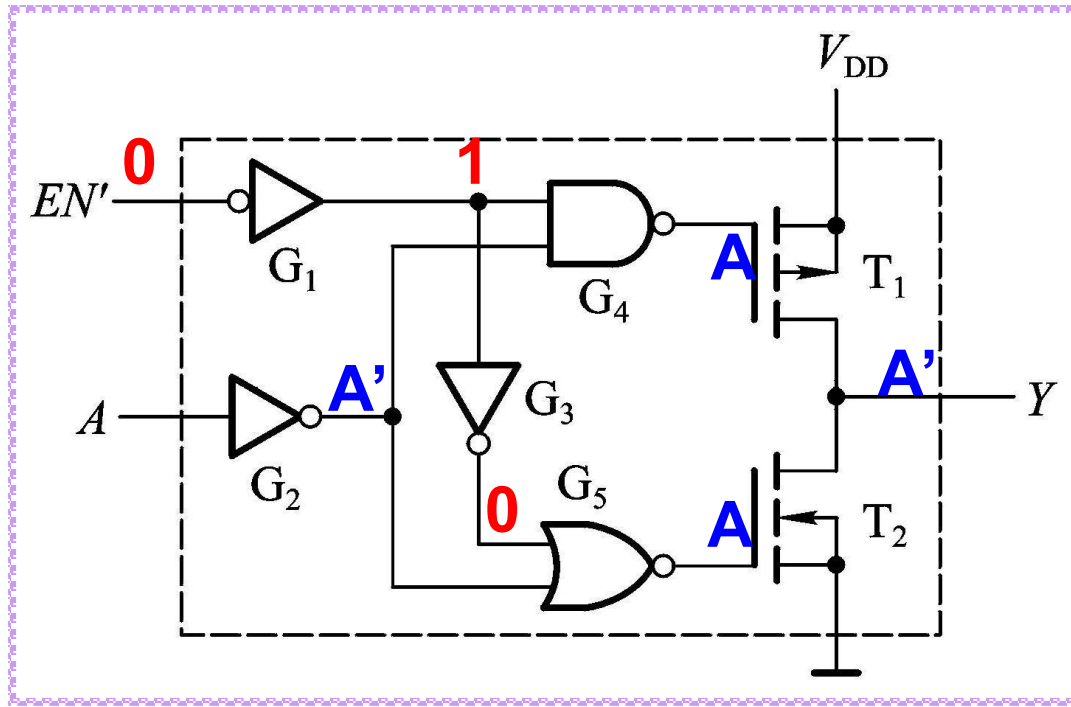
三、CMOS 传输门



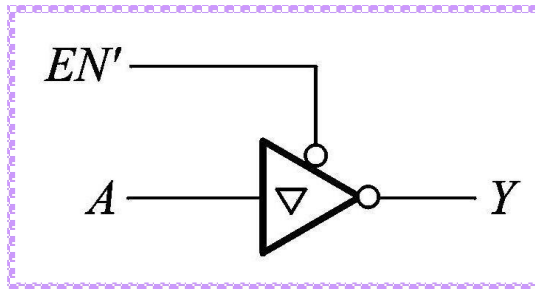
TG 即 **T**ransmission **G**ate 的缩写

传输门是一个理想的双向开关，
可传输模拟信号，也可传输数字信号。

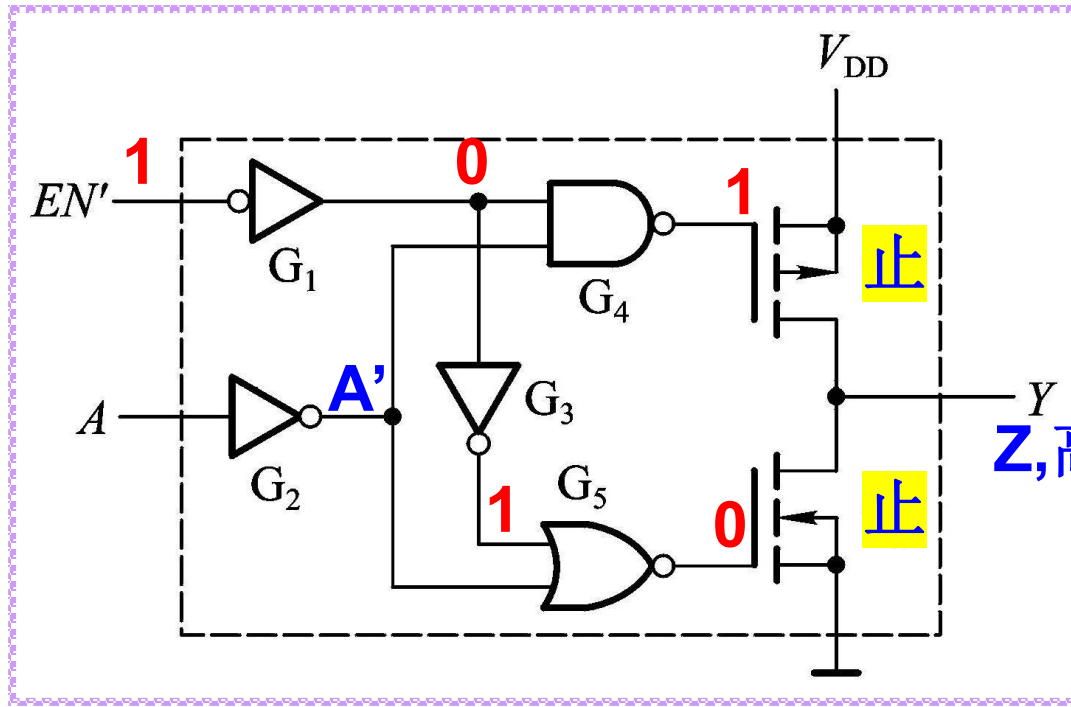
CMOS三态门



$EN' = 0$ 时, $Y = A'$



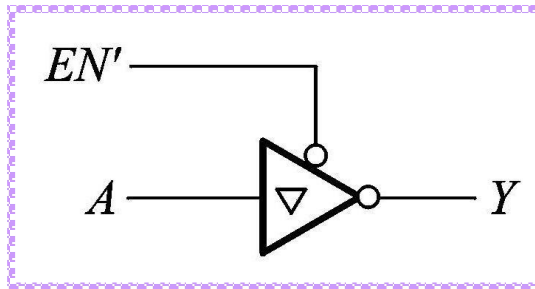
3.2.3 CMOS三态门



$EN' = 0$ 时, $Y = A'$

$EN' = 1$ 时, $Y = Z$, 高阻

Z , 高阻

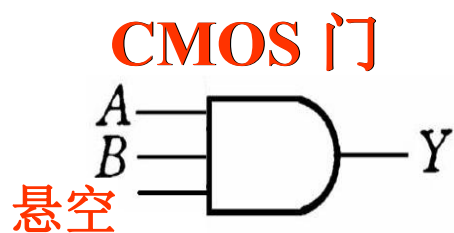


EN'	Y
0	A'
1	Z (高阻)

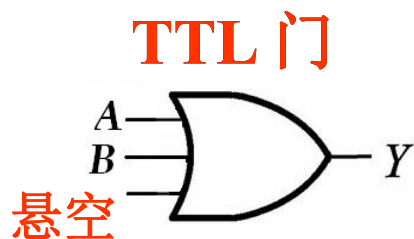
CMOS 门电路比之TTL的主要特点

- 功耗极低
- 抗干扰能力强
- 电源电压范围宽
- 输出信号摆幅大 ($V_{OH} \approx V_{DD}$, $V_{OL} \approx 0 \text{ V}$)
- 输入阻抗高
- 扇出系数大

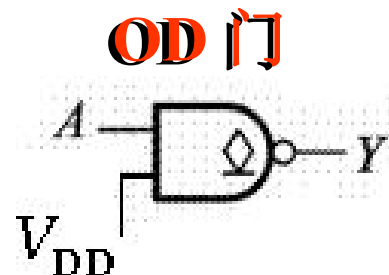
★ [例] 试改正下图电路的错误，使其正常工作。



(a)

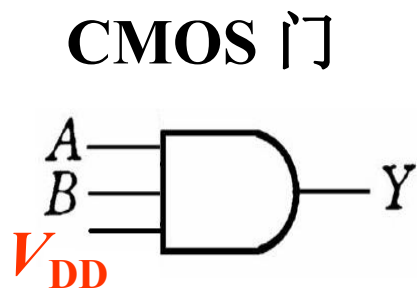


(b)

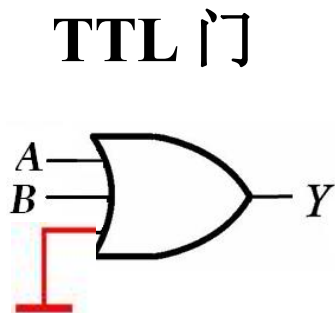


(c)

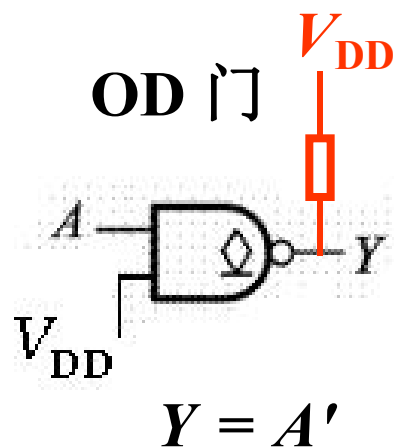
解：



$$Y = AB$$

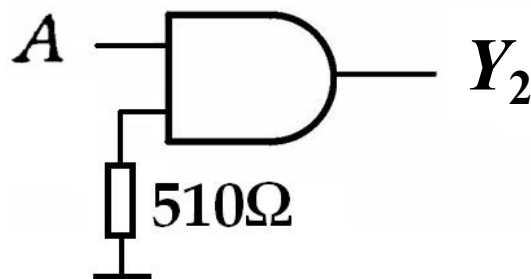
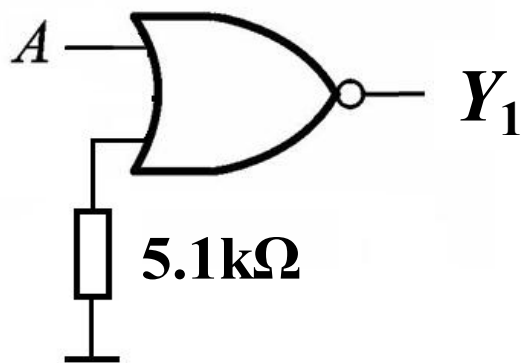


$$Y = A + B$$



$$Y = A'$$

[例] 当下列电路分别是TTL电路和CMOS电路时，怎样实现非运算。



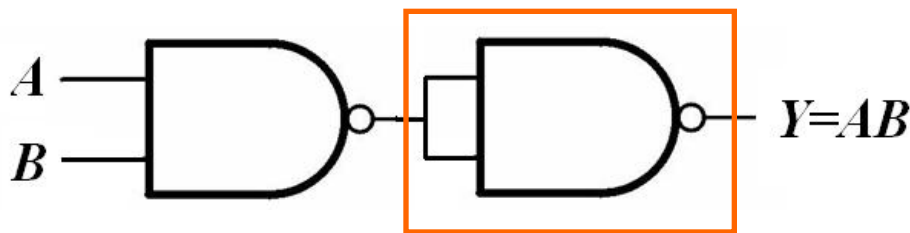
★ [例] 试分别采用与非门和或非门实现与门和或门。

解：(1) 用与非门实现与门 设法将 $Y = AB$ 用与非式表示

因为 $Y = AB = ((AB)')'$

可用两级电路 2 个与非门实现之

因此，用与非门实现的与门电路为



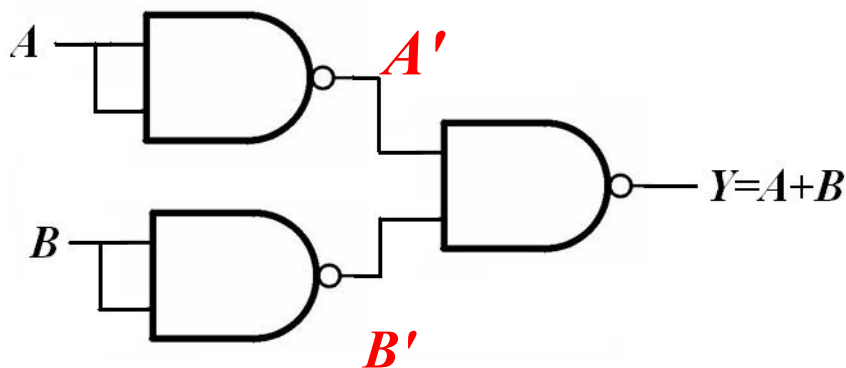
将与非门多余输入端与有用端并联使用构成非门

(2) 用与非门实现或门 设法将 $Y=A+B$ 用与非式表示

$$\text{因为 } Y=A+B = ((A+B)')' = (A' \cdot B')'$$

因此，用与非门实现的或门电路为

可用两级电路
3 个与非门实现

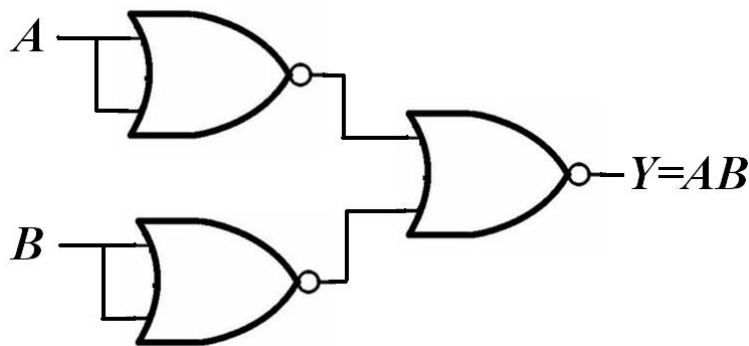


(3) 用或非门实现与门 设法将 $Y = AB$ 用或非式表示

因为 $Y = AB = ((AB)')' = (A' + B')'$

可用两级电路
3 个或非门实现之。

因此，用或非门实现的与门电路为



将或非门多余输入端与
有用端并联使用构成非门

(4) 用或非门实现或门 设法将 $Y=A+B$ 用或非式表示

因为 $Y=A+B=((A+B)')'$ 可用两级电路
2 个或非门实现之

因此，用或非门实现的或门电路为

