

第一章 数制和码制 重点内容

一、各种数制的表示方法

$(11.51)_{10}$ 或 $(11.51)_D$

$(101.11)_2$ 或 $(101.11)_B$

$(27.15)_8$ 或 $(27.15)_O$

$(3BE.C4)_{16}$ 或 $(3BE.C4)_H$

二、数制的转换

1、各种数制转换为 10 进制

按权展开求和

2、10 进制转换为 2 进制

整数除 2 取余，倒着念；小数乘 2 取整，顺着念。

注意：小数部分转换时需要注意有效数字位数

3、2 进制转换为 8 进制、16 进制

以小数点为中心，3 位(或 4 位)一组，不足补 0，写对应的 8 进制(或 16 进制)数

4、8 进制、16 进制转换为 2 进制

每位 8 进制(或 16 进制)数用 3 位(或 4 位)2 进制数代替

三、二进制运算

1、符号位

“+”用“0”表示；“-”用“1”表示。

2、原码反码补码

正数：原码=符号位+真值；反码=符号位+真值；补码=符号位+真值；即原码反码补码相同

负数：原码=符号位+真值；反码=符号位+真值按位取反；补码=符号位+真值按位取反后加 1

3、补码性质

$$\{X_{补}\}_{补} = X_{原} \quad X1_{补} + X2_{补} = \{X1 + X2\}_{补}$$

4、二进制运算注意事项

运算时：(1)为防止溢出，尾数位数不应小于两数绝对值的和所占的位数；(2)两数的尾数位数应该相同；(3)符号位参与运算；(4)最高进位须舍去。

运算后：补码运算完毕仍是补码，需再次求补得到原码。

四、二进制代码

1、自然二进制码：按自然数顺序排列的二进制码

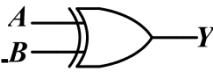
2、8421BCD 码：4 位二进制数前 10 种组合分别代表十进制 0-9 的代码，其权为 8、4、2、1。


3、注意 8421BCD 码和二进制数的区别

第二章 逻辑代数基础 重点内容

一、逻辑代数中的基本运算及常用复合运算

与、或、非；与非、或非、与或非；同或、异或。

■ 异或: $Y = A \oplus B = A'B + AB'$ ----- 

■ 同或: $Y = A \odot B = A'B' + AB$ ----- 

■ 异或与同或的关系: $A \oplus B = (A \odot B)'$

二、逻辑代数的公式和定理

1、基本公式

(17) $A + BC = (A + B)(A + C)$ 分配律, 正向反向灵活应用

(8) $(AB)' = A' + B'$

(18) $(A + B)' = A'B'$

■ 公式(8)和(18)称为反演律, 亦称摩根定律, 求反函数时应用。

■ 公式(8)和(18)记忆口诀: “非进去要变号”

2、常用公式

(22) $A + A'B = A + B$

■ 记忆口诀: “一对互补因子, 其中一个有系数, 保留系数去掉因子”

(25) $AB + A'C + BC = AB + A'C$
 $AB + A'C + BCD = AB + A'C$

■ 记忆口诀: “一对互补因子的系数构成的项是多余的, 可消去”

■ 公式(22)和(25)须掌握证明方法; 会正向反向灵活应用。

3、基本定理

(1)反演定理

“.”变“+”, “+”变“.”; “0”变“1”, “1”变“0”; 原变量变反变量, 反变量变原变量; 得到原函数的反函数 Y' 。

■ 运算优先级不变; 长非号保持不变。

■ **求反函数或者可以应用反演定理; 或者可以应用摩根定律[公式(8)和(18)]。**

(2)对偶定理

“.”变“+”, “+”变“.”; “0”变“1”, “1”变“0”; 得到原函数的对偶函数 Y^D 。

■ 运算优先级不变；变量保持不变。

■ **两个函数式相等，则它们的对偶式也相等。**

■ 利用对偶定理可将与或式和或与式相互转换

三、逻辑函数各表示方法间的相互转换

1、真值表→逻辑式

(1)找出真值表中使输出 $Y=1$ 对应的输入变量组合；

(2)每个输入变量组合对应一个乘积项，取值为 1 的用原变量代替，取值为 0 的用反变量代替；(最小项)

(3)所有组合相或得到 Y 的表达式。

■ 若真值表中 $Y=1$ 对应的输入变量组合太多，可以将 $Y=0$ 对应的输入变量组合对应的乘积项相加，得到 Y' 的表达式，然后求反函数即可。

2、逻辑式→逻辑图

■ 在画图过程中注意对电路图结构的总体把握，力求整齐美观。原则：同一运算优先级的逻辑符号处在同一列；走线以层次清楚为准，尽量减少交叉。

3、波形图→真值表

■ 波形图也称时序图，不一定能够体现出所有输入变量的组合，若有的输入变量组合在波形图上并未显示，其对应的输出值部分应该填“×”。

四、逻辑函数的标准形式

1、最小项之和式

最小项 m ，其表示方法为：取值为 1 用原变量表示，取值为 0 用反变量表示，各输入变量相与构成最小项。

任意一个逻辑函数都可化为最小项之和式（标准与或式），并且该最小项之和式是唯一的。

■ 以四变量逻辑函数为例，其最小项之和式可以写成以下形式：

$$\begin{aligned} Y(A,B,C,D) &= A'B'C'D' + A'B'C'D + A'BC'D + AB'C'D' \\ &= m_0 + m_1 + m_5 + m_8 \\ &= \sum m(0,1,5,8) \end{aligned}$$

2、最大项之积式

最大项 M ，其表示方法为：取值为 1 用反变量表示，取值为 0 用原变量表示，各输入变量相或构成最大项。

任意一个逻辑函数都可化为最大项之积式（标准或与式），并且该最大项之积式是唯一的。

■ 以三变量逻辑函数为例，其最大项之积式可以写成以下形式：

$$\begin{aligned}
 Y(A,B,C) &= (A+B+C)(A'+B+C)(A'+B+C')(A'+B'+C)(A'+B'+C') \\
 &= M_0 \cdot M_4 \cdot M_5 \cdot M_7 \\
 &= \prod M(0,4,5,7)
 \end{aligned}$$

■ 最大项取值是负逻辑体制！

3、最小项和最大项之间的关系

$$(1) \quad m_i = M_i' \quad M_i = m_i'$$

$$(2) \text{ 已知逻辑函数为 } Y = \sum m_i \text{ 时, 定能将 } Y \text{ 化成此形式: } Y = \sum_i m_i = \prod_{k \neq i} M_k$$

4、标准或与式

求标准或与式有两种方法：第一，先求最小项之和式，利用最大项和最小项的关系写出标准或与式；第二，真值表（卡诺图）中找出 $Y=0$ 对应的最大项，将这些项相乘即可，注意是负逻辑体制。

五、逻辑函数的公式化简法

目标：乘积项的个数最少（与门个数少）；每个乘积项中变量的个数最少（与门输入端少）。

原则：灵活运用各种公式和定理

■ 若逻辑函数中非号较多，可考虑反演定理；若逻辑函数中以或与式为主，可考虑对偶定理（ $F = (F^D)^D$ ）。

六、逻辑函数的卡诺图化简法

1、逻辑函数的卡诺图表示

■ 变量的编码方式是格雷码，例如：变量 AB 对应的编码顺序应为：00,01,11,10

- (1) 将逻辑函数化为标准与或式，对每个最小项对应的方格填“1”。
- (2) 若已知真值表，直接将 $Y=1$ 对应的最小项在卡诺图相应的方格中填“1”即可。
- (3) 若表达式不是标准的与或式，只要化简成与或式即可，直接根据与或项填图。
- (4) 若函数式为或与式，则按照负逻辑体制填“0”。

2、卡诺图化简法

(1) 画函数卡诺图

(2) 对填“1”的相邻方格画包围圈

画圈原则：圈必须包含 2^n 个方格；先圈小圈，再圈大圈；“1”可重复圈，但是每次必须有新的“1”；每个“1”都必须圈到，不能漏掉。

画圈目标：圈的数量少，每个圈都圈的范围大。

注意事项：卡诺图“左右”“上下”“四角”都是相邻的。

(3) 将各圈分别化简

(4) 将各圈化简结果逻辑加

3、卡诺图化简中的几点说明

- (1)若卡诺图中“1”多“0”少，可对“0”画圈，化简得到函数 Y' ，然后再求反。
- (2)化简的最终结果可能不唯一，即函数的最简式不一定是唯一的。
- (3)对于无关项，在化简过程中，采取的原则为“有用性原则”，目标是：利用无关项使得画圈最少且最大即可。

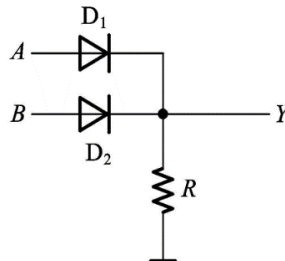
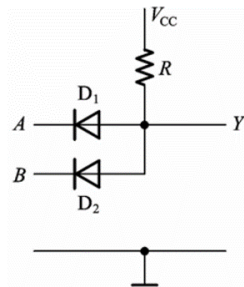
七、逻辑函数的各种最简形式

- 1、最简与或式：卡诺图对 1 画圈，各乘积项相加。
- 2、最简与非式：先求与或式，然后求反再求反，第一个非号进去。
- 3、最简或与式：(1)卡诺图对 0 画圈，写出反函数表达式，然后求原函数。
(2)卡诺图对 0 画圈，直接按各相或项相乘，记住是负逻辑体制。
- 4、最简或非式：先求或与式，然后求反再求反，第一个非号进去。
- 5、最简与或非式：
 - (1)先求出或非式，然后将已经进去的第一级非号再进到相或项里。
 - (2)卡诺图对 0 画圈，写出与或形式的反函数，然后再求反。

第三章 门电路 重点内容

一、半导体二极管门电路

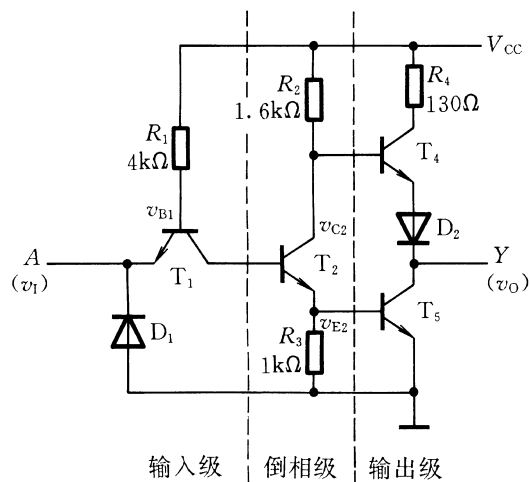
1、二极管与门和二极管或门的电路结构



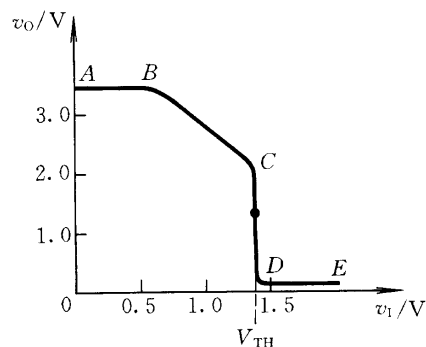
2、二极管门电路的缺点：电平有偏移；携带负载能力差。

二、TTL 门电路

1、TTL 反相器的电路结构及工作原理。



2、TTL 反相器的电压传输特性。



3、从 TTL 反相器的静态输入特性得到的结论。

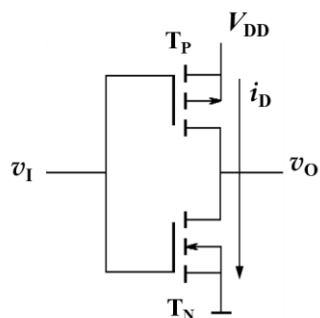
4、其他类型的 TTL 门电路（与非门、或非门、与或非门、异或门等等），根据电路结构可判断出逻辑功能。

5、OC 门、三态门的电路结构，逻辑符号及使用方法。

6、TTL 门电路使用时的注意事项。

三、CMOS 门电路

1、CMOS 反相器的电路结构及工作原理。



2、其他类型的 CMOS 门电路，根据电路结构可判断出逻辑功能。

3、带缓冲级的 CMOS 门电路的意义。

4、OD 门、传输门、三态门的电路结构、逻辑符号及使用方法。

5、CMOS 门电路使用时的注意事项。

四、TTL 门电路和 CMOS 门电路的比较，CMOS 门电路的优点。

第四章 组合逻辑电路 重点内容

一、组合逻辑电路的概念和特点

数字电路一般可分为组合逻辑电路和时序逻辑电路。

组合逻辑电路的特点是：输出逻辑状态完全由当前输入状态决定。无存储和记忆功能；由门电路构成，无反馈回路；组合逻辑电路可由逻辑函数表达式、真值表、卡诺图、逻辑电路图描述。

时序逻辑电路的特点是：输出逻辑状态不仅与当前输入状态有关，还和电路本身的状态有关。

二、组合逻辑电路的分析和设计

1、分析：根据逻辑电路找出输入输出关系，从而确定电路的逻辑功能。

分析步骤：

(1)推导逻辑电路输出函数的逻辑表达式。

首先将逻辑图中各个门的输出都标上字母，然后从输入级开始，逐级推导出各个门的输出函数。

(2)化简逻辑函数表达式（公式法或卡诺图法）。

(3)由逻辑表达式建立真值表。

(4)分析真值表，用语言文字描述逻辑电路的功能。

2、设计：根据逻辑要求，设计出可实现该功能的组合逻辑电路图。

设计步骤：

(1)将设计要求转化为逻辑关系并列出真值表（列真值表时应注意是否含无关项）；

A 确定输入变量、输出变量，并用字母表示出来

B 逻辑赋值

C 列真值表

(2)写出逻辑函数式；

(3)选定器件类型（逻辑门或者常用组合逻辑器件）；

(4)据此化简逻辑函数（卡诺图法更为常用）或变换逻辑函数；

(5)画出电路图。

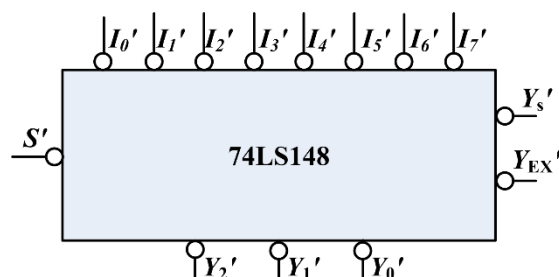
三、常用组合逻辑电路

1、编码器：将输入的每个高低电平信号编成一个对应的二进制代码。

{ 普通编码器 （任何时刻只允许输入一个编码信号）
{ 优先编码器★（允许输入多个编码信号，但对优先权最高的信号进行编码）

(1)8 线—3 线优先编码器 74LS148 的逻辑功能:

逻辑功能图:



输入是 8 个高低电平信号，对低电平进行编码，即 I_i' 低电平有效

输出是二进制代码，输出反码，即 Y_i' 低电平有效

输入控制端 S' 低电平有效，即 $S' = 0$ 时工作，反之不工作

输出控制端 Y_s' 、 Y_{EX}' 低电平有效，即 $Y_s' = 0$ 时表示工作、无编码输入； $Y_{EX}' = 0$ 时表示工作、有编码输入。

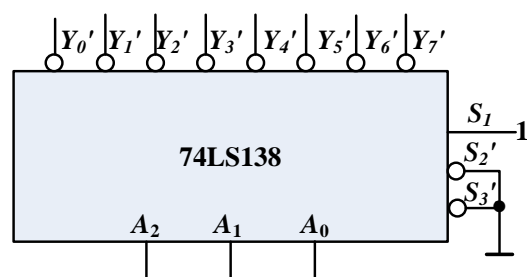
(2)编码器的扩展（利用控制端实现）

设计思路: 利用控制端，实现只有第一片编码器无编码输入时，第二片编码器才允许工作；输出二进制代码的最高位可利用控制端 Y_{EX}' 来实现，二进制代码的低 3 位应是两片输出的“与”（编码器不工作或不编码时，输出锁定在“1”位置）。
2、译码器：编码的逆过程；将二进制代码译成对应的输出高低电平或另外一个代码。

{ 二进制译码器（74LS138）★
 { 二~十进制译码器（4 线—10 线译码器 74HC42，具有拒绝译伪码的功能）
 { 数码显示译码器（7448）

(1)3 线—8 线译码器 74LS138（最小项译码器）的逻辑功能:

逻辑功能图:



输入是 3 位二进制代码 $A_2A_1A_0$

输出是 8 个高低电平信号 Y_i' ，低电平有效，其输出提供了输入变量的全部最小

项的非

输入控制端 $S_1 = 1, S_2' = 0, S_3' = 0$ 时工作，反之不工作

(2) 74LS138 的输出表达式

$Y_i' = (S_1(S_2' + S_3')'m_i)'$ ，若译码器正常工作，则 $Y_i' = m_i'$ ，可利用此性质可实现任意逻辑函数，**特别是可实现多输出的逻辑函数。**

(3) 利用 74LS138 实现组合逻辑函数的方法★

用“最小项译码器”74LS138 和门电路可实现任何组合逻辑函数。74LS138 输出为低电平有效，因此门电路多选用与非门；若与非门的输入端过多，可将函数做一定形式的变换，用与门输出。

(4) 译码器的扩展（利用控制端实现）

设计思路：选取某一输入控制端作为输入代码的最高位。

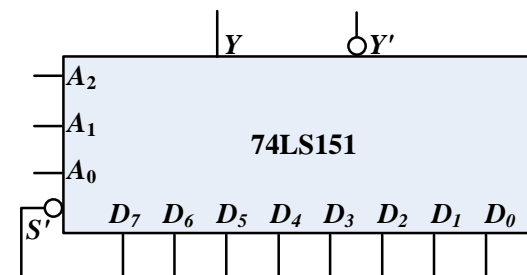
(5) BCD—7 段显示译码器 7448

数码显示译码器是将 BCD 码译成相应的输出信号，以驱动显示器显示出相应数字，因此也称为“广义译码器”。

3、数据选择器：根据地址码，将多路信号中的一路选中输出。

(1) 8 选 1 数据选择器 74LS151★的逻辑功能：

逻辑功能图：



输入端： $A_2A_1A_0$ 为 3 位地址码， $D_0 \sim D_7$ 为数据端，根据地址码的控制，将对应的数据端的数据输出。

输出端： Y 和 Y' 为互补输出端，其输出可提供地址变量的全部最小项

控制端： $S' = 0$ 时工作，反之不工作

(2) 74LS151 的输出表达式

$Y = m_0D_0 + m_1D_1 + m_2D_2 + m_3D_3 + m_4D_4 + m_5D_5 + m_6D_6 + m_7D_7$ ，即 $Y = \sum_{i=0}^{2^k-1} m_i D_i$ ，利

用此性质可实现任意逻辑函数，**但一般实现的是单输出的逻辑函数。**

(3) 利用 74LS151 实现组合逻辑函数的方法★

设 K 为数据选择器的地址输入端数， N 为逻辑函数的变量数

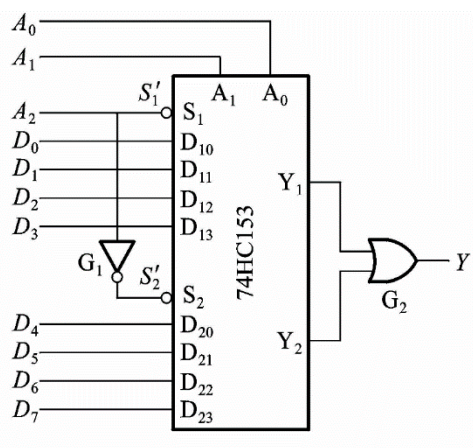
A、 $N=K$ （公式法或卡诺图法，但卡诺图法更常用）

B、 $N<K$ （将地址端的高位直接接“1”或接“0”，考虑高 4 位或低 4 位的数据端即可）

C、 $N>K$

扩展法：利用控制端作为地址位的最高位实现芯片的扩展；输出 Y 为高电平有效，因此两芯片在输出端须用“或”门连接起来。
降维法★：卡诺图降维

(4) 双 4 选 1 数据选择器 74HC153



(5) 数据选择器的扩展

多芯片扩展时，需要用译码器实现地址端高位数值的选择，例如：利用两片双 4 选 1 数据选择器 74HC153 接成 16 选 1 数据选择器的实例。

4、加法器

(1) 半加器及全加器的概念、真值表及逻辑符号

(2) 串行进位加法器的概念及逻辑图

(3) 超前进位加法器 74LS283 的逻辑功能及扩展方法★（课件中利用其实现组合逻辑电路的相关例题必须掌握）

5、数值比较器

4 位数值比较器 74LS85 的逻辑功能及扩展方法★（课件中利用其实现组合逻辑电路的相关例题必须掌握）

四、组合逻辑电路中的竞争和冒险

1、竞争冒险的概念

2、竞争冒险的判断方法（公式法，卡诺图法）

3、竞争冒险的消除方法（接入滤波电容，引入选通脉冲，修改逻辑设计）

第五章 半导体存储电路

第 1 节 概述 重点内容

1、数字电路包括运算电路和**存储电路**

2、**存储电路**分类：

(1)基本存储单元：存储 1 位数据

存储单元	静态	锁存器和触发器	保持，高速
	动态	电容存储	刷新，低速，简单

(2)寄存器 (Register)：存储 1 组数据

寄存器：1 组触发器构成，每个触发器的输入输出可直接和周围电路连接，快速的进行数据交换。

(3)存储器 (Memory)：存储大量数据

存储器：计算机系统记忆设备，用来存放程序和数据。存储器能存储大量 2 值信息，是数字系统中不可缺少的部分。

存储器结构	存储矩阵
	读写控制电路

存储器的组成：存储介质主要是**半导体器件**和磁性材料

存储器种类	随机存储器 (Random Access Memory RAM)
	只读存储器 (Read-Only Memory ROM)

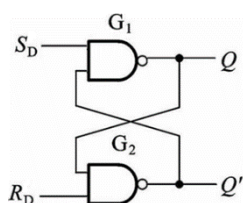
第 2—3 节 SR 锁存器、触发器 重点内容

一、SR 锁存器

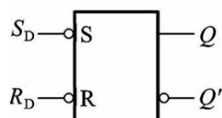
1、SR 锁存器的电路结构：（或非门构成的锁存器恰好相反）

2、SR 锁存器的逻辑符号：（ S_D 为置位端(置 1 端)， R_D 为复位端(置 0 端)，低电平有效）

3、SR 锁存器的特性表：“不定”包括两层含义，一是 Q 和 Q' 不满足互补关系，二是输入 S_D 和 R_D 从 00 同时跳变到 11 时， Q 状态无法确定，电路仿真出现震荡。）



电路结构



逻辑符号

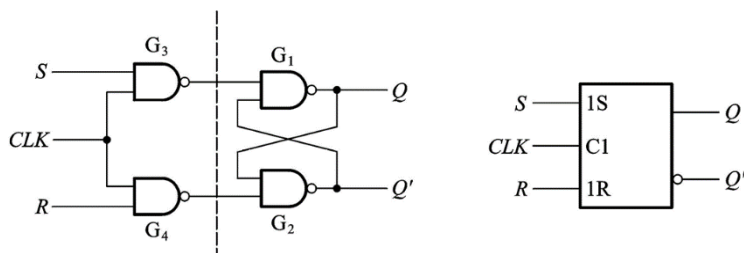
S_D	R_D	Q^*	
1	1	Q	保持
0	1	1	置 1
1	0	0	置 0
0	0	1*	不定

特性表

二、按照触发方式分类的触发器

不同的电路结构决定了不同的触发方式，不同的触发方式有不同的动作特点。

1、电平触发的触发器（可靠性最低）（以同步 SR 触发器为例）



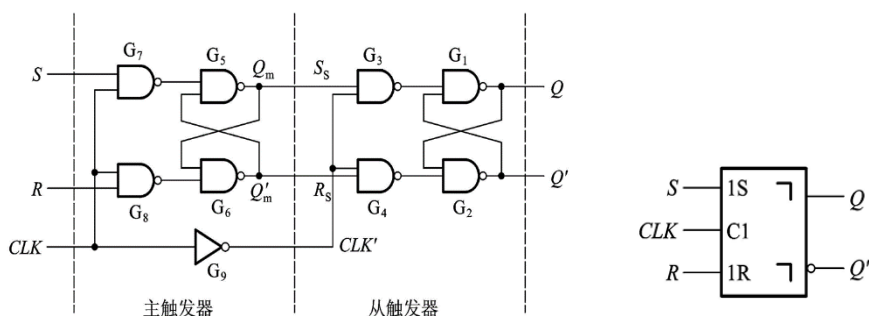
电路结构

逻辑符号

动作特点：时钟脉冲高电平有效时，在 $CLK=1$ 的全部时间里，电路状态随输入信号的变化而改变，这种现象叫“空翻”。

2、脉冲触发的触发器（可靠性居中，每个 CLK 周期输出状态只改变 1 次）

(1)主从结构的 SR 触发器

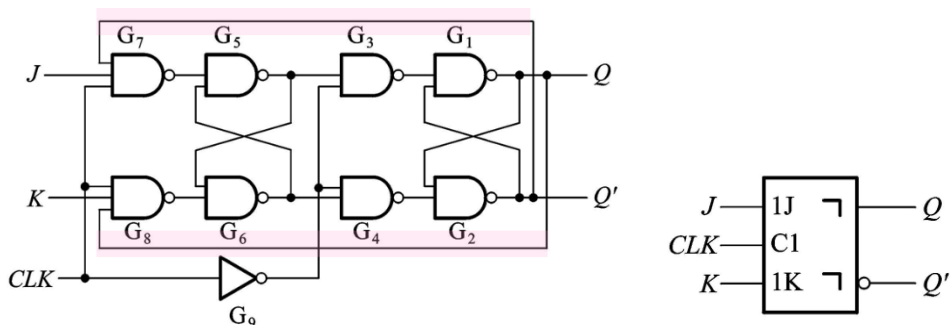


电路结构

逻辑符号

动作特点：时钟脉冲高电平有效时，电路状态只在下降沿发生改变；改变依据为：在 $CLK=1$ 的全部时间里，输入信号的变化导致主触发器状态变化，从触发器输出即电路输出状态按照主触发器在下降沿到来时刻的状态发生变化。

(2)主从结构的 JK 触发器

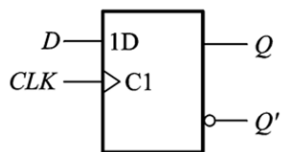


电路结构

逻辑符号

动作特点：时钟脉冲高电平有效时，电路状态只在下降沿发生改变；改变依据为：在 $CLK=1$ 的全部时间里，如果输入信号发生变化，主触发器的状态能够也仅能够变化（跳变）一次，这称之为 JK 触发器的一次变化现象。

3、边沿触发的触发器（可靠性最高）



逻辑符号

动作特点: 时钟脉冲高电平有效时, 电路状态只在**上升沿**发生改变; 改变依据为: 输出状态仅仅取决于上升沿到达时刻输入信号的状态。

4、说明: 带有异步置 0 或者置 1 端的触发器, 一旦有效时, 不管时钟脉冲什么情况, 电路状态 Q 立刻置 0 或者置 1。

三、按照逻辑功能分类的触发器

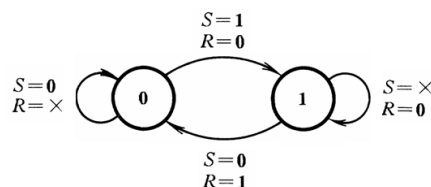
1、SR 触发器

S	R	Q^*	
0	0	Q	保持
0	1	0	置 0
1	0	1	置 1
1	1	1*	不定

特性表

$$\begin{cases} Q^* = S + R'Q \\ SR = 0 \end{cases}$$

特性方程



状态转换图

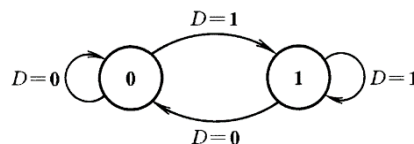
2、D 触发器（令 $S=D$, $R=D'$ ）（透明锁存器）

D	Q^*	
0	0	置 0
1	1	置 1

特性表

$$Q^* = D$$

特性方程



状态转换图

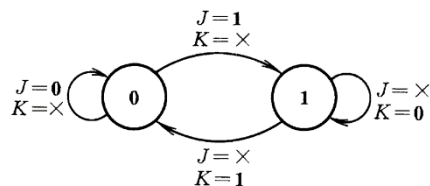
3、JK 触发器（在 SR 触发器基础上加了两条反馈线, 解除了 $SR=0$ 的约束条件）

J	K	Q^*	
0	0	Q	保持
0	1	0	置 0
1	0	1	置 1
1	1	Q'	翻转(计数)

特性表

$$Q^* = JQ' + K'Q$$

特性方程

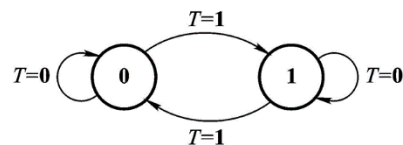


状态转换图

4、T 触发器（令 $J=T$, $K=T$ ）

T	Q^*	
0	Q	保持
1	Q'	翻转(计数)

$$Q^* = TQ' + T'Q$$



特性表

特性方程

状态转换图

四、不同类型触发器之间的转换

转换方法：对比两种触发器的特性方程式，得到转换电路的逻辑表达式，进而画出转换电路。注意：已知触发器类型的输入是因变量，写在方程左侧；所求触发器类型的输入是自变量，写在方程右侧。

第 4 节 寄存器 重点内容

寄存器（Register）：存储 1 组二值代码

- (1)用于寄存 N 位二值代码，n 位寄存器由 n 个触发器组成。
- (2)要求每个触发器都可置 1 或置 0，电平，脉冲，边沿均可组成寄存器。
- (3)每个触发器的输入输出可直接和周围电路连接，快速的进行数据交换。

第 5 节 存储器 重点内容

一、存储器的概念、构成和分类

1、存储器（Memory）：可存储大量 2 值信息，**存储容量和存取速度**是衡量其性能优劣的最重要的指标。

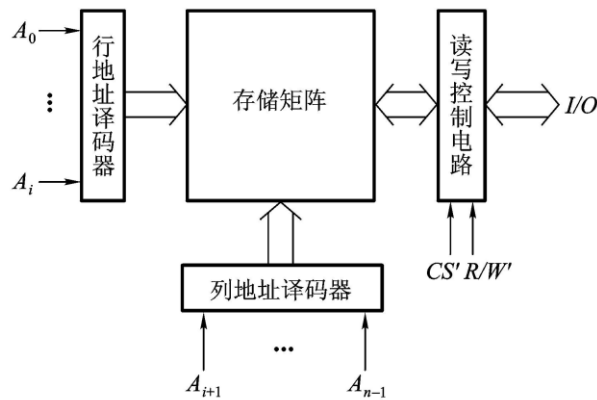
2、存储器结构 { 存储矩阵
读写控制电路

（注意与触发器、寄存器的区别）

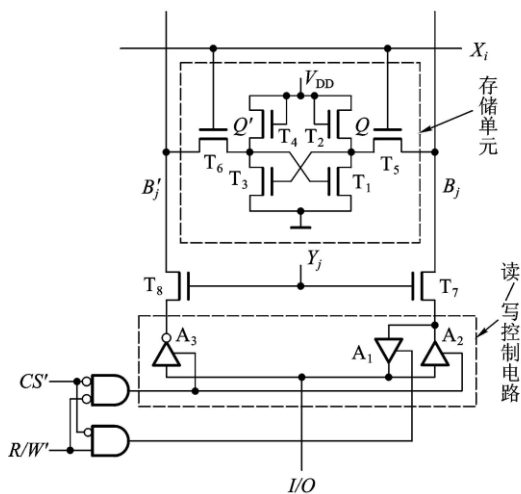
3、存储器分类 { **随机存储器（Random Access Memory RAM）**
 { 静态 **SRAM**：锁存器作为存储单元，存取速度快
 { 动态 **DRAM**：结构简单，集成度高，存取速度慢
 断电后数据消失，**快速**读写数据
只读存储器（Read-Only Memory ROM）
 断电数据不消失，存储固定数据

二、随机存储器 RAM

1、静态随机存储器 SRAM 的电路结构及工作原理



2、CS'端，R/W'端等端口的逻辑功能



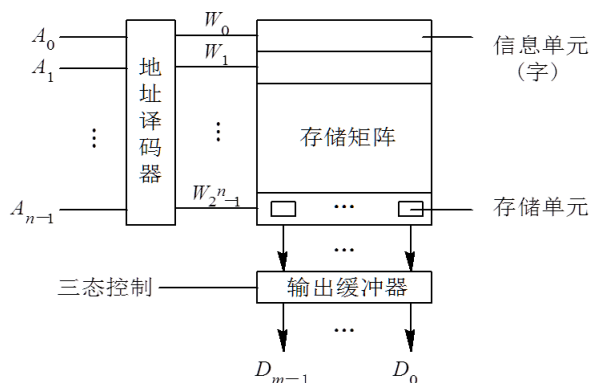
3、动态随机存储器 DRAM

MOS 管栅极电容可以存储电荷，作为存储单元。

三、只读存储器 ROM 的概念、结构和分类

1、只读存储器 ROM 在工作时其存储内容是固定不变的，只能读出，不能随时写入。

2、只读存储器 ROM 的基本结构：地址译码器，存储矩阵，输出和控制电路



3、存储器容量=字数×位数=2ⁿ×m

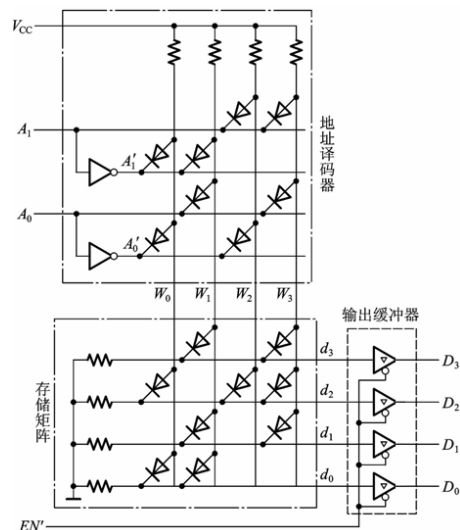
n=输入地址线数，m=输出数据线数

4、只读存储器 ROM 的分类

(1)固定（掩模）ROM

特点：只能读出，不能写入，只用来存放固定数据、固定程序等。适合大量生产，简单，便宜，非易失性等特点。

结构：与矩阵，或矩阵，可实现多输出的组合逻辑函数



注意：如果给出二极管（MOS 管）ROM 的电路结构，应该能够写出存储矩阵中的数据，或者能够写出数据线输出的逻辑表达式。

(2)可编程 ROM: PROM

特点：出厂时，存储的内容为全 0(或全 1)，用户根据需要，可将某些单元改写为 1(或 0)。这种 ROM 采用熔丝或 PN 结击穿的方法编程，只能改写一次。

(3)可擦写可编程 ROM: EPROM, E²PROM, FLASH

EPROM (UVEPROM)：雪崩注入方式写入，紫外照射擦除

E²PROM：高压脉冲或工作电压下就可擦除，擦除原理：隧道效应

FLASH：吸收了 EPROM 结构简单的特点，又吸收了 E²PROM 用隧道效应擦除的快捷特性，集成度很高。

四*、存储器容量的扩展

- 1、位扩展——地址线、读写线、片选线直接并联即可。
- 2、字扩展——利用 CS'端构建高位地址线，高位超过一位时需加译码器。

五*、用存储器实现组合逻辑函数

- 1、原理：若以地址线为输入变量，则数据线即为一组关于地址变量的逻辑函数。
- 2、例 5.5.1，例 5.5.2

第六章 时序逻辑电路 重点内容

一、时序逻辑电路的概念和特点

时序逻辑电路的特点：

功能上，输出逻辑状态不仅与当前输入状态有关，还和电路本身状态有关。

结构上，包含存储电路和组合电路。

时序逻辑电路的分类：

同步时序电路，所有触发器使用同一时钟脉冲，各触发器状态同时变化。

异步时序电路，所有触发器时钟脉冲不统一，触发器变化时间不一致。

时序电路描述：

驱动方程： $Z = G(X, Q)$ 触发器的输入表达式

状态方程： $Q^* = H(Z, Q)$ 驱动方程代入触发器特性方程后得到状态方程

输出方程： $Y = F(X, Q)$

二、时序逻辑电路的分析和设计

1、分析：根据输入、电路初态以及 CLK 时钟，求解电路次态以及输出，从而确定电路的逻辑功能。

同步时序电路分析步骤：

- (1)列方程（驱动方程，状态方程，输出方程）
- (2)状态转换表（“输入、初态”和“次态、输出”之间的关系）
- (3)状态转换图 **检查是否可以自启动**
- (4)时序图
- (5)用语言文字描述逻辑电路的功能和特点

异步时序电路分析步骤：（详见实例 6.2.4）

- (1)确定各触发器的时钟信号源，列驱动方程
- (2)写出状态方程（带时钟信号源表示，注意时钟信号源并不参与方程运算）
- (3)列输出方程
- (4)状态转换表（“输入、初态”和“次态、输出”之间的关系，**注意时钟信号源的触发情况在“输入、初态”一侧一并列入**）
- (5)状态转换图 **检查是否可以自启动**
- (6)时序图
- (7)用语言文字描述逻辑电路的功能和特点

2、同步时序逻辑电路的设计：根据逻辑要求，设计出可实现该功能的时序逻辑电路图。

设计步骤:

- (1)将设计要求转化为时序逻辑关系并画出最简状态转换图;
 - A 逻辑抽象, 确定输入变量、输出变量及电路状态数, 并用字母表示出来
 - B 输入、输出变量逻辑赋值
 - C 画出状态转换图
 - D **状态化简**
 - E 状态编码
- (2)根据需要列出状态转换表 (“输入、初态”和“次态、输出”之间的关系)
- (3)利用次态卡诺图求解次态方程 (状态方程) 以及写出输出方程;
- (4)**利用状态方程检查自启动, 并将状态转换图补充完**
- (5)**如果不能自启动, 必须修改设计,** 修改原则为: 给次态卡诺图的无关项加冗余圈, 使得非有效状态都能进入有效循环;
- (6)根据选定触发器的类型求解对应的驱动方程; (涉及到求解状态方程时不要包含无关项时, 以对应求出的驱动方程最简单为原则。)
- (7)画出时序电路图, **注意必须画出时钟, 输出, 触发器的触发方式等。**

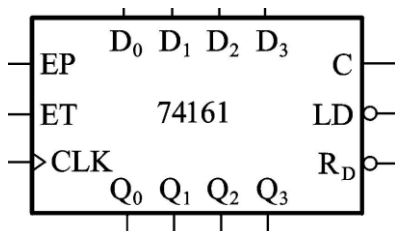
三、常用时序逻辑电路

1、普通计数器: 可用于计数、分频、定时、产生节拍脉冲等等

$\left\{ \begin{array}{l} \text{同步计数器} \\ \text{异步计数器} \end{array} \right.$	加法计数器	$\left\{ \begin{array}{l} \text{十进制计数器} \\ \text{十六进制计数器} \\ \text{.....} \end{array} \right.$
	减法计数器	
	可逆计数器	

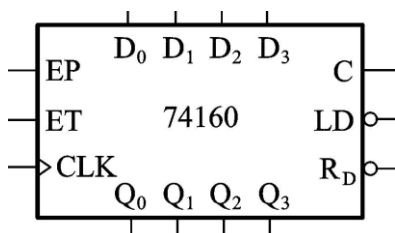
(1)二—五—十进制异步计数器 74LS290

(2)4 位同步二进制计数器 74LS161 (16 进制)



CLK	R'_D	LD'	EP	ET	工作状态
X	0	X	X	X	置 0 (异步)
\neg	1	0	X	X	预置数 (同步)
X	1	1	0	1	保持 (包括 C)
X	1	1	X	0	保持 (C=0)
\neg	1	1	1	1	计数

(3)4 位同步二—十进制计数器 74LS160 (10 进制)



CLK	R'_D	LD'	EP	ET	工作状态
X	0	X	X	X	置 0 (异步)
\neg	1	0	X	X	预置数 (同步)
X	1	1	0	1	保持 (包括 C)
X	1	1	X	0	保持 (C=0)
\neg	1	1	1	1	计数

★74LS161 与 74LS160 外部管脚一致，逻辑功能也一致，唯一区别在于 74LS161 是 16 进制而 74LS160 是 10 进制。

(4)★利用 74161 或 74160 构成任意进制计数器的方法（已知 N 进制求 M 进制）

A 已知计数器进制大于所求进制（ $N > M$ ）

a 置零法——**需多加一个状态**，一般利用电路输出状态 Q 端设置进位输出， R_D 端需加锁存器延长置零信号的作用时间。

b 置数法——**同步置数，无需多加状态**，包括进位置补法(利用进位输出端 C)和任意置数法。

B 已知计数器进制小于所求进制（ $N < M$ ）

a 所求进制可分解（ $M = N_1 \times N_2$ ）

先分别接好 N_1 进制计数器和 N_2 进制计数器，然后将 N_1 和 N_2 连接起来即可。

连接方式分为**并行进位方式（同步时钟）**和**串行进位方式（异步时钟）**。

b 所求进制不可分解

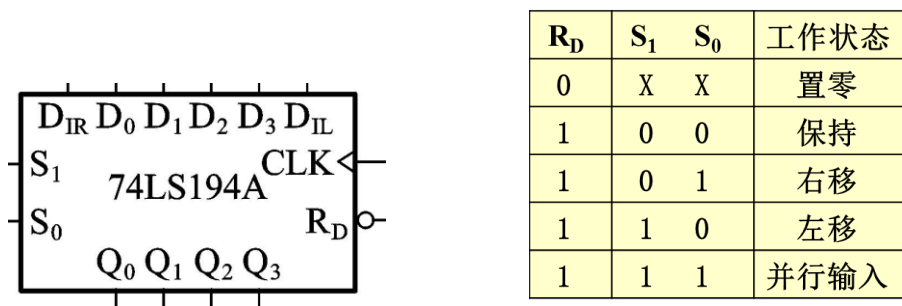
先将两片已知进制计数器连接起来，使其进制大于 M，然后整体置零或置数。

整体置零或置数时需注意：构成计数器的每一个芯片需要同时（并联）被置零或置数。

2、寄存器和移存器

(1)寄存器：理解概念

(2)移存器：理解概念，掌握芯片 74LS194A 的逻辑功能及其扩展应用



2、移存型计数器：（利用移存器加反馈线构成的计数器）

(1)环形的移存计数器

两大严重问题：电路状态利用率低，不能自启动。

若由 n 个触发器构成环形移存计数器，则计数器的进制为 n 。

(2)扭环形的移存计数器

电路状态利用率提高（翻倍），但仍然不能自启动。

若由 n 个触发器构成扭环形移存计数器，则计数器的进制为 $2n$ 。

(3)移存计数器自启动的设计

设计原则：

A 移存特征不能改变，即状态方程 $Q_i^* = Q_{i-1}$ （ $i \geq 1$ ）不能改变。

B 只需设计 D_0 ，即需要画 Q_0 的次态卡诺图，然后写出 Q_0 的次态方程，得到 D_0 输入。

C 画卡诺图的两大原则：首先要保证所有状态都能够进入有效循环状态圈，然后保证 Q_0 的次态卡诺图在化简时更简单。

3、★序列信号发生器：产生序列信号的电路

(1)移存型序列信号发生器：

利用移存器实现，因此设计时必须保证其移存的特征，即只需设计 D_0 即可。

注意：序列信号的长度 m 必须小于等于触发器可提供的状态，即 $m \leq 2^n$ (n 为触发器个数)，而且按照移存特征改变时，移存器的状态在循环内不能重复，因此，这类序列信号发生器比较受限。

(2)计数型序列信号发生器

电路由时序逻辑电路和组合逻辑电路两部分构成：

时序逻辑电路为计数器，提供序列信号输出时对应的电路状态，即在时钟脉冲的作用下，电路状态一次一次改变，对应的序列信号一个一个的输出。

组合逻辑电路可选用译码器，数据选择器等集成芯片，也可以选用逻辑门电路构成；作用为：将电路状态作为输入部分，对应的序列信号作为输出部分，实现组合逻辑函数。

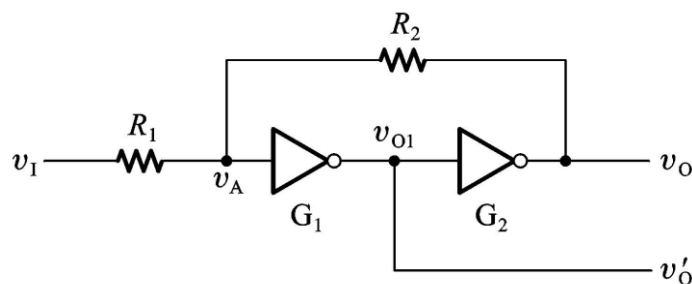
第七章 脉冲波形的产生和整形电路 重点内容

一、概述

{ 脉冲波形的整形：施密特触发器，单稳态触发器 } 555 定时器的应用
 { 脉冲波形的产生：多谐振荡器 }

二、施密特触发器

1、由 CMOS 门电路构成的施密特触发器的电路结构及工作原理

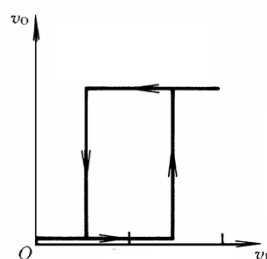


正向阈值电压： $V_{T+} = (1 + \frac{R_1}{R_2})V_{TH}$

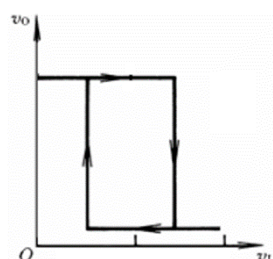
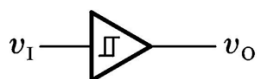
负向阈值电压： $V_{T-} = (1 - \frac{R_1}{R_2})V_{TH}$

回差电压： $\Delta V_T = V_{T+} - V_{T-} = 2\frac{R_1}{R_2}V_{TH}$

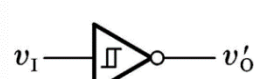
2、施密特触发器的逻辑符号以及电压传输特性



同向传输特性



反向传输特性



3、施密特触发器的特点

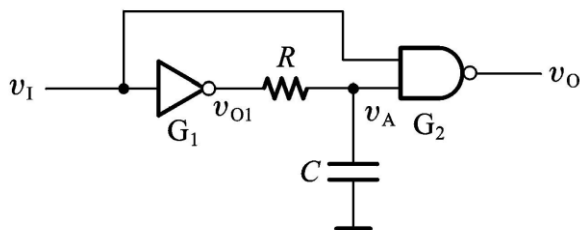
(1) 输入信号在上升和下降的过程中，电路输出状态转换时对应的输入阈值电平不同；即输入信号上升时的阈值为 V_{T+} ，输入信号下降时的阈值为 V_{T-} 。

(2) 电路状态转换时，电路内部的正反馈过程使输出电压的波形很陡峭。

4、施密特触发器的应用：脉冲整形、波形变换、脉冲鉴幅、滤噪等。

三、单稳态触发器

1、由 TTL 门电路构成的积分型单稳态触发器的电路结构及工作原理



暂稳态脉冲宽度: $t_w = RC \ln \frac{V_{(\infty)} - V_{(0)}}{V_{(\infty)} - V_{(1)}} = RC \ln \frac{V_{OH}}{V_{TH}}$

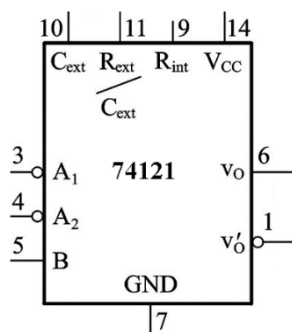
2、单稳态触发器的特点:



- (1) 有一个稳态和一个暂稳态。
- (2) 在外界触发信号作用下, 能从稳态→暂稳态, 维持一段时间后自动返回稳态。
- (3) 暂稳态维持的时间长短取决于电路内部参数。

3、积分型单稳态触发器的特点:

- (1) 积分型单稳态触发器**抗干扰能力更强**, 尖峰脉冲类的噪声作用下不会输出足够宽度的脉冲。
- (2) 因为电路的状态转换过程中没有正反馈作用, 所以输出波形较差。
- (3) 用正脉冲触发, 但触发脉冲宽度必须大于输出脉冲宽度, 否则不能正常工作。

4、TTL 集成单稳态触发器 74121 的逻辑功能和应用 (无需记忆功能表, 但是能看懂)



输入			输出	
A_1	A_2	B	v_O	$v_{O'}$
0	×	1	0	1
×	0	1	0	1
×	×	0	0	1
1	1	×	0	1
1	↓	1		
↓	1	1		
↓	↓	1		
0	×	↑		
×	0	↑		

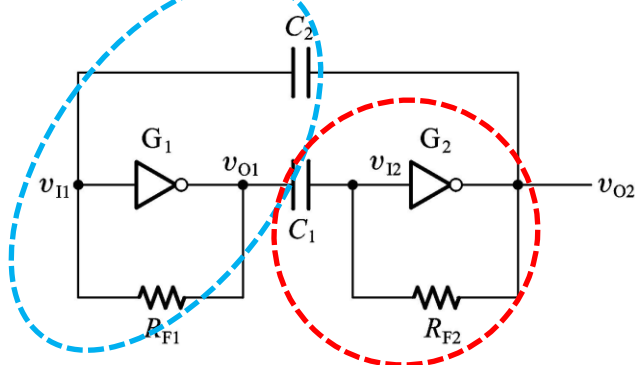
74121 芯片具有不可重复触发性。

若想得到宽脉冲的暂稳态输出，连接的时候需要用外部电阻，否则接内阻即可。

5、单稳态触发器的应用：脉冲整形、脉冲延时、脉冲定时等。

四、多谐振荡器（无稳态电路；自激振荡，无需外加触发信号）

1、对称式多谐振荡器的电路结构及工作原理

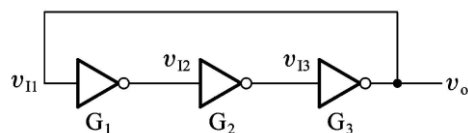


TTL 反相器工作在放大状态，处于电压传输特性的线性区或者转折区，只要存在非常微小的扰动，就会被正反馈回路放大，从而引起振荡。

通过两个电容一个充电一个放电的过程，在充电达到阈值时实现电路状态的转换。

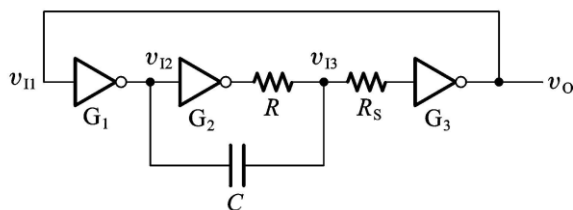
2、环形振荡器

(1) 奇数个非门首尾相接，利用门电路传输延迟负反馈产生振荡，即环形振荡器。



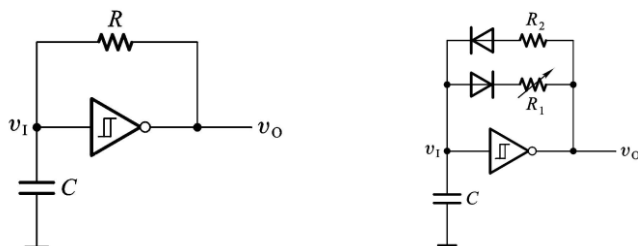
振荡周期为 $T = 2n \cdot t_{pd}$ ， n 为非门个数。

(2) 实用的环形振荡器的电路结构



3、用施密特触发器构成的多谐振荡器

(1) 电路结构



(2) 振荡周期的计算

$$T = T_1 + T_2 = RC \ln \frac{V_{DD} - V_{T-}}{V_{DD} - V_{T+}} + RC \ln \frac{0 - V_{T+}}{0 - V_{T-}}$$

$$T = T_1 + T_2 \approx R_2 C \ln \frac{V_{DD} - V_{T-}}{V_{DD} - V_{T+}} + R_1 C \ln \frac{0 - V_{T+}}{0 - V_{T-}}$$

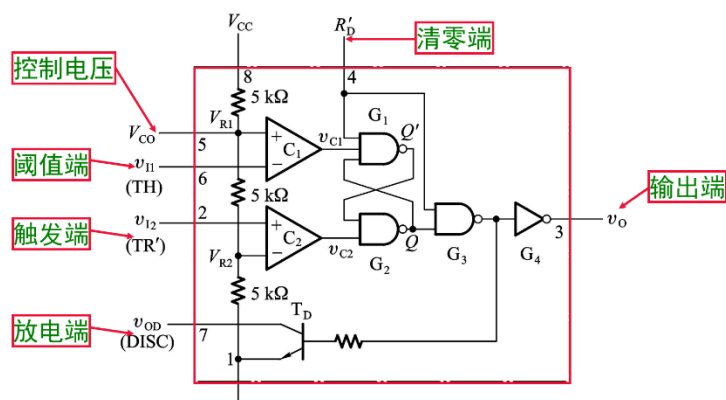
4、石英晶体多谐振荡器

选择石英晶振的原因：振荡器中门电路的阈值本身不稳定；电路的工作方式易受干扰，可造成电路转换时间的提前或滞后；电路状态临近转换时，电容的充放电比较缓慢，转换电平的微小变化都会严重影响振荡周期。

石英晶振的作用：稳频，振荡器频率等于石英晶振的频率。

五、555 定时器及其应用

1、555 定时器的电路结构及逻辑功能

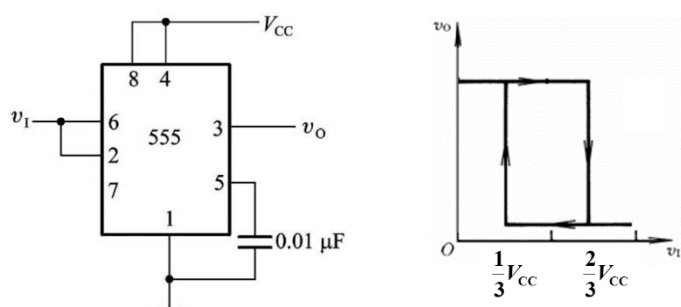


输 入			输 出	
R'_D	v_{I1}	v_{I2}	v_O	T_D
0	X	X	0	导通
1	$> \frac{2}{3}V_{CC}$	$> \frac{1}{3}V_{CC}$	0	导通
1	$< \frac{2}{3}V_{CC}$	$> \frac{1}{3}V_{CC}$	保持	保持
1	$< \frac{2}{3}V_{CC}$	$< \frac{1}{3}V_{CC}$	1	截止
1	$> \frac{2}{3}V_{CC}$	$< \frac{1}{3}V_{CC}$	1	截止

当5端接有 V_{CO} 时： $V_{R1}=V_{CO}$, $V_{R2}=\frac{1}{2}V_{CO}$

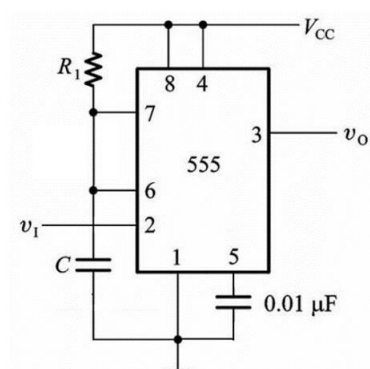
将上述分析中的 $\frac{2}{3}V_{CC} \rightarrow V_{CO}$, $\frac{1}{3}V_{CC} \rightarrow \frac{1}{2}V_{CO}$

2、555 定时器接成施密特触发器



$$\Delta V_T = V_{T+} - V_{T-} = \frac{1}{3}V_{CC}$$

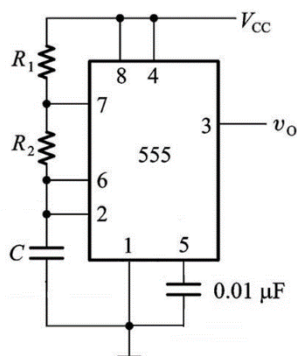
3、555 定时器接成单稳态触发器



此电路的触发脉冲为窄带的负脉冲；触发后 7 端口的电压 v_C 开始充电，电路进入暂稳态（正脉冲），当充电电压达到 6 端口的阈值时，暂稳态结束，然后 v_C 开始迅速放电；该电路不具有可重发触发性。

$$\text{暂稳态持续时间: } t_w = RC \ln \frac{V_C(\infty) - V_C(0^+)}{V_C(\infty) - V_C(t_w)} = RC \ln \frac{V_{CC} - 0}{V_{CC} - \frac{2}{3}V_{CC}} = RC \ln 3$$

4、555 定时器接成多谐振荡器（基于施密特触发器构成的多谐振荡器）



左图电路参数:

$$T = t_{\text{充电}} + t_{\text{放电}} = T_1 + T_2 = (R_1 + R_2) C \ln \frac{V_{CC} - V_{T-}}{V_{CC} - V_{T+}} + R_2 C \ln \frac{0 - V_{T+}}{0 - V_{T-}} = (R_1 + 2R_2) C \ln 2$$

$$\text{占空比 } q = \frac{T_1}{T_1 + T_2} = \frac{R_1 + R_2}{R_1 + 2R_2} > 50\%$$

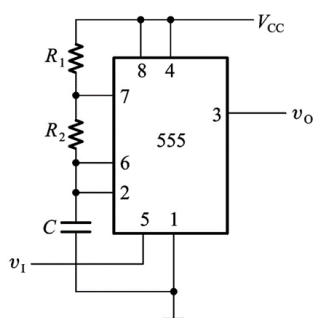
右图电路参数:

$$T = t_{\text{充电}} + t_{\text{放电}} = T_1 + T_2 = R_1 C \ln \frac{V_{CC} - V_{T-}}{V_{CC} - V_{T+}} + R_2 C \ln \frac{0 - V_{T+}}{0 - V_{T-}} = (R_1 + R_2) C \ln 2$$

$$\text{占空比} \leq 50\% \text{ 电路: } q = \frac{T_1}{T_1 + T_2} = \frac{R_1}{R_1 + R_2}$$

5、555 定时器的应用

(1) 555 构成的压控振荡器



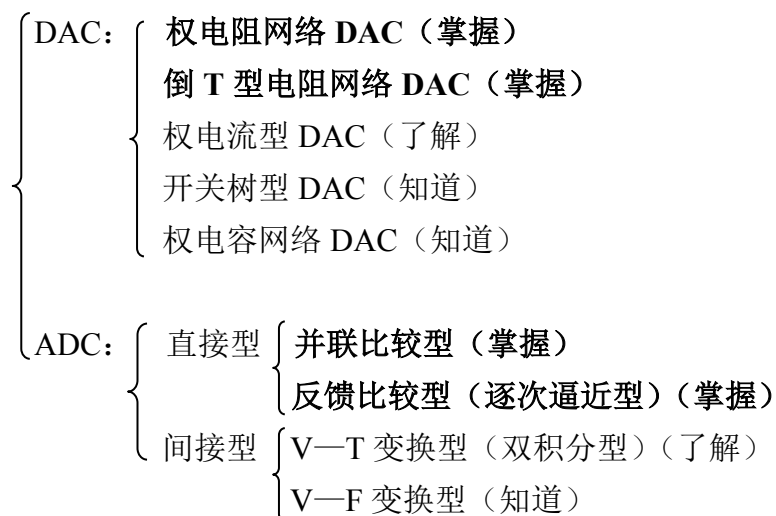
v_1 升高, 振荡周期 T 变大, 振荡频率下降。

(2) 555 构成的延时报警器 (作业 7.25)

(3) 555 构成的救护车扬声器发声电路 (作业 7.26) (注意: 计算右侧 555 的 5 端口控制电压时需要用到戴维南定理。)

第八章 数模和模数转换 重点内容

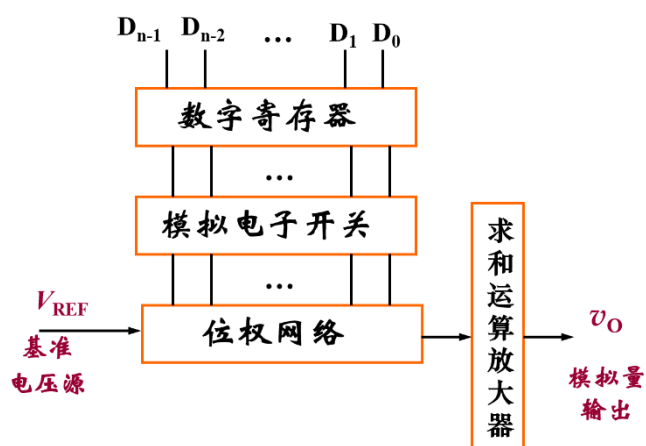
一、概述



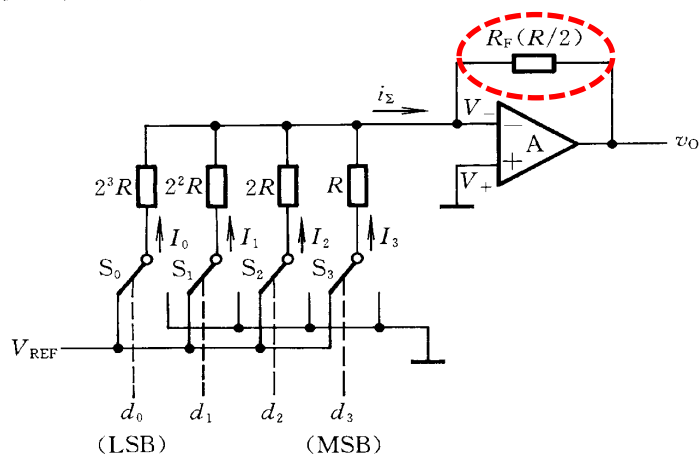
DAC 及 ADC 的性能指标：转换精度和转换速度

二、D/A 转换器

1、D/A 转换器的工作原理方框图



2、权电阻网络 DAC



输出电压:

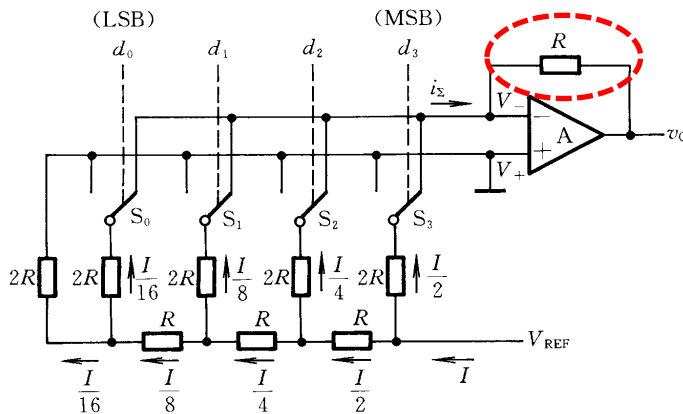
$$v_o = -R_F i_\Sigma = -R_F \frac{V_{REF}}{R} \frac{1}{2^{n-1}} (d_{n-1} 2^{n-1} + d_{n-2} 2^{n-2} + \dots + d_1 2^1 + d_0 2^0)$$

$$= -\frac{V_{REF}}{2^n} D_n$$

优缺点: (1) 优点: 电路简单

(2) 缺点: 电阻值相差大, 难于保证精度, 且大电阻不宜于集成。

3、倒 T 型电阻网络 DAC



$$v_o = -R i_\Sigma = -R \frac{V_{REF}}{R} \frac{1}{2^n} (d_{n-1} 2^{n-1} + d_{n-2} 2^{n-2} + \dots + d_1 2^1 + d_0 2^0)$$

$$= -\frac{V_{REF}}{2^n} D_n$$

(1) 输出电压:

$$D_n \text{ 范围为 } 0 \sim 2^n - 1, \quad v_o = 0 \sim -\frac{2^n - 1}{2^n} V_{REF}$$

(2) CB7520 的逻辑功能及应用

4、DAC 的转换精度与转换速度

(1) 最小输出值 LSB (least significant bit) 和输出量程 FSR (full scale range)

$$V_{LSB} = \frac{|V_{REF}|}{2^n} \quad V_{FSR} = \frac{2^n - 1}{2^n} |V_{REF}|$$

(2) 分辨率 (理论精度)

$$\text{分辨率} = \frac{V_{LSB}}{V_{FSR}} = \frac{1}{2^n - 1}$$

(3) 转换误差 (实际精度)

绝对误差: 理论值与实际值之间的最大差值。

相对误差: 绝对误差与输出量程 FSR 的比值。

(4) 误差原因

ΔV_{REF} 引起的误差；由运算放大器零点漂移导致的漂移误差；模拟开关的导通内阻不为 0 带来了非线性误差。

(5) 转换速度

用建立时间 t_{set} （指输入从全 0 跳变到全 1 时的建立时间。）来定量描述 D/A 转换器的转换速度

5、DAC 的应用

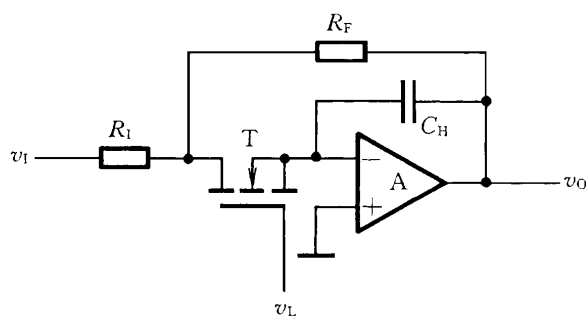
(1) 波形发生器（掌握）（作业 8.8）

(2) 增益可编程放大器（了解）

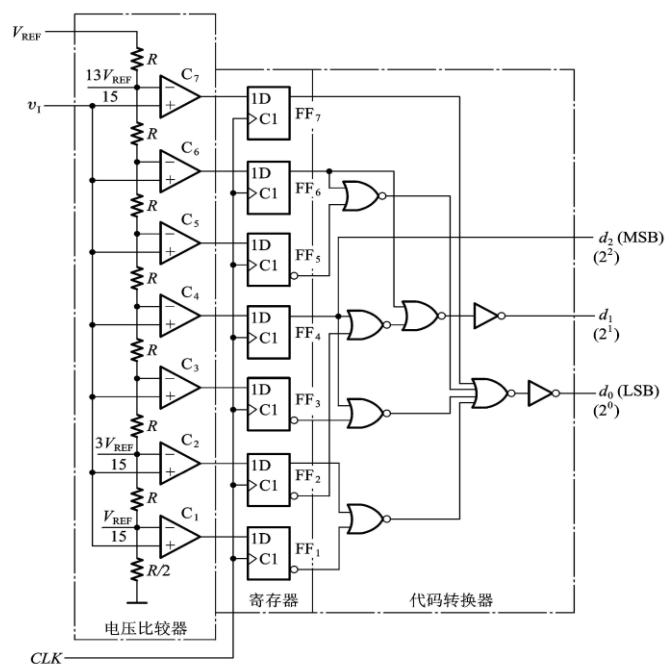
三、A/D 转换器

1、A/D 转换过程为：取样、保持、量化、编码

取样保持电路



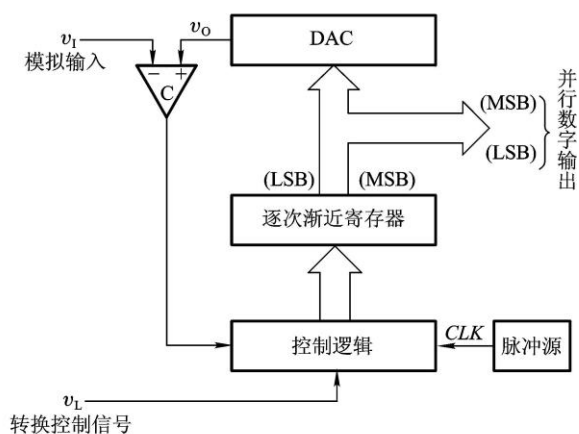
2、并联比较型 A/D 转换器（直接型 A/D 转换器）（量化编码）



优点：转换速度快；缺点：电路复杂。

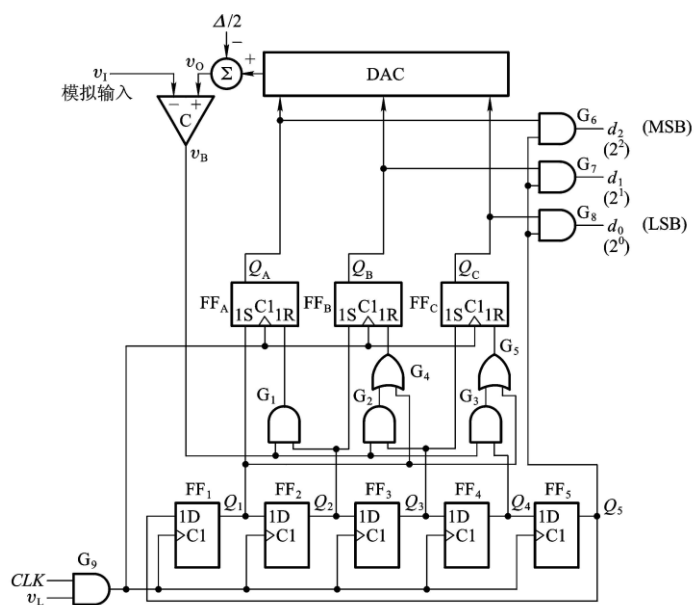
3、逐次逼近型（反馈比较型）A/D 转换器（直接型 A/D 转换器）（量化编码）

(1) 电路结构框图

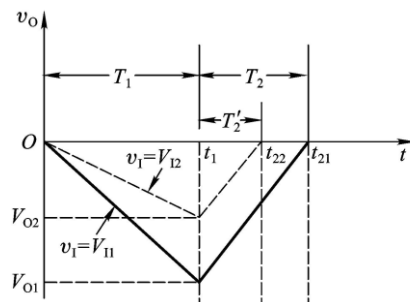
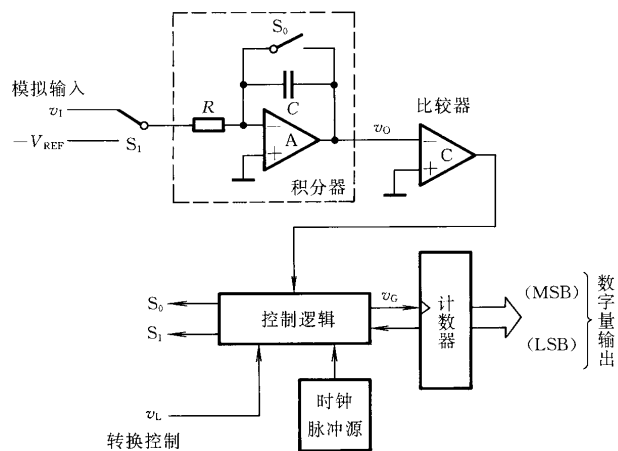


电路结构复杂度适中；转换速度适中（需要比较 n 次）。

(2) 3 位逐次渐近型 ADC 电路原理图：



4、双积分型（V-T 变换型）A/D 转换器（间接 A/D 转换器）



$$D = \frac{T_2}{T_C} = \frac{T_1}{T_C V_{\text{REF}}} v_I; \text{ 若 } T_1 = 2^n T_C, D = \frac{2^n}{V_{\text{REF}}} v_I \quad (T_C \text{ 为计数器周期})$$

5、ADC 的转换精度与转换速度

(1) 分辨率（理论精度）

$$\text{分辨率} = \frac{V_{\text{FSR}}}{2^n} \approx \frac{|V_{\text{REF}}|}{2^n}$$

(2) 转换速度取决于电路结构类型

并联比较型：nS 量级

逐次逼近型：μS 量级

双积分型：mS 量级