

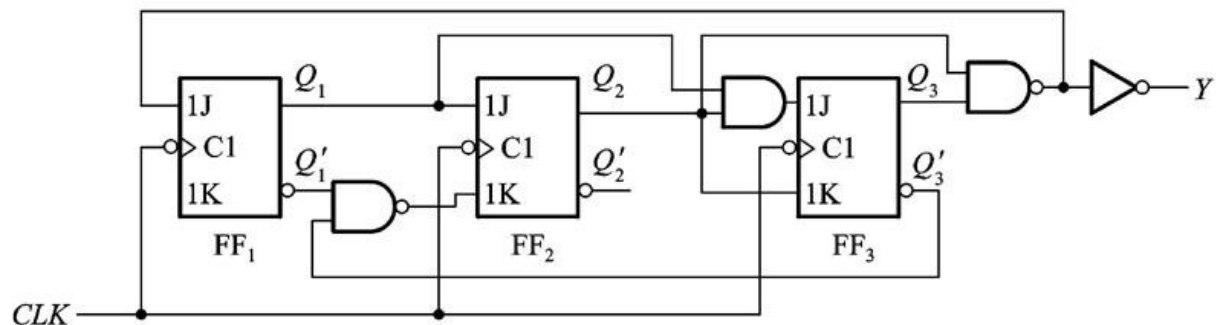
第六章 时序逻辑电路

主要要求：

- 熟练掌握时序逻辑电路的描述方法；
- 掌握时序逻辑电路的分析、设计；
- 掌握寄存器计数器等典型时序逻辑部件的功能和应用。

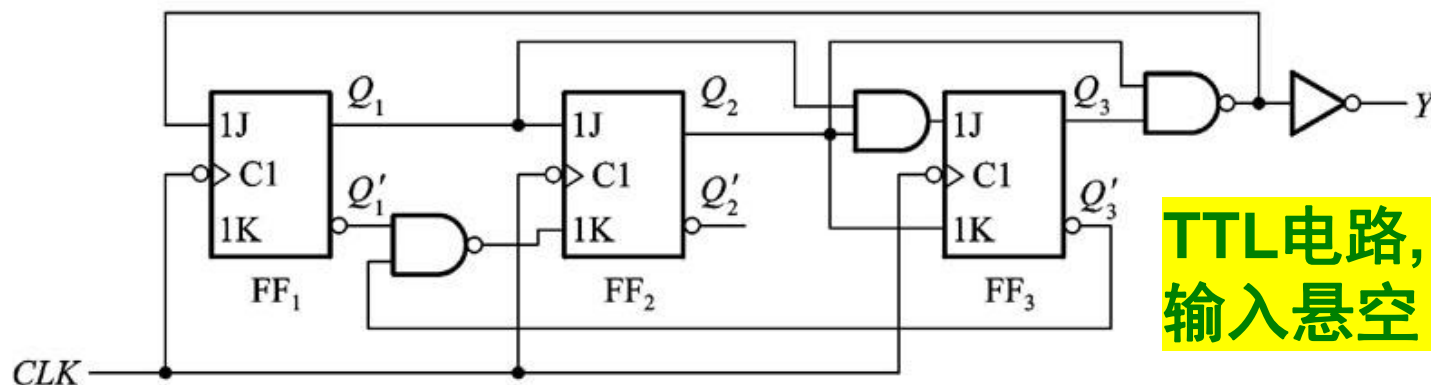
6.2 时序逻辑电路的分析

已知电路  发现逻辑功能



做什么用的？

例：分析图示电路的逻辑功能。



TTL电路,
输入悬空 = 1

1. 写方程

1) 驱动方程:

$$\begin{cases} J_1 = & K_1 = \\ J_2 = & K_2 = \\ J_3 = & K_3 = \end{cases}$$

3) 输出方程:

$$Y = \square$$

2) 代入JK触发器的特性方程 ($Q^* = JQ' + K'Q$), 得状态方程:

$$\begin{cases} Q_1^* = \square \\ Q_2^* = \square \\ Q_3^* = \square \end{cases}$$









$$Q_3^* = \overset{0}{Q_1} \overset{0}{Q_2} \overset{0}{Q_3}' + \overset{0}{Q_2}' \overset{0}{Q_3}$$

$$Q_2^* = \overset{0}{Q_1} \overset{0}{Q_2}' + \overset{0}{Q_1}' \overset{0}{Q_2} \overset{0}{Q_3}$$

$$Q_1^* = \overset{0}{(Q_2 Q_3)'} \cdot \overset{0}{Q_1}'$$

$$Y = Q_3 Q_2$$

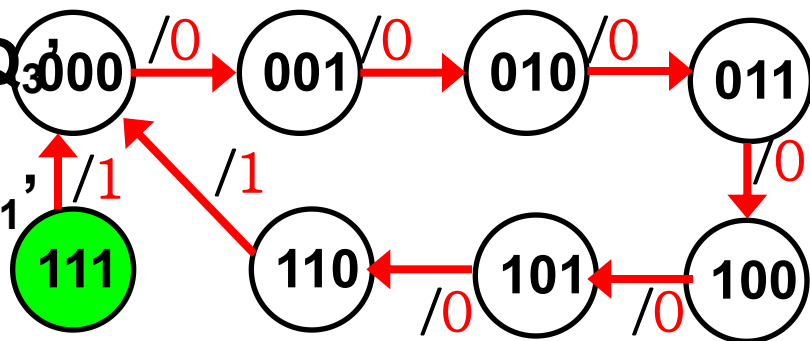
2.列状态转换表

Q_3	Q_2	Q_1	clk	Q_3^*	Q_2^*	Q_1^*	Y
0	0	0		0	0	1	0
0	0	1		0	1	0	0
0	1	0		0	1	1	0
0	1	1		1	0	0	0
1	0	0		1	0	1	0
1	0	1		1	1	0	0
1	1	0		0	0	0	1
1	1	1		0	0	0	1

现在状态下的Y

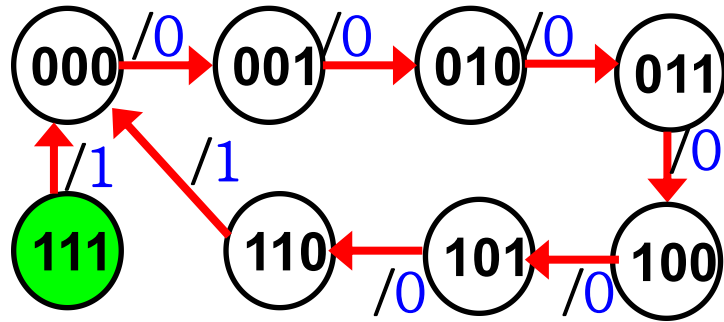
3.画状态转换图

$Q_3 Q_2 Q_1 / Y$



CLK	Q_3	Q_2	Q_1	Y
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	0
4	1	0	0	0
5	1	0	1	0
6	1	1	0	1
7	0	0	0	0
0	1	1	1	1
1	0	0	0	0

$Q_3Q_2Q_1/Y$



4.分析电路功能

计数长度为7的计数器

七进制计数器

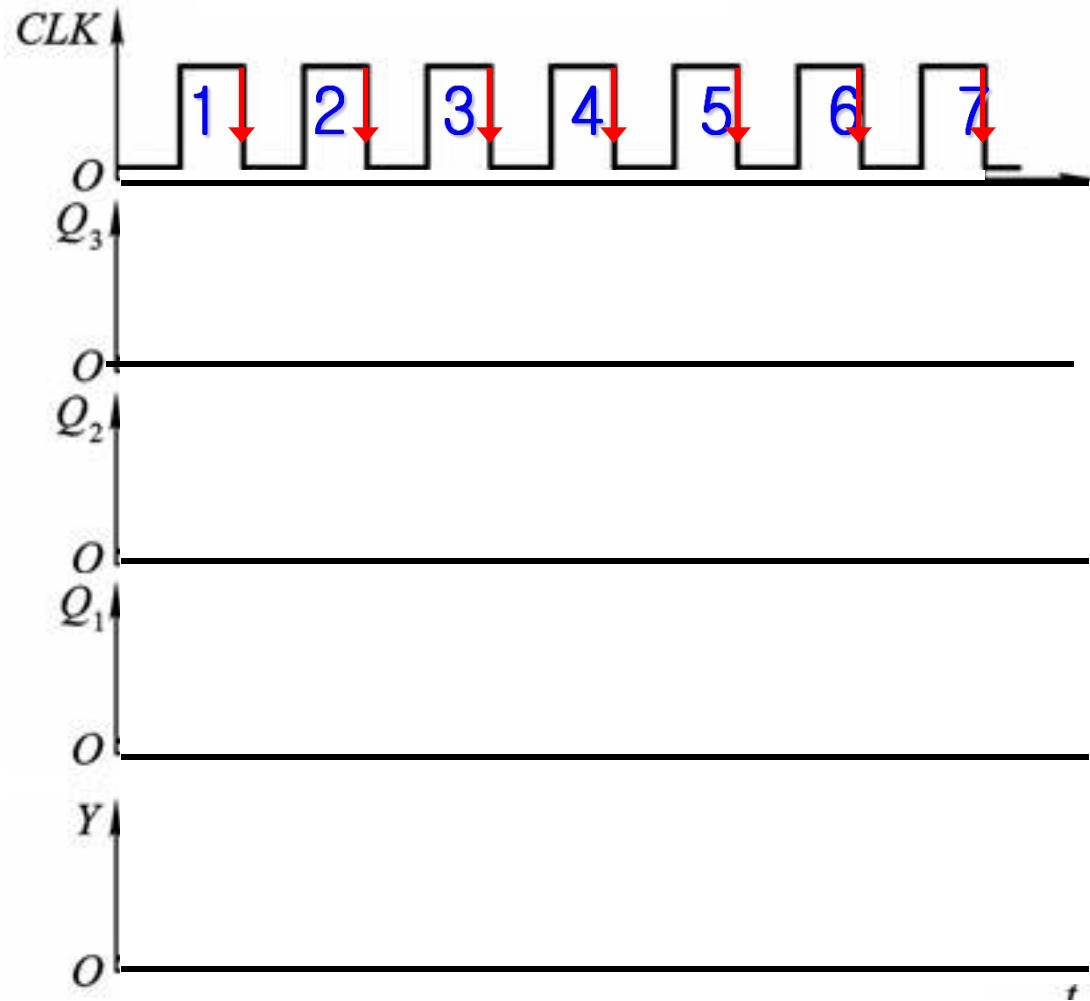
Y是指示信号，

每计7个数，就输出一个1

5.检查自启动

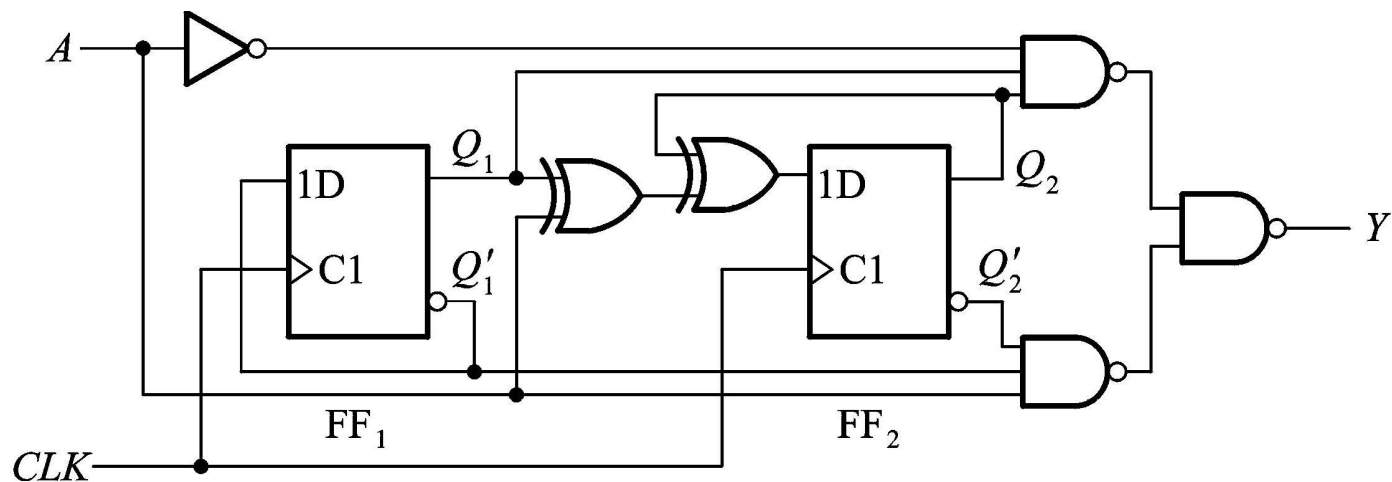
7个有效状态，1个无效状态”111”；经过一个时钟后能自动进入有效循环，所以能自启动

6.画时序图



练习

试分析下图时序电路的逻辑功能。



1. 写方程

1) 驱动方程: $\begin{cases} D_1 = \\ D_2 = \end{cases}$

2) 状态方程: $\begin{cases} Q_1^* = \\ Q_2^* = \end{cases}$

3) 输出方程: $Y =$

2. 列状态转换表

3. 画状态图

00

01

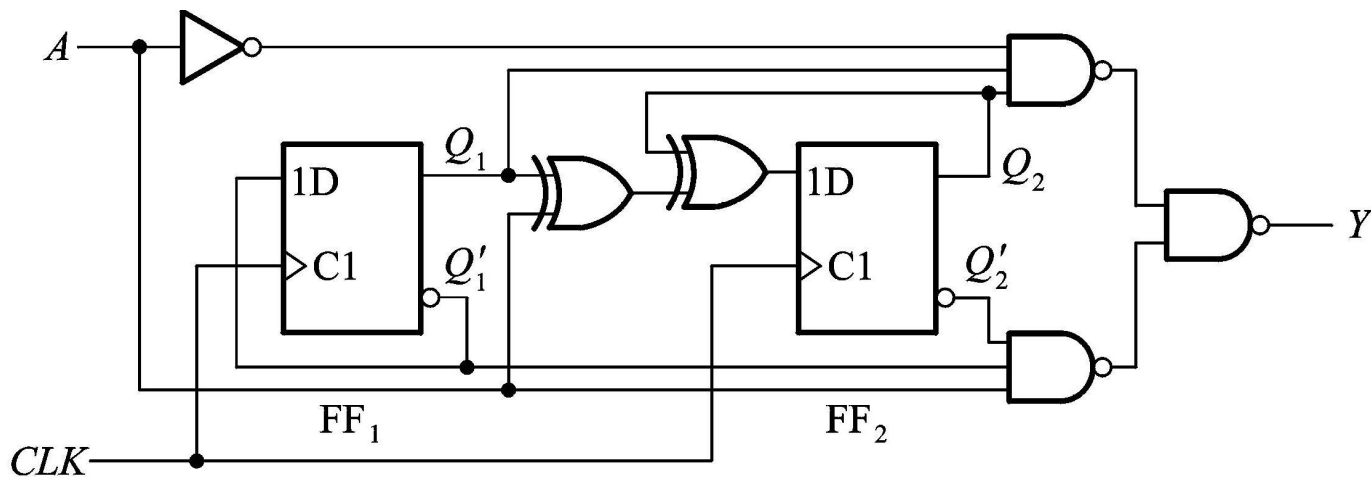
11

10

A/Y
 Q_2Q_1

现态			次态		现态
A	Q_2	Q_1	Q_2^*	Q_1^*	Y
0	0	0			
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			
1	1	1			

练习：试分析时序逻辑电路的逻辑功能。



1.列方程

(1)驱动方程
$$\begin{cases} D_1 = Q_1' \\ D_2 = A \oplus Q_1 \oplus Q_2 \end{cases}$$

(2)状态方程
$$\begin{cases} Q_1^* = Q_1' \\ Q_2^* = A \oplus Q_1 \oplus Q_2 \end{cases}$$

(3)输出方程 $Y = [(A'Q_1Q_2)' \cdot (AQ_1'Q_2')']' = A'Q_1Q_2 + AQ_1'Q_2'$

2.列状态转换表

$Q_2^*Q_1^*/Y \backslash Q_2Q_1$ A	00	01	10	11
0	01/0	10/0	11/0	00/1
1	11/1	00/0	01/0	10/0

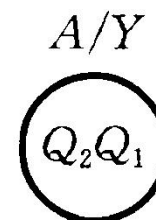
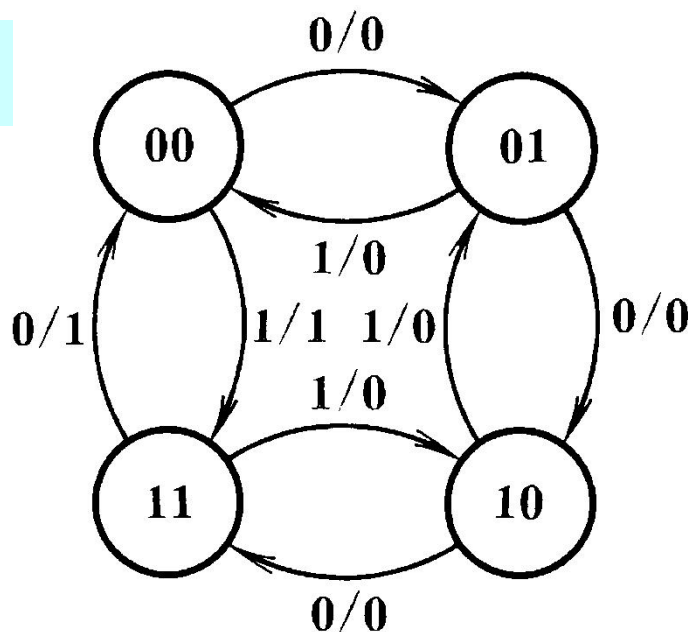
(2)状态方程

$$\begin{cases} Q_1^* = Q_1' \\ Q_2^* = A \oplus Q_1 \oplus Q_2 \end{cases}$$

(3)输出方程

$$Y = A'Q_1Q_2 + AQ_1'Q_2'$$

3.状态转换图

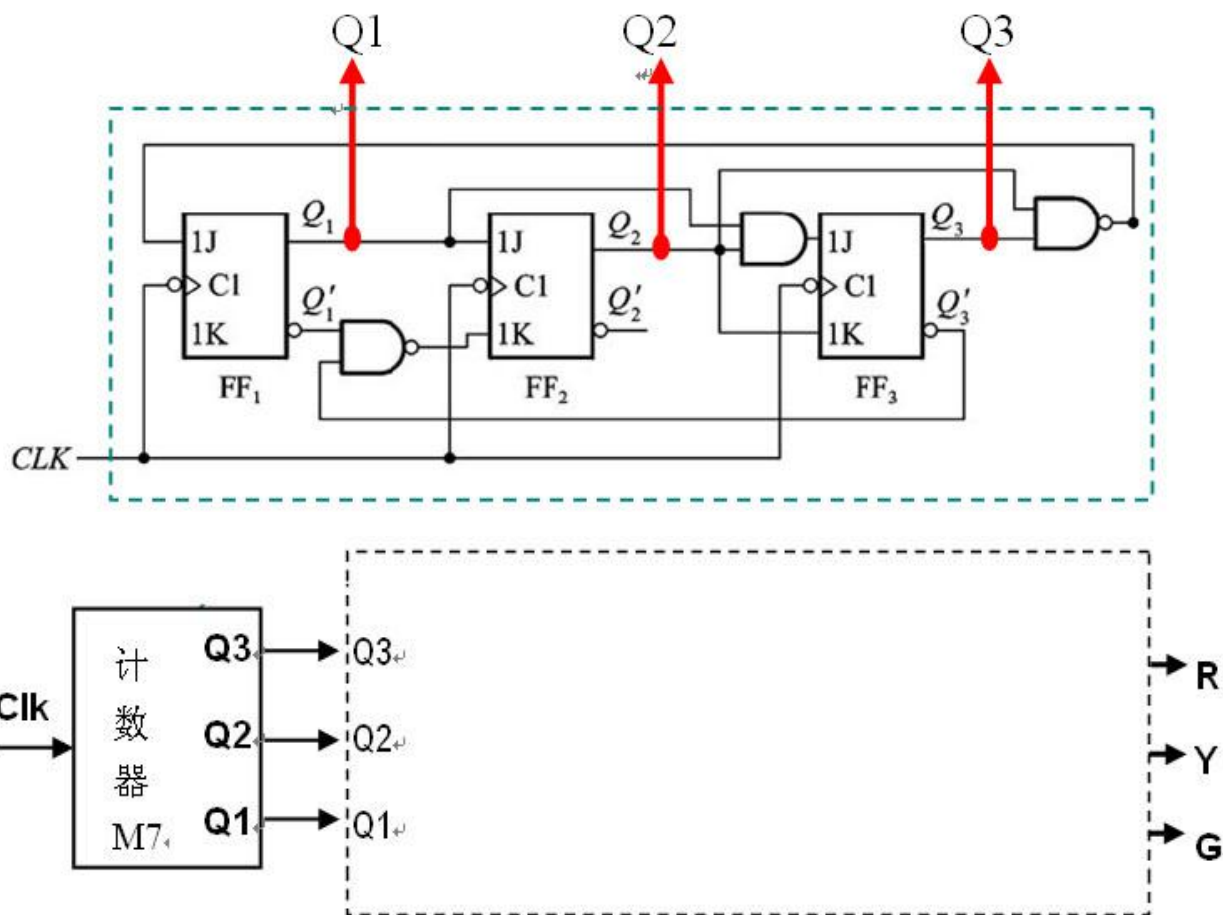


逻辑功能：
可控4进制计数器

练习2 彩灯控制器

clk	$Q_3Q_2Q_1$	R	Y	G
0	000	1	0	0
1	001	0	1	0
2	010	0	0	1
3	011	0	0	0
4	100	0	0	1
5	101	0	1	0
6	110	1	0	0
7	111	x	x	x

方法 I: 计数器+门电路



$Q_3 \backslash Q_2 Q_1$	00	01	11	10
0				
1				

R

$Q_3 \backslash Q_2 Q_1$	00	01	11	10
0				
1				

Y

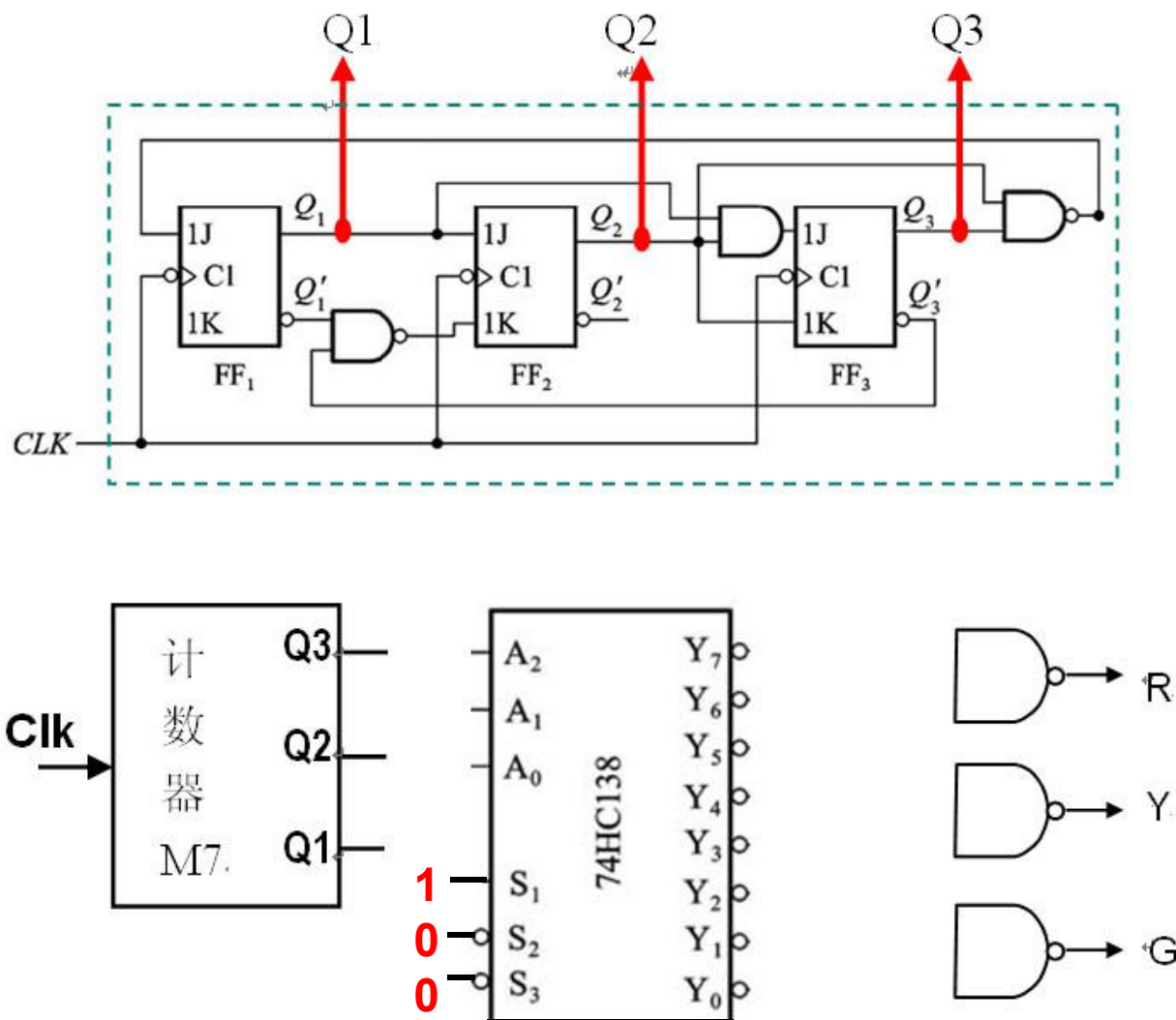
$Q_3 \backslash Q_2 Q_1$	00	01	11	10
0				
1				

G

练习2 彩灯控制器

clk	$Q_3Q_2Q_1$	R	Y	G
0	000	1	0	0
1	001	0	1	0
2	010	0	0	1
3	011	0	0	0
4	100	0	0	1
5	101	0	1	0
6	110	1	0	0
7	111	x	x	x

方法 II: 计数器+译码器



练习2 彩灯控制器

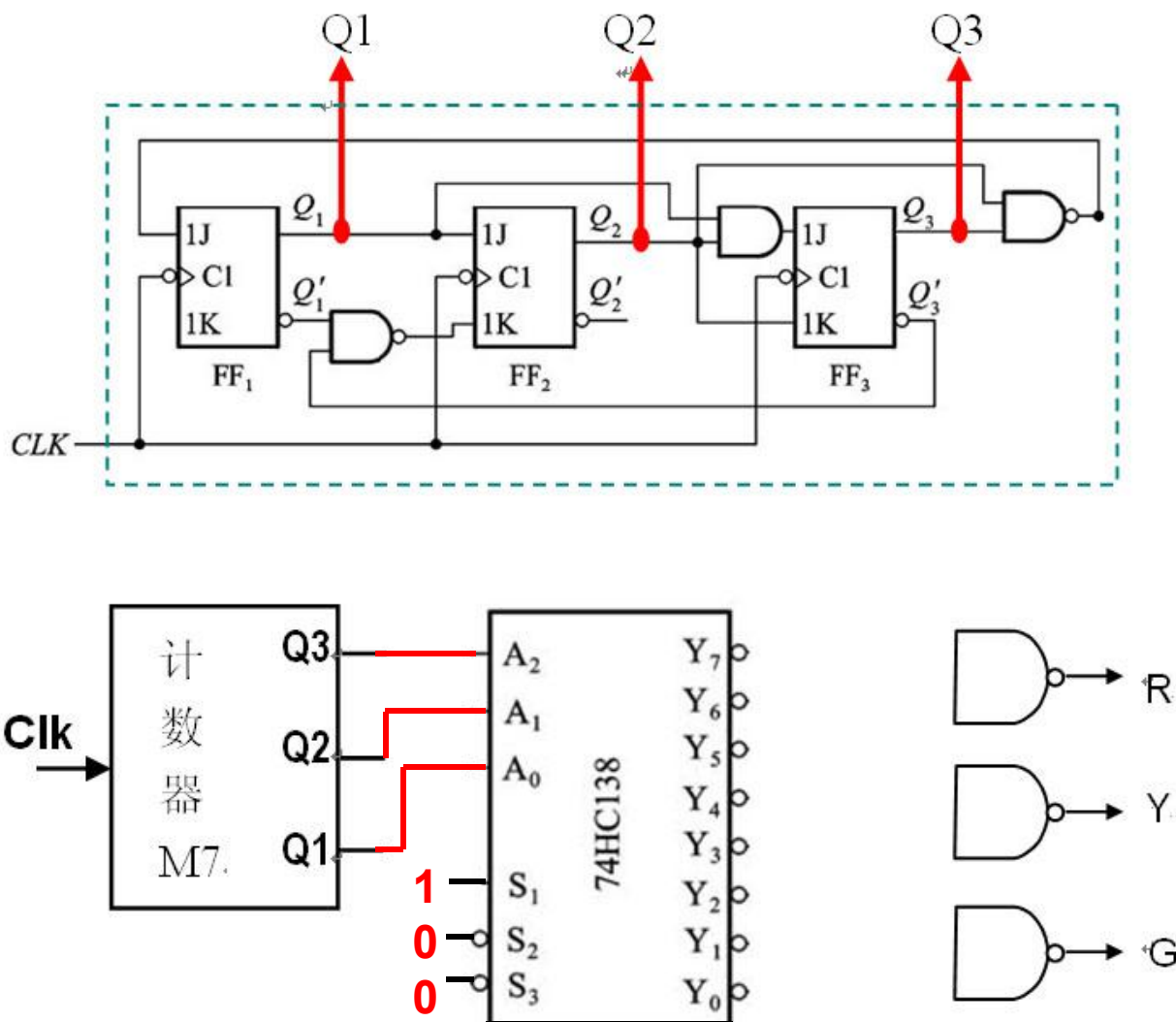
clk	$Q_3Q_2Q_1$	R	Y	G
0	000	1	0	0
1	001	0	1	0
2	010	0	0	1
3	011	0	0	0
4	100	0	0	1
5	101	0	1	0
6	110	1	0	0
7	111	x	x	x

方法 II: 计数器+译码器

$$R(Q_3Q_2Q_1) = m_0 + m_6$$

$$Y(Q_3Q_2Q_1) = m_1 + m_5$$

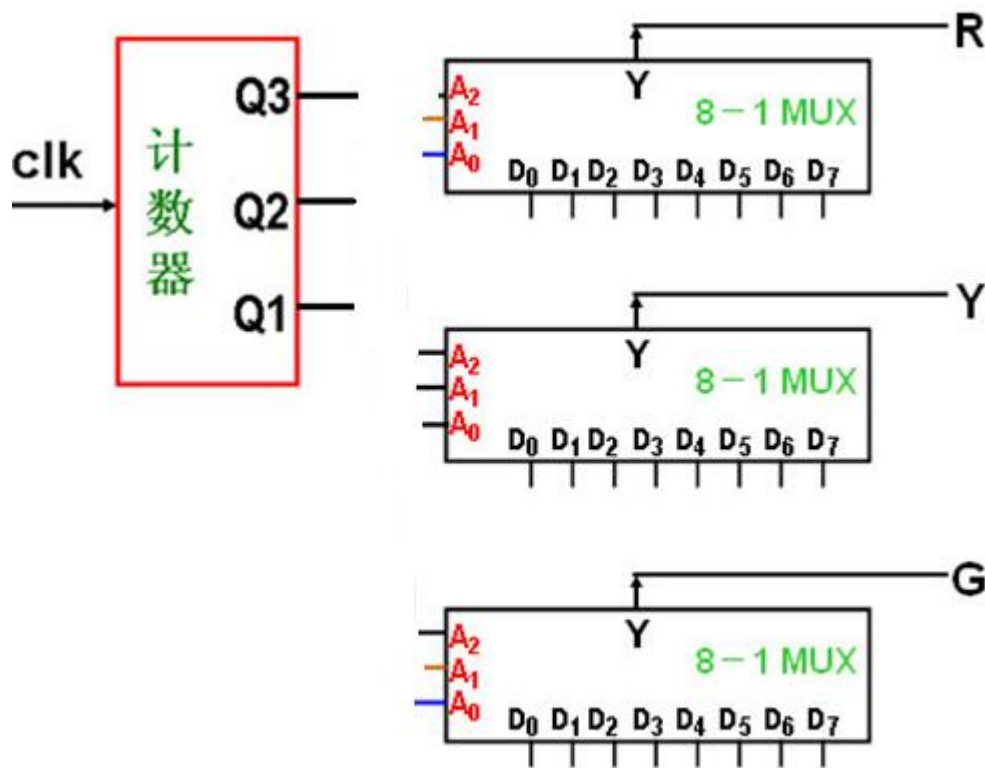
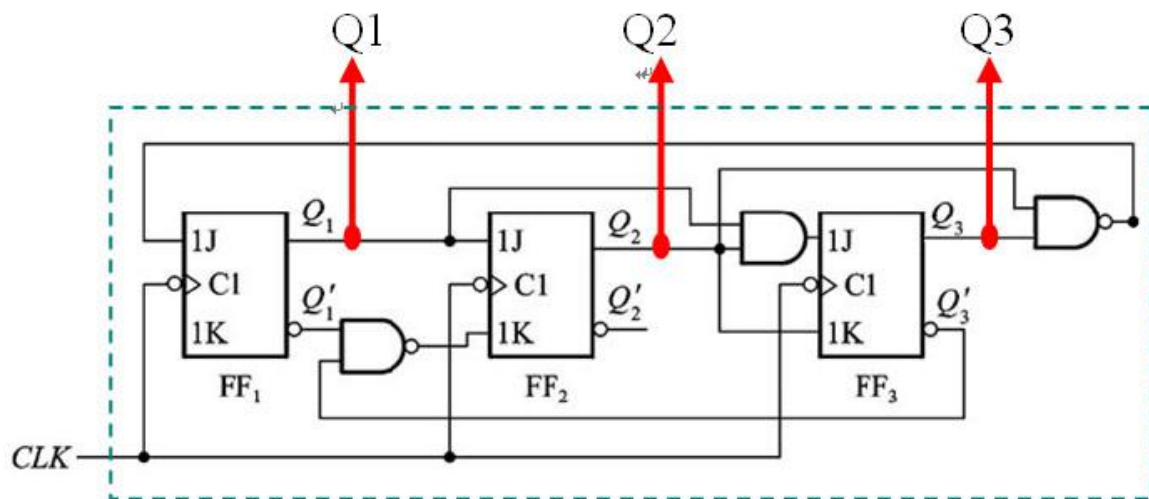
$$G(Q_3Q_2Q_1) = m_2 + m_4$$



练习2 彩灯控制器

clk	$Q_3Q_2Q_1$	R	Y	G
0	000	1	0	0
1	001	0	1	0
2	010	0	0	1
3	011	0	0	0
4	100	0	0	1
5	101	0	1	0
6	110	1	0	0
7	111	x	x	x

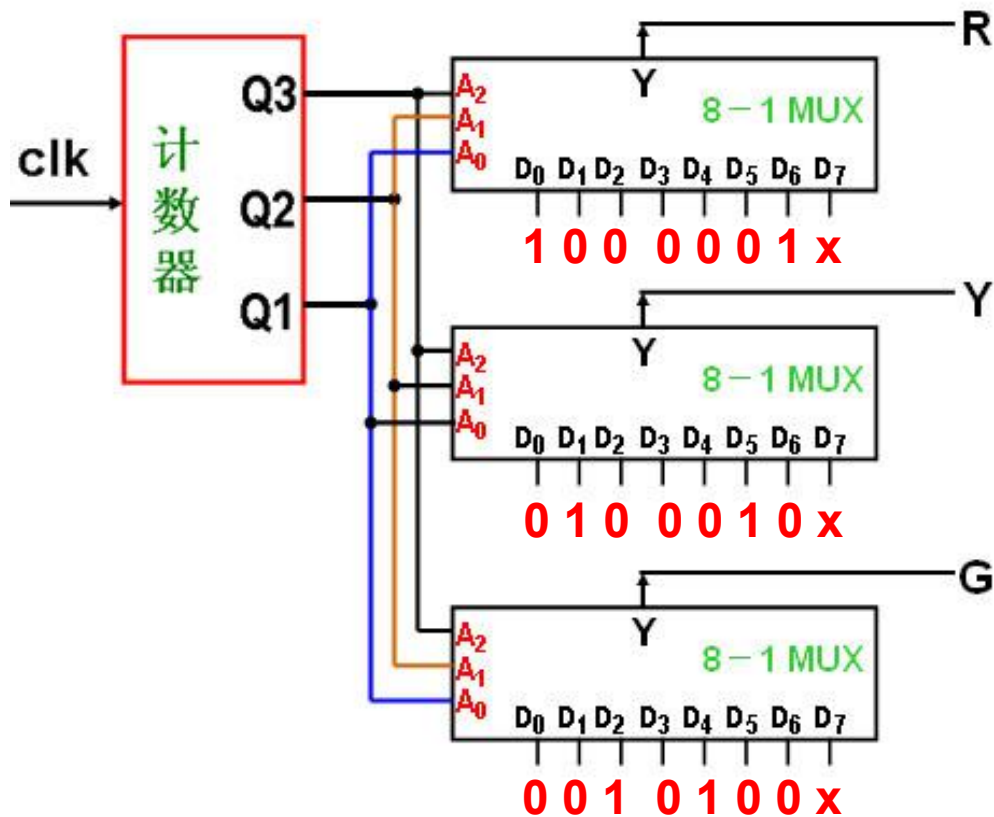
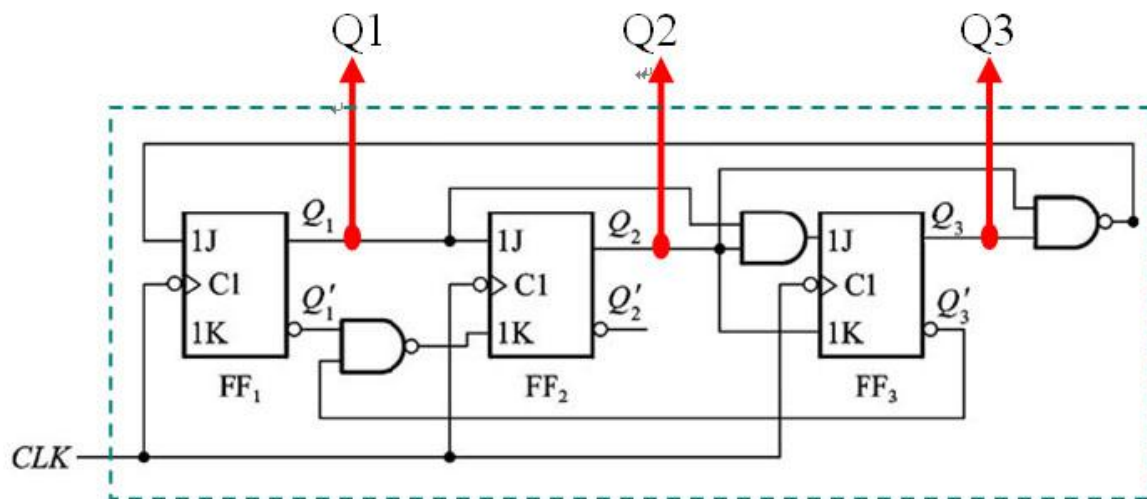
方法 III: 计数器 + MUX



练习2 彩灯控制器

clk	$Q_3Q_2Q_1$	R	Y	G
0	000	1	0	0
1	001	0	1	0
2	010	0	0	1
3	011	0	0	0
4	100	0	0	1
5	101	0	1	0
6	110	1	0	0
7	111	x	x	x

方法 III: 计数器 + MUX

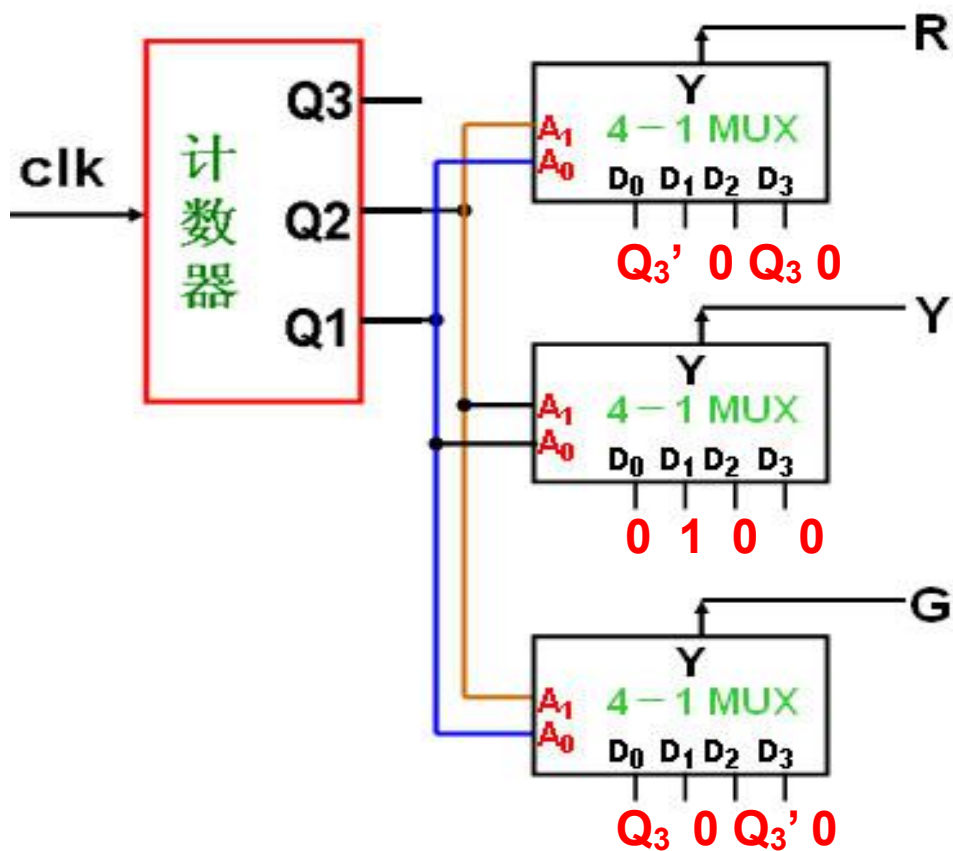
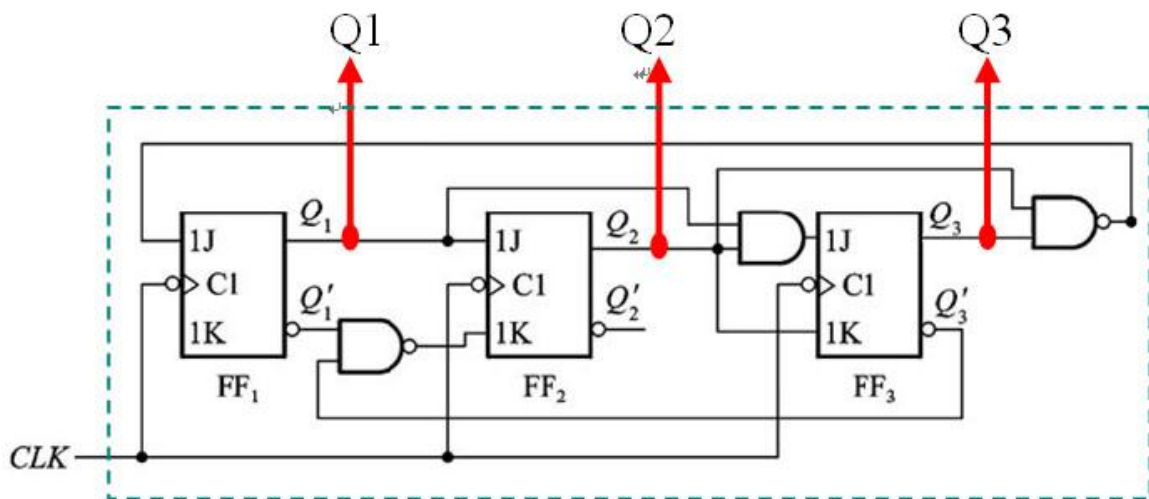


练习2

彩灯控制器

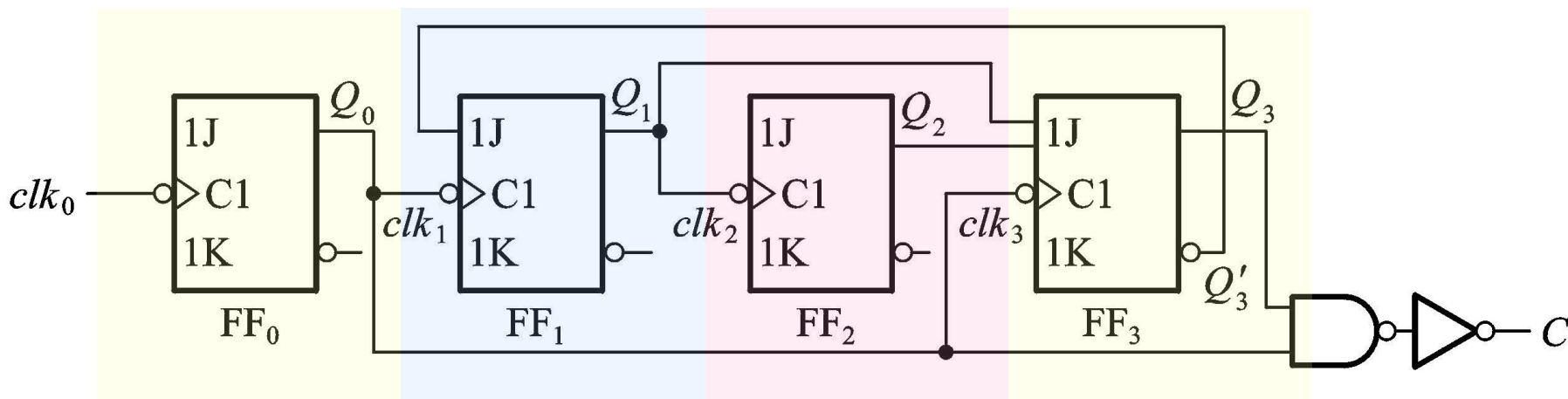
c k	Q₃Q₂Q₁	R	Y	G
0	000	1	0	0
1	001	0	1	0
2	010	0	0	1
3	011	0	0	0
4	100	0	0	1
5	101	0	1	0
6	110	1	0	0
7	111	x	x	x

方法 IV: 计数器+MUX



6.2.2 异步时序逻辑电路的分析方法

各触发器的时钟不同时发生。



1.列方程

(1)驱动方程

$$\begin{cases} J_0 = K_0 = 1 \\ J_1 = Q'_3, & K_1 = 1 \\ J_2 = K_2 = 1 \\ J_3 = Q_1 Q_2, & K_3 = 1 \end{cases}$$

(1)驱动方程

$$\begin{cases} J_0 = K_0 = 1 \\ J_1 = Q_3', & K_1 = 1 \\ J_2 = K_2 = 1 \\ J_3 = Q_1 Q_2, & K_3 = 1 \end{cases}$$

(2)状态方程

$$\begin{cases} Q_0^* = Q_0' \cdot clk_0 \\ Q_1^* = Q_3' Q_1' \cdot clk_1 \\ Q_2^* = Q_2' \cdot clk_2 \\ Q_3^* = Q_1 Q_2 Q_3' \cdot clk_3 \end{cases}$$

(3)输出方程

$$C = Q_0 Q_3$$

2. 列状态转换表

$Q_0^* = Q_0' \cdot clk_0 \downarrow$

$Q_1^* = Q_3' Q_1' \cdot clk_1 \downarrow$ $clk_1 = Q_0$

$Q_2^* = Q_2' \cdot clk_2 \downarrow$ $clk_2 = Q_1$

$Q_3^* = Q_2 Q_1 Q_3' \cdot clk_3 \downarrow$ $clk_3 = Q_0$

Q ₃	Q ₂	Q ₁	Q ₀	clk ₃	clk ₂	clk ₁	Q ₃ [*]	Q ₂ [*]	Q ₁ [*]	Q ₀ [*]	C
				3	2	1			0	1	
0	0	0	0			↓			1	0	0
0	0	0	1						1	1	0
0	0	1	0			↓			0	0	0
0	0	1	1						0	1	0
0	1	0	0			↓			1	0	0
0	1	0	1						1	1	0
0	1	1	0			↓			0	0	0
0	1	1	1						0	1	0
1	0	0	0			↓			0	0	0
1	0	0	1						1	1	1
1	0	1	0			↓			0	0	0
1	0	1	1						0	1	1
1	1	0	0			↓			0	0	0
1	1	0	1						1	1	1
1	1	1	0			↓			0	0	0
1	1	1	1								1

$Q_0 \rightarrow clk_1$

$Q_1 \rightarrow clk_2$

$Q_0 \rightarrow clk_3$

$$\begin{cases} Q_0^* = Q_0' \cdot clk_0 \downarrow \\ Q_1^* = Q_3' Q_1' \cdot clk_1 \downarrow \\ Q_2^* = Q_2' \cdot clk_2 \downarrow \\ Q_3^* = Q_2 Q_1 Q_3' \cdot clk_3 \downarrow \end{cases}$$

- 1) 首先列出Q₀
- 2) Q₀从1→0时, clk₁和clk₃为↓
- 3) Q₁从1→0时, clk₂为↓

2. 列状态转换表

$Q_0^* = Q_0' \cdot \text{clk}_0 \downarrow$

$Q_1^* = Q_3' Q_1' \cdot \text{clk}_1 \downarrow \text{clk}_1 = Q_0$

$Q_2^* = Q_2' \cdot \text{clk}_2 \downarrow \text{clk}_2 = Q_1$

$Q_3^* = Q_2 Q_1 Q_3' \cdot \text{clk}_3 \downarrow \text{clk}_3 = Q_0$

Q_3	Q_2	Q_1	Q_0	clk_3	clk_2	clk_1	Q_3^*	Q_2^*	Q_1^*	Q_0^*	C
				3	2	1	0	0	0	1	
0	0	0	0	↓		↓	0	0	1	0	0
0	0	0	1				0	0	1	1	0
0	0	1	0	↓	↓	↓	0	1	0	0	0
0	0	1	1				0	1	0	1	0
0	1	0	0	↓		↓	0	1	1	0	0
0	1	0	1				0	1	1	1	0
0	1	1	0	↓	↓	↓	1	0	0	0	0
0	1	1	1				1	0	0	1	0
1	0	0	0	↓		↓	0	0	0	0	0
1	0	0	1				1	0	1	1	1
1	0	1	0	↓	↓	↓	0	1	0	0	0
1	0	1	1				1	1	0	1	1
1	1	0	0	↓		↓	0	1	0	0	0
1	1	0	1				1	1	1	1	1
1	1	1	0	↓	↓	↓	0	0	0	0	0
1	1	1	1								1

$Q_0 \rightarrow \text{clk}_1$

$Q_1 \rightarrow \text{clk}_2$

$Q_0 \rightarrow \text{clk}_3$

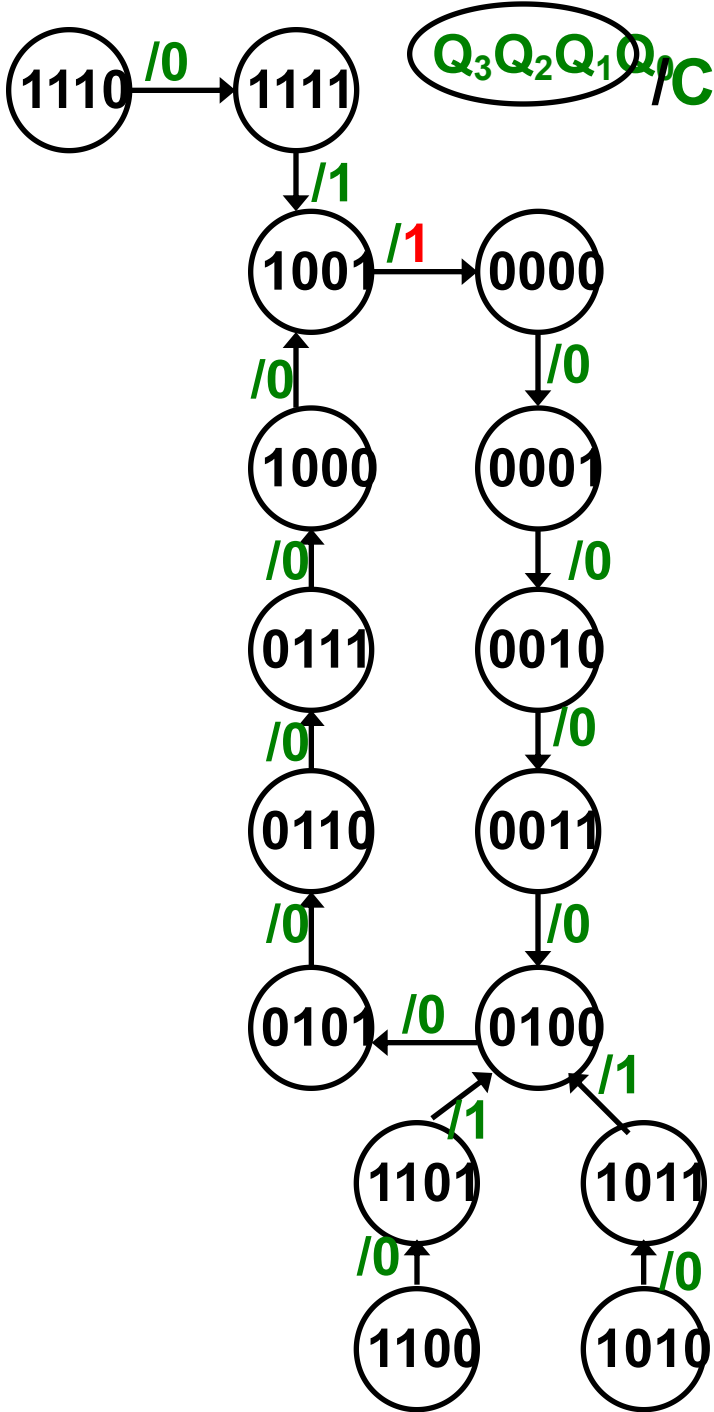
$$\begin{cases} Q_0^* = Q_0' \text{clk}_0 \downarrow \\ Q_1^* = Q_3' Q_1' \text{clk}_1 \downarrow \\ Q_2^* = Q_2' \text{clk}_2 \downarrow \\ Q_3^* = Q_2 Q_1 Q_3' \text{clk}_3 \downarrow \end{cases}$$

- 1) 首先列出 Q_0
- 2) Q_0 从 1→0 时, clk_1 和 clk_3 为 ↓
- 3) Q_1 从 1→0 时, clk_2 为 ↓

2. 列状态转换表

Q ₃	Q ₂	Q ₁	Q ₀	Q ₃ *	Q ₂ *	Q ₁ *	Q ₀ *	C
0	0	0	0	0	0	0	1	0
0	0	0	1	0	0	1	0	0
0	0	1	0	0	0	1	1	0
0	0	1	1	0	1	0	0	0
0	1	0	0	0	1	0	1	0
0	1	0	1	0	1	1	0	0
0	1	1	0	0	1	1	1	0
0	1	1	1	1	0	0	0	0
1	0	0	0	1	0	0	1	0
1	0	0	1	0	0	0	0	1
1	0	1	0	1	0	1	1	0
1	0	1	1	0	1	0	0	1
1	1	0	0	1	1	0	1	0
1	1	0	1	0	1	0	0	1
1	1	1	0	1	1	1	1	0
1	1	1	1	0	0	0	0	1

3. 画状态图



6.3 若干常用时序逻辑电路

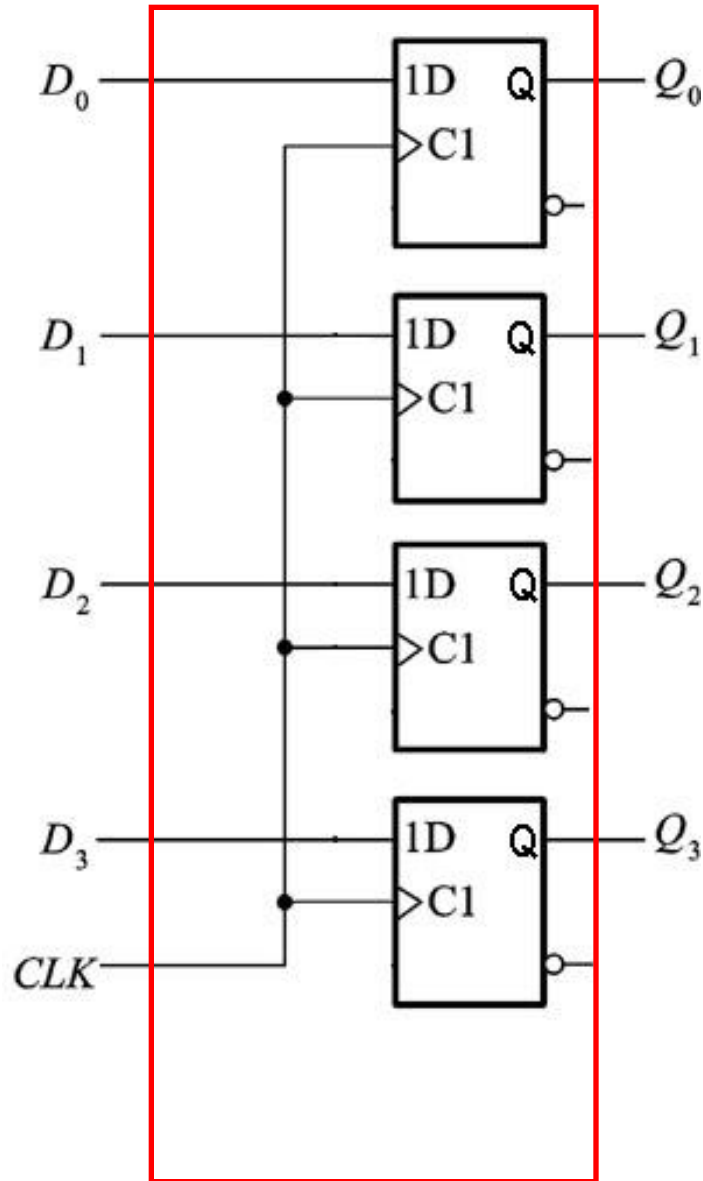
6.3.1 寄存器和移位寄存器

一、寄存器：

- ①用于寄存 N 位二值代码， N 位寄存器由 N 个触发器组成。
- ②要求每个触发器都可置1或置0。

6.3.1 寄存器

4位寄存器

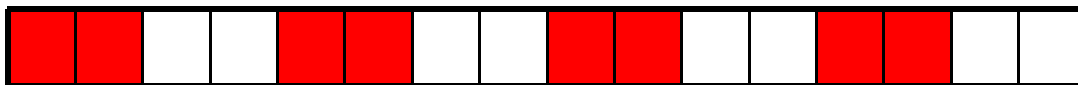


4位寄存器74HC175

CLK 上升沿时,
D0~D3被存入
有异步置0功能

6.3.2 移位寄存器

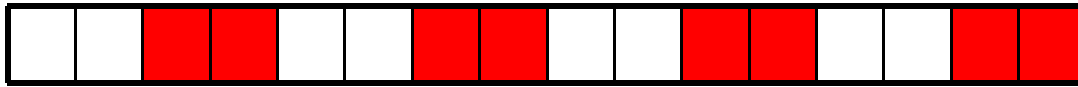
移位寄存器有什么用处？



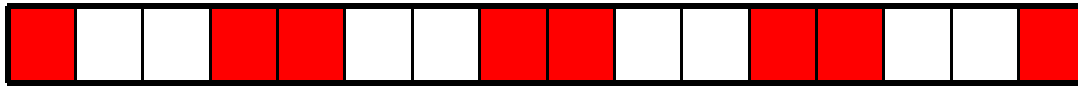
移位寄存器有什么用处？



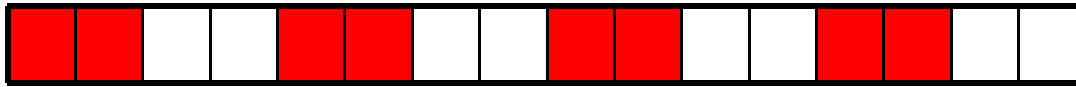
移位寄存器有什么用处？



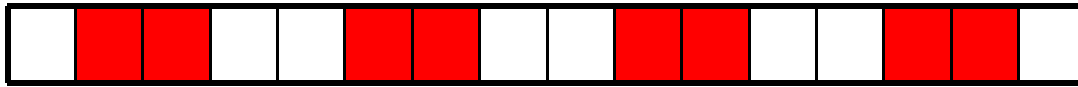
移位寄存器有什么用处？



移位寄存器有什么用处？

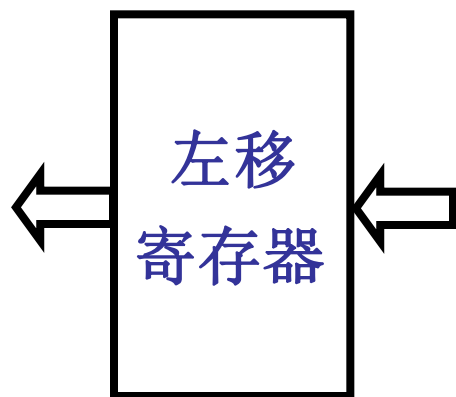


移位寄存器有什么用处？

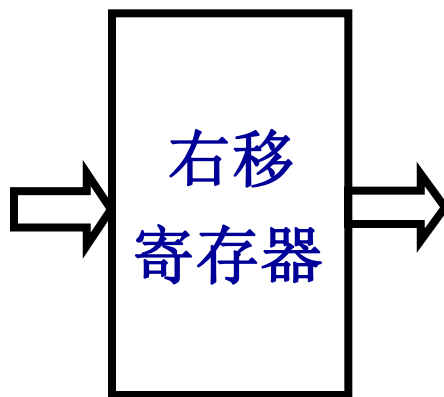


二、移位寄存器

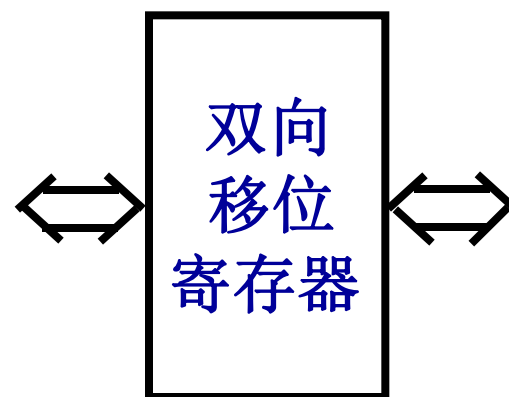
所谓“**移位**”，就是将寄存器所存各位数据，在每个移位脉冲的作用下，向左或向右移动一位。根据移位方向，常把它分成**左移寄存器**、**右移寄存器**和**双向移位寄存器**三种。



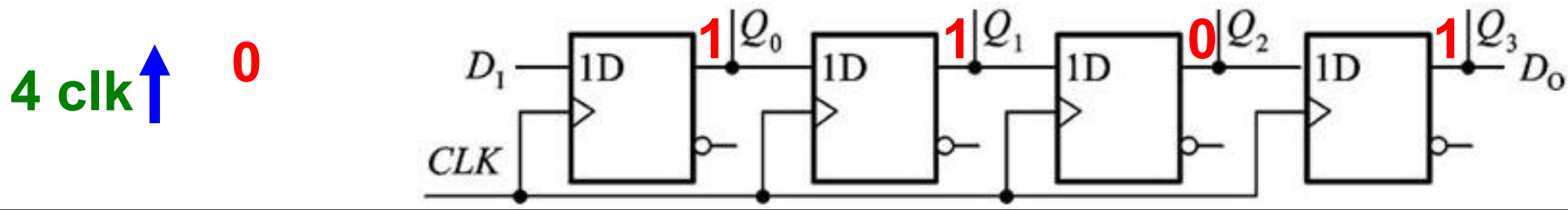
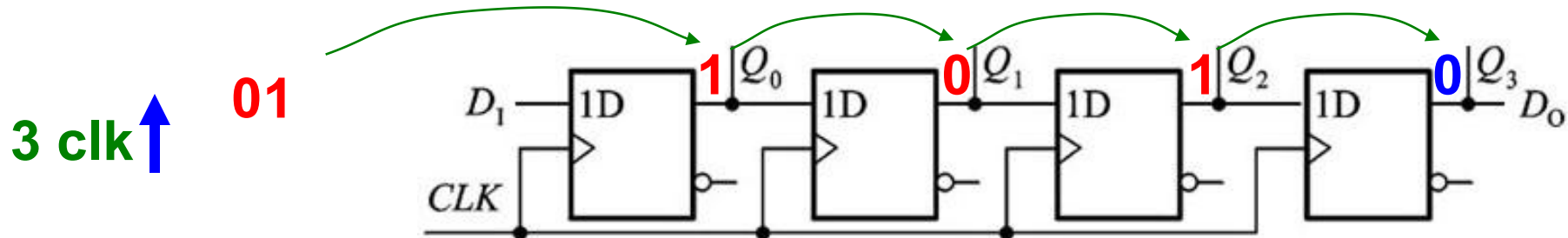
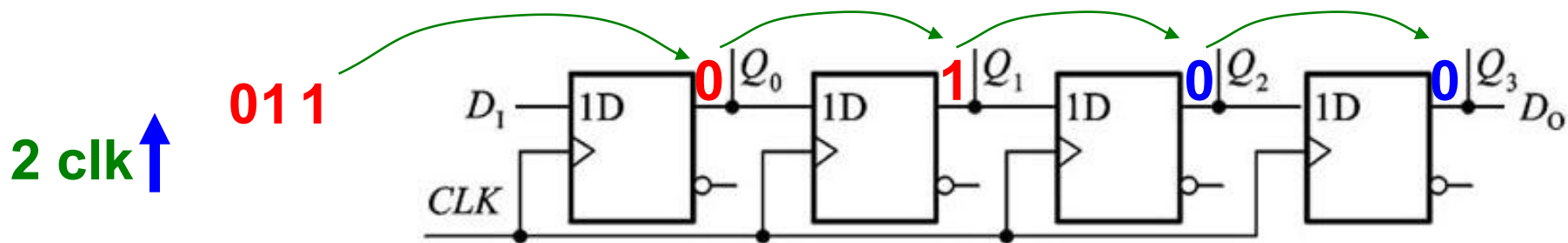
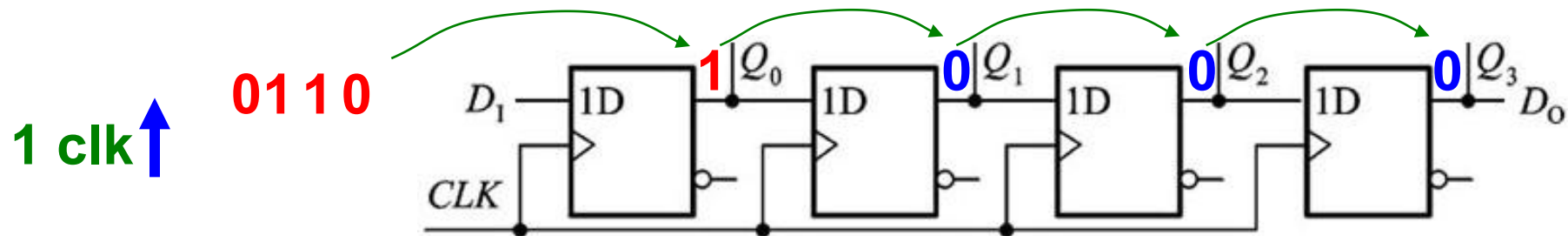
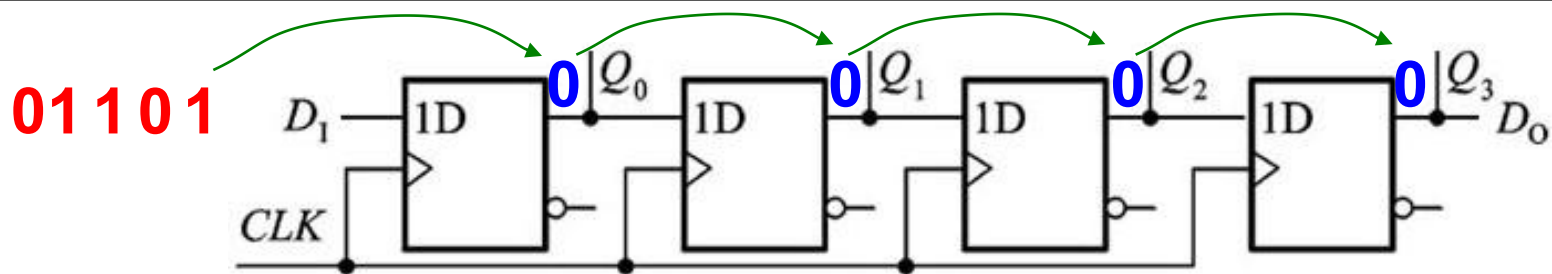
(a)



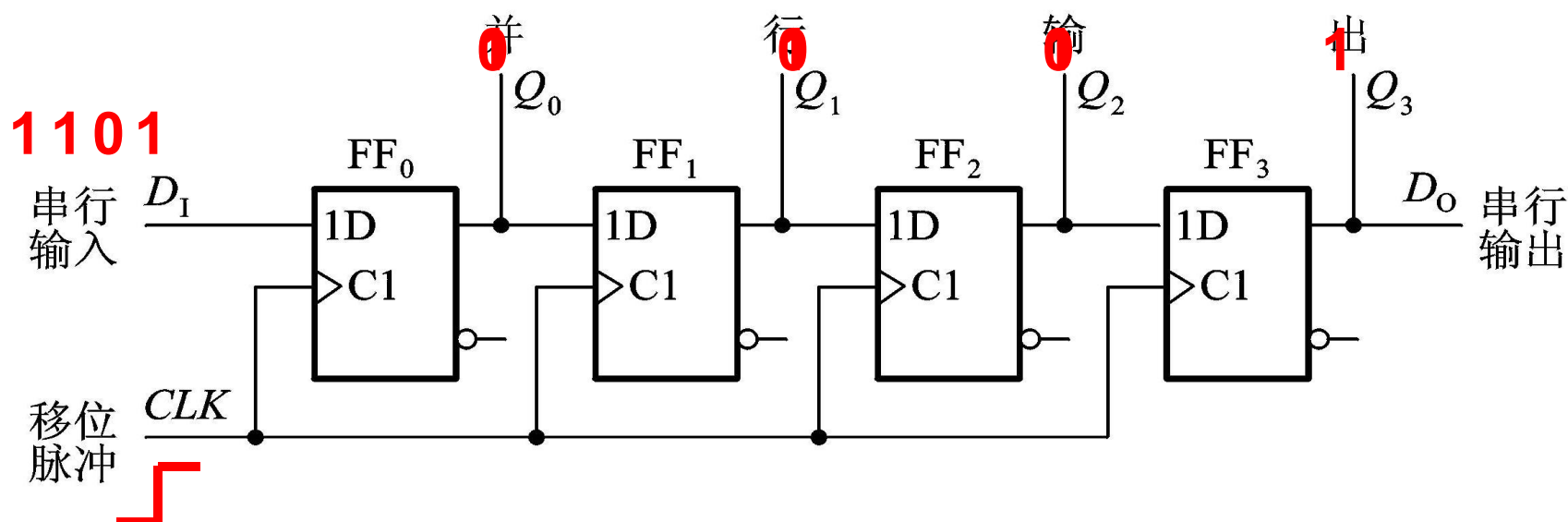
(b)



(c)



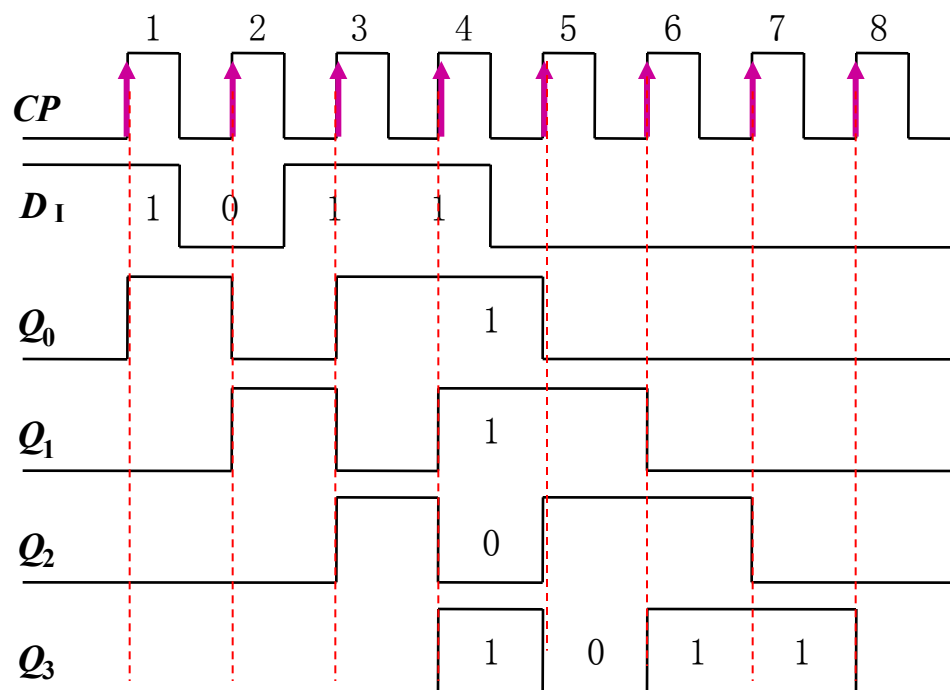
用D触发器构成的移位寄存器



移位寄存器中代码的移动状况

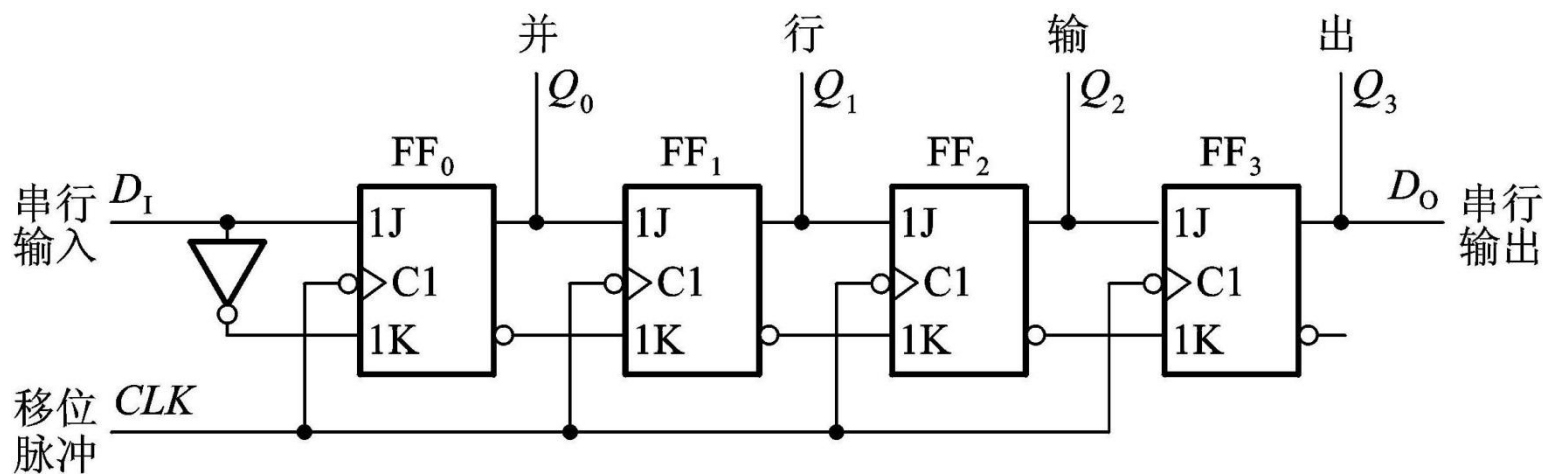
CLK 的顺序	输入 D_1	Q_0	Q_1	Q_2	Q_3
0	0	0	0	0	0
1	1	1	0	0	0
2	0	0	1	0	0
3	1	1	0	1	0
4	1	1	1	0	1

移位寄存器中数码移位情况



波形图

例. 用JK触发器构成的移位寄存器

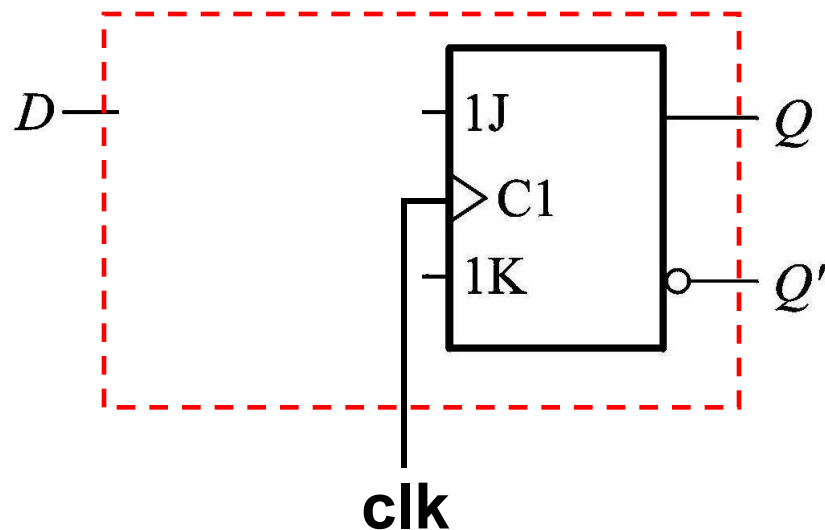


DFF: $Q^* = D$

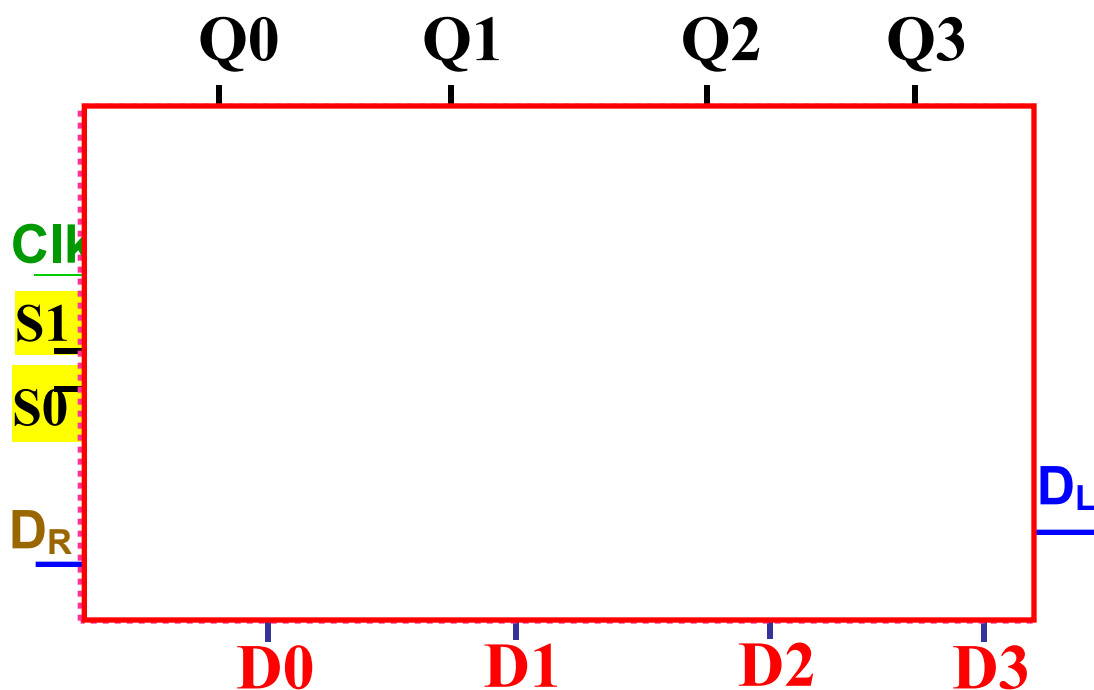
$= D(Q' + Q)$

$= DQ' + DQ$

JKFF: $Q^* = JQ' + K'Q$



例:分析下面逻辑电路的功能



3)功能分析

1)驱动方程

0 0 0 1 1 0 1 1

$y_0 =$

$y_1 =$

$y_2 =$

$y_3 =$

4比特可控双向移位寄存器

s_1s_0 为控制信号

$s_1s_0 = 00$ 时, $Q_3 \sim Q_0$ 保持原值

$s_1s_0 = 01$ 时, 右移, D_R 串行输入

$s_1s_0 = 10$ 时, 左移, D_L 串行输入

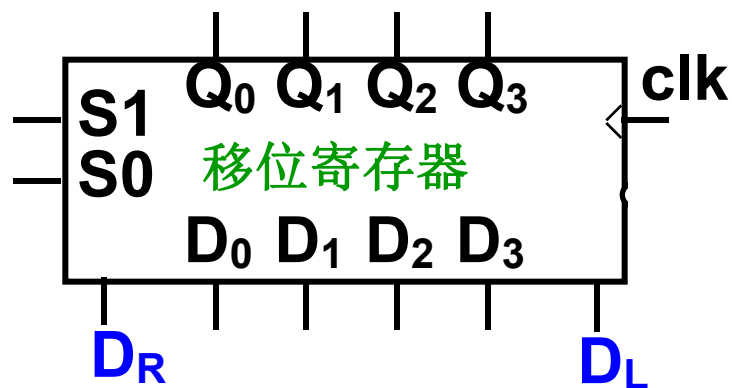
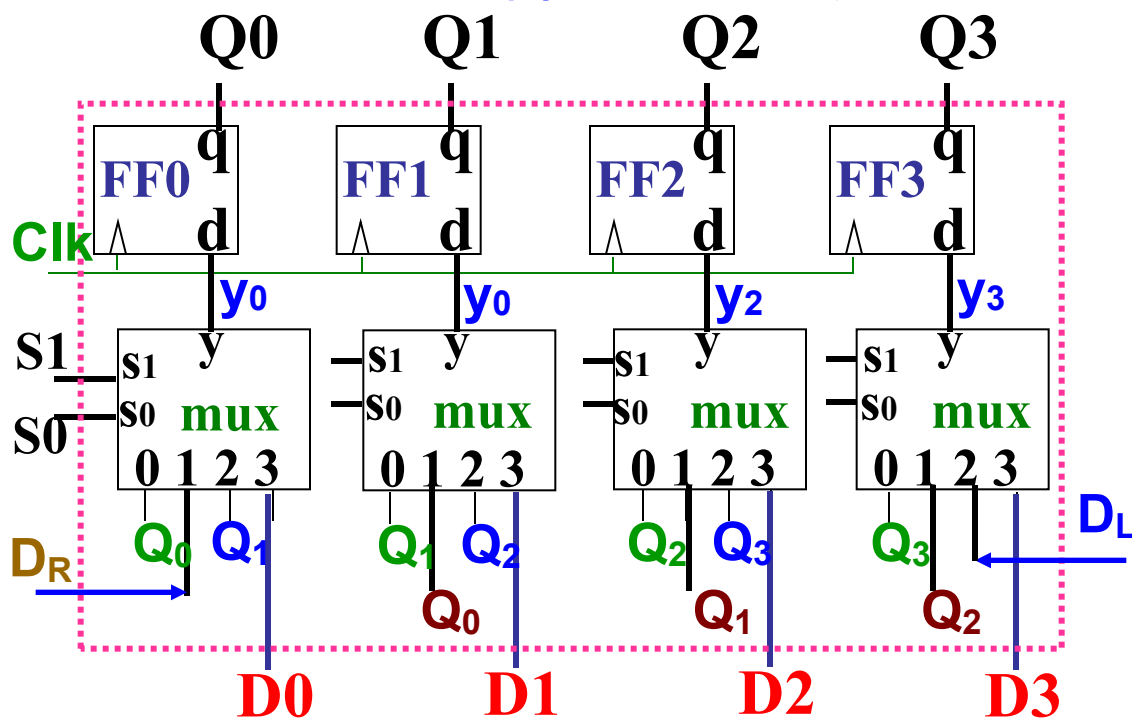
$s_1s_0 = 11$ 时, 置数

$s_1s_0 = 01$ D_0

$s_1s_0 = 10$ D_2

$s_1s_0 = 11$ D_3

例4 分析下面逻辑电路的功能



2) 状态转换表

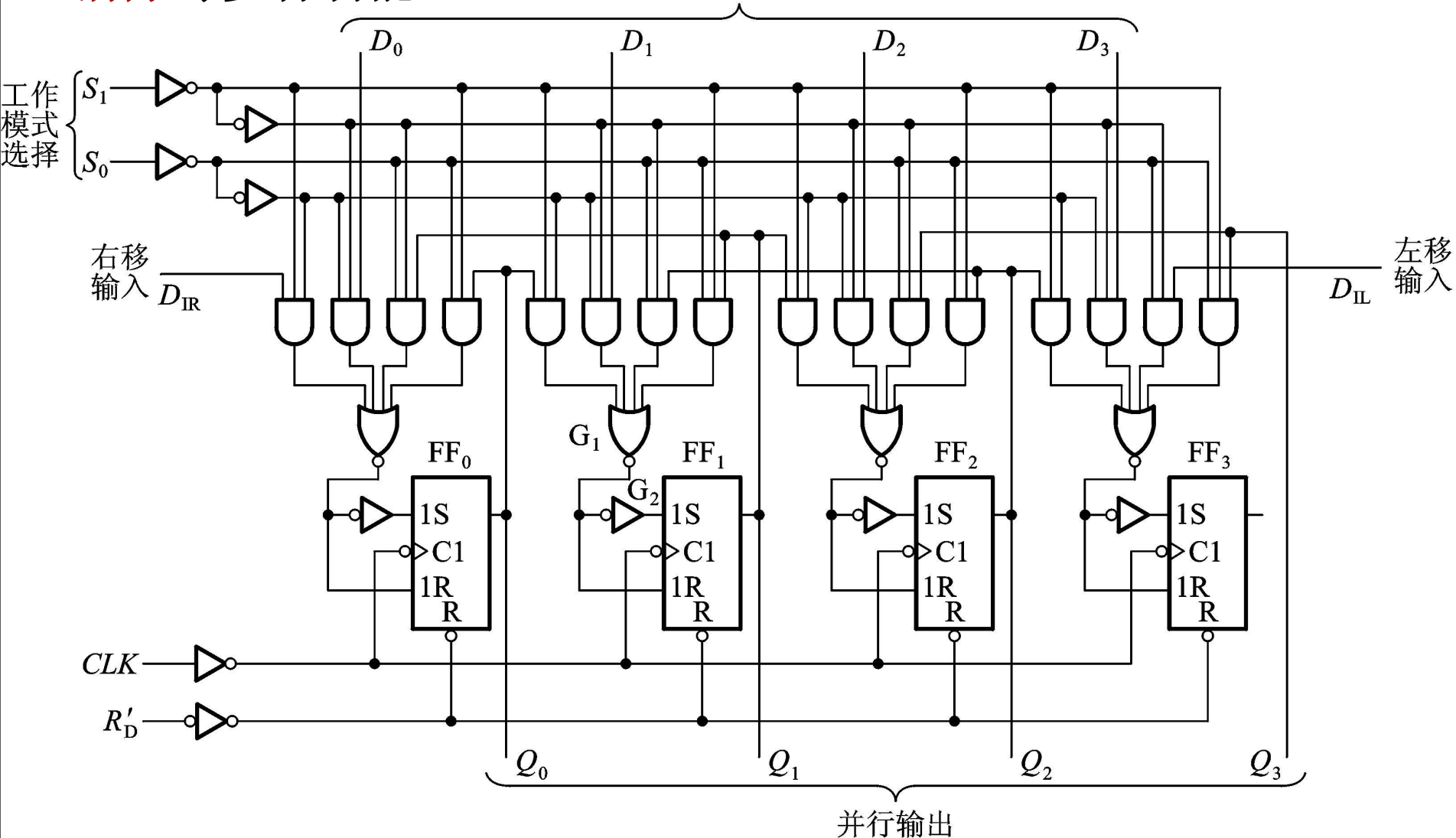
S1	S0	Q_0^*	Q_1^*	Q_2^*	Q_3^*	
0	0	Q_0	Q_1	Q_2	Q_3	保持
0	1	D_R	Q_0	Q_1	Q_2	右移
1	0	Q_1	Q_2	Q_3	D_L	左移
1	1	D_0	D_1	D_2	D_3	置数

4比特可控双向移位寄存器

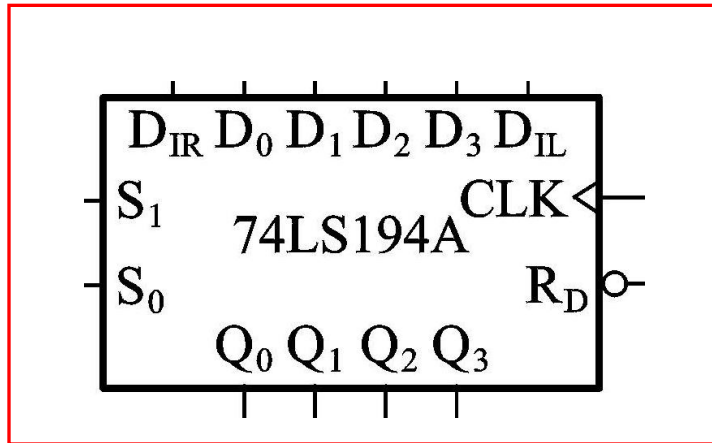
集成移位寄存器74LS194A

器件实例 集成移位寄存器74LS194A

74194A是4位通用移存器，具有左移、右移、并行置数、保持、清除等多种功能。



集成移位寄存器74LS194A



工作状态表

R_D	S_1	S_0	工作状态
0	X	X	置零
1	0	0	保持
1	0	1	右移
1	1	0	左移
1	1	1	并行输入

CLK 移位脉冲输入端，上升沿触发

$D_0 \sim D_3$ 并行数码输入端

$Q_0 \sim Q_3$ 并行数码输出端

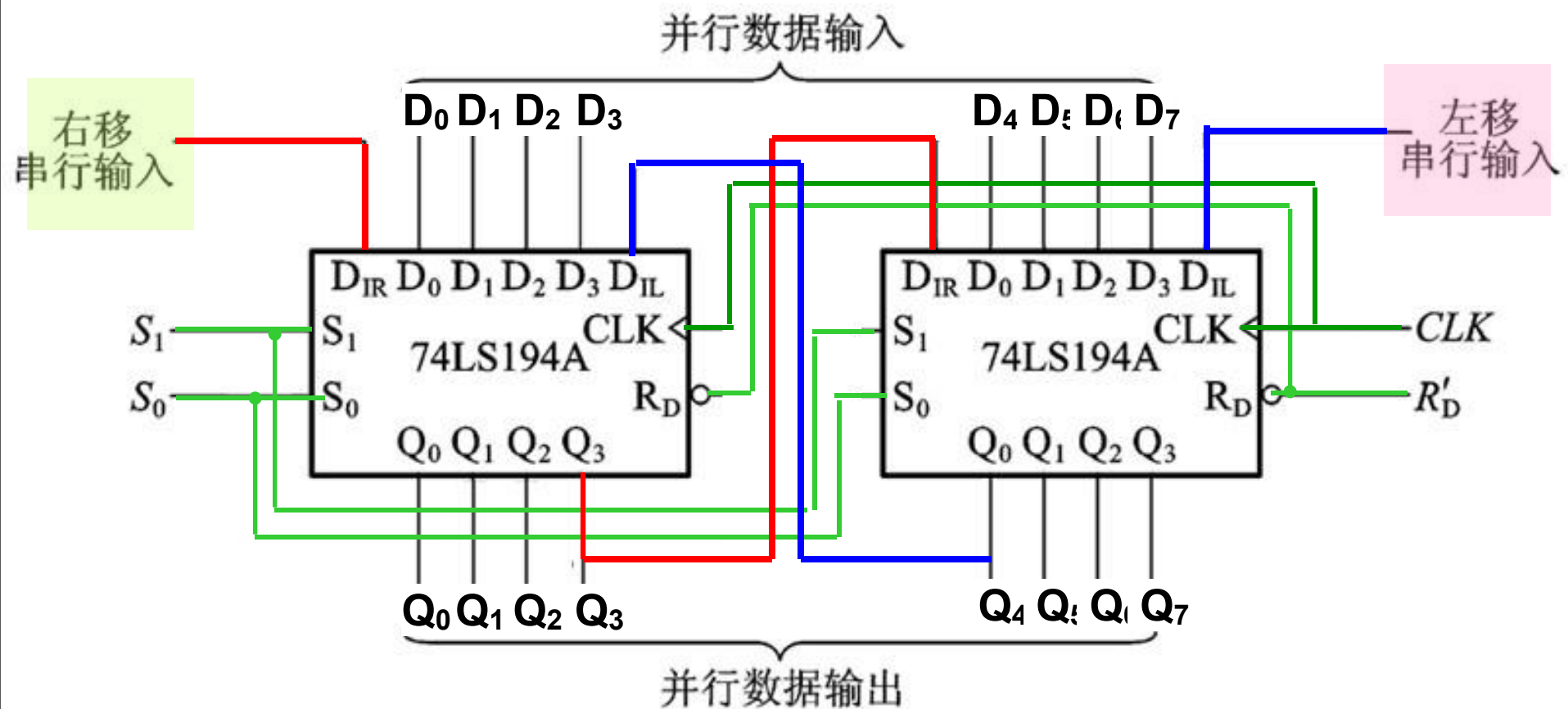
$D_{IR} \sim D_{IL}$ 右移、左移串行数码输入端

R_D 异步清0端，低电平有效

S_1 、 S_0 工作方式控制端

扩展应用（四位扩展到八位）

例：用两片74LS194A接成8位双向移位寄存器



讨论： 用移位寄存器74194和逻辑门组成的电路如图所示，
 设74194的初始状态 $Q_3Q_2Q_1Q_0=0001$ ，试画出各输出端
 Q_3 、 Q_2 、 Q_1 、 Q_0 和 L 的波形。

