

课程内容

⌘ 数制与码制(第一章)

⌘ 逻辑代数(第二章)

⌘ 组合逻辑电路(第四章)

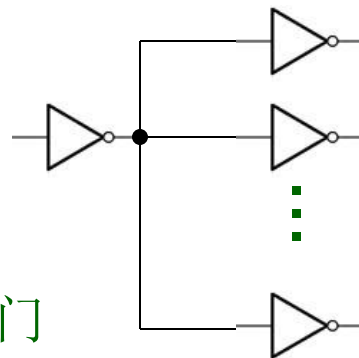
⌘ 触发器 (第五章)

⌘ 时序逻辑电路(第六章)

⌘ 集成门电路(第三章)

问题1: 低电平---0; 高电平---1
几伏为高电平? 几伏为低电平?

问题2: 理想情况, 一个门能驱动无数个负载, 实际上不能, 为什么?



TTL门, CMOS门

第三章 门电路

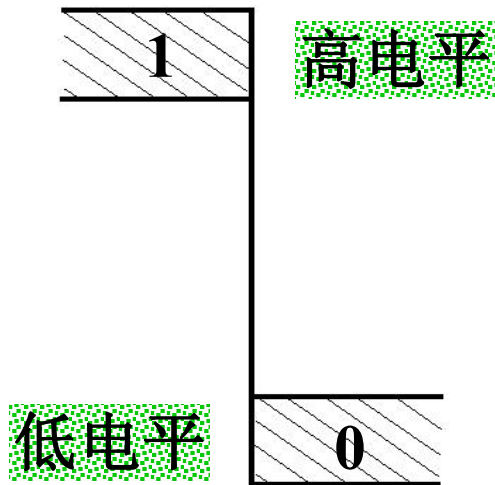
- 基本逻辑门电路
- TTL 集成逻辑门电路
- CMOS 集成逻辑门电路

3.1 概 论

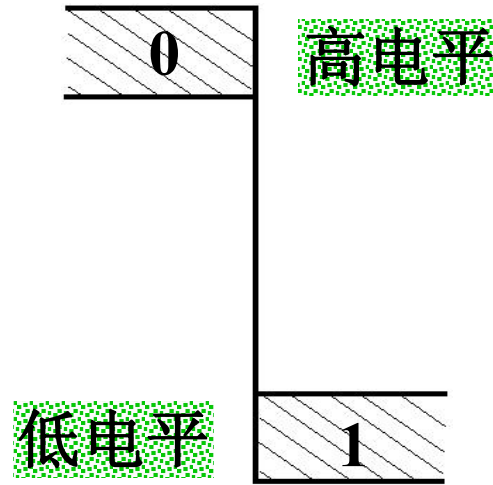
高电平和低电平的含义

由门电路种类等决定

高电平和低电平为某规定范围的电位值，而非一固定值。



正逻辑体制

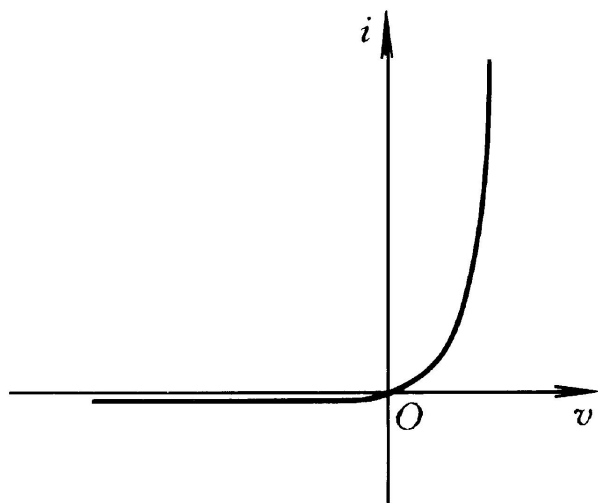


负逻辑体制

3.2 半导体二极管门电路

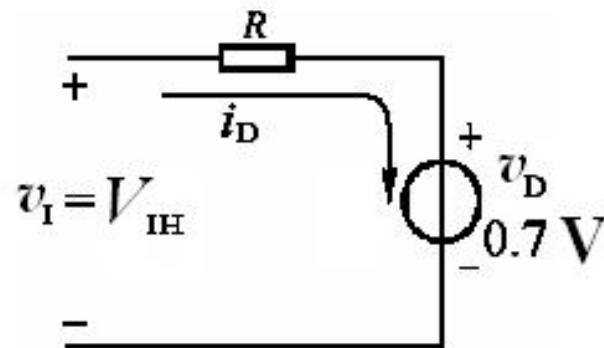
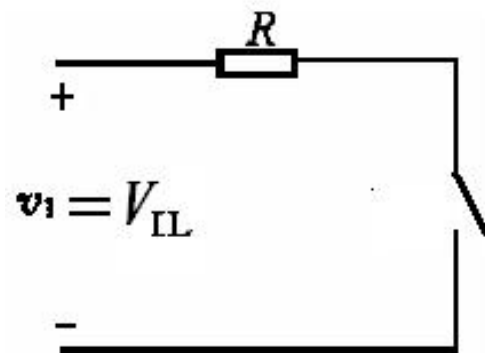
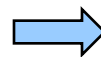
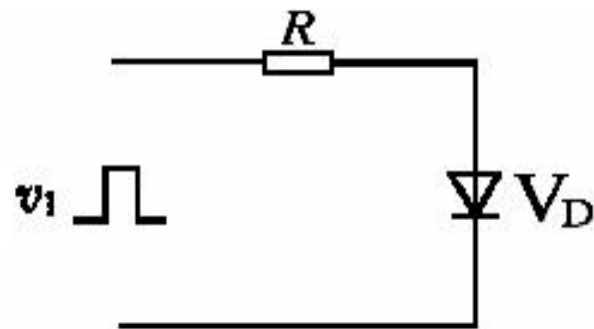
3.2.1 二极管的开关特性

二极管的伏安特性



当输入 v_I 为低电平 V_{IL} 时，二极管反向截止。

当输入 v_I 为高电平 V_{IH} 时，二极管正向导通。



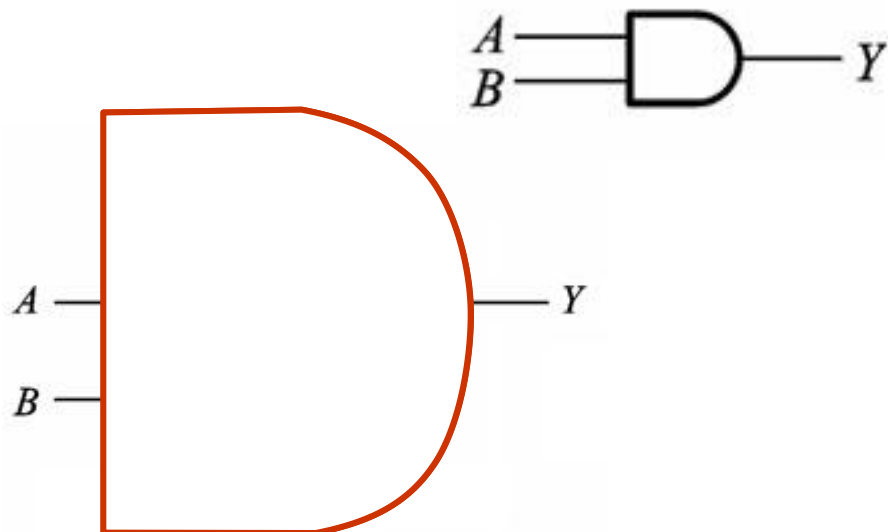
3.2.2 二极管与门

设 $V_{CC} = 5V$

加到A,B的 $V_{IH} = 3V$

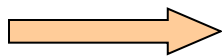
$V_{IL} = 0V$

二极管导通时 $V_D = 0.7V$



A	B	Y
0V	0V	
0V	3V	
3V	0V	
3V	3V	

规定**3V**以上为**1**



0.7V以下为**0**

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

3.2.3 二极管或门

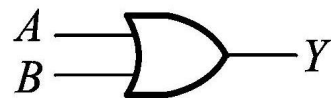
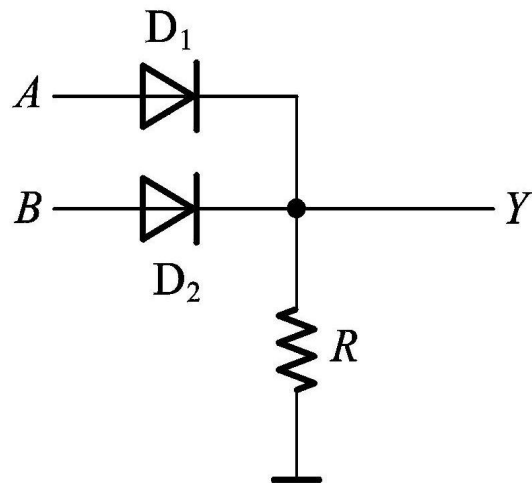
设 $V_{CC} = 5V$

加到A,B的 $V_{IH} = 3V$

$V_{IL} = 0V$

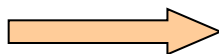
二极管导通时

$V_D = 0.7V$



A	B	Y
0V	0V	0V
0V	3V	2.3V
3V	0V	2.3V
3V	3V	2.3V

规定2.3V以上为1



0V以下为0

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

3.5 TTL 集成逻辑门

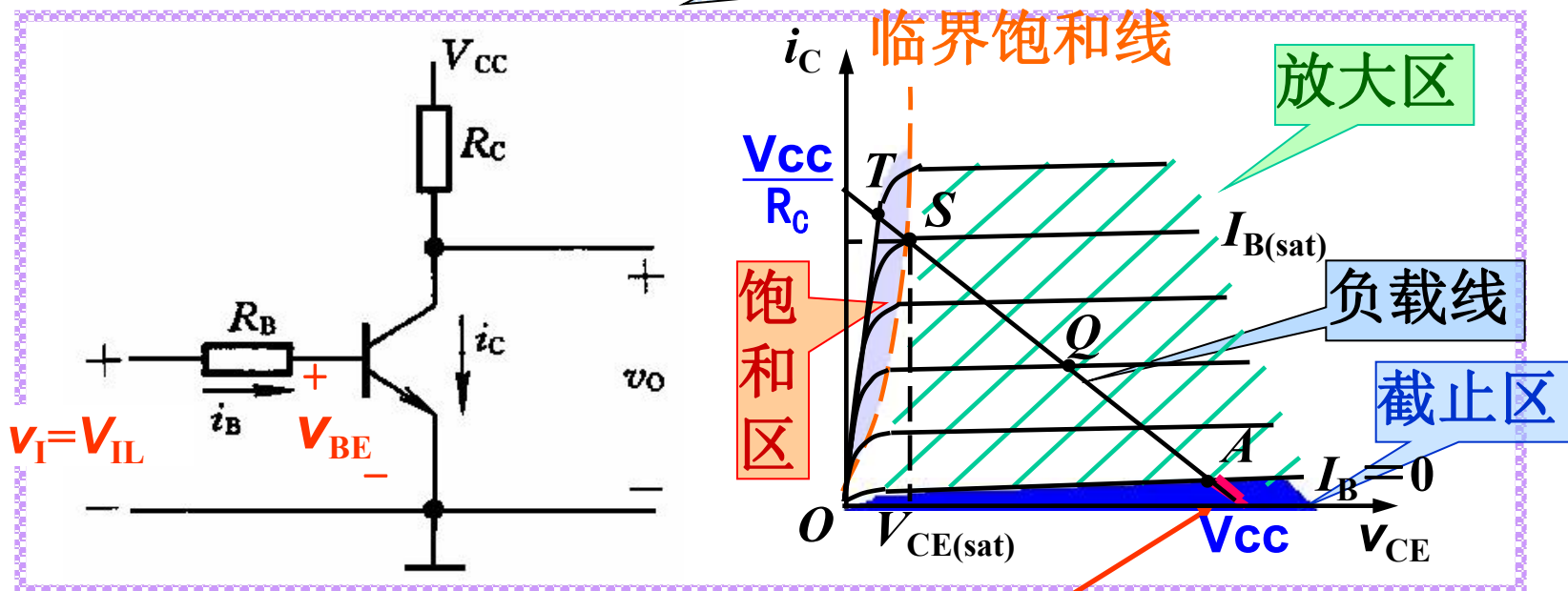
主要要求：

- 了解 三极管的开关特性。
- 掌握 TTL 基本门的逻辑功能和主要外特性。
- 了解其他类型TTL门电路的逻辑功能和应用。

3.5.1 三极管的开关特性

(一) 三极管的开关特性

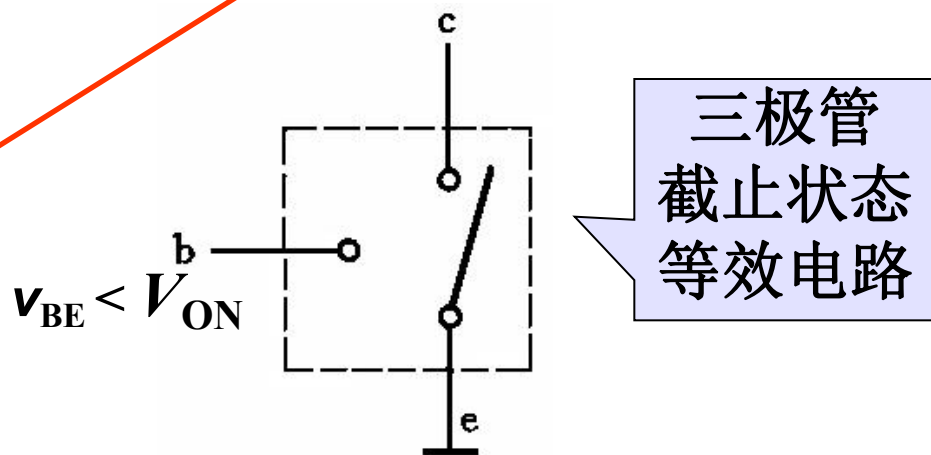
三极管为什么能用作开关？
怎样控制它的开和关？



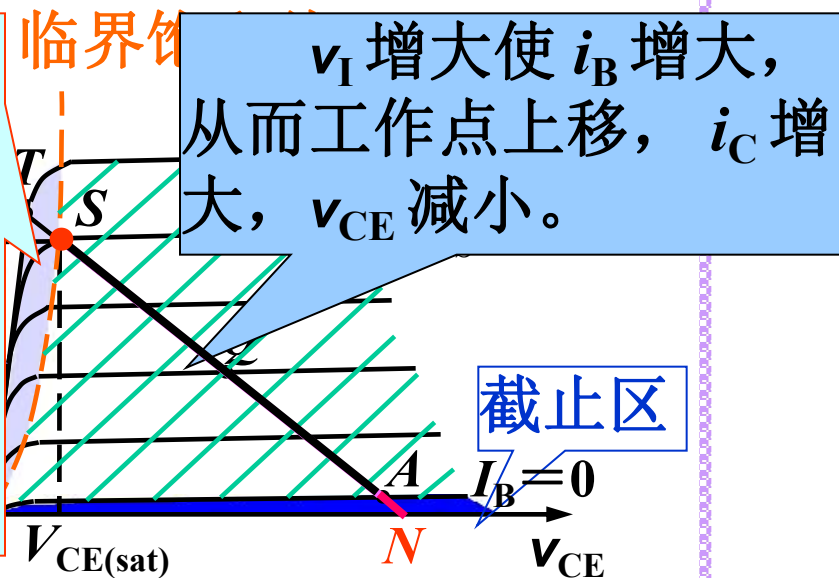
三极管关断的条件和等效电路

当输入 v_I 为低电平，使 $V_{BE} < V_{ON}$ 时，三极管截止。

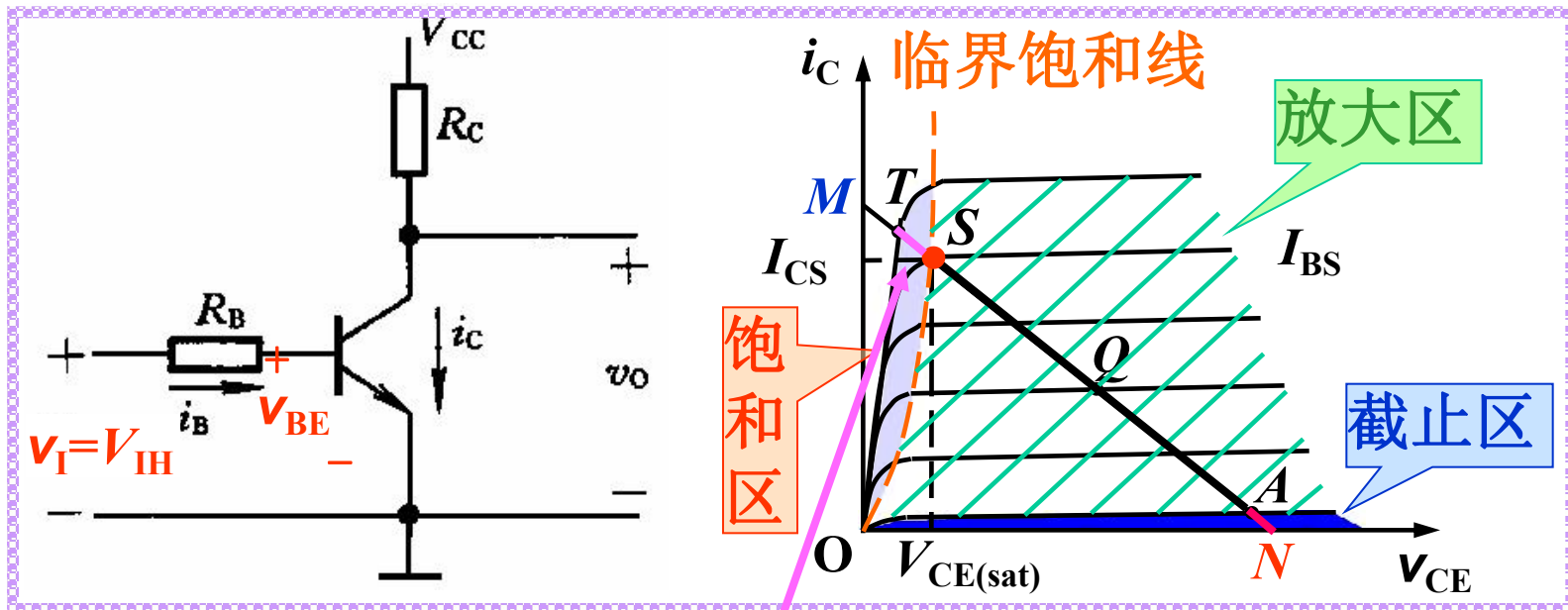
$i_B \approx 0$, $i_C \approx 0$, C、E 间相当于开关断开。



S 为放大和饱和的交界点，这时的 i_B 称临界饱和基极电流，用 I_{BS} 表示；相应地， I_{CS} 为临界饱和集电极电流； $V_{BE(sat)}$ 为饱和基极电压； $V_{CE(sat)}$ 为饱和集电极电压。对硅管， $V_{BE(sat)} \approx 0.7V$ ， $V_{CE(sat)} \approx 0.3V$ 。在临界饱和点三极管仍然具有放大作用。



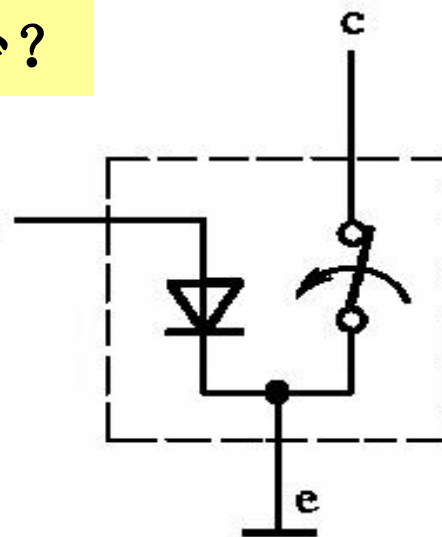
v_I 增大使 $v_{BE} > V_{ON}$ 时，三极管开始导通， $i_B > 0$ ，三极管工作于放大导通状态。



三极管饱和时 V_{BE} 等于多少？

当输入 v_i 为高电平，使 $i_B \geq I_{BS}$ 从逻辑关系上考虑，三极管相当于一个什么门？

$V_{CE} \approx V_{CE(sat)} \sim 0.5V \sim 0V$
C、E 间相当于开关合上。



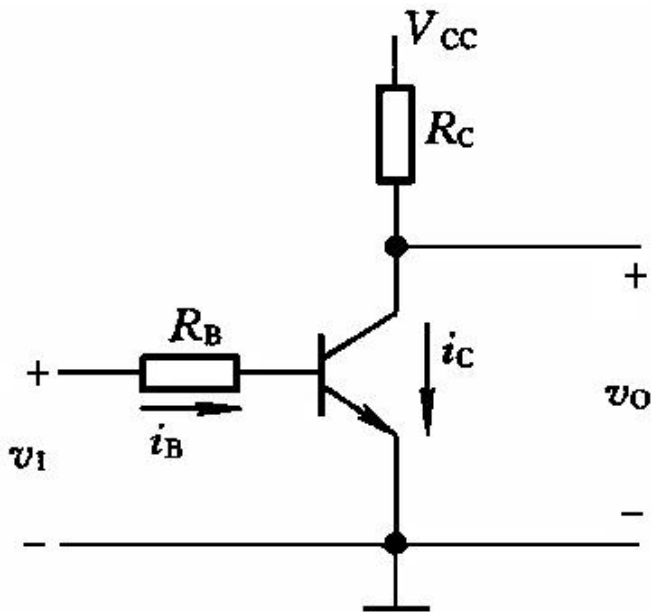
三极管饱和状态等效电路

三极管工作于开关状态的条件

截止条件

$$v_{BE} < V_{ON}$$

可靠截止条件为 $v_{BE} \leq 0$



饱和条件

$$i_B > I_{BS}$$

i_B 愈大于 I_{BS} ，
则饱和愈深。

由于 $V_{CE(sat)} \approx 0$ ，因此饱和后 i_C 基本上为恒值，

$$i_C \approx I_{CS} = \frac{V_{CC} - V_{CE(sat)}}{R_C} \approx \frac{V_{CC}}{R_C}$$

$$I_{BS} = \frac{I_{CS}}{\beta} \approx \frac{V_{CC}}{\beta R_C}$$

3.5.2 TTL反相器的电路结构和工作原理

一、电路结构

设

$$V_{CC} = 5V$$

$$V_{IH} = 3.4V$$

$$V_{IL} = 0.2V$$

$$PN \text{ 结导通压降 } V_{ON} = 0.7V$$

①

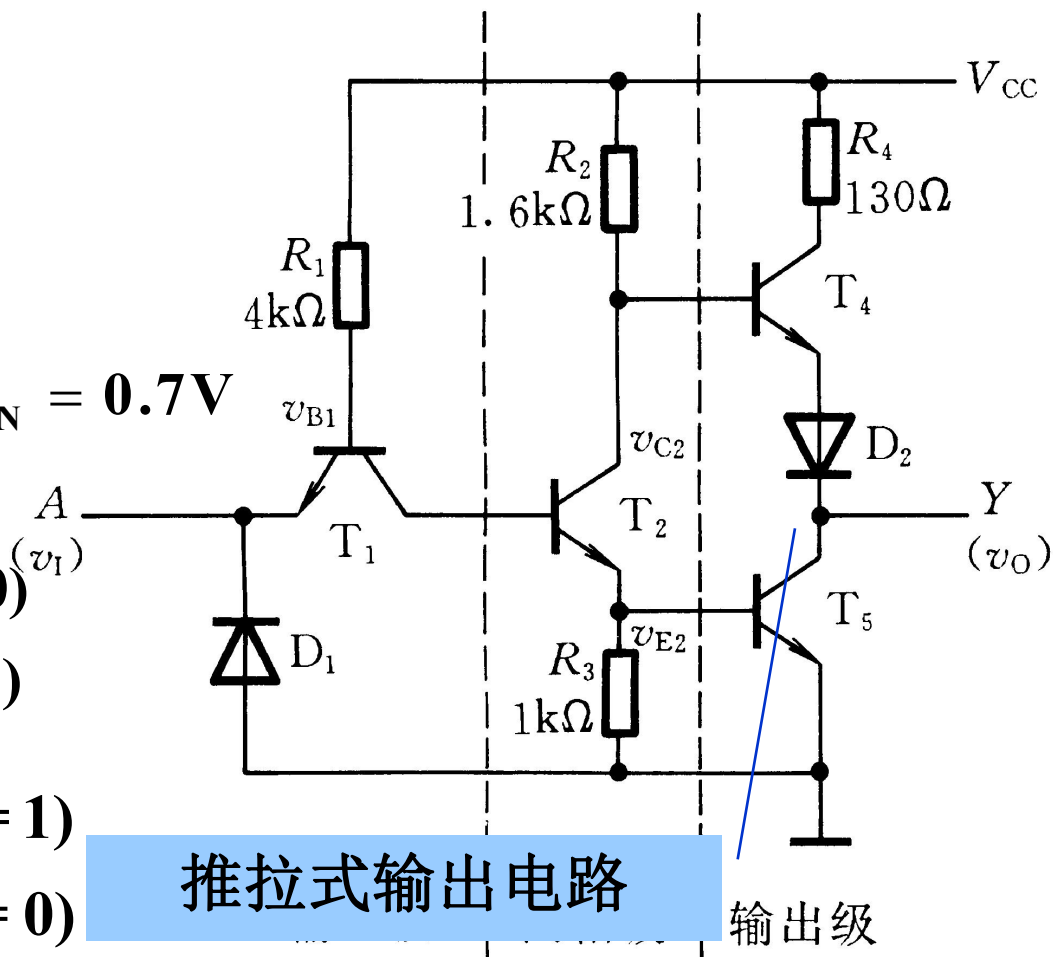
$$V_I = V_{IL} = 0.2V \quad (A = 0)$$

$$V_O = V_{OH} \quad (Y = 1)$$

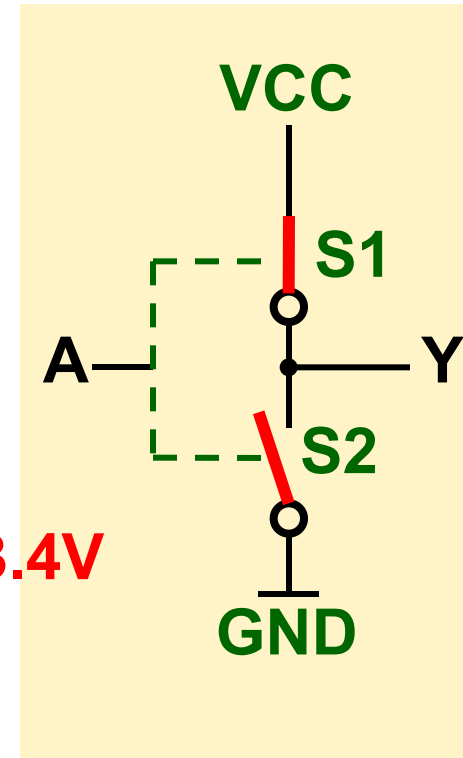
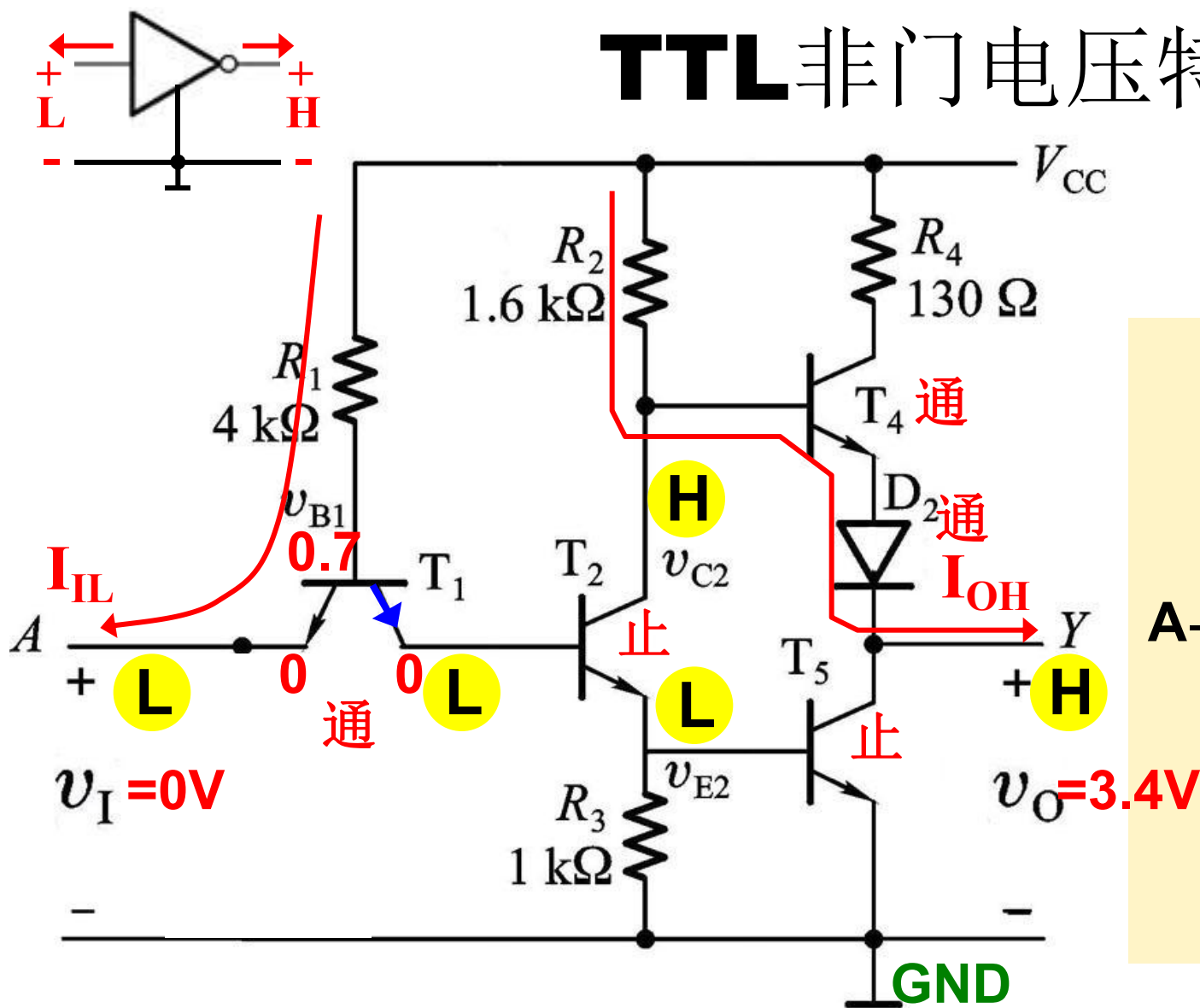
②

$$V_I = V_{IH} = 3.4V \quad (A = 1)$$

$$V_O = V_{OL} \quad (Y = 0)$$

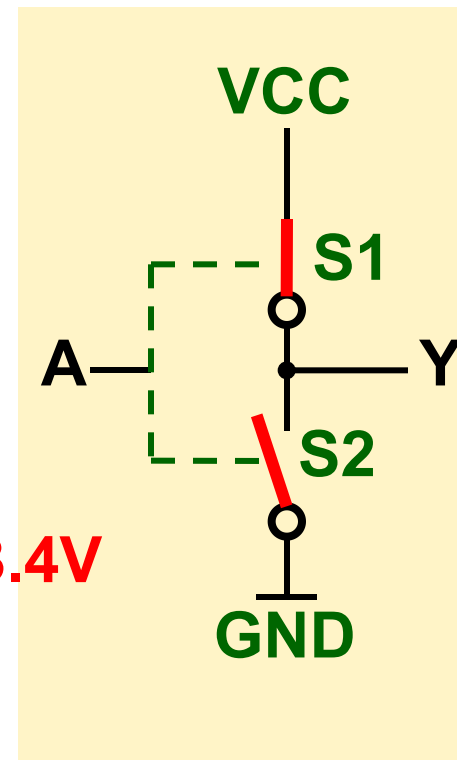
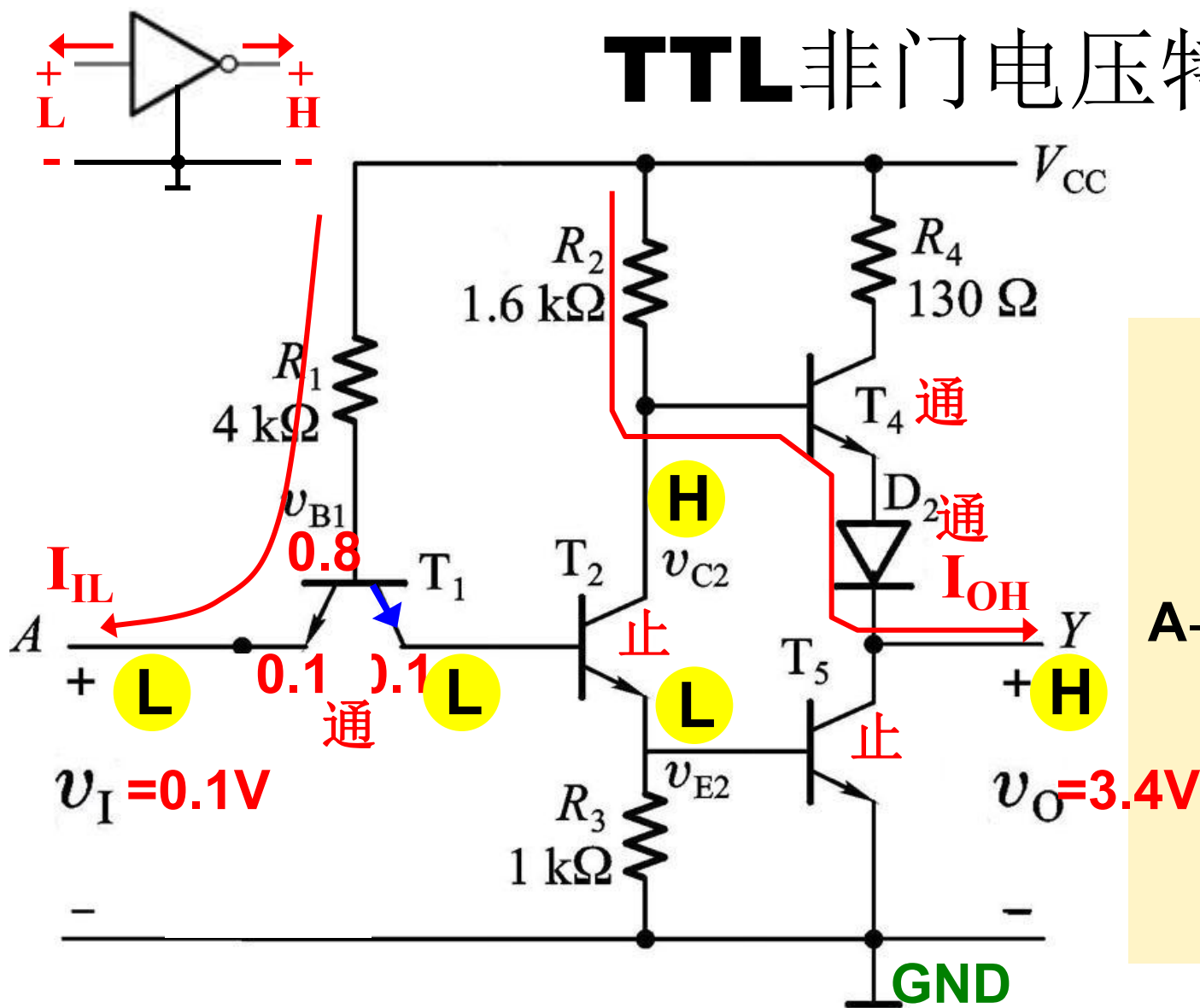


TTL非门电压特性



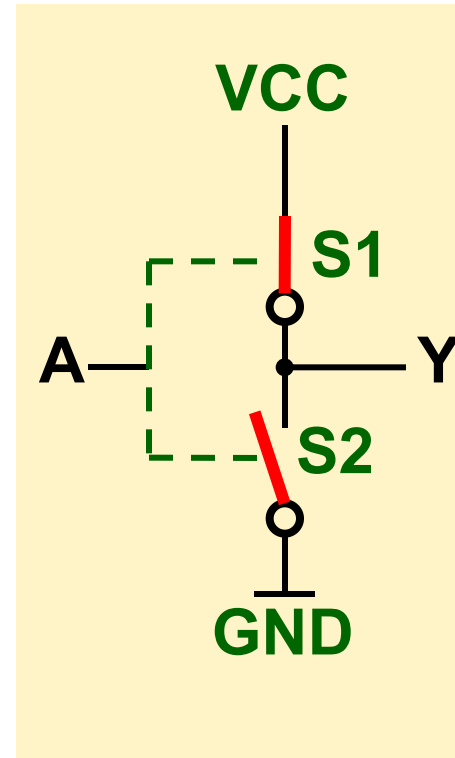
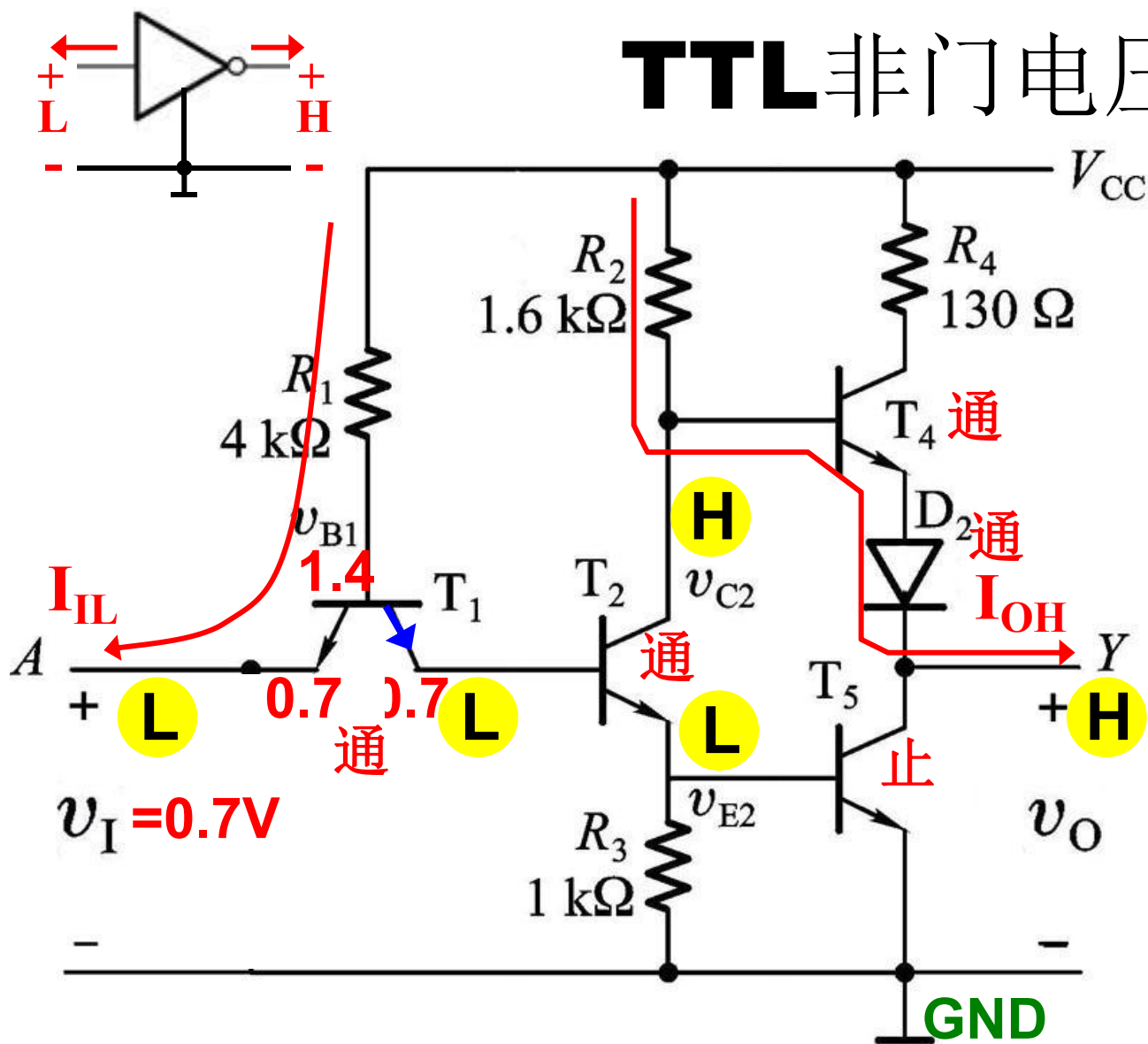
$$V_O = V_{CC} - V_{R2} - 0.7 - 0.7 = 3.6 - V_{R2} = 3.4V$$

TTL非门电压特性

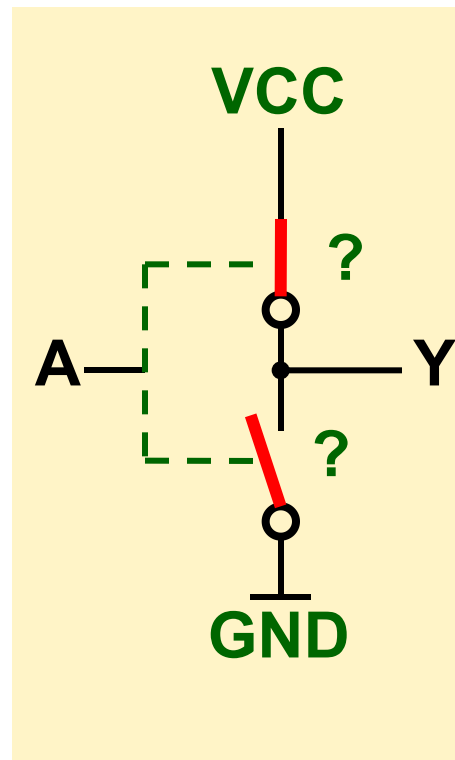
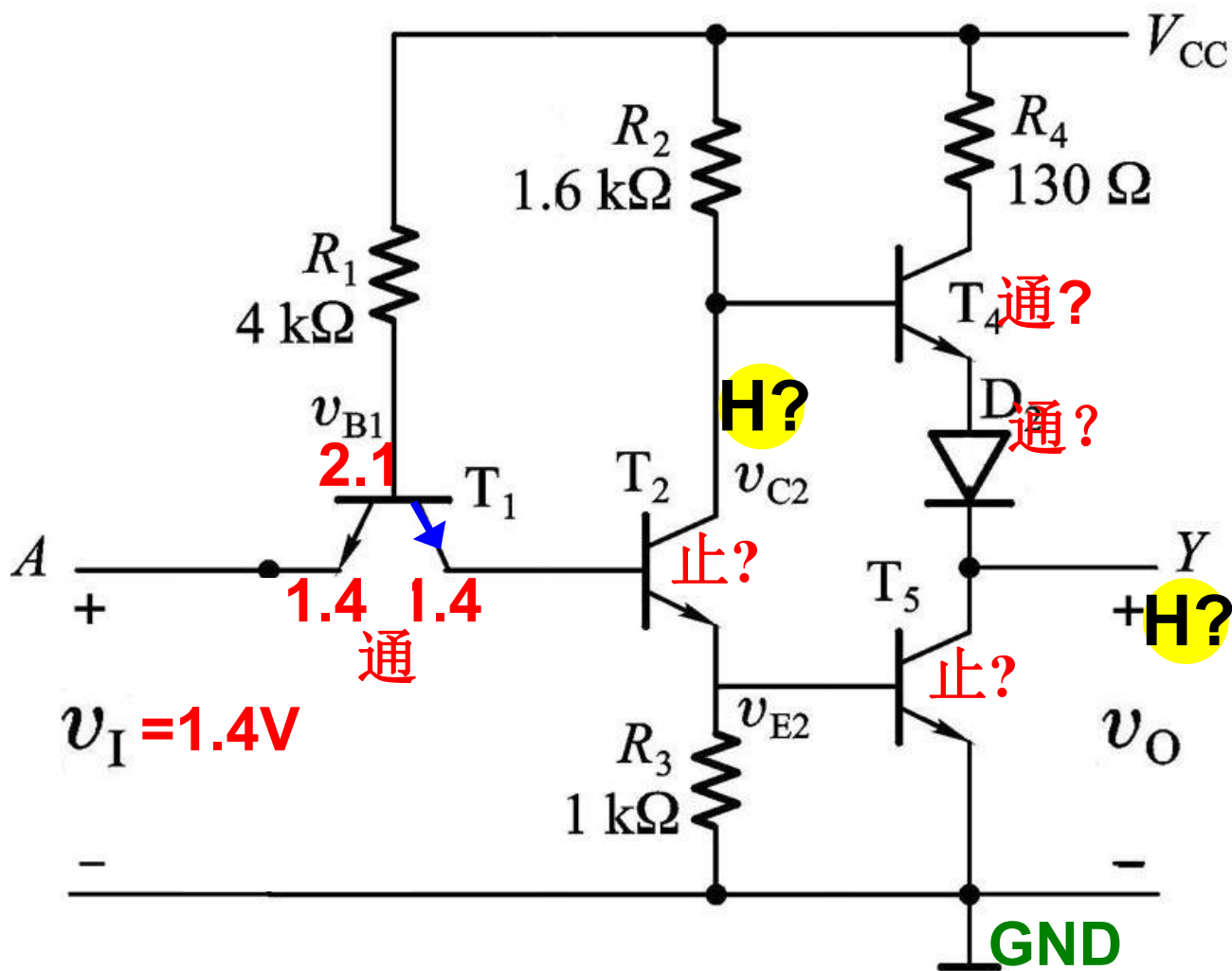


$$V_O = V_{CC} - V_{R2} - 0.7 - 0.7 = 3.6 - V_{R2} = 3.4V$$

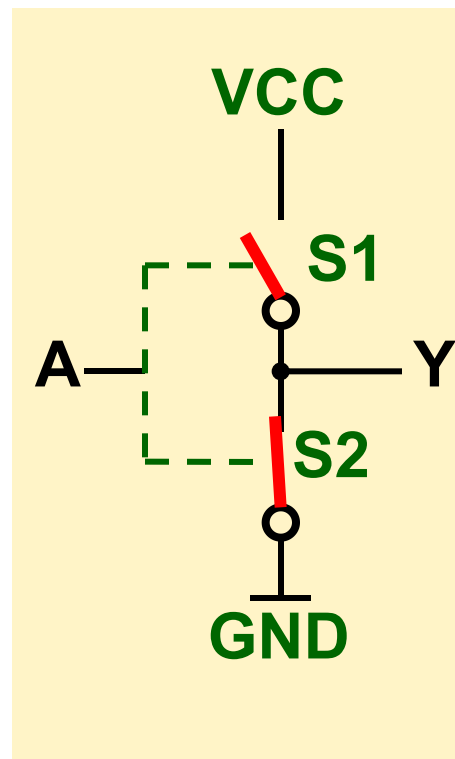
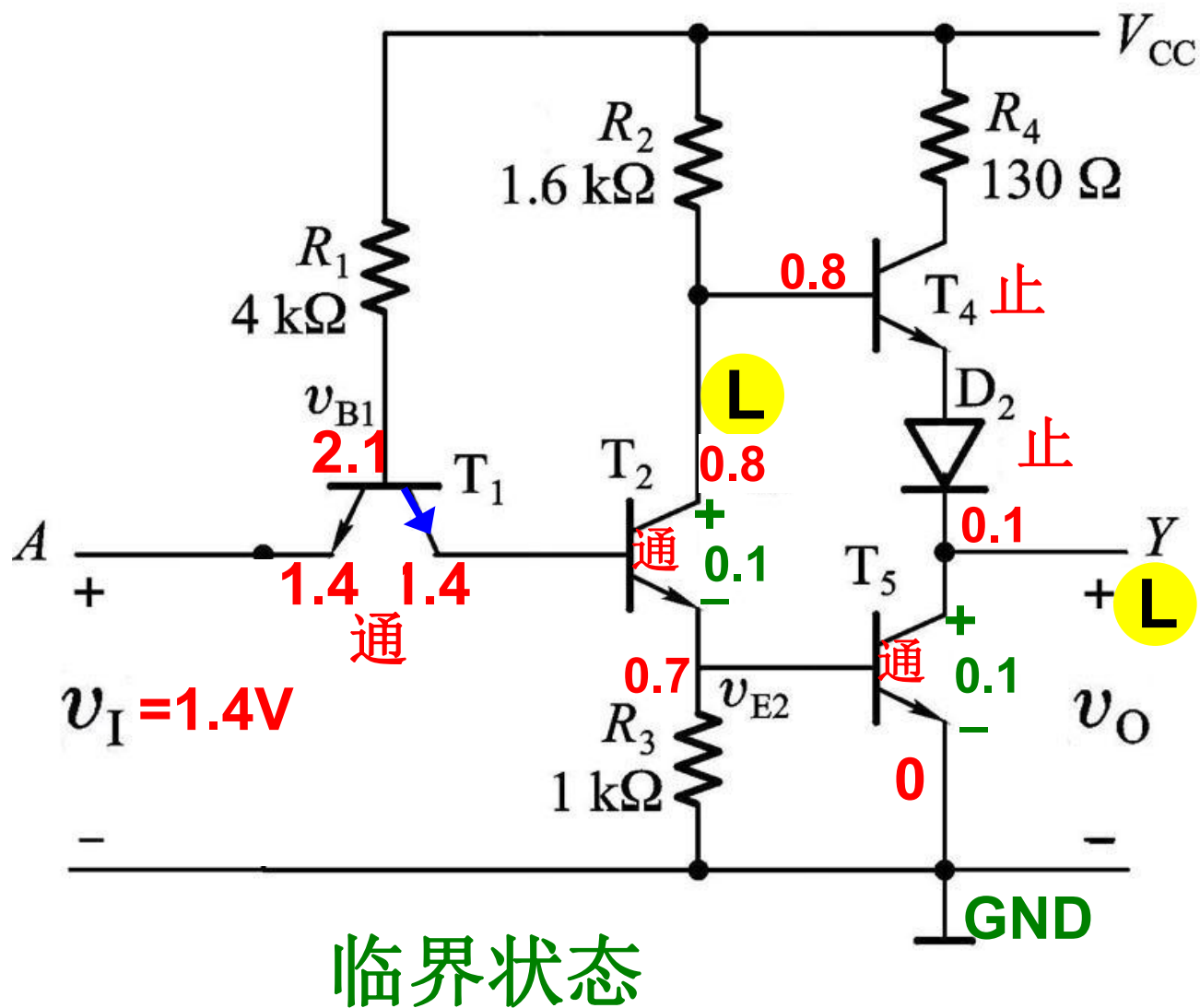
TTL非门电压特性



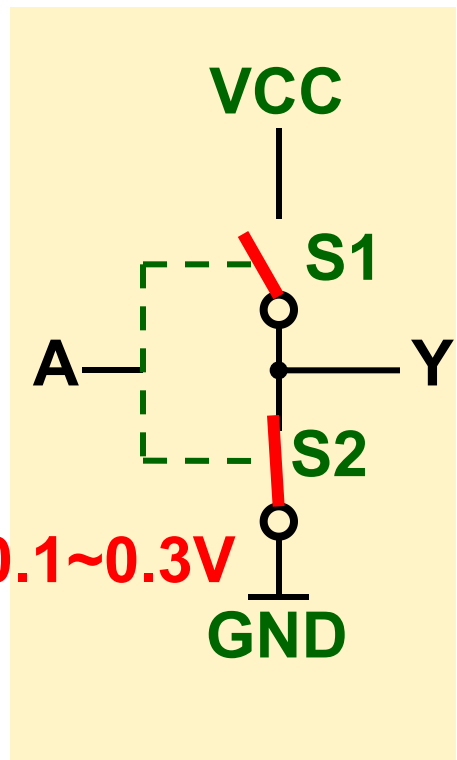
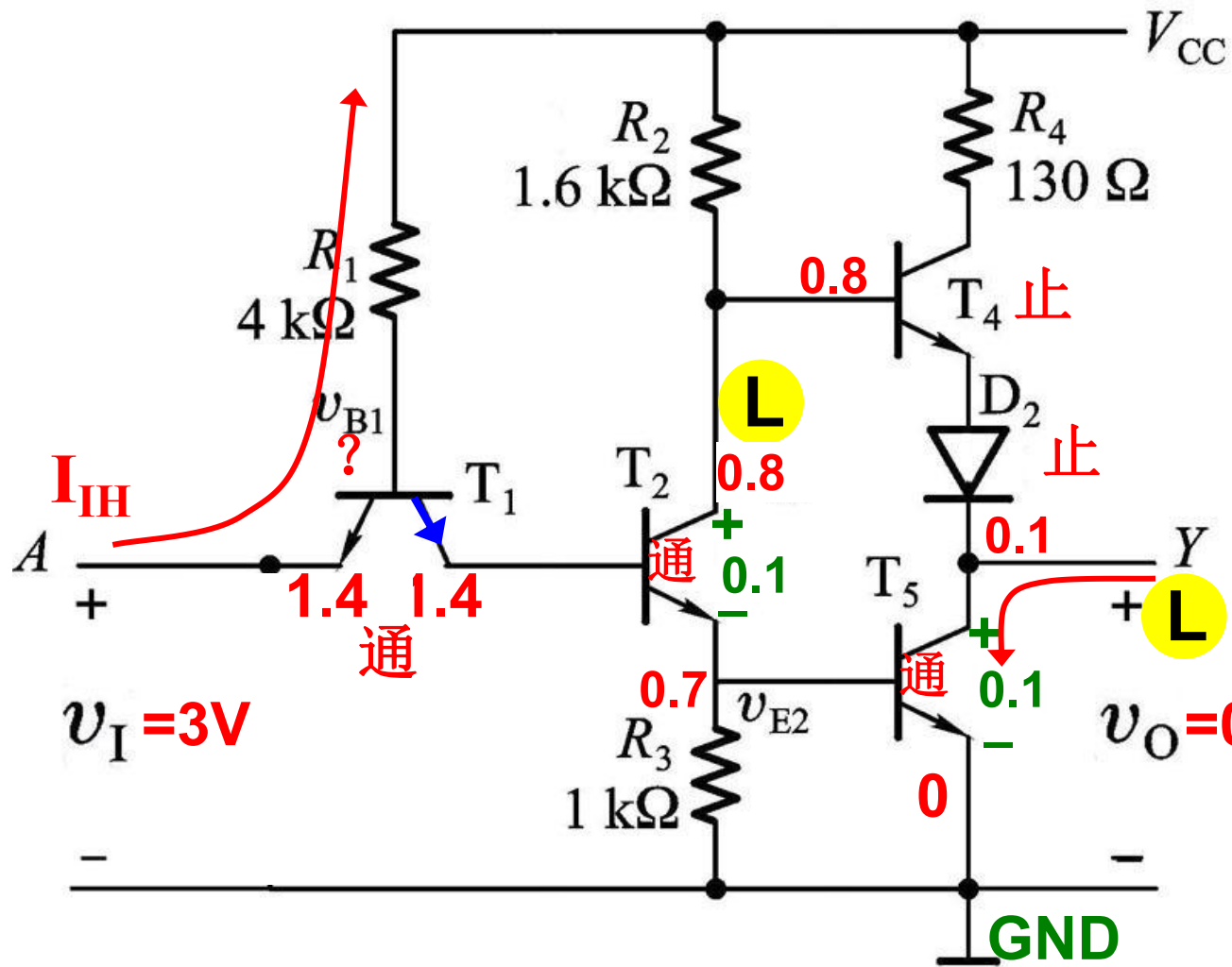
TTL非门电压特性



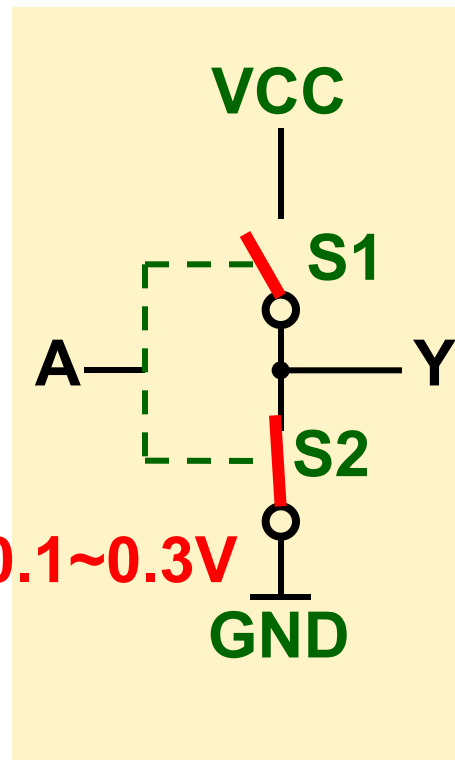
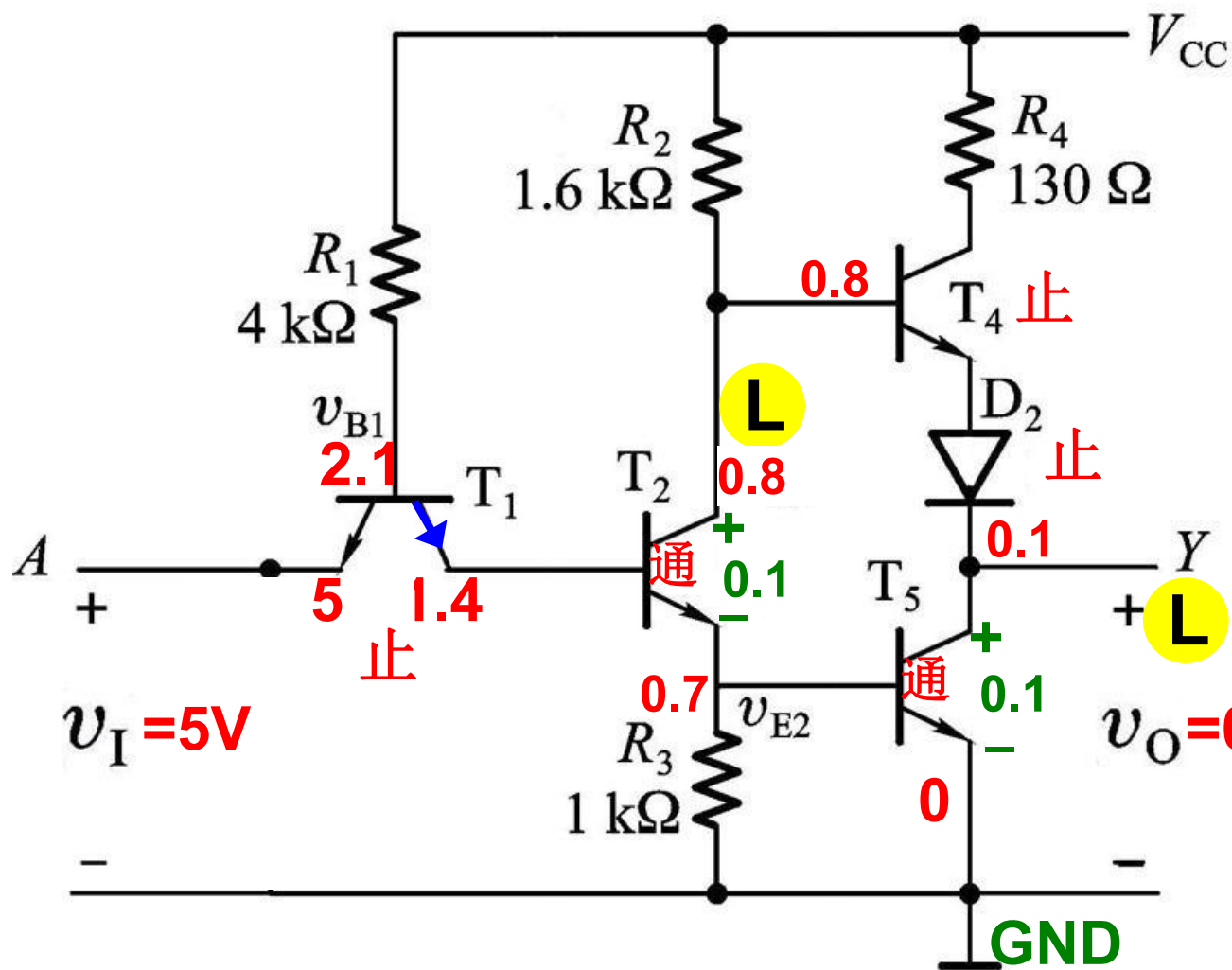
TTL非门电压特性



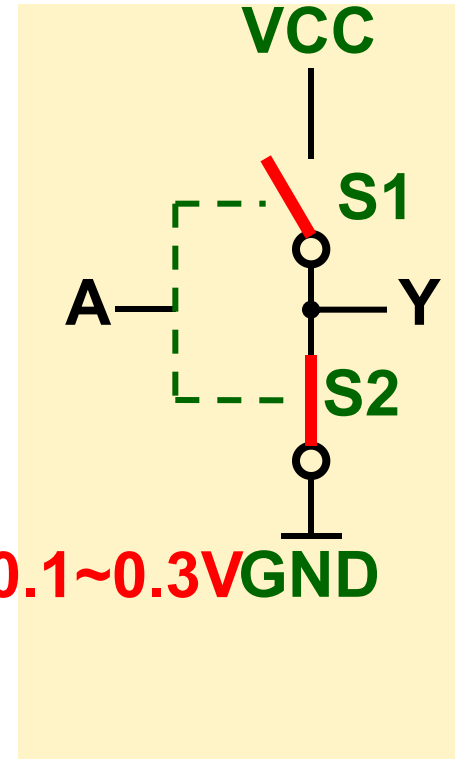
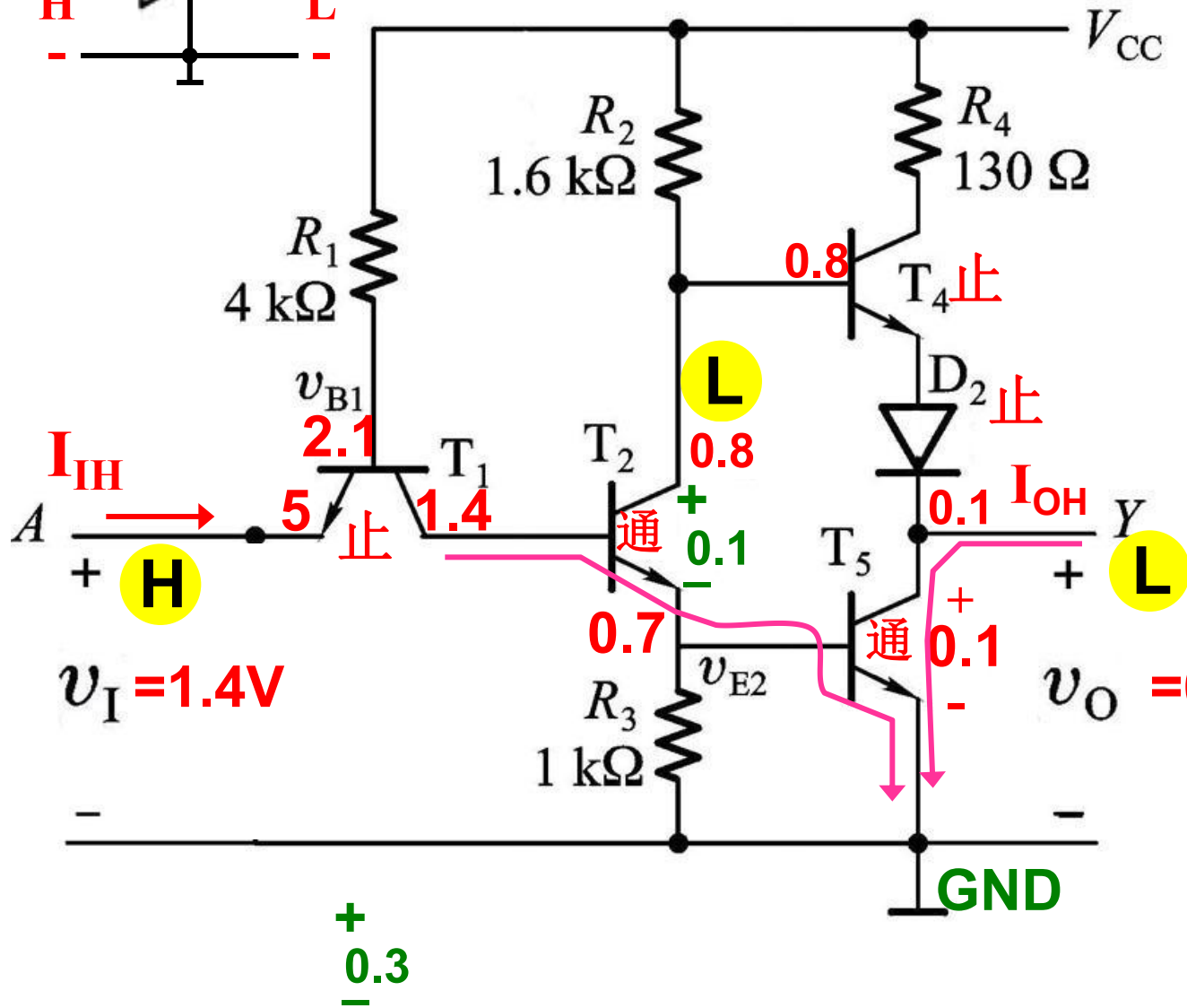
TTL非门电压特性



TTL非门电压特性

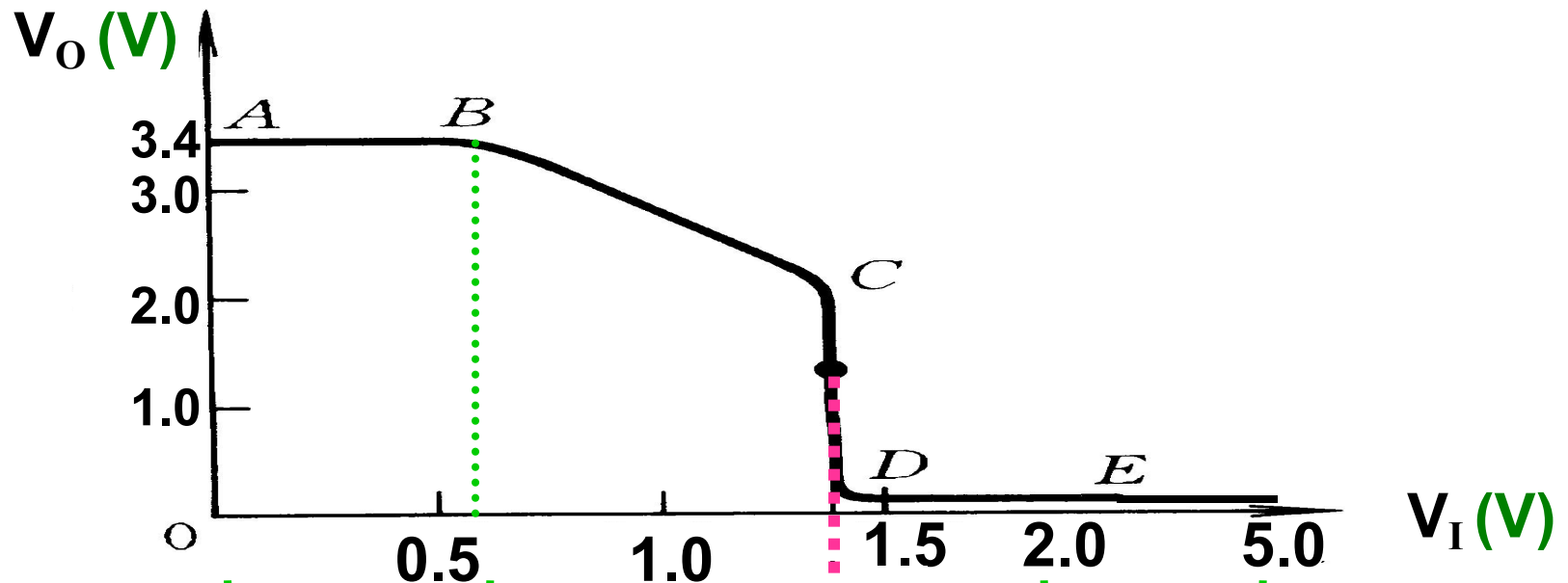


TTL非门电压特性



$$V_O = 0.1\text{ V} \sim 0.3\text{ V}$$

TTL非门电压传输特性曲线



输入电压多少算低电平?

$0 \sim 0.8V$

$V_{IL(max)} = 0.8V$

输入多少算高电平?

$2.0 \sim 5.0V$

$V_{IH} > 1.4V$ 时, T2, T5导通
实际要求 $V_{IH} > 2.0V$

$V_{IH(min)} = 2.0V$

三、输入端噪声容限

输入信号上叠加的噪声电压只要不超过允许值，就不会影响电路的正常逻辑功能，这个允许值称为**噪声容限**。

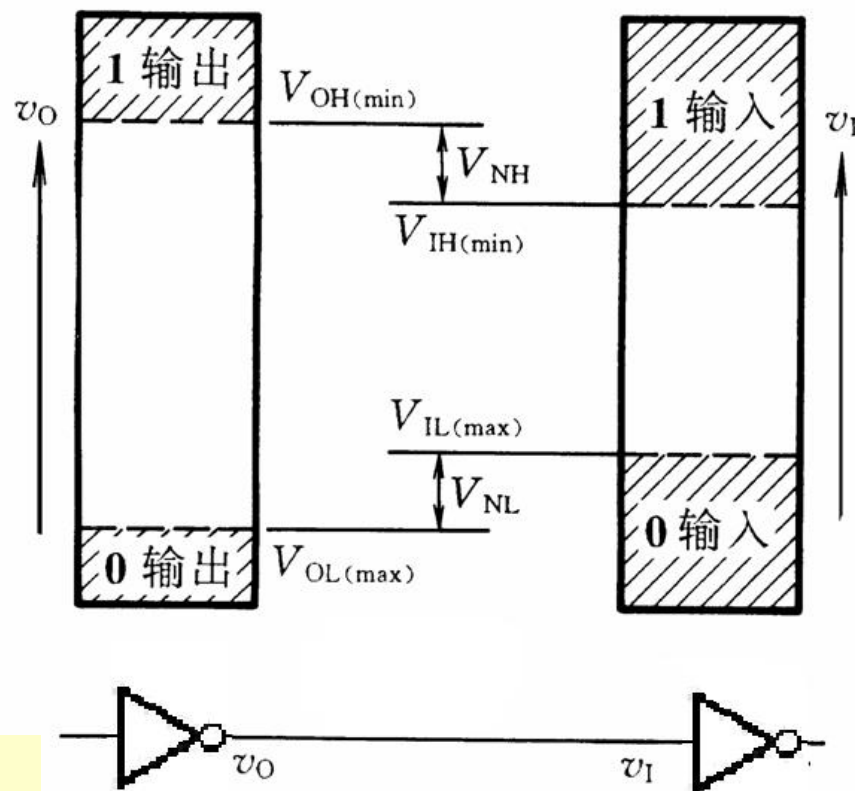
☺ 输入低电平噪声容限 V_{NL}

$$V_{NL} = V_{IL(max)} - V_{OL(max)}$$

☺ 输入高电平噪声容限 V_{NH}

$$V_{NH} = V_{OH(min)} - V_{IH(min)}$$

噪声容限大好还是小好？

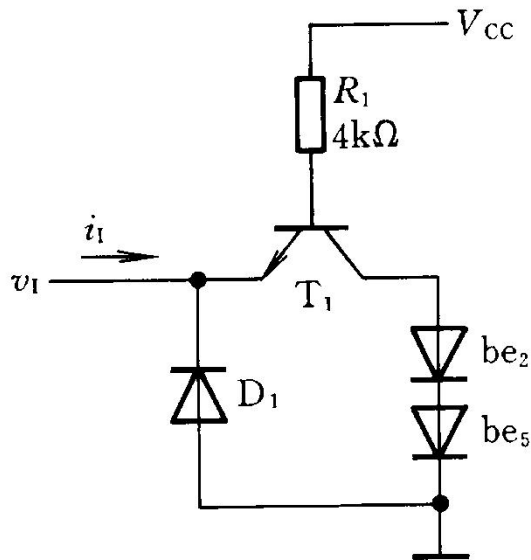


噪声容限越大，抗干扰能力越强。74系列门电路 $V_{NH} = V_{NL} = 0.4V$

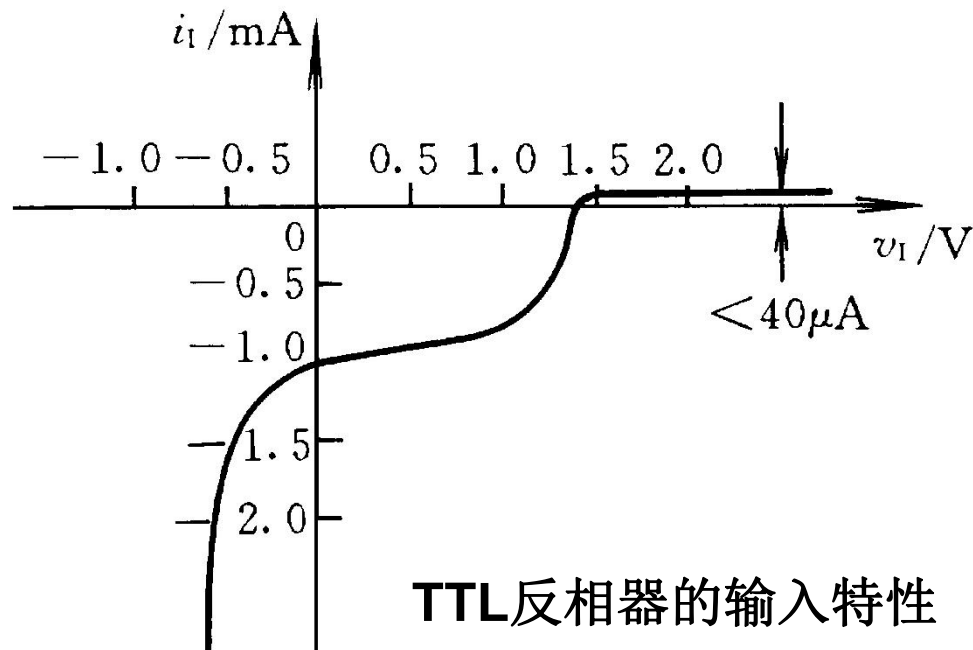
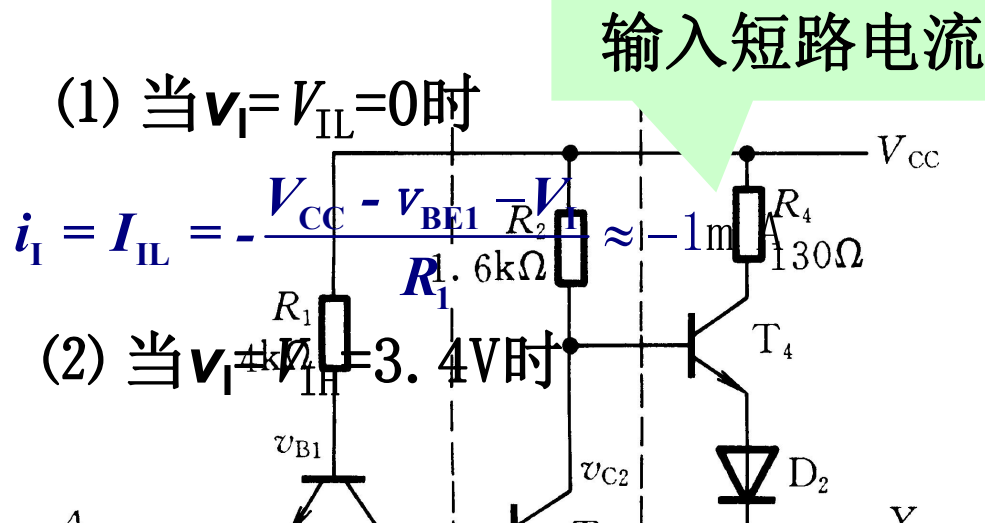
3.5.3 TTL反相器的静态输入特性

一、输入特性

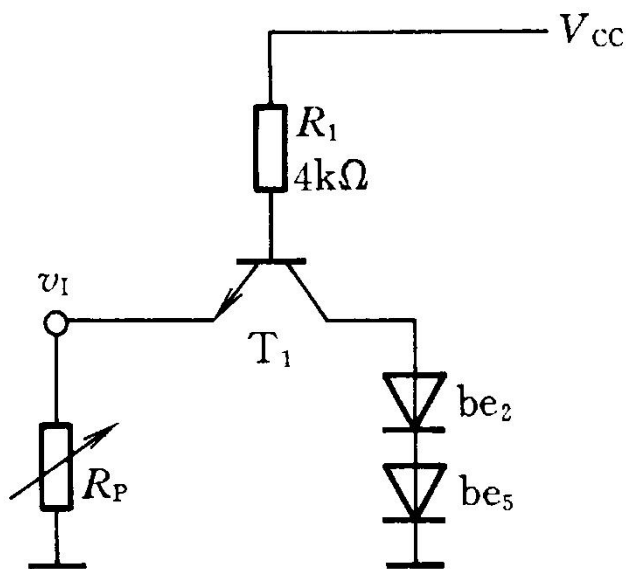
1. 输入伏安特性



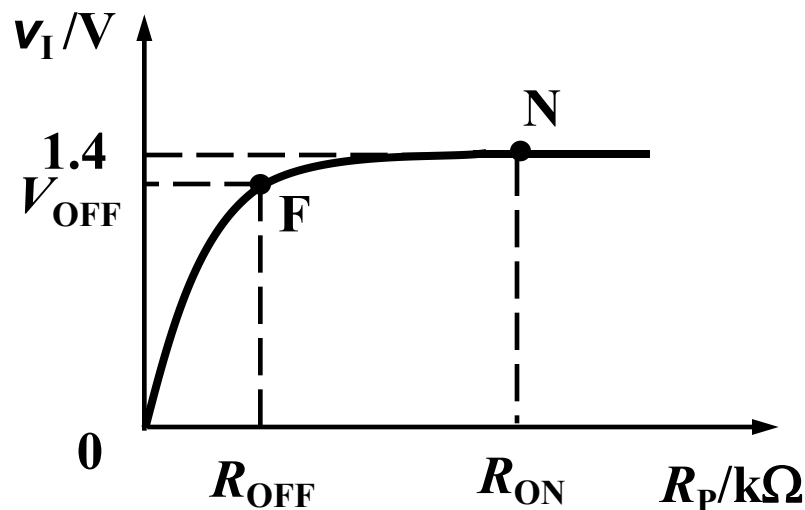
输入端等效电路



2. 输入负载特性



输入负载特性测试电路



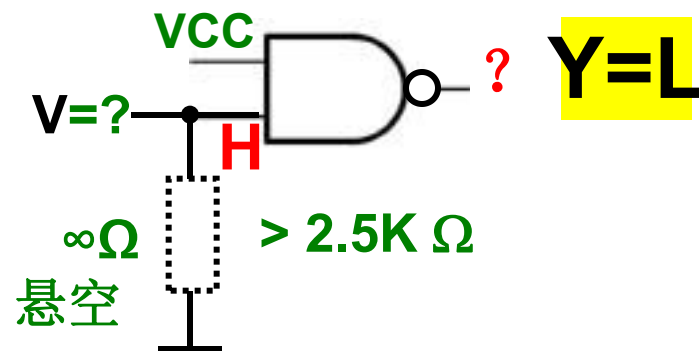
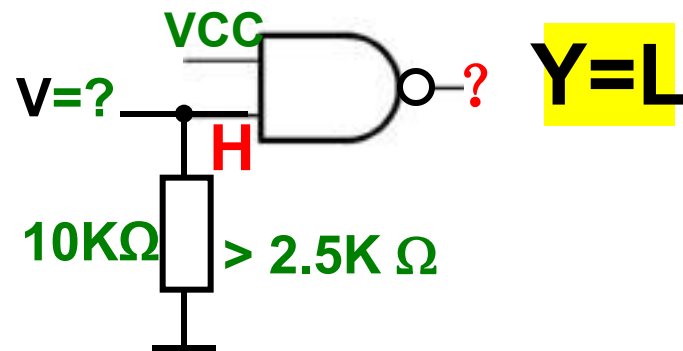
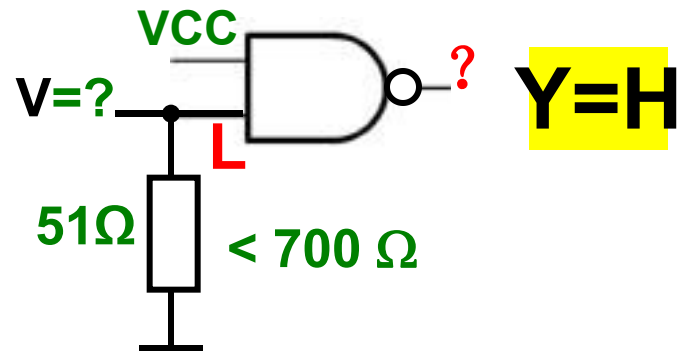
输入负载特性曲线

$$V_i = \frac{R_P}{R_1 + R_P} (V_{CC} - V_{BE1})$$

$R_I < R_{OFF}$ 时，相应输入端相当于输入低电平。对 TTL 系列， $R_{OFF} \approx 700\ \Omega$ 。

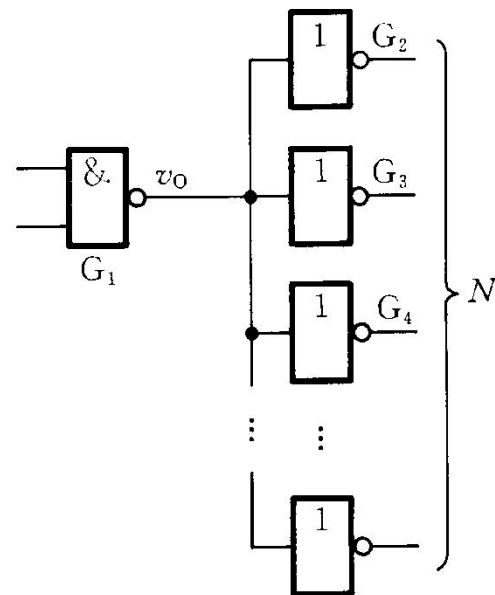
$R_I > R_{ON}$ 时，相应输入端相当于输入高电平。对 TTL 系列， $R_{ON} \approx 2.5\ \text{k}\Omega$ 。

TTL逻辑门，已知， $R_{OFF} \approx 700\ \Omega$ ， $R_{ON} \approx 2.5\ \text{k}\Omega$



2. TTL电路扇出系数的计算

扇出系数：是指一个门电路可以同时驱动某一种门电路的最大数目。



✨输出特性

1. 输出为低电平时

$$(U_0 = U_{OL} \leq 0.4V)$$

✨ 输出端带负载的情形如图：

✨ 低电平输出电流：

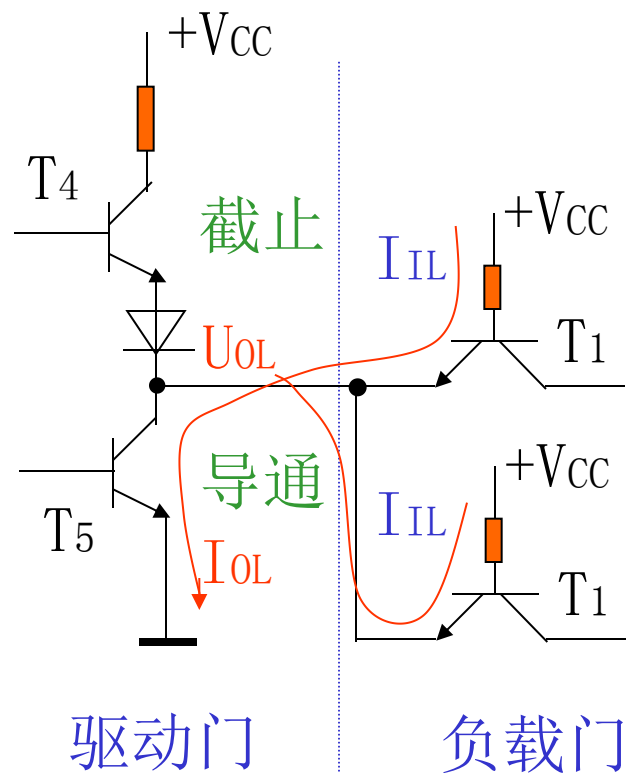
$$I_{OL} = N_1 \cdot I_{IL} \approx N_1 \cdot I_{IS}$$

N_1 是输出低电平时负载门的数目。

$$N_O = I_{OLmax} / I_{IL}$$

$$I_{IL} = \frac{5V - 0.7V - 0.3V}{4K\Omega} = 1mA$$

$$N_{O.} = \frac{I_{OLmax}}{I_{IL}} = \frac{16mA}{1mA} = 16$$



2. 输出端为高电平时

($U_0 = U_{OH}$)

✱ 输出端带负载的情形如图：

✱ 高电平输出电流：

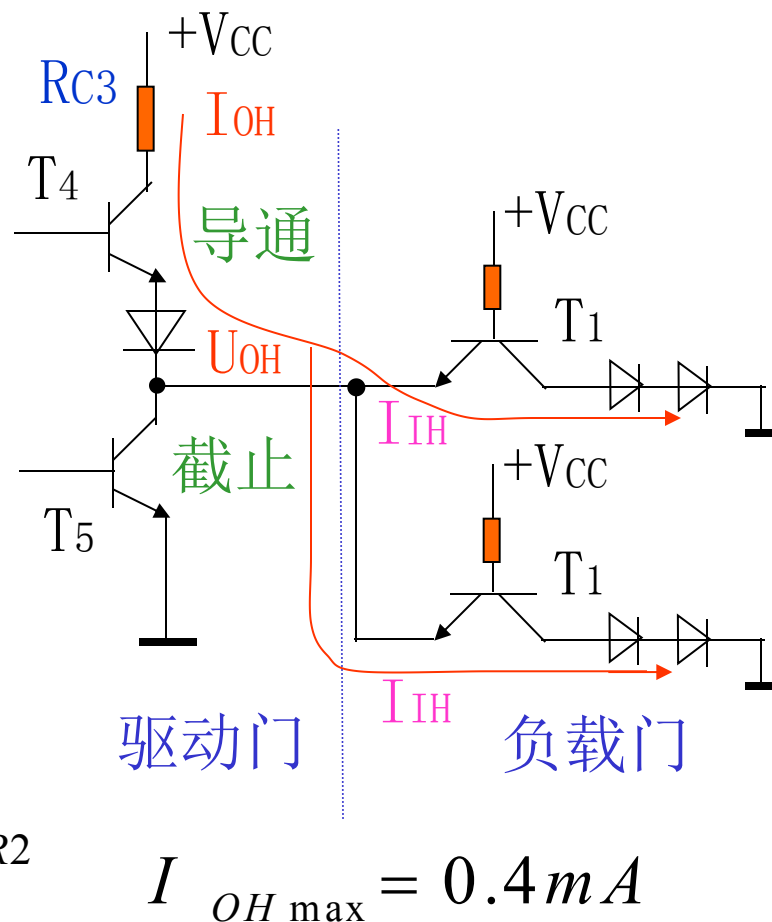
$$I_{OH} = N_2 \cdot I_{IH}$$

N_2 是输出高电平时负载门的数目。

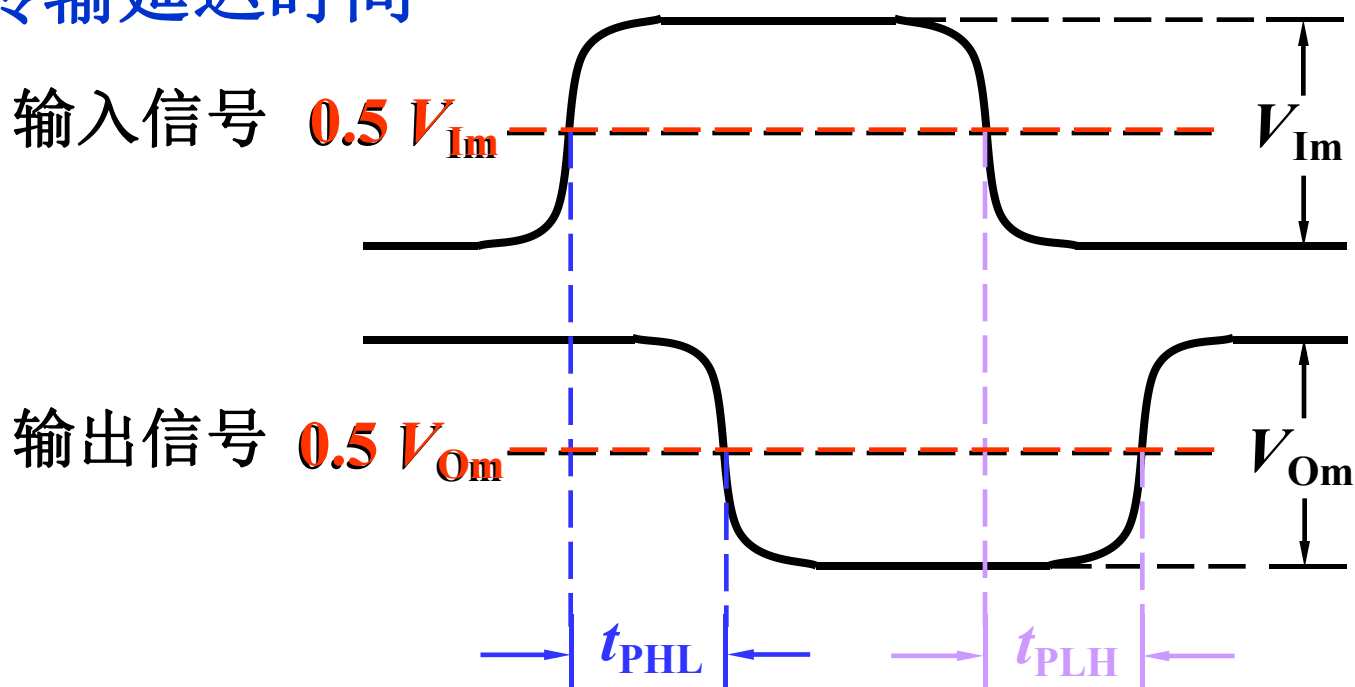
$$V_{OH} = V_{CC} - V_{R2} - V_{BE4} - V_{D3} = 3.6 - V_{R2}$$

$$N_{O.} = \frac{I_{OH \max}}{I_{IH}} = \frac{0.4mA}{40\mu A} = 10$$

N_o 越大，说明门的负载能力越强。



3. 传输延迟时间

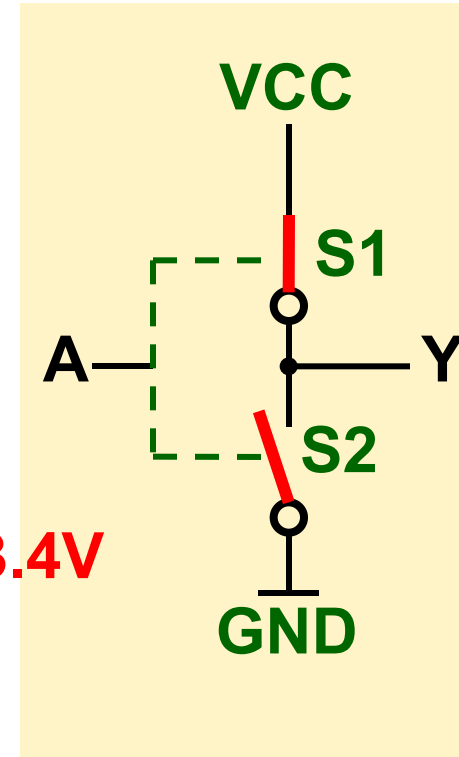
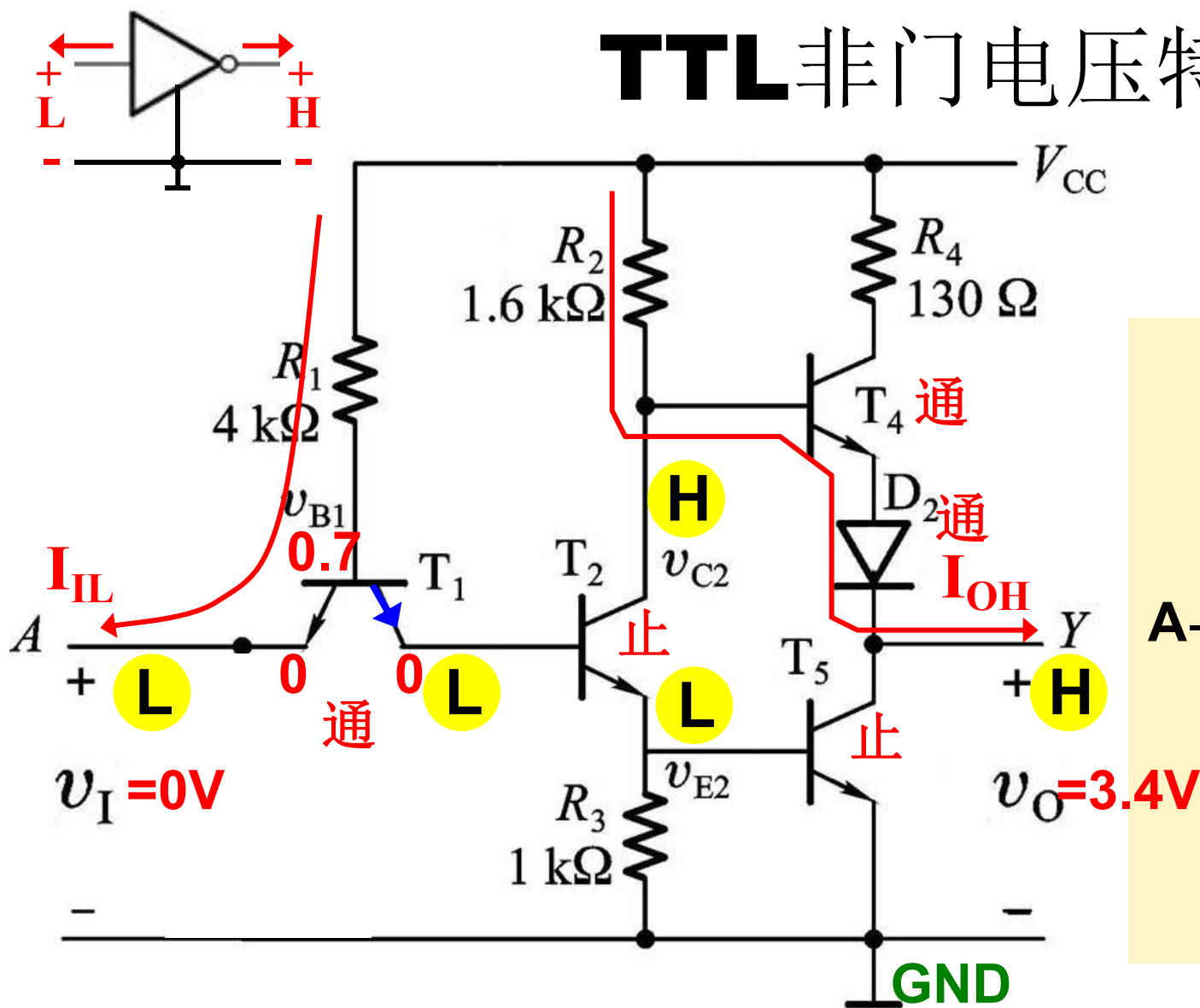


- ☺ 输入电压波形上升沿 $0.5 V_{Im}$ 处到输出电压下降沿 $0.5 V_{Om}$ 处间隔的时间称**导通延迟时间** t_{PHL} 。
- ☺ 输入电压波形下降沿 $0.5 V_{Im}$ 处到输出电压上升沿 $0.5 V_{Om}$ 处间隔的时间称**截止延迟时间** t_{PLH} 。
- ☺ **平均传输延迟时间** t_{pd}

$$t_{pd} = \frac{t_{PHL} + t_{PLH}}{2}$$

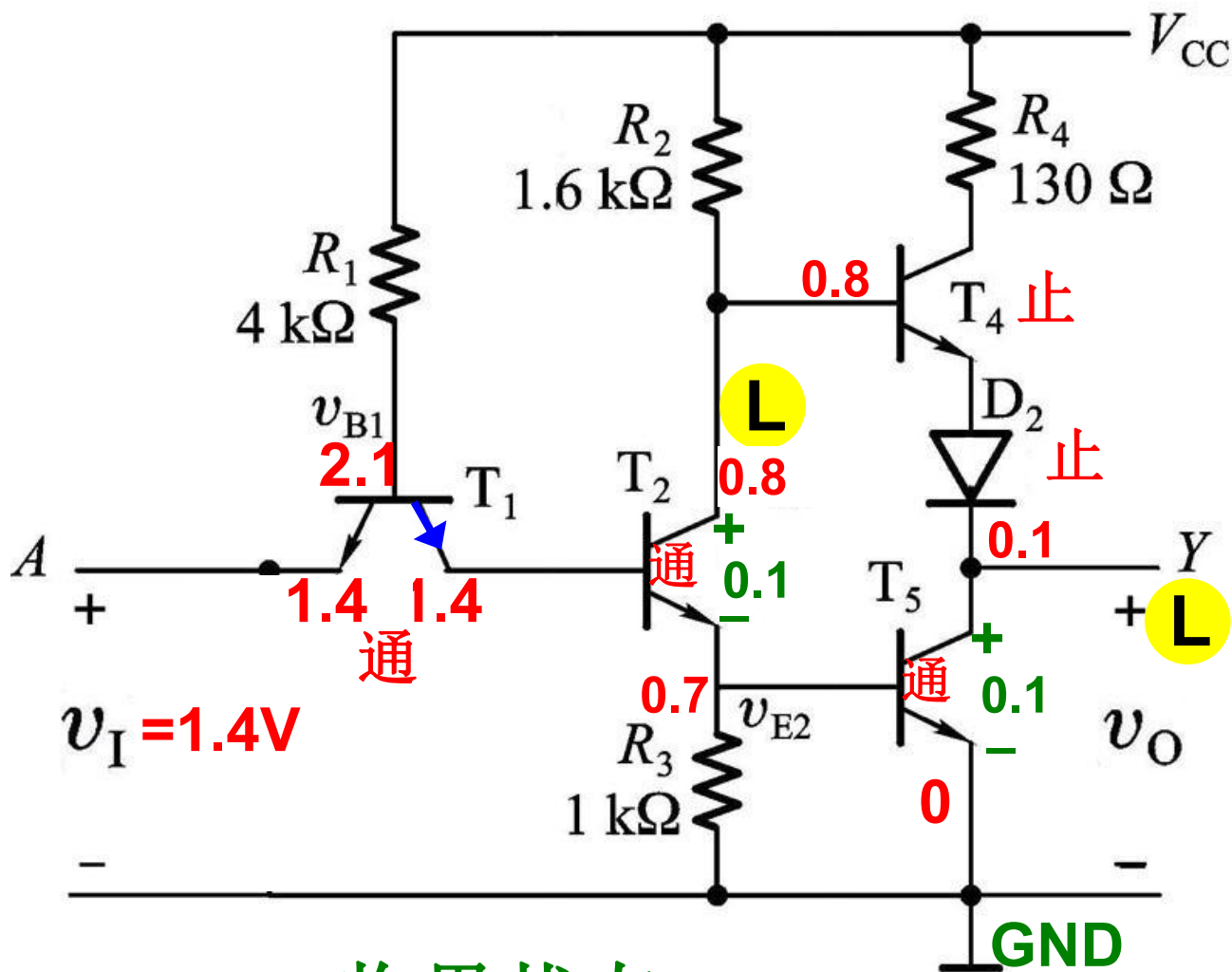
t_{pd} 越小，则门电路开关速度越高，工作频率越高。

TTL非门电压特性

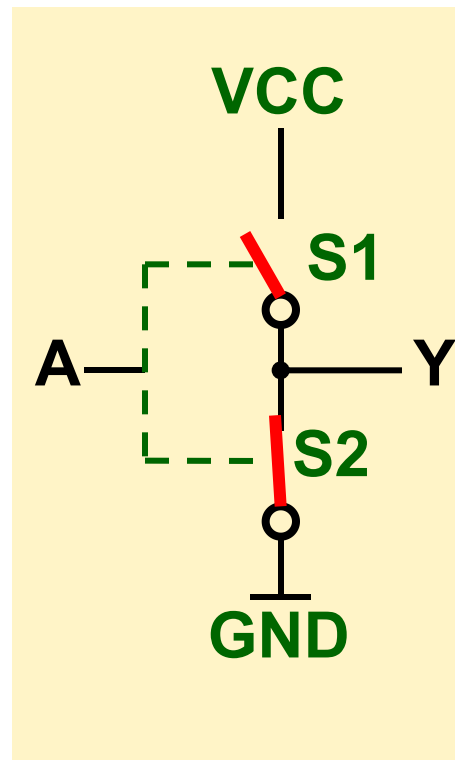


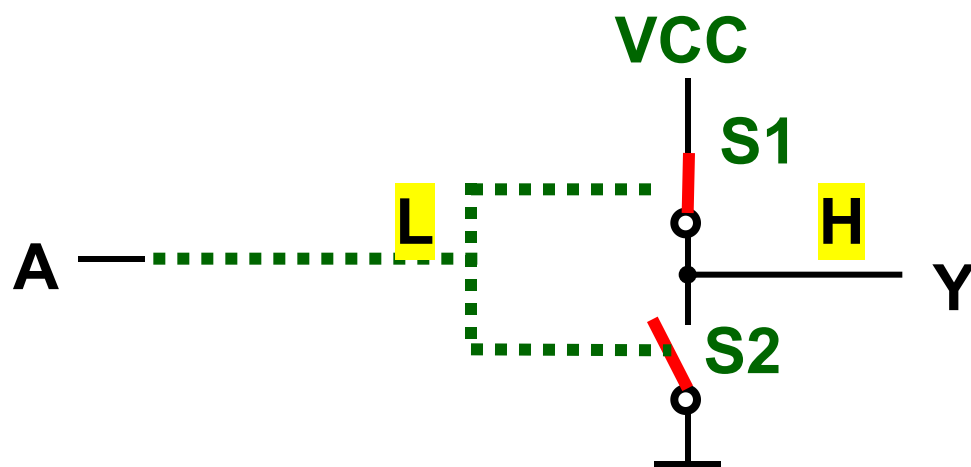
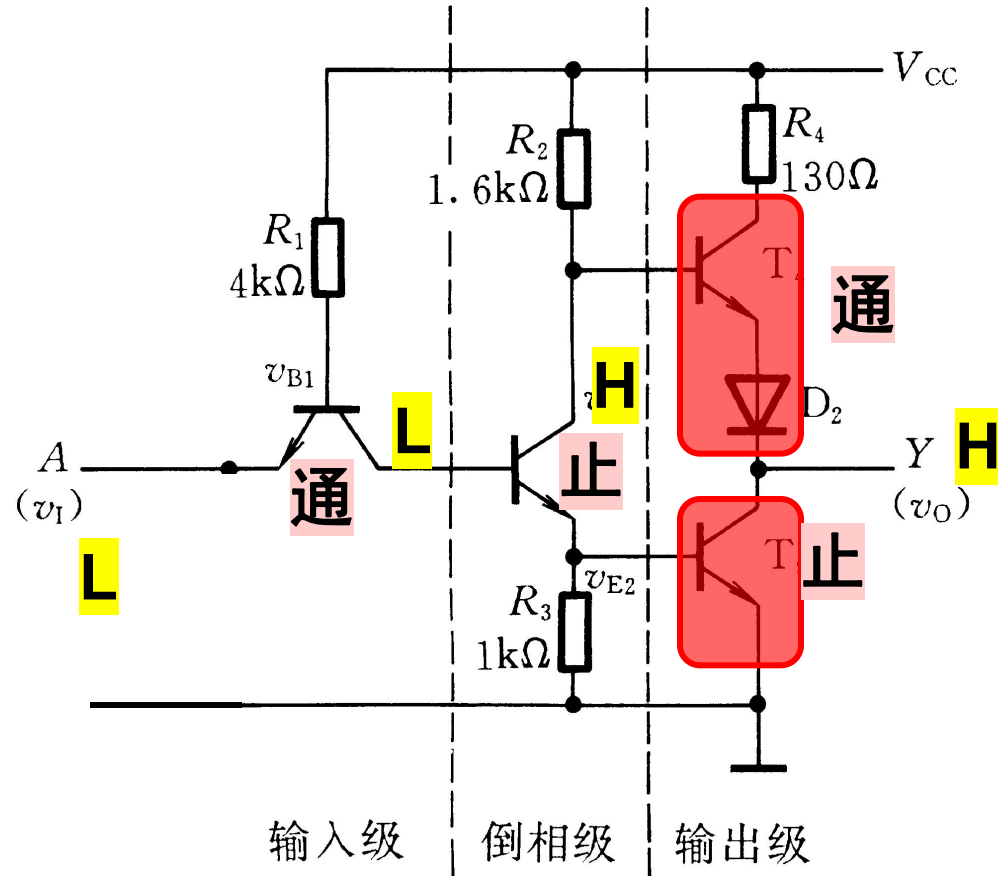
$$V_O = V_{CC} - V_{R2} - 0.7 - 0.7 = 3.6 - V_{R2} = 3.4V$$

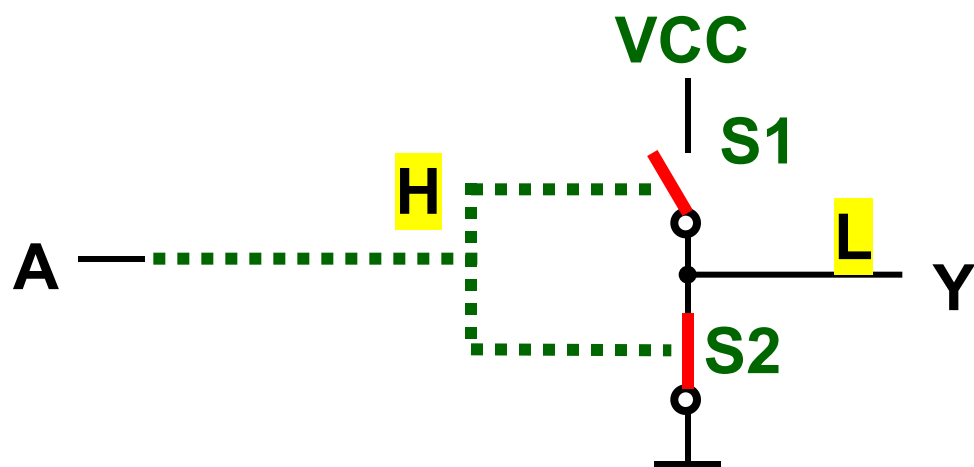
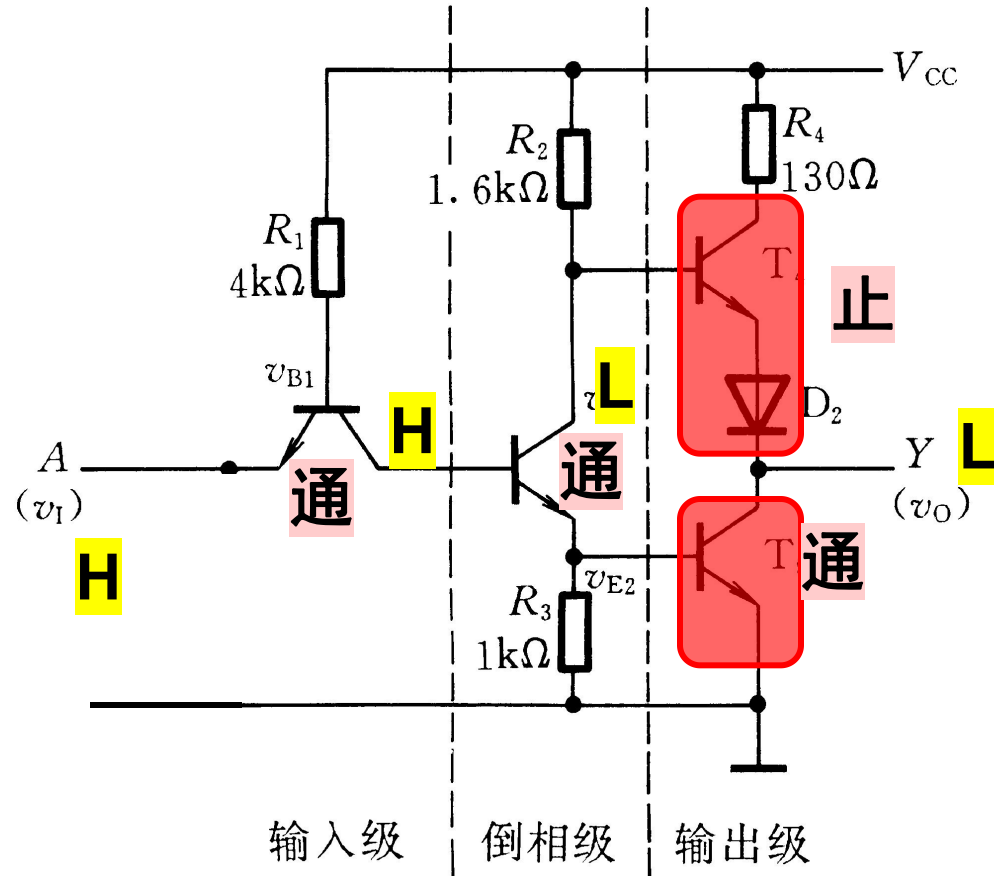
TTL非门电压特性

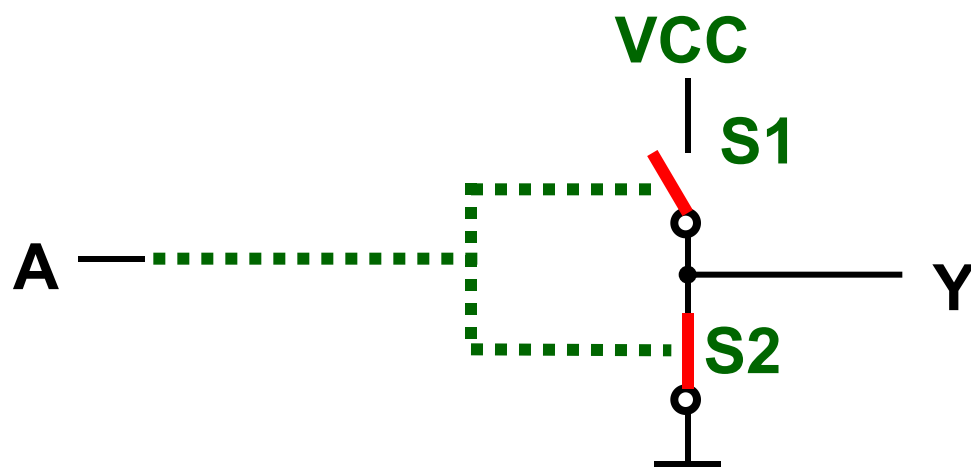
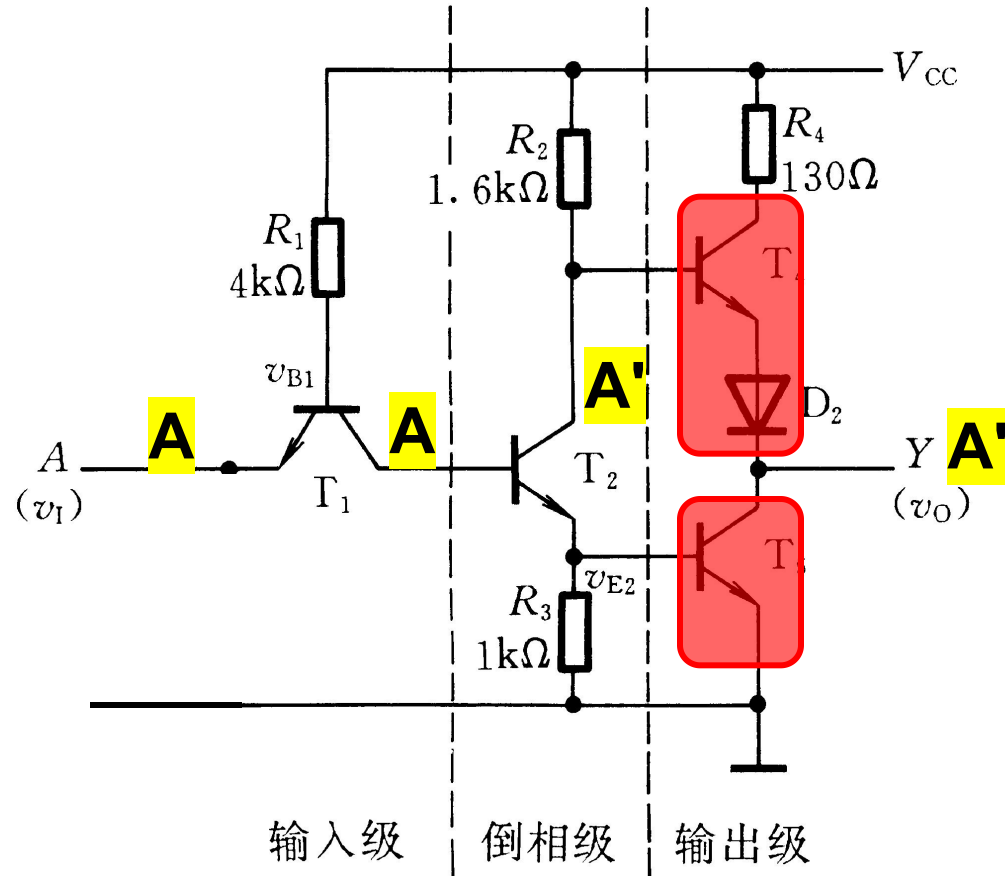


临界状态

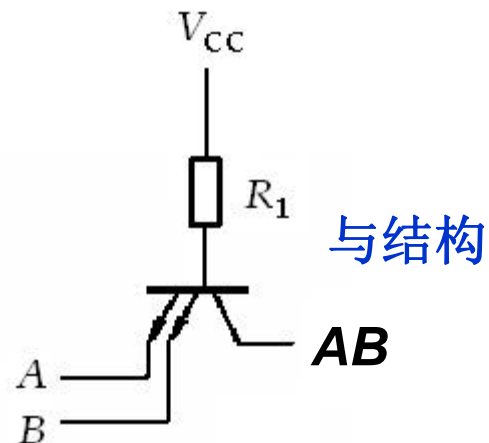
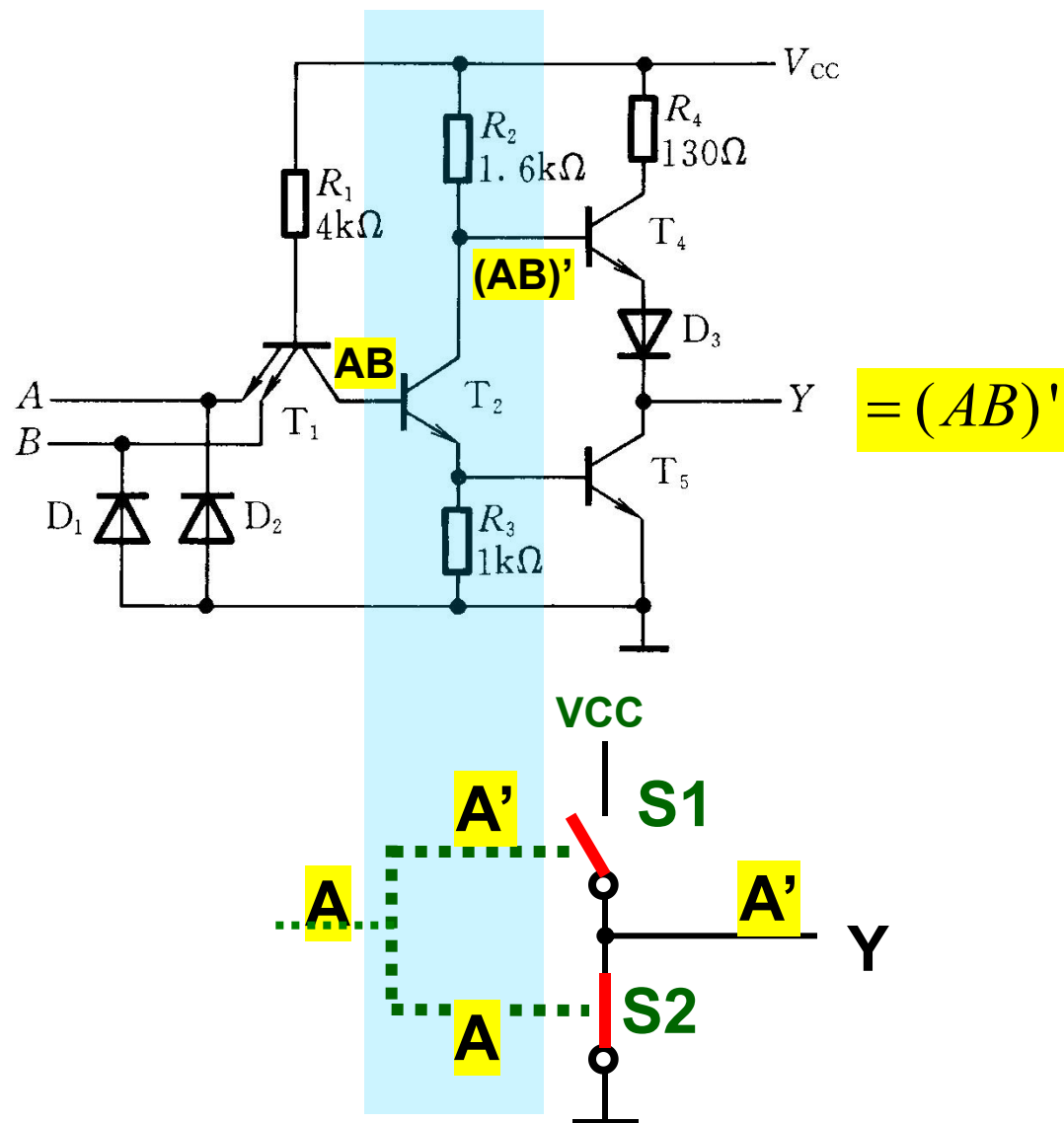




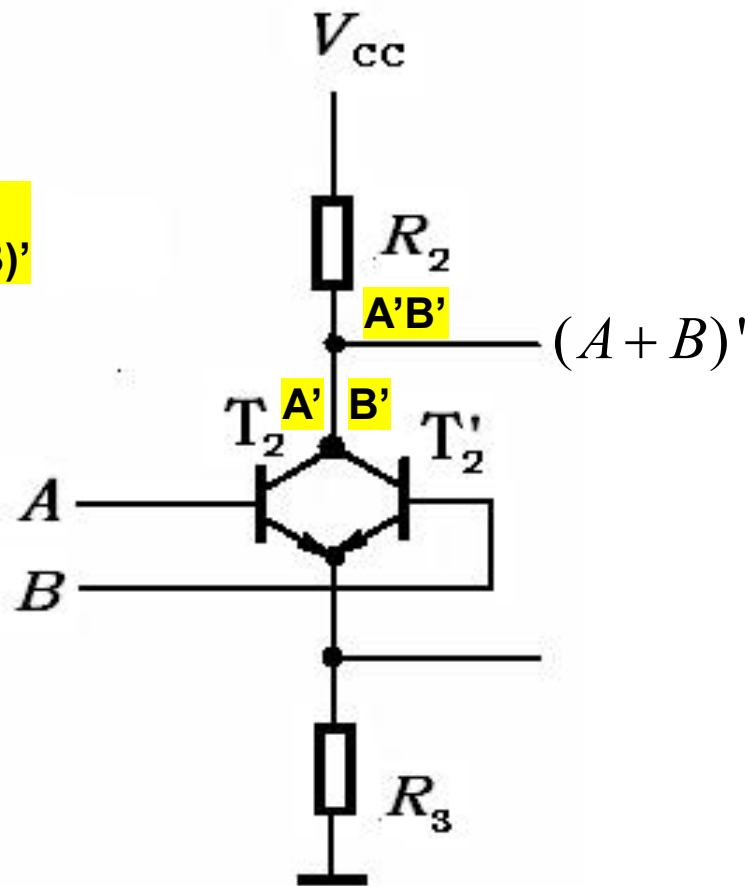
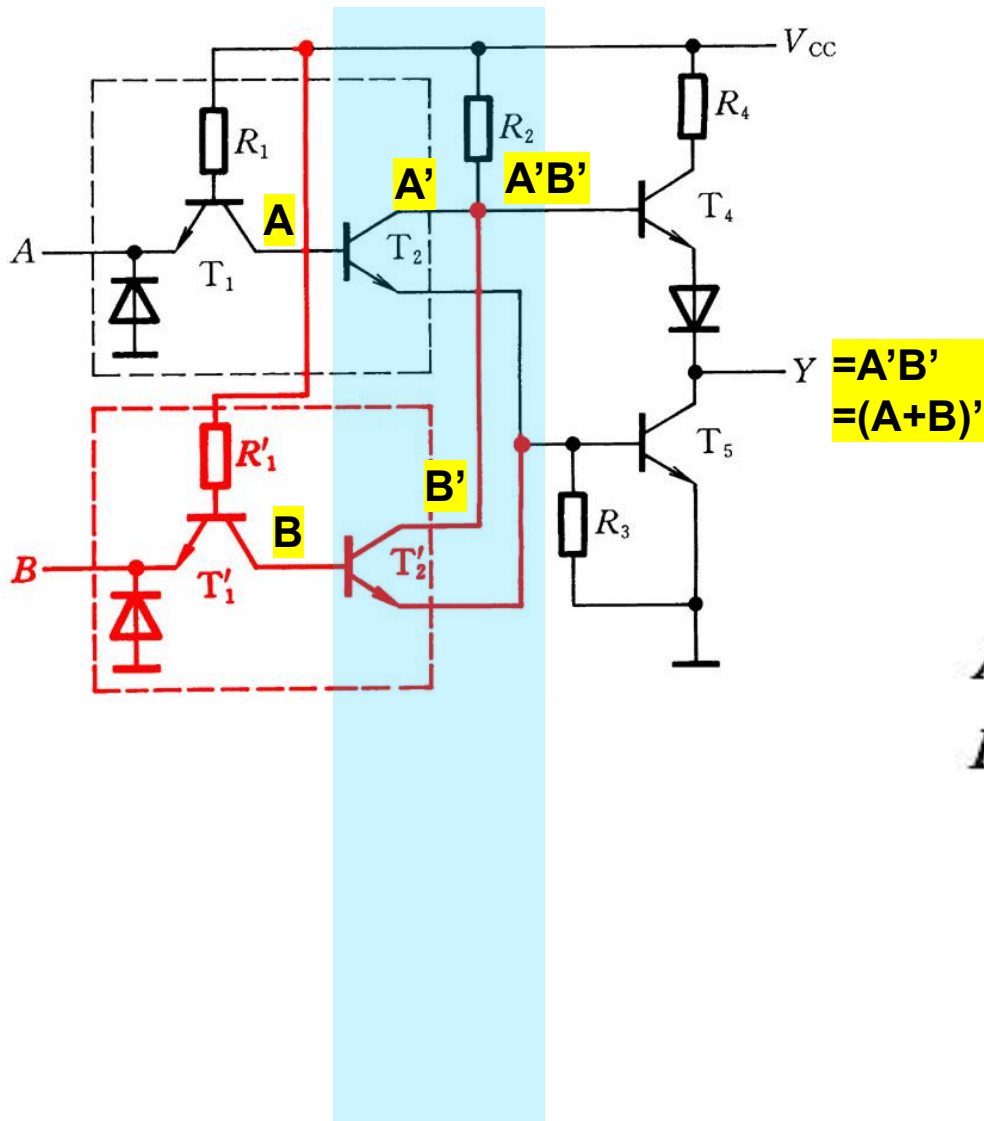




其他类型的TTL门电路

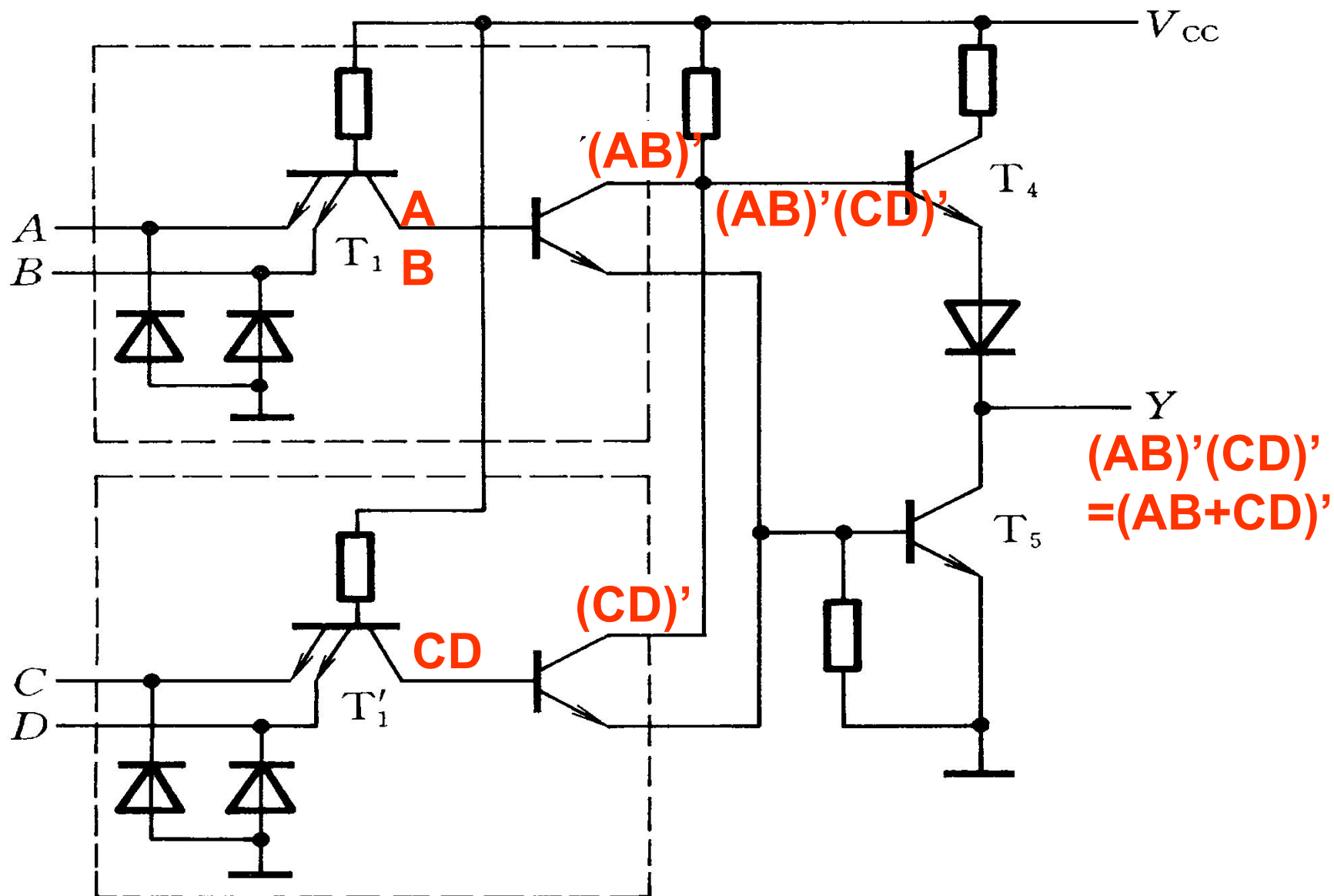


其他类型的TTL门电路

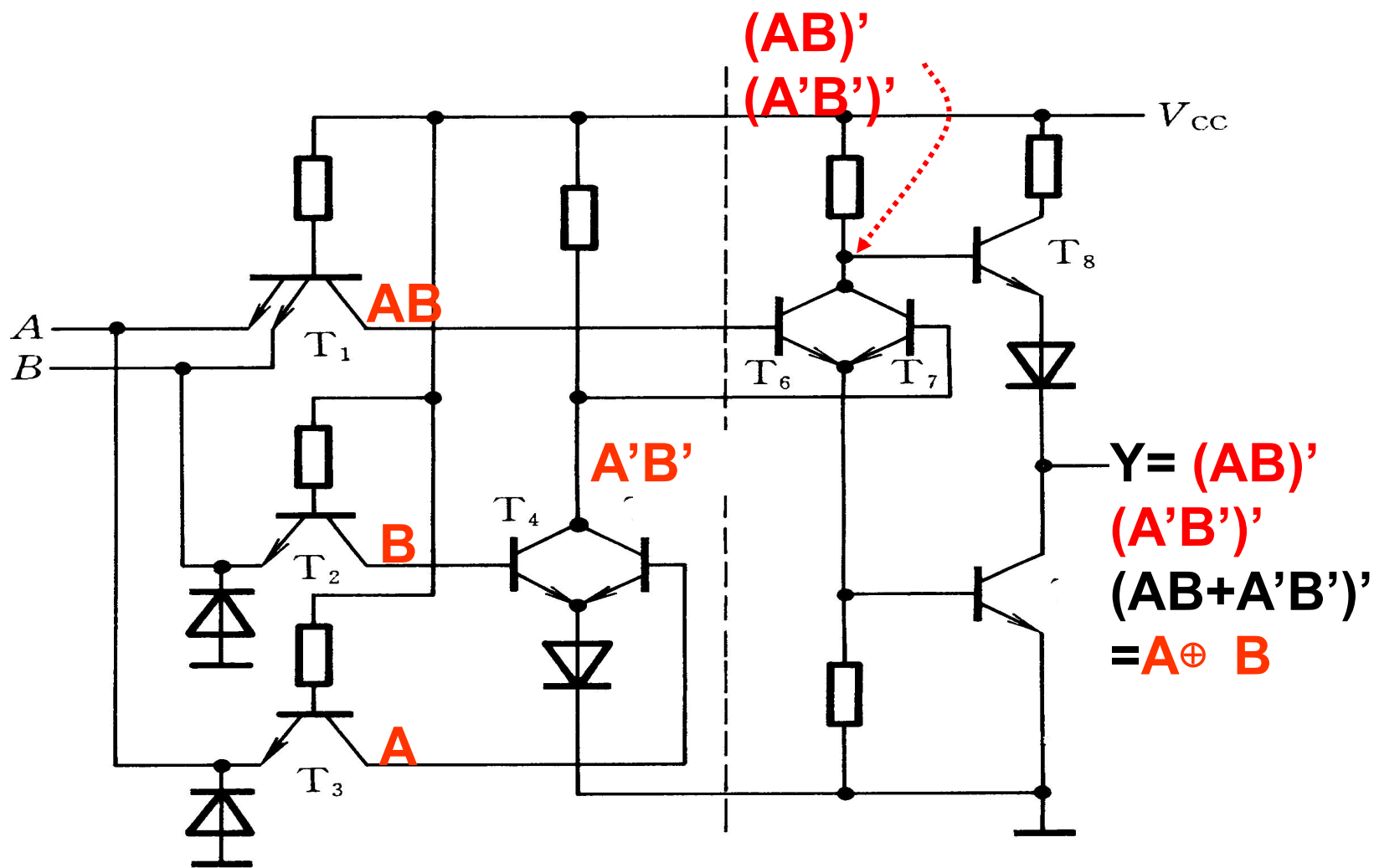


或非结构

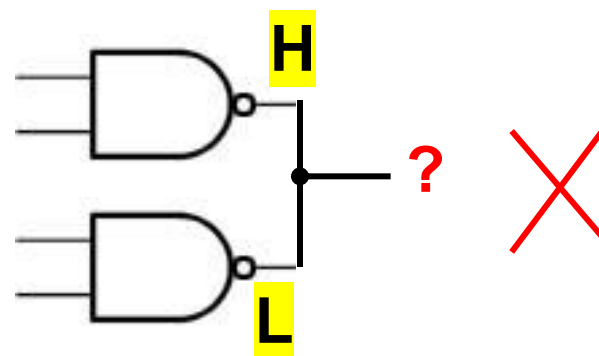
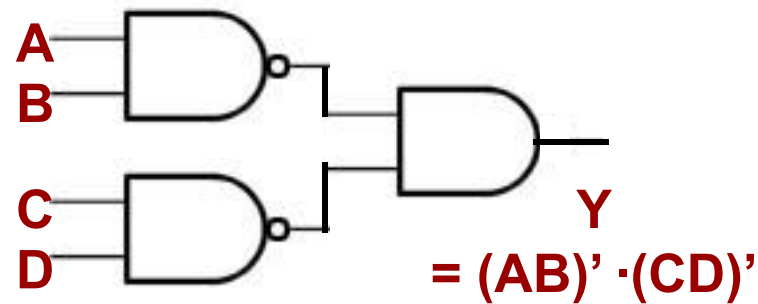
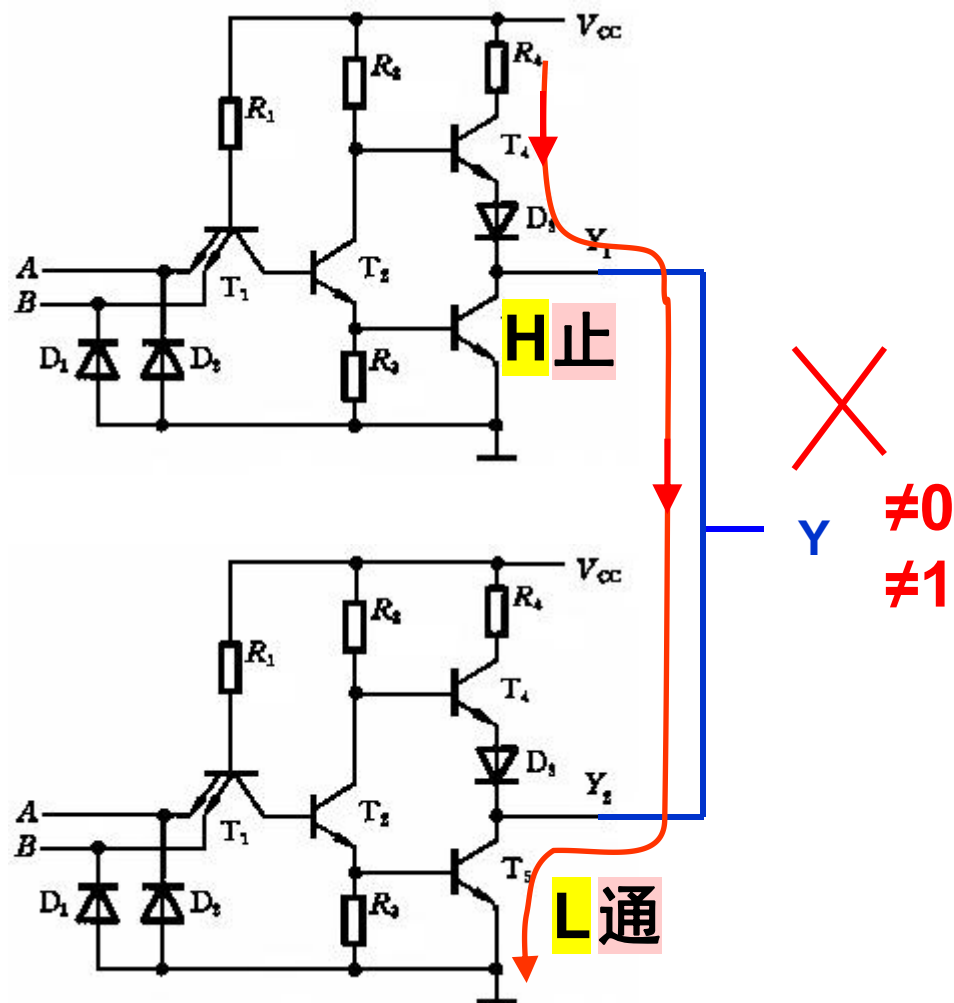
其他类型的TTL门电路



其他类型的TTL门电路



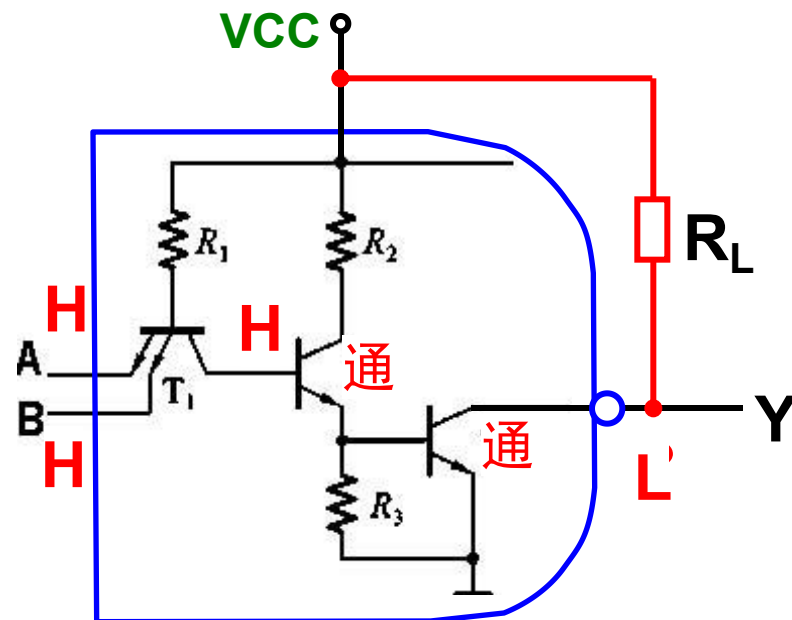
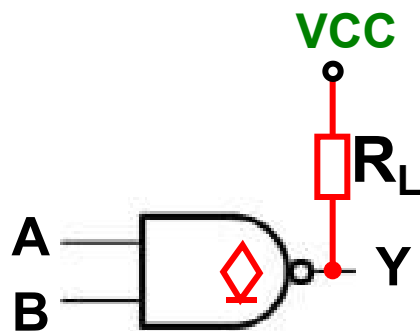
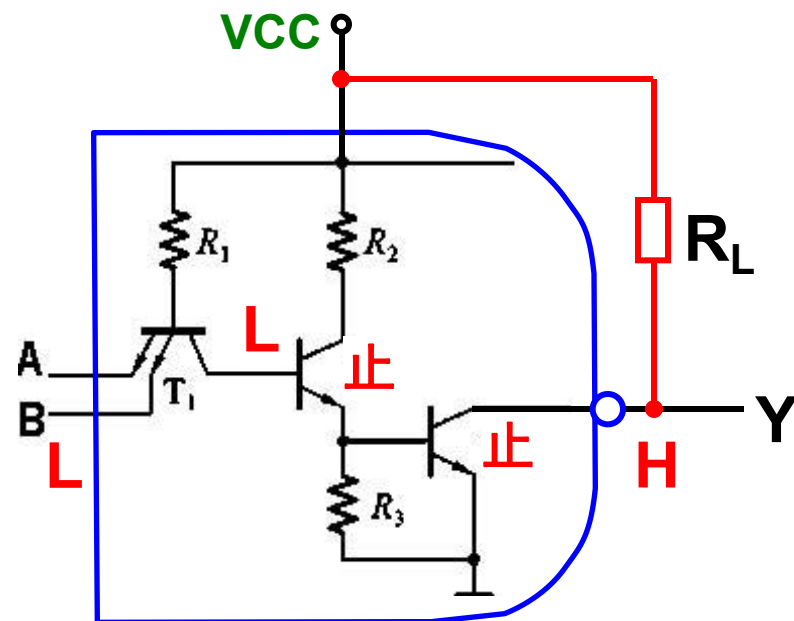
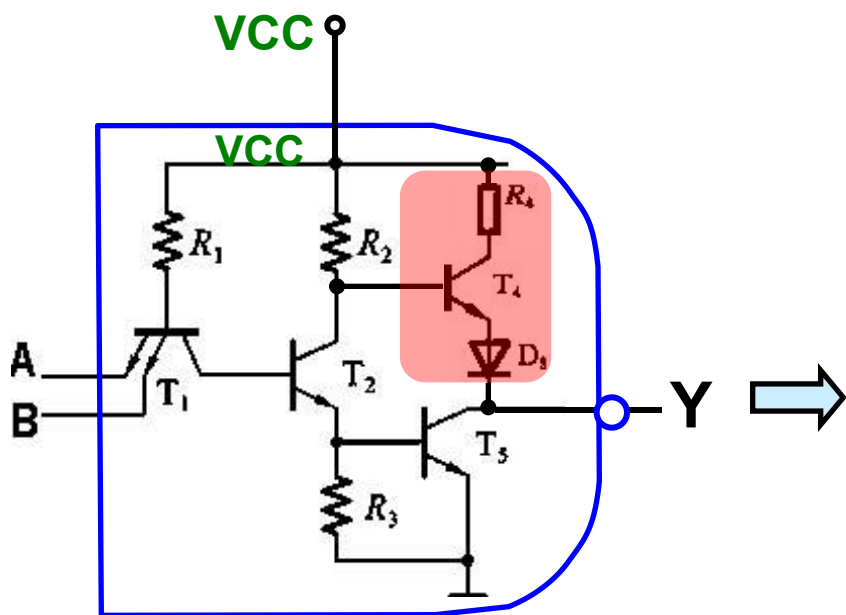
3.1.7 集电极开路TTL门—OC门 (Open collector gate)



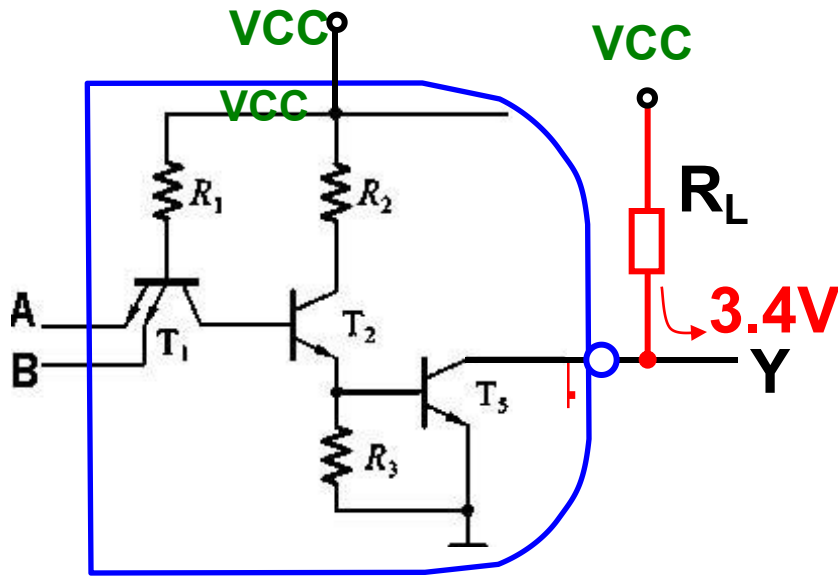
TTL门电路的缺陷：
输出端不能并联使用

3.1.7 集电极开路TTL门——OC门

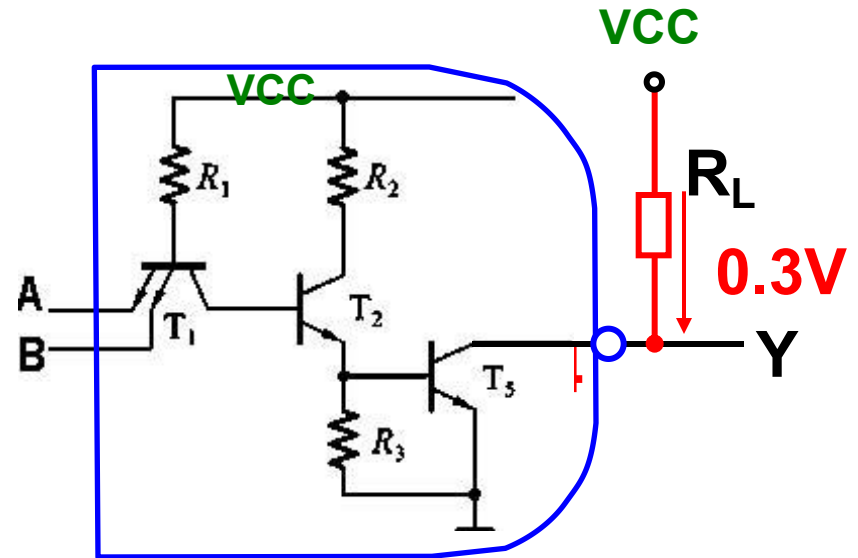
- 输入都为高电平时, T_2 和 T_5 饱和导通, 输出为低电平 $V_{OL} \approx 0.3\text{ V}$ 。
- 输入有低电平时, T_2 和 T_5 截止, 输出为高电平 $V_{OH} \approx V'_{CC}$; 因此具有与非功能。



3.1.7 集电极开路TTL门——OC门 (Open collector gate)



输出为高时,
 R_L 不能太大,
否则使 $V_O < 3.4V$
破坏高逻辑
理想: $R_L = 0$, $V_O = 5V$



输出为低时,
 R_L 不能太小,
否则使 $V_O > 0.3V$
破坏低逻辑

要保证 V_O , 高 $\geq 3.4V$, 低 $\leq 0.3V$

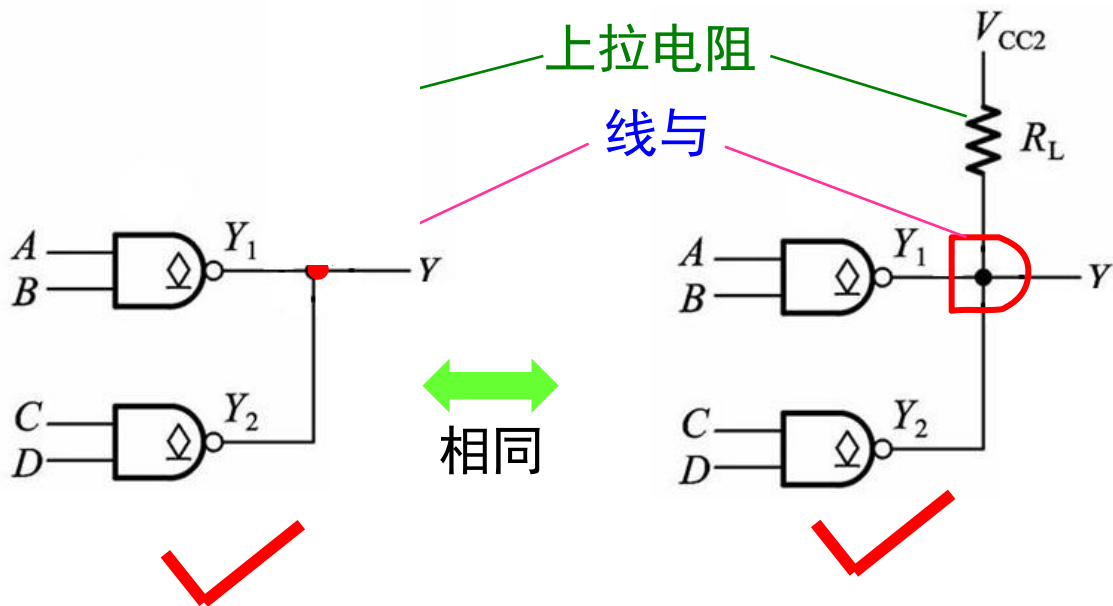
R_L 的值不能太大也不能太小。通过计算选择合适的值。

3.1.8 OC门应用

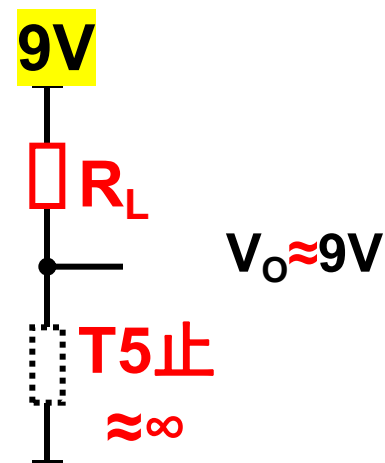
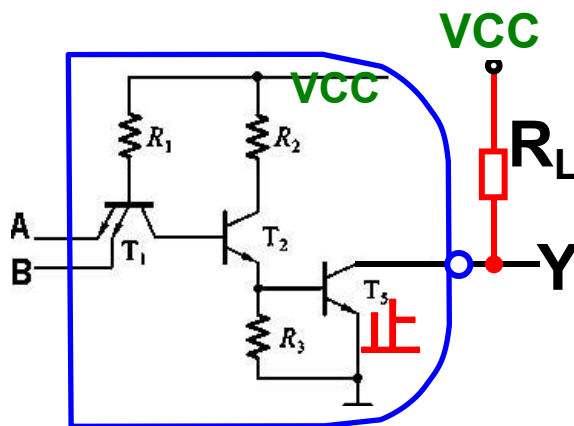
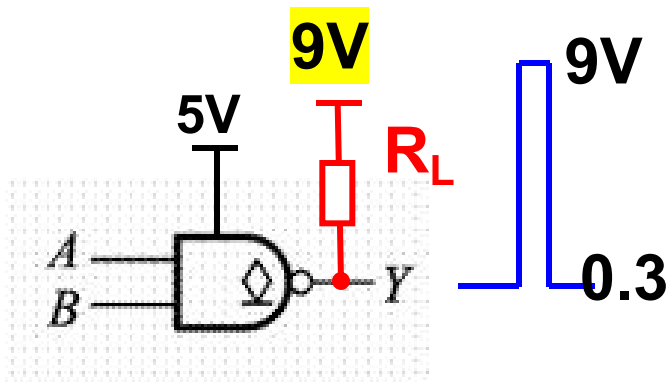
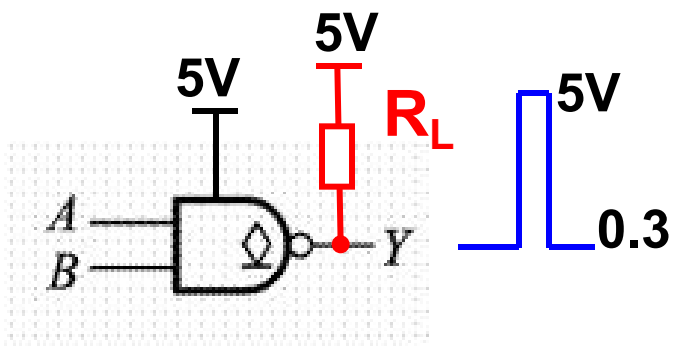
1) 线与功能 (节省与门)

R_L 取值合适,就可线与

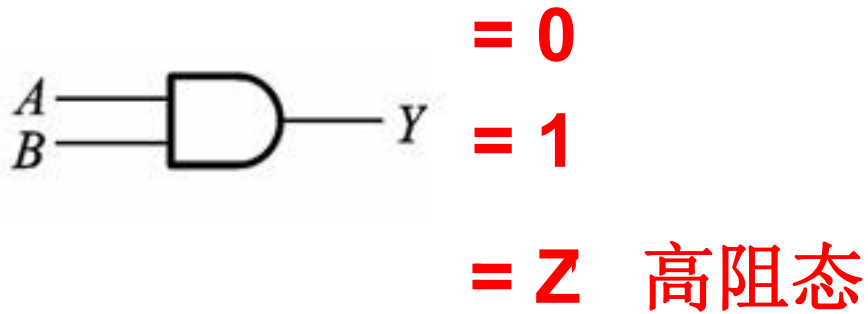
$$Y = Y_1 \cdot Y_2 = (AB)' \cdot (CD)'$$



2) 电平转换



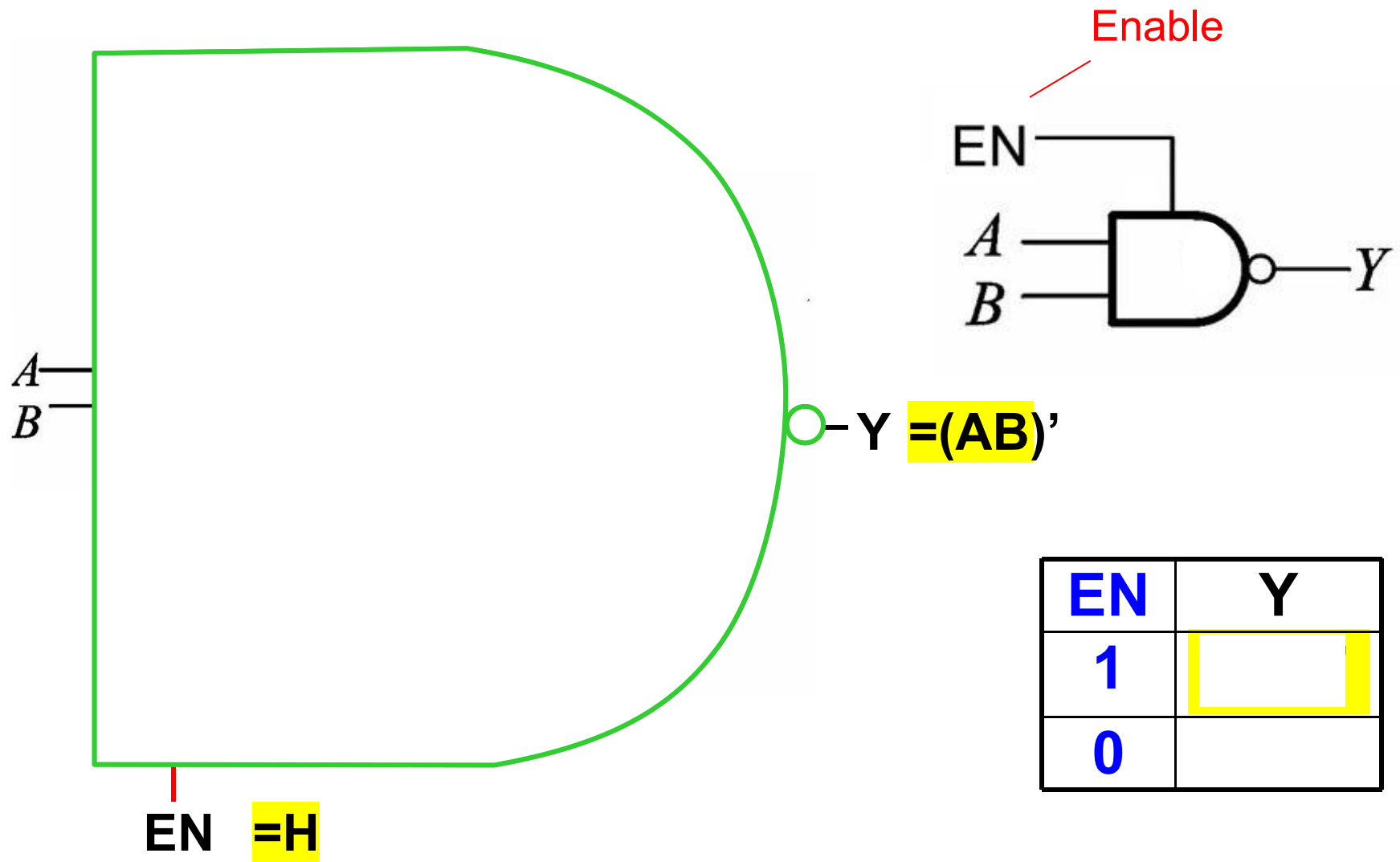
3.1.5 TTL门电路 三态门(Tri-State)



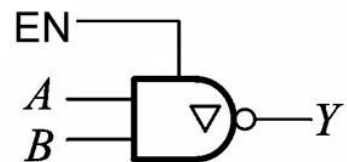
双向传输应用需求

3.1.5 TTL门电路 三态门(Tri-State)

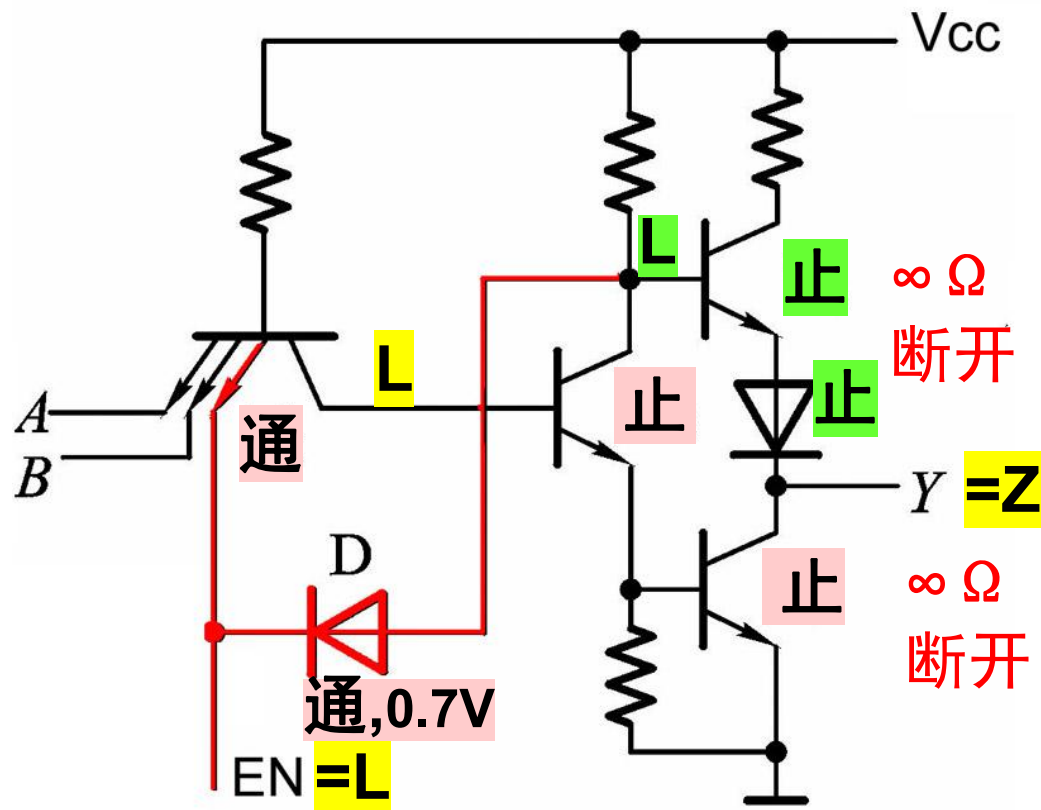
例2 分析下面逻辑门功能，当EN=H时，Y=?



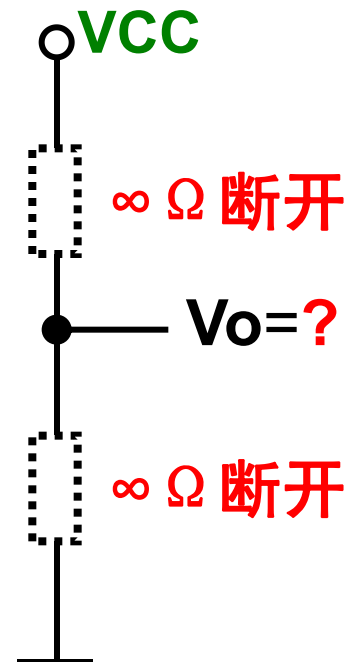
3.1.5 TTL 三态门



EN	Y
1	$(AB)'$
0	Z

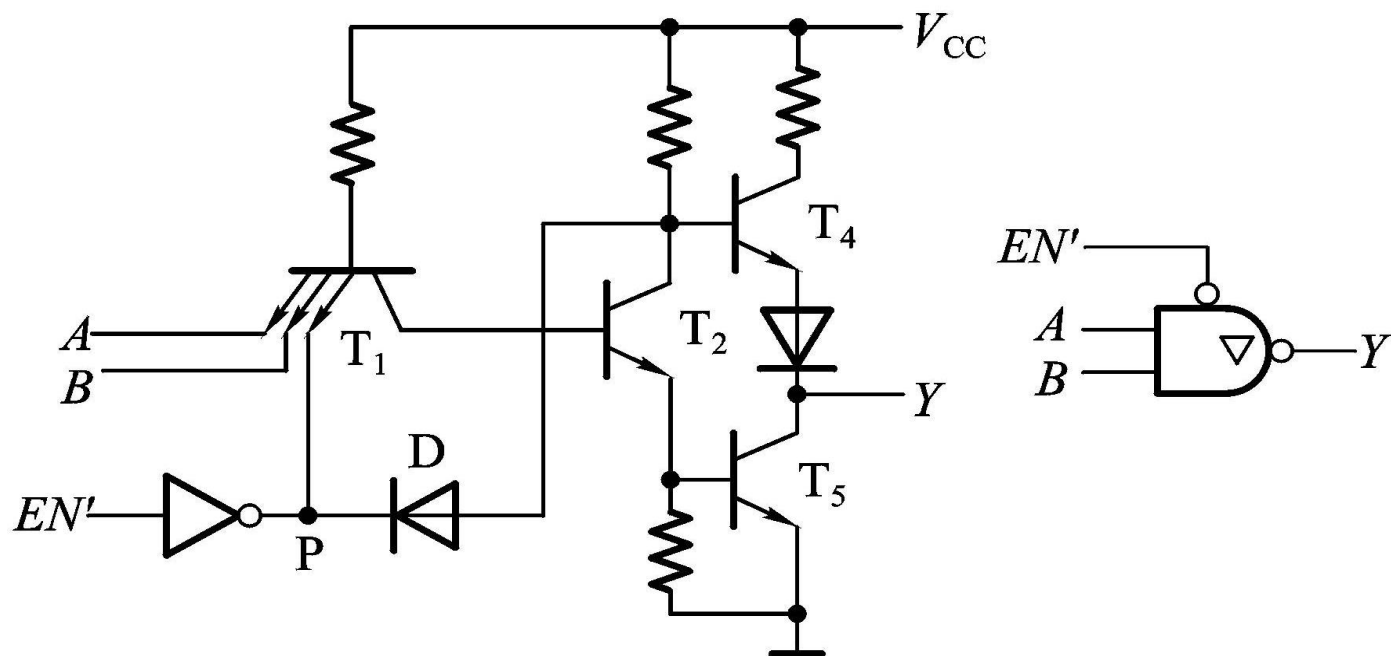


输出端开路
高阻态



三、三态输出门

输出有三个状态： V_{OL} , V_{OH} , 高阻 (Z)

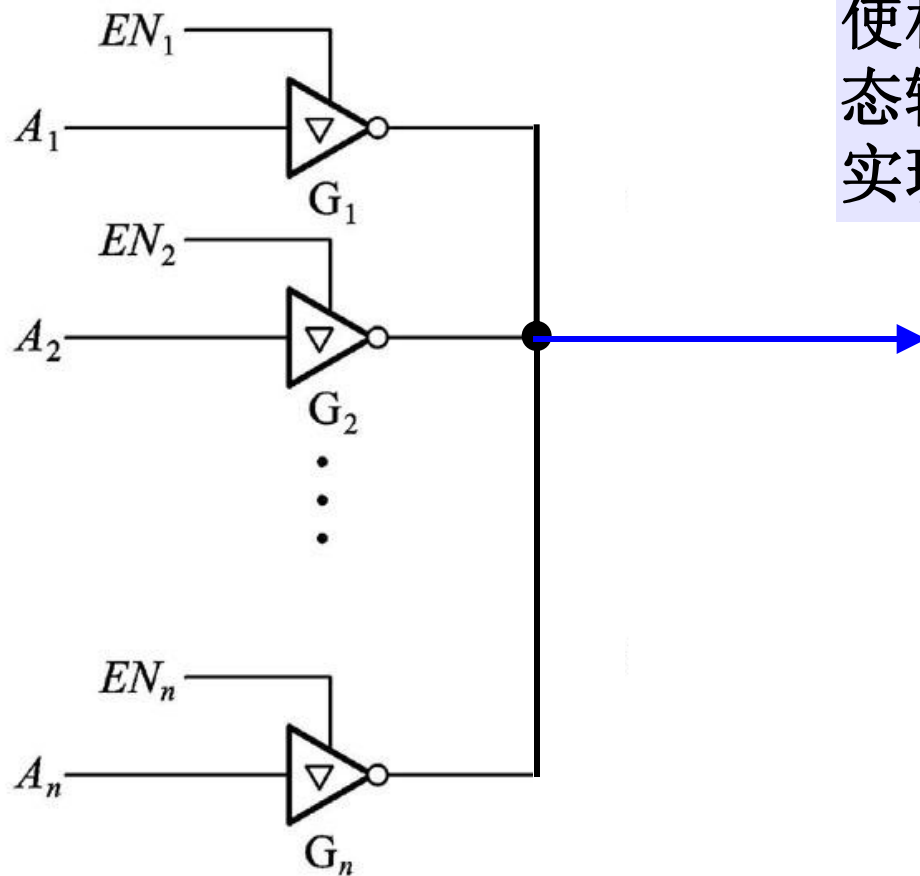


$EN' = 0, P = 1, \mathbf{D}$ 截止, 为“工作状态” $\Rightarrow Y = AB$

$EN' = 1, P = 0, \mathbf{D}$ 导通, 为“高阻状态” $\Rightarrow Y = Z$

3.1.6 三态门应用

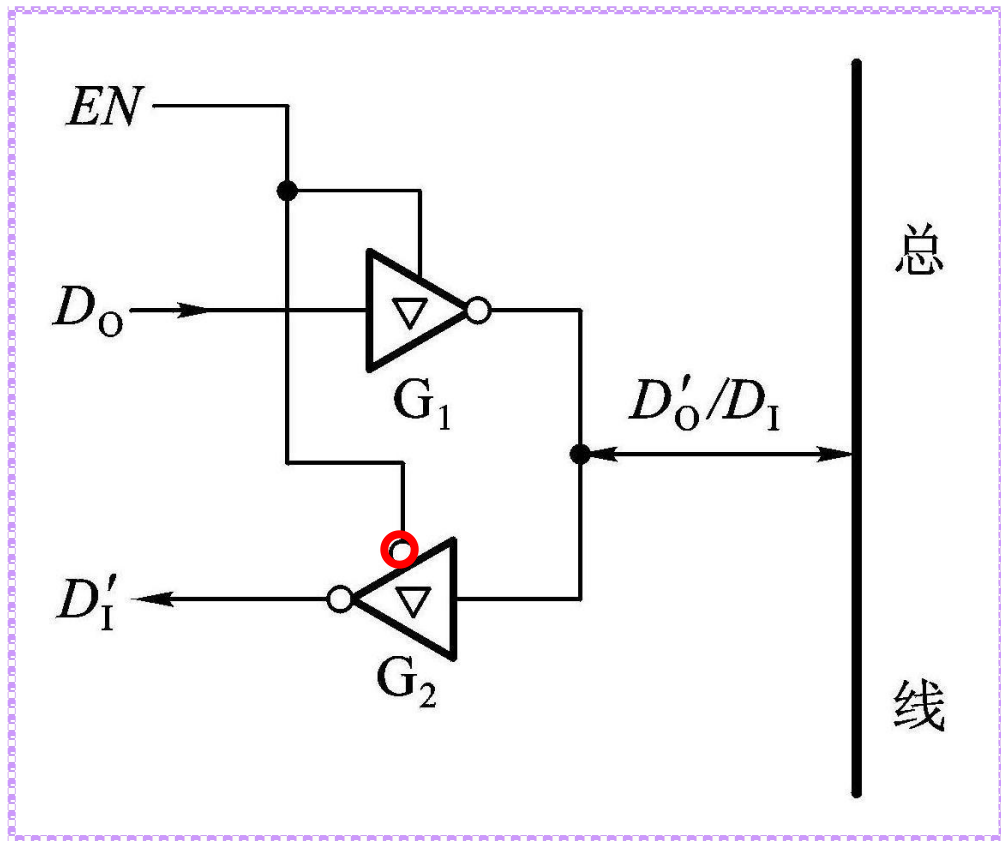
(1) 构成单向总线



任何时刻 EN_1 、 EN_2 、 EN_3 中只能有一个为有效电平，使相应三态门工作，而其他三态输出处于高阻状态，从而实现了总线的复用。

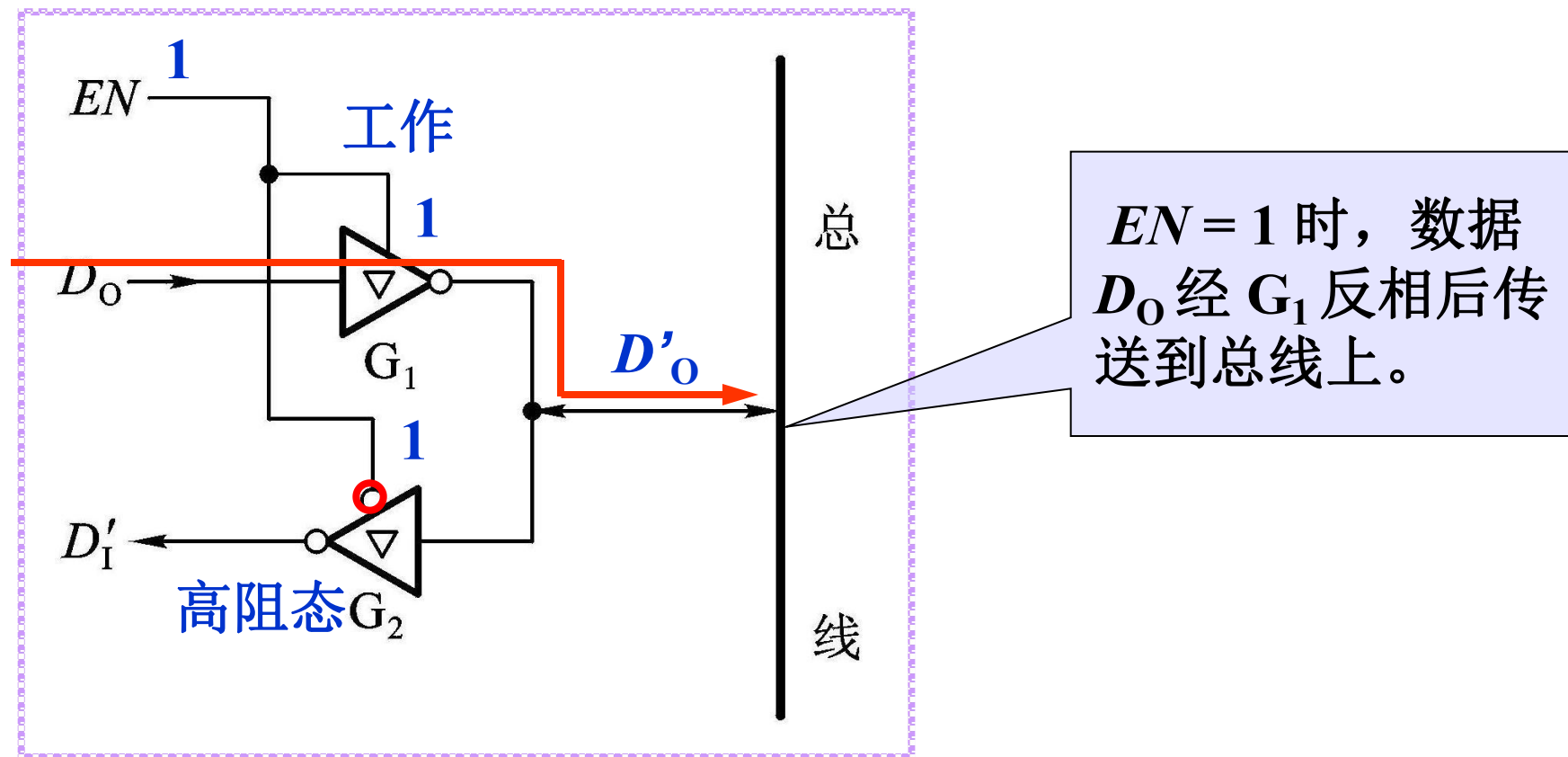
3.1.6 三态门应用

(2) 构成双向总线



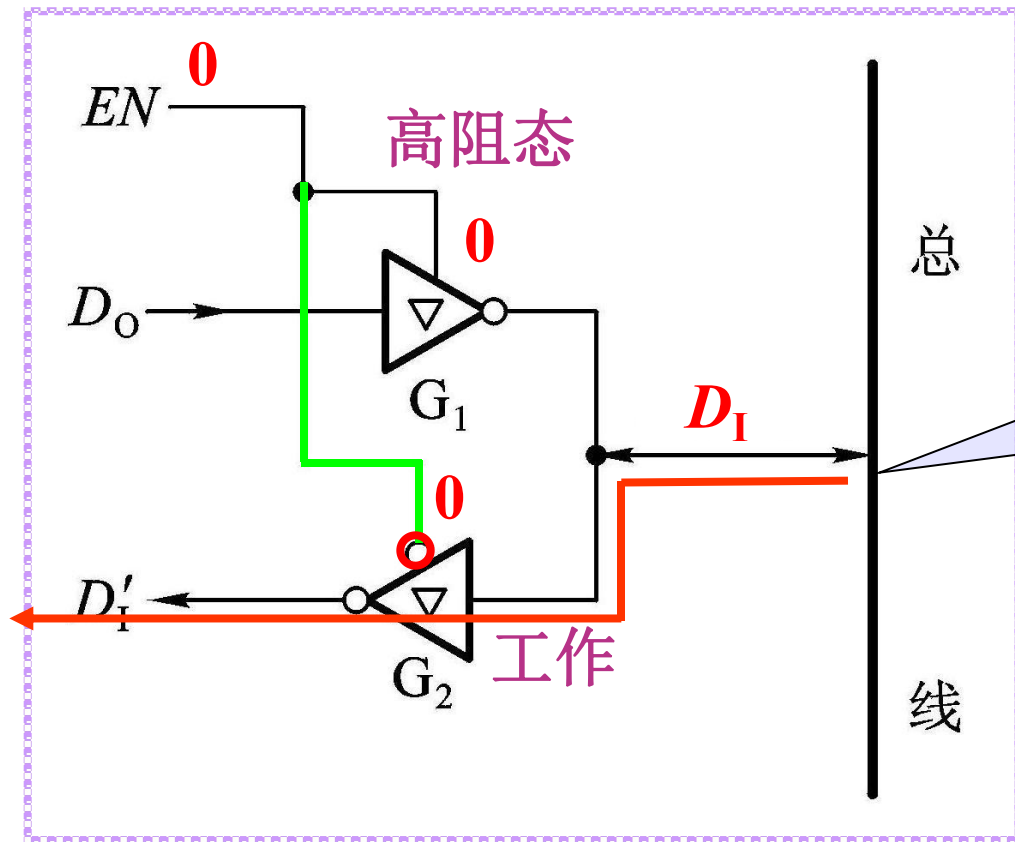
3.1.6 三态门应用

例: 分析下面双向总线， $EN=1$ 时， $EN=0$ 时的信号方向



3.1.6 三态门应用

例2 分析下面双向总线，EN=1时，EN=0时的信号方向



$EN = 0$ 时，总线上的数据 D_I 经反相后在 G_2 输出端输出。

★ [例] 欲用下列电路实现非运算，试改错。

($R_{\text{OFF}} \approx 700 \Omega$, $R_{\text{ON}} \approx 2.1 \text{ k}\Omega$)

