

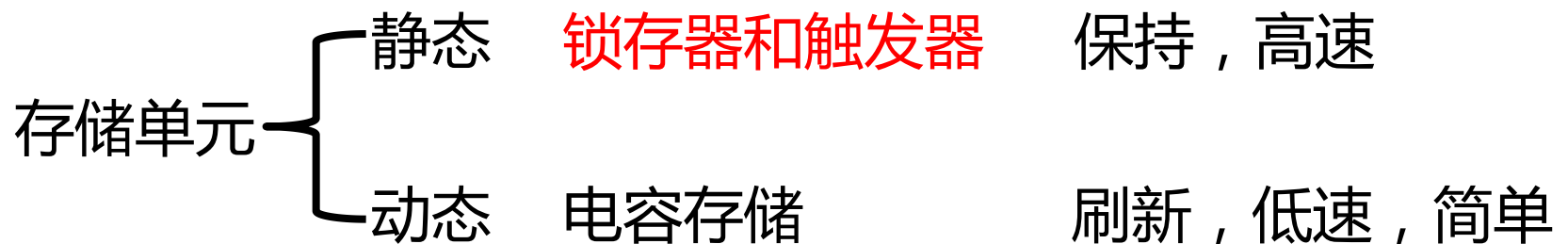
第五章 半导体存储电路

主要内容:

- 各种半导体存储电路的结构，原理和使用方法。
- 基本存储单元
- 寄存器
- 随机存储器和只读存储器

5.1 概述

- 数字电路包括**运算电路**和**存储电路**
- 存储单元：存储**1位**数据；
- 寄存器（ Register ）：存储**1组**数据；
- 存储器（ Memory ）：存储**大量**数据；



寄存器：**1组触发器**构成，每个触发器的输入输出可直接和周围电路连接，快速的进行数据交换。

存储器（Memory）：计算机系统中的记忆设备，用来存放程序和数据。存储器能存储大量2值信息，是数字系统中不可缺少的部分。

存储器种类 { 只读存储器（Read-Only Memory **ROM**）
随机存储器（Random Access Memory **RAM**）

5. 2-5. 3 SR锁存器、触发器

主要要求:

- 掌握触发器的逻辑功能及其描述方法。
- 掌握触发器的不同电路结构及动作特点。
- 掌握不同触发器逻辑功能的转换。

5.2 概 论

触发器

一、用于记忆1位二进制信号

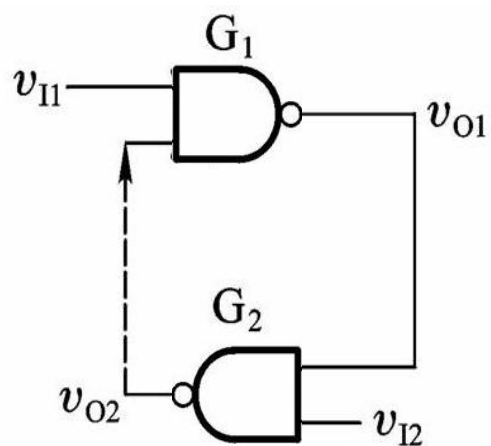
1. 有两个能自行保持的状态
2. 根据输入信号可以置成0或1

二、分类

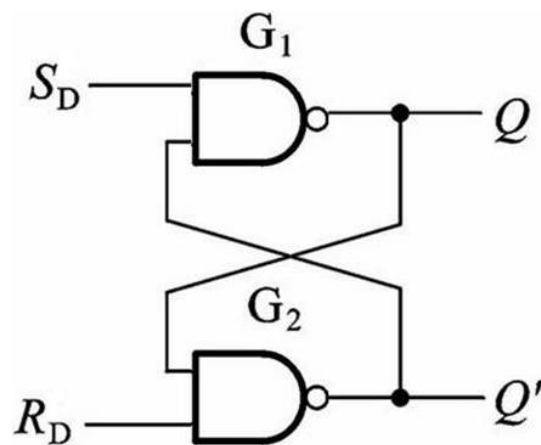
1. 按触发方式（电平，脉冲，边沿）
2. 按逻辑功能（RS, JK, D, T）

5.2 SR锁存器（基本SR触发器）

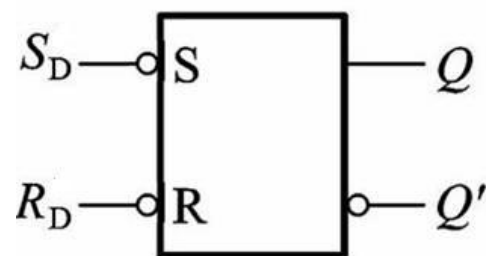
一、电路结构



(a)

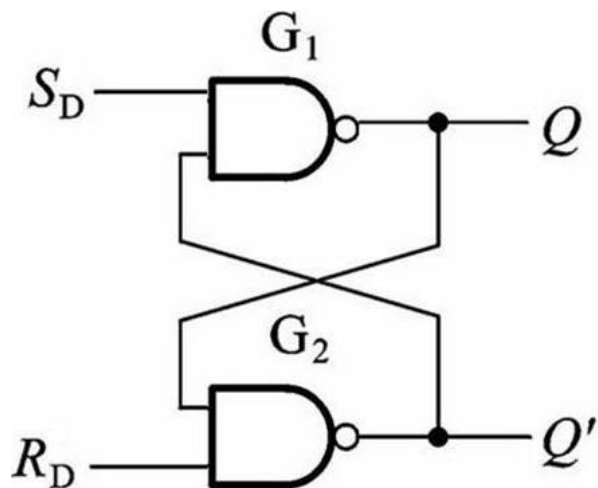


(b)

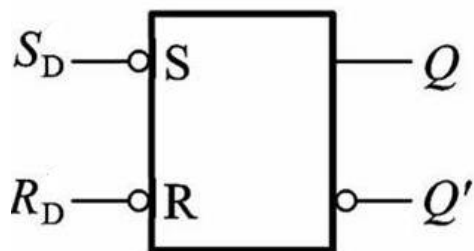


(c)

二、工作原理



图形符号



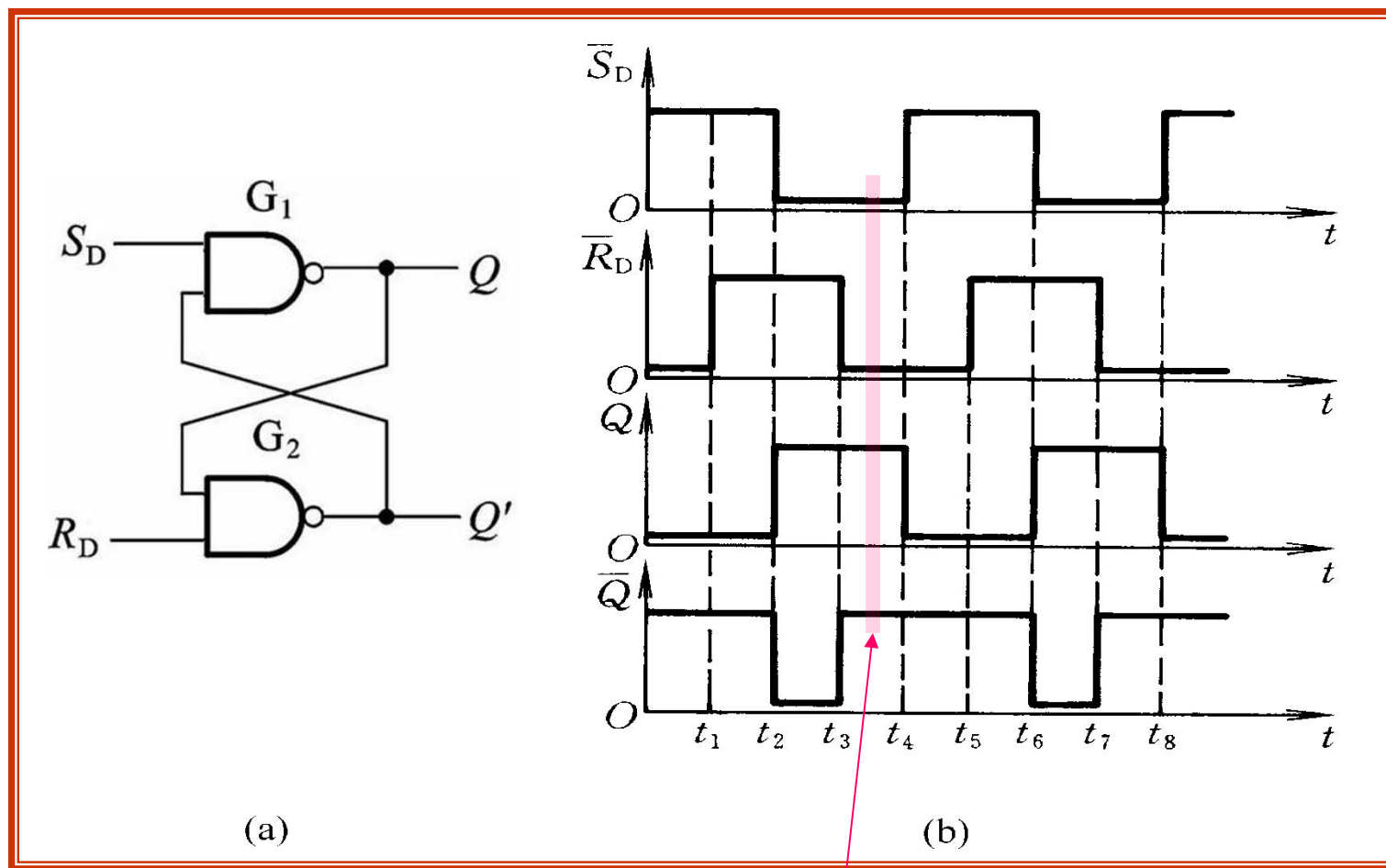
SR锁存器的特性表

S_D	R_D	Q	Q^*
1	1	0	0
1	1	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
0	0	0	1*
0	0	1	1*

简化特性表

S_D	R_D	Q^*
1	1	Q
0	1	1
1	0	0
0	0	不定

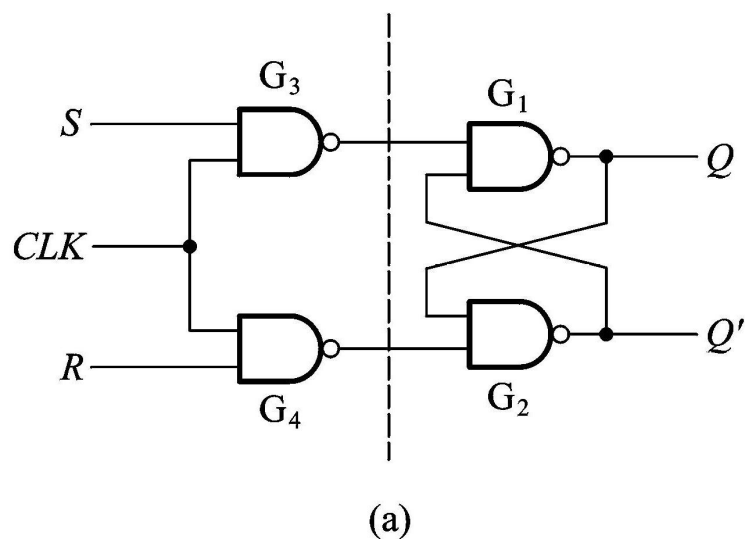
在任何时刻，输入都能直接改变输出的状态



\bar{S}_D 和 \bar{R}_D 同时为0 $\Rightarrow Q, \bar{Q}$ 同为1

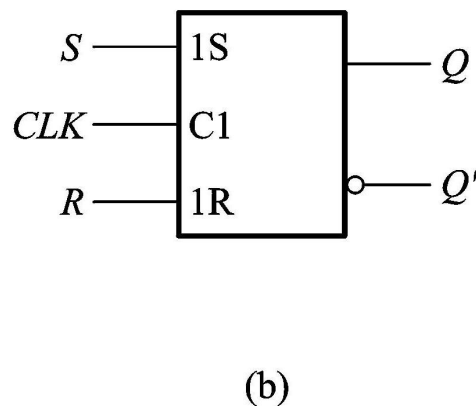
5.3 电平触发的触发器 (同步SR触发器)

一、电路结构与工作原理



简化特性表

S	R	Q^*
0	0	Q
0	1	0
1	0	1
1	1	不定



同步SR触发器特性表

CLK	S	R	Q	Q^*
0	X	X	0	0
0	X	X	1	1
1	0	0	0	0
1	0	0	1	1
1	1	0	0	1
1	1	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	1	0	1*
1	1	1	1	1*

输入控制门 + SR锁存器

只有同步信号 CLK 到达, S 和 R 才起作用

同步SR触发器特性表

CLK	S	R	Q	Q^*
0	X	X	0	0
0	X	X	1	1
1	0	0	0	0
1	0	0	1	1
1	1	0	0	1
1	1	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	1	0	1*
1	1	1	1	1*

$S \backslash RQ$	00		01	11	10
	0	1	0	0	0
1	1	1	X	X	

Q^*

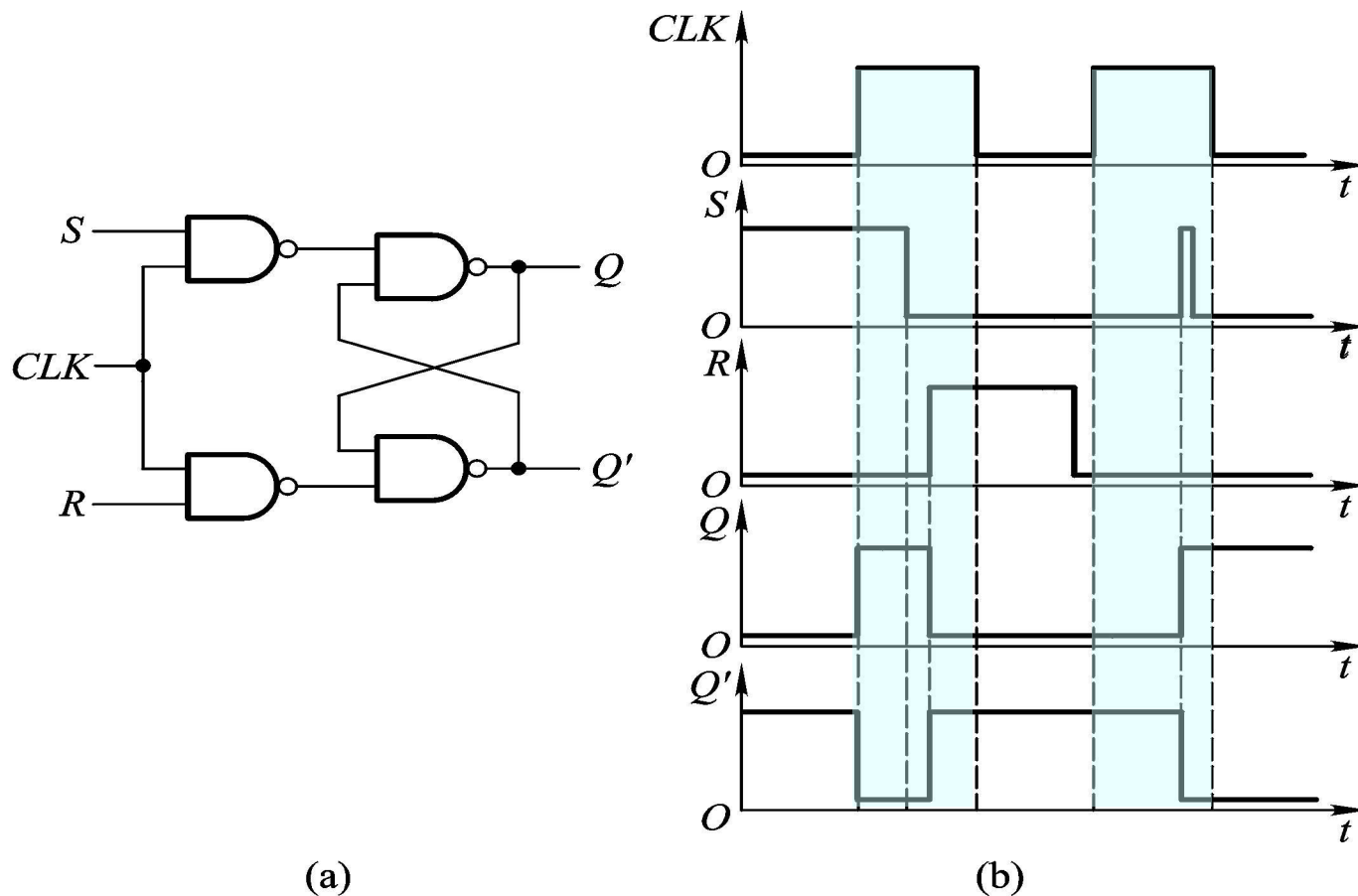
特征方程

$$\begin{cases} Q^* = S + R'Q \\ SR = 0 \end{cases}$$

约束条件，不能同时为1。

二、动作特点

在 $CLK=1$ 的全部时间里，
 S 和 R 的变化都将引起输出状态的变化



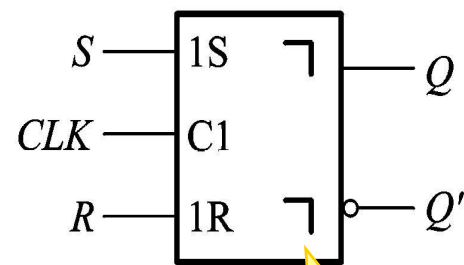
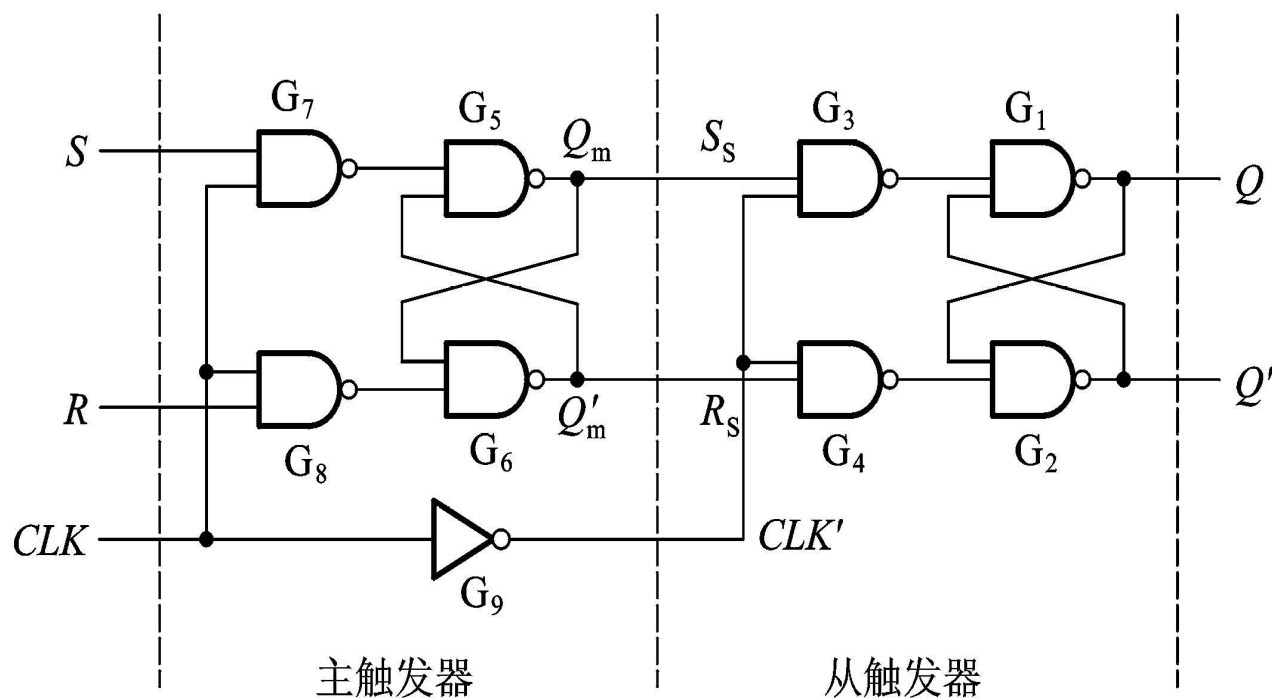
在 $CLK = 1$ 期间， Q 和 Q' 可能随 S, R 变化多次翻转

5.4 脉冲触发的触发器

主从SR触发器

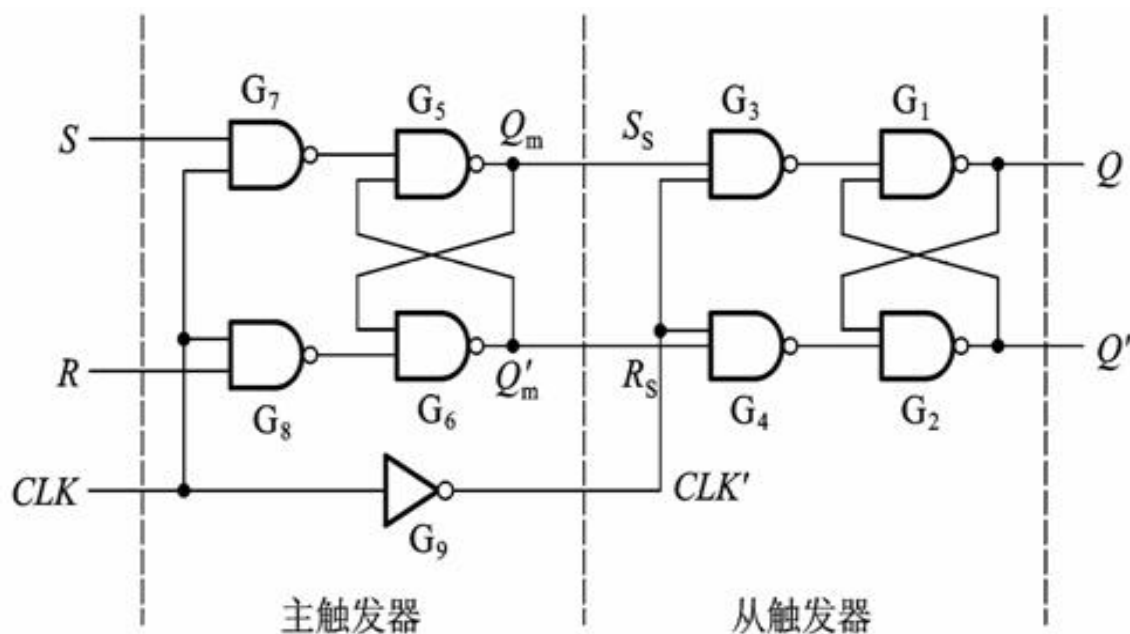
一、电路结构与工作原理

提高可靠性，要求每个CLK周期输出状态只能改变1次



主从触发器的特征

一、电路结构与工作原理



CLK	S	R	Q	Q^*
X	X	X	X	Q
	0	0	0	0
	0	0	1	1
	1	0	0	1
	1	0	1	1
	0	1	0	0
	0	1	1	0
	1	1	0	1*
	1	1	1	1*

1. 主从SR触发器

(1) $CLK = 1$ 时，“主”按S，R翻转，“从”保持

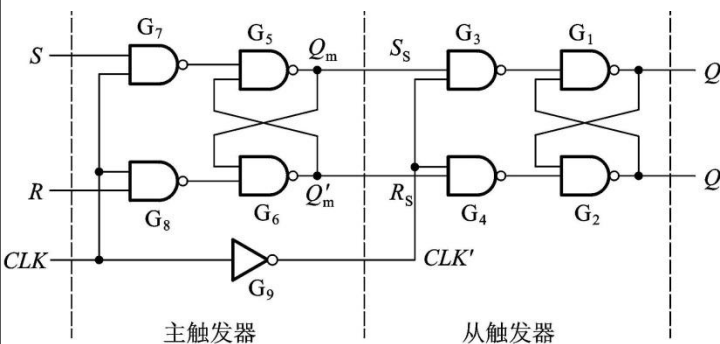
(2) CLK 下降沿到达时，“主”保持，

“从”根据“主”的状态翻转

所以每个 CLK 周期，输出状态只能改变一次

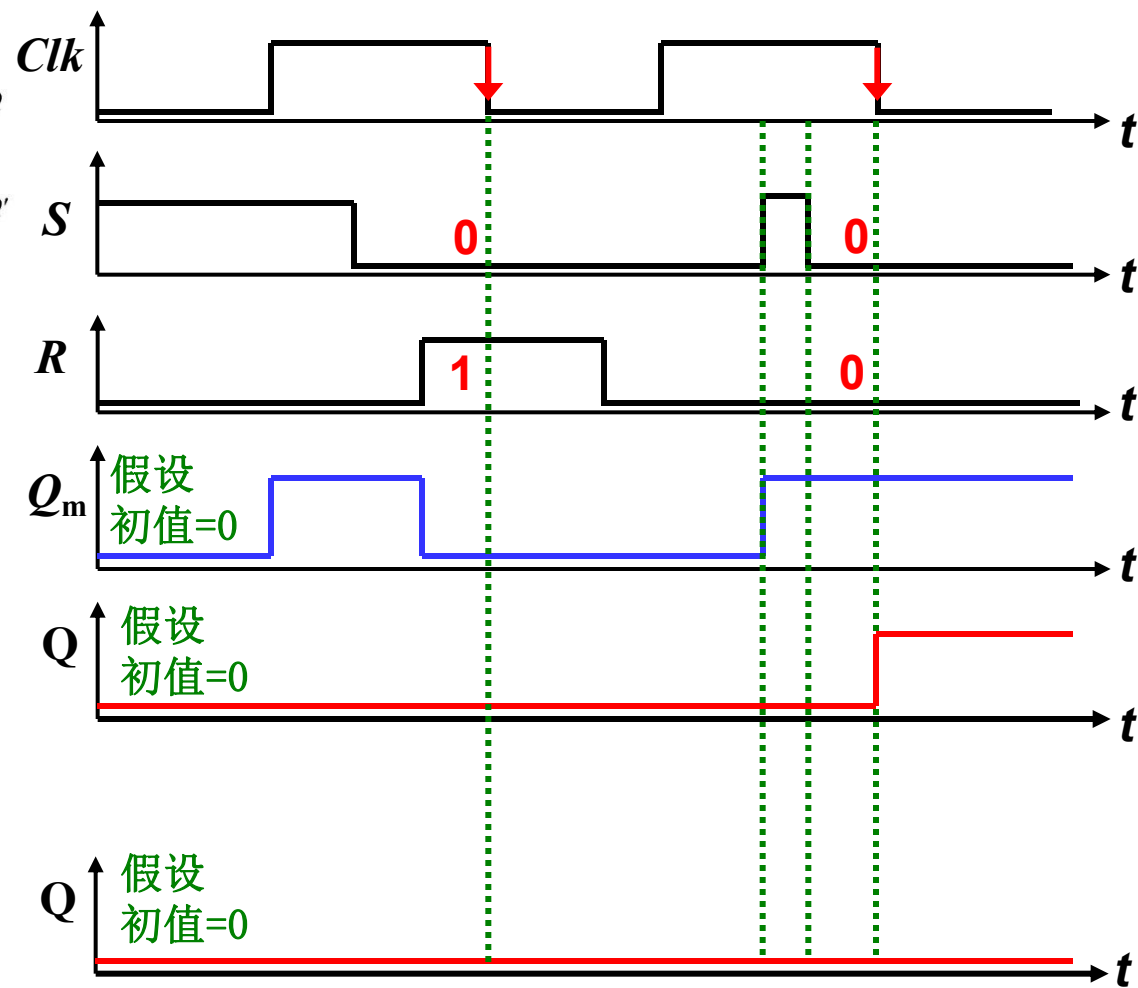
输入信号还需要遵守约束条件 **$SR=0$** 吗？

练习：已知脉冲SR触发器的时钟信号和输入信号如图所示，试画出Q端的波形，设触发器的初态为 $Q=0$ 。

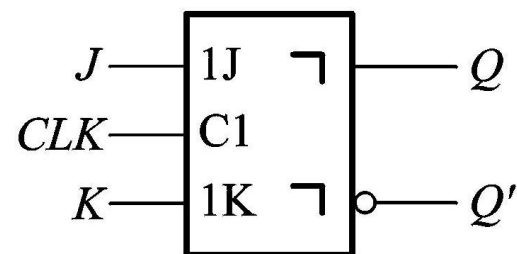
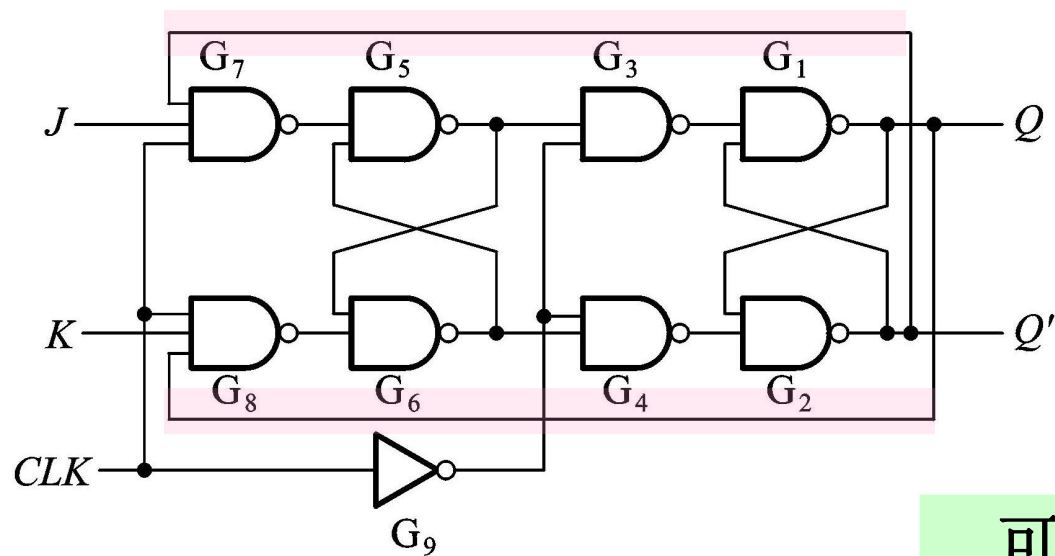


CLK=1期间，如果SR变化，通常就需要先画出主触发器的状态，然后再画从触发器的状态。

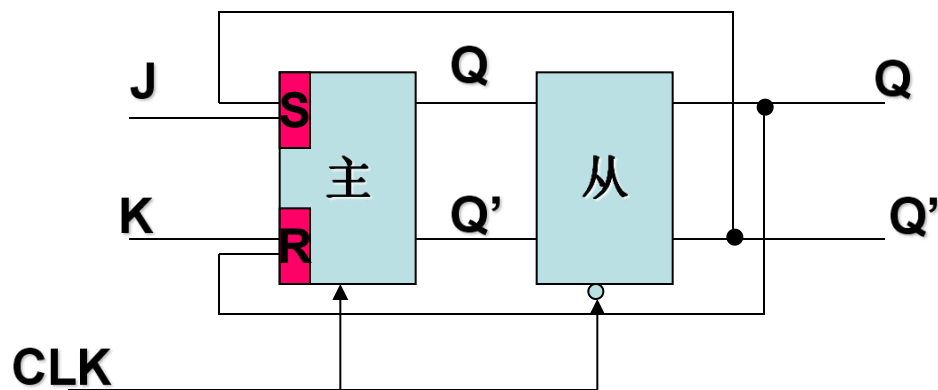
条件：要求CLK有效期间SR是稳定的，不能发生改变



二、主从JK触发器



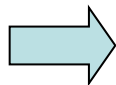
可以解除约束条件 $SR=0$



JK触发器

同步RS触发器特性表 主从JK触发器特性表

CLK	S	R	Q	Q^*
X	X	X	X	Q
	0	0	0	0
	0	0	1	1
	1	0	0	1
	1	0	1	1
	0	1	0	0
	0	1	1	0
	1	1	0	1*
	1	1	1	1*



CLK	J	K	Q	Q^*
X	X	X	X	Q
	0	0	0	0
	0	0	1	1
	1	0	0	1
	1	0	1	1
	0	1	0	0
	0	1	1	0
	1	1	0	1
	1	1	1	0

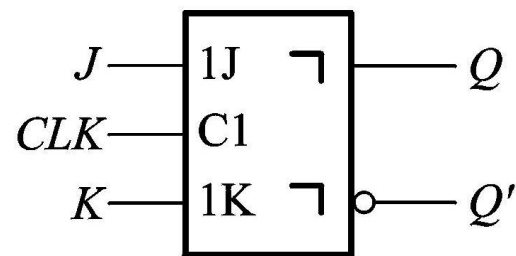
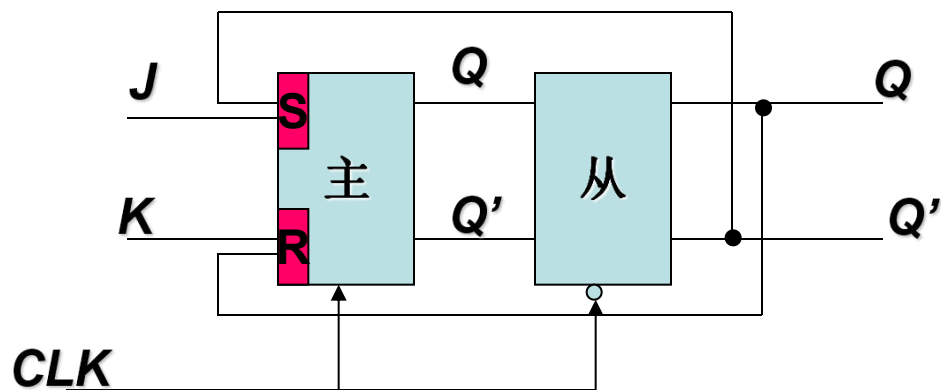
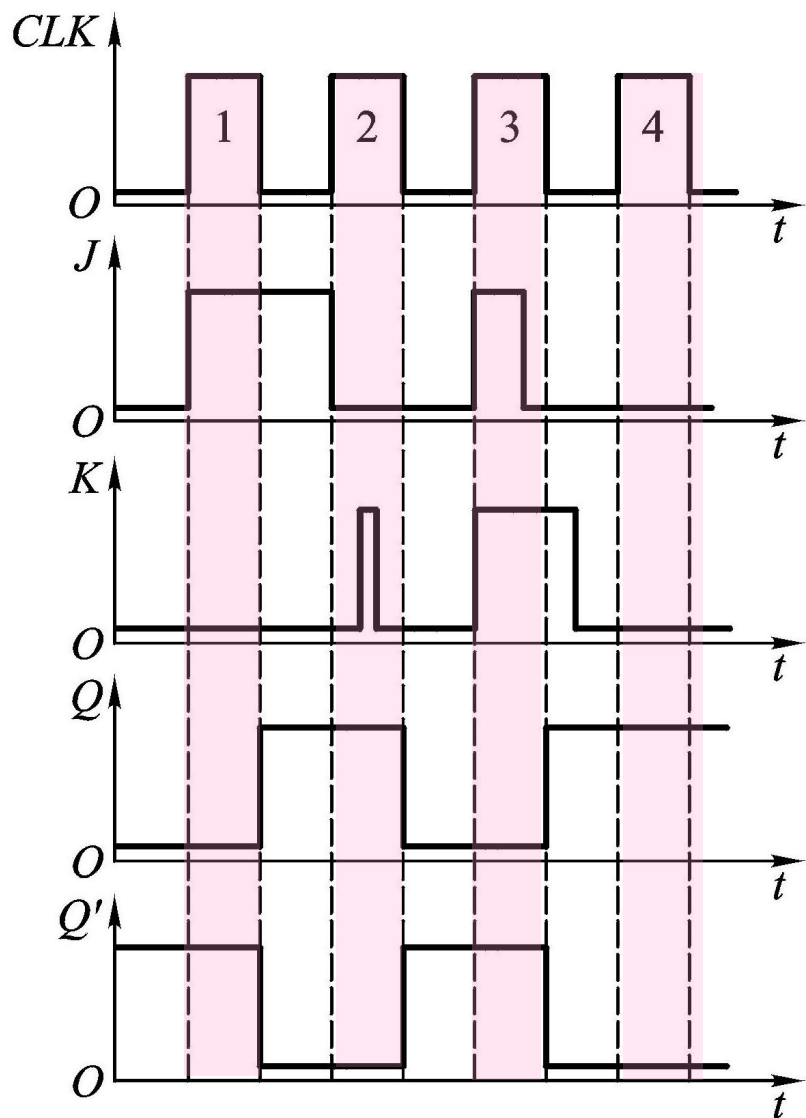
简化JK触发器特性表

J	K	Q^*
0	0	Q
0	1	0
1	0	1
1	1	Q'

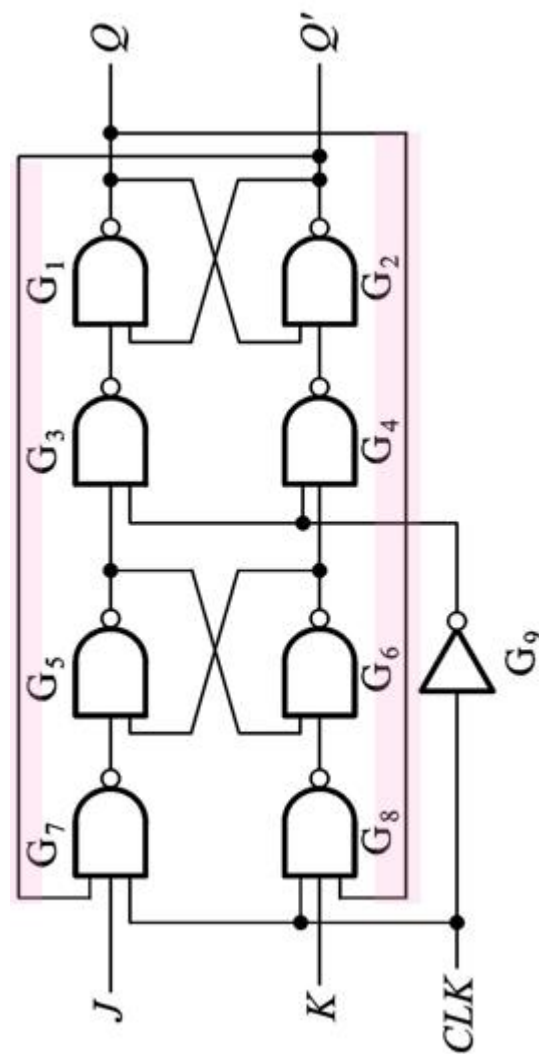
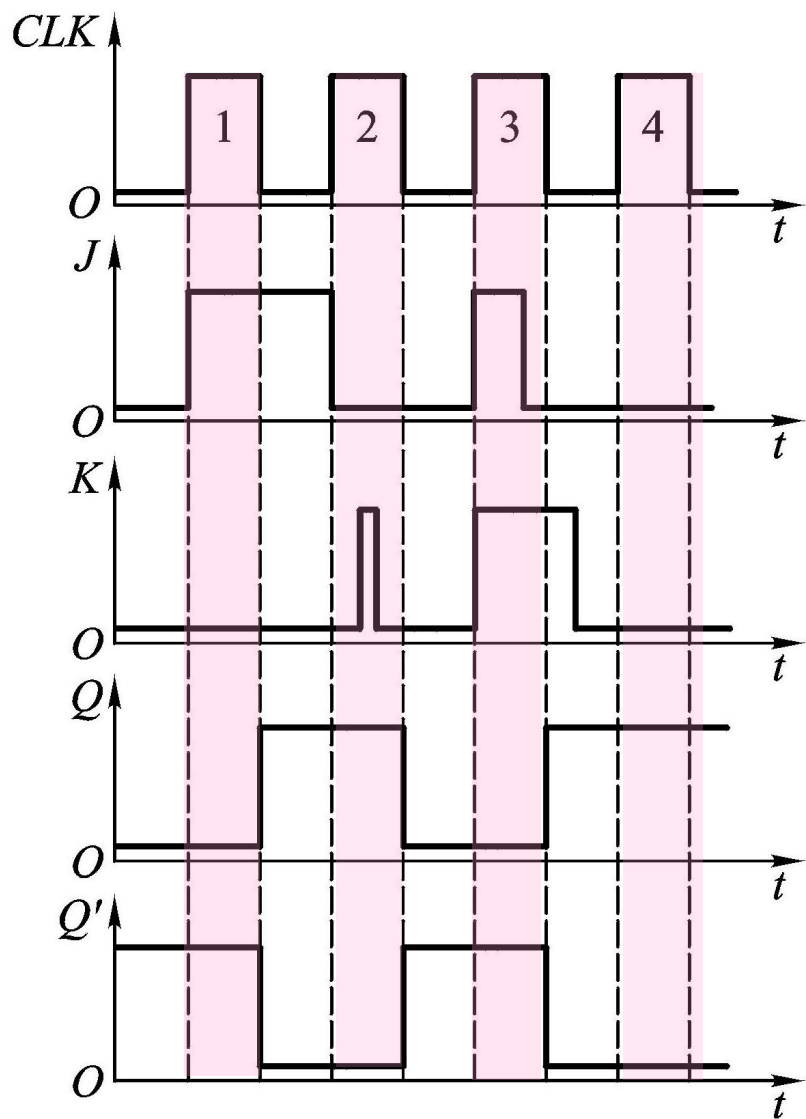
计数
状态

区别是解除了约束条件
SR=0

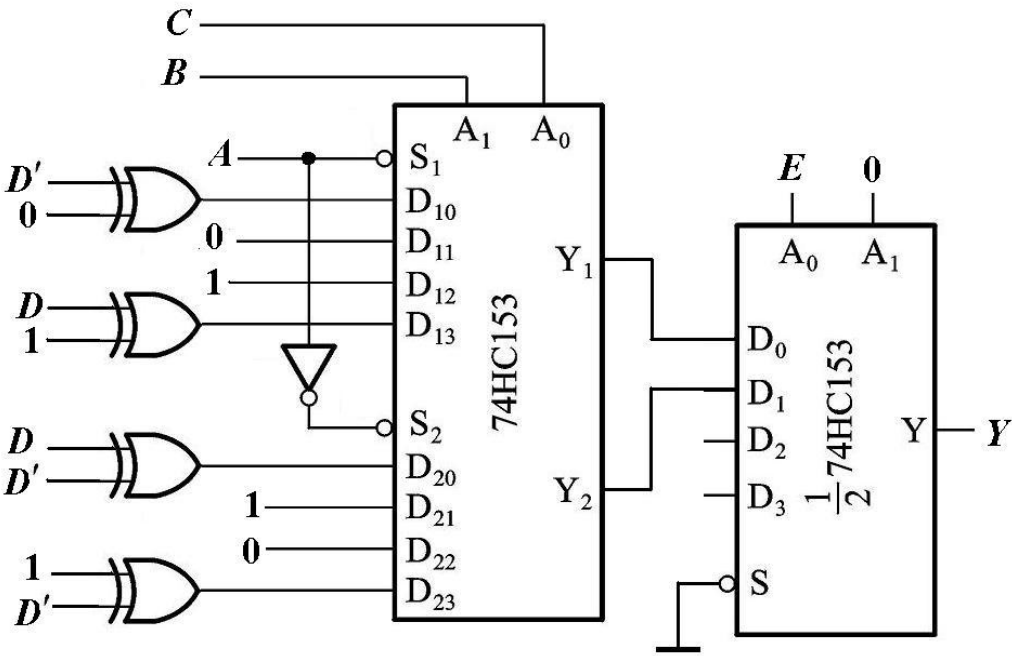
三、主从结构触发器的动作特点(书223)



三、主从结构触发器的动作特点

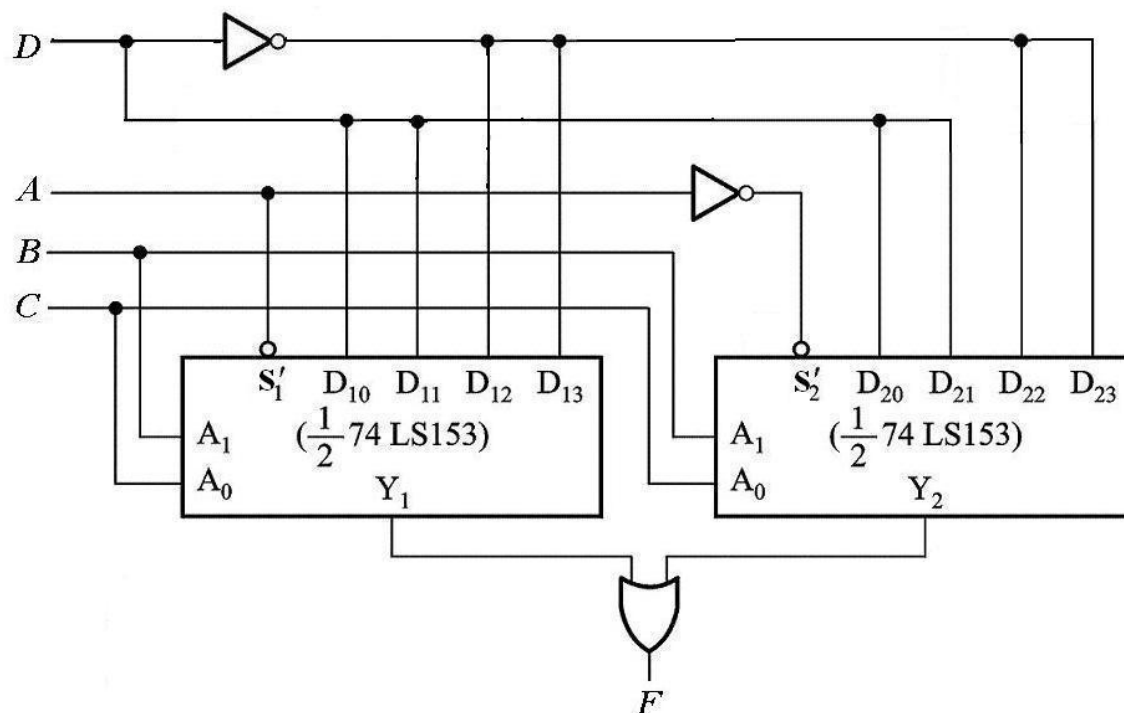


分析图所示的双4选1数据选择器逻辑电路，
 写出输出端Y的逻辑表达式（要求写出分析过程）。



两片4—1数据选择器组成的电路，如图所示。

1. 写出 F 的最小项表达式；
2. 写出 F 的最简与或式；
3. 试用一片四选一数据选择器（不加门电路）实现该电路。

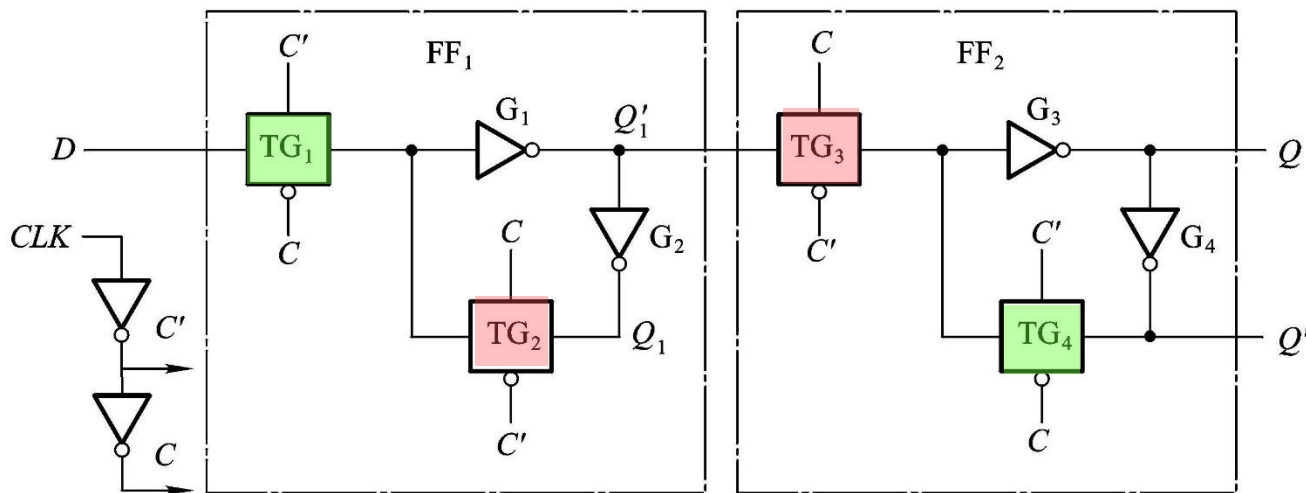


5.5 边沿触发器

为了提高触发器的抗干扰能力，希望触发器的次态仅仅取决于 CLK 作用沿到达时刻，输入信号的状态。这样的触发器称为**边沿触发器**。

这里，重点介绍利用 **CMOS** 传输门构成的边沿**D**触发器。

利用CMOS传输门的边沿触发器



列出真值表

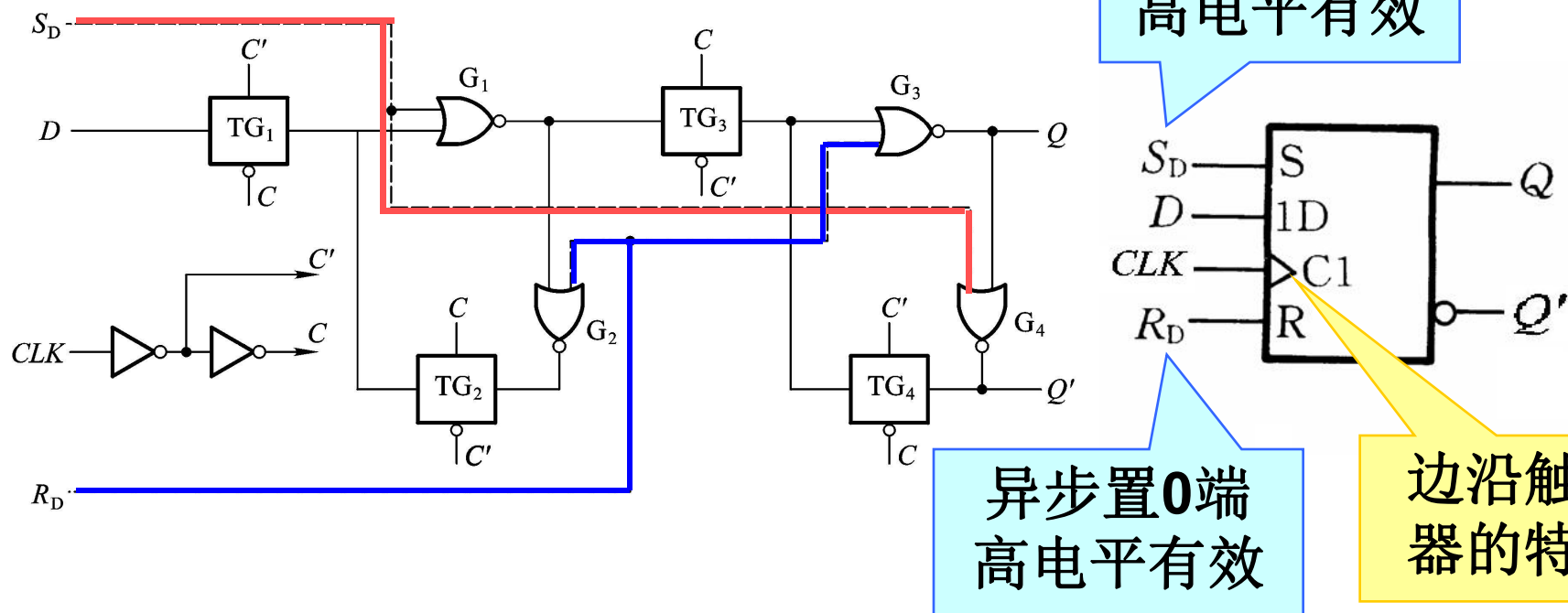
CLK	D	Q	Q^*
X	X	X	Q
↑	0	X	0
↓	1	X	1

动作特点

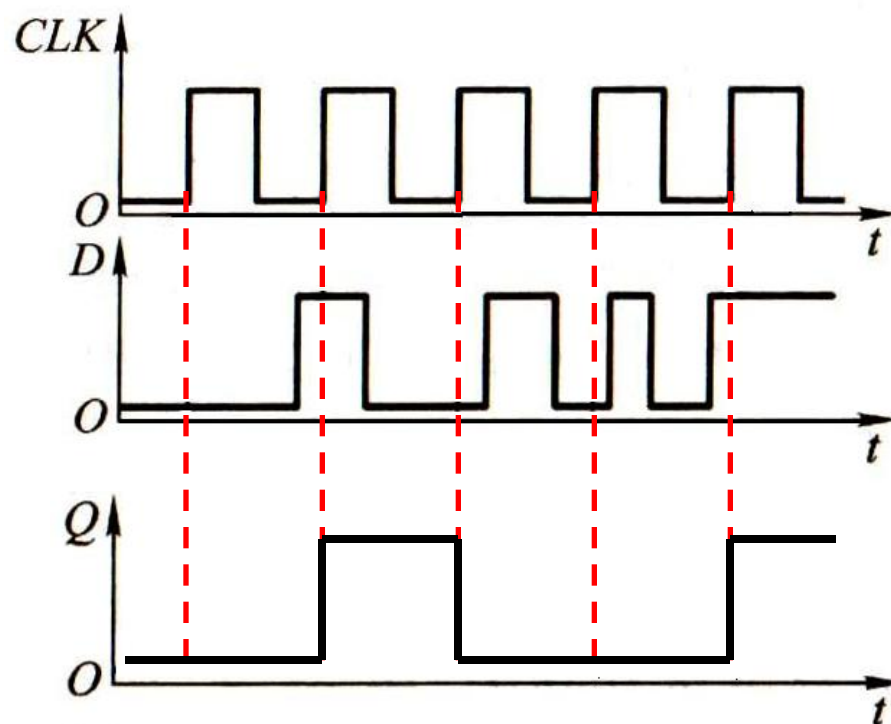
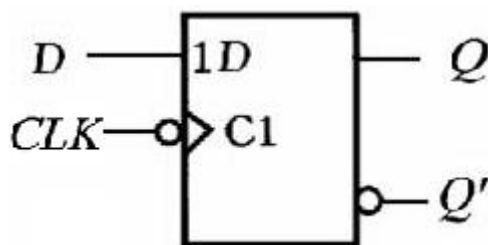
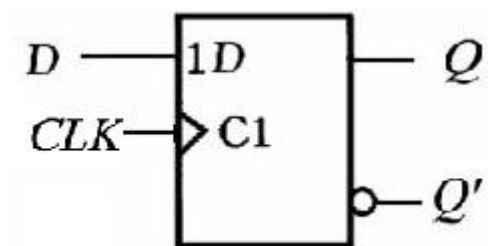
Q^* 变化发生在CLK的上升沿（或下降沿），

Q^* 仅取决于上升沿到达时输入的状态，而与此前、后的状态无关

有异步置1，置0端的D触发器。



二、边沿触发器的动作特点



二、边沿触发器的动作特点

