

# AIS系统协议栈的研究与实现

## Research and Realization of the AIS System Platform

(清华大学)李大军 常 青 梅顺良

Li,Dajun Chang,Qing Mei,Shunliang

**摘要:**根据通用船载自动识别系统(AIS)的协议栈,给出了一种基于链路层、网络层和传输层的嵌入式系统 AIS 系统平台设计,详细研究了其基于 ARM+FPGA 的硬件设计和基于  $\mu\text{C}/\text{OS-II}$  操作系统的软件设计。

**关键字:** AIS;嵌入式系统;ARM;FPGA

中图分类号:TP853

文献标识码:A

文章编号:1008-0570(2005)12-2-0047-03

**Abstract:** According to the protocol stack of the AIS, this paper proposes a design of the AIS system platform based on the embedded system focous on link layer, network layer and transport layer, and elaborates on the hardware design of ARM+FPGA and the software design founded on  $\mu\text{C}/\text{OS-II}$  operating system  
**Key Words:** AIS; the embedded system; ARM; FPGA

通用船载自动识别系统 AIS(Automatic Identification System) 是一种基于自组织时分多址技术(SOTD-MA)的海上无线通信系统,主要用于海上船与船之间、船与海上交通管理中心之间的相互识别和信息交互。同时这种系统也非常适合于没有通信基础设施支持、网络节点变化剧烈的场合,如航空交通管理。AIS 使用统一的接口、统一的信息、统一的显示终端、统一的报警与记录,集各种功能于一体,非常有利于提高海上交通安全和设备技术水平。

在国际电信联盟(ITU)、国际电工委员会(IEC)、国际海事组织(IMO)和国际航标协会(IALA)的共同努力下,AIS 已经成为海上船只出航必须装备的系统,并形成了业界标准。在这种背景下,本文提出了一种基于嵌入式系统的船载自动应答器的设计方案。

Application layer		
Presentation layer		
Session layer		
Transport layer		
Network layer		
Channel A		Channel B
Link management entity (LME) layer		Link layer LME
Data link service(DLS) layer		Link layer DIS
Medium access control(MAC) layer		Link layer MAC
Physical layer		Physical layer
Receiver A	Transmitter A/B	Receiver B

图1 AIS 的协议栈

### 1 硬件设计概述

本文提出的 AIS 船载自动应答器在逻辑结构上是基于 AIS 协议栈的。AIS 系统的协议栈实际上就是 OSI 的七层结构,如图 1 所示。本文的工作主要集中在图中的阴影部分,即链路层(包括三个子层)、网络层和传输层。

为了方便,将传输层与上层接口称为 PI(Presentation Interface),主要是指各种传感器、全球定位系统 GPS 等航海设备,以及键盘、显示等人机接口。

将图 1 中后四层的功能分配为表 1 所示。将之映射到硬件,本文提出了一种基于传输层、网络层、链路层的硬件平台。硬件平台主要由嵌入式微处理器模块、FPGA 模块、UART 模块、人机接口模块和电源模块构成,如图 2 所示。

表 1 AIS 协议栈各层的功能

协议层	主要功能
传输层	与 PI 接口,完成 AIS 信息与 PI 数据的转换
网络层	确定报告率,在两个信道上分配、汇总信息
链路层子层 1: 链路管理实体	完成时隙数据包的打包、拆包任务,并在合适的时隙将其发送出去
链路层子层 2: 数据连接服务	HDLG 协议打包(差错控制、比特填充、首尾标志)
链路层子层 3: 媒体接入控制	时隙同步
物理层	比特同步、调制解调、发射接收

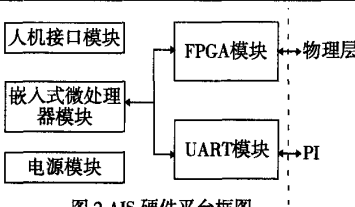


图2 AIS 硬件平台框图

可以看出,嵌入式微处理器和 FPGA 构成了系统的核心。前者主要完成传输层、网络层和链路管理实体子层的功能,具体来说就是对 AIS 信息进行打包和拆包,以及选择适当的时隙接入信道;而后者主要完成数据连接服务子层和媒体接入控制子层的功能,具体来说就是实现 HDLC 协议和时隙同步。

#### 1.1 嵌入式微处理器模块

李大军:硕士研究生

电话:010-62132436,62192616(T/F)

《现场总线技术应用 200 例》

万方数据



中国自控网: <http://www.autocontrol.cn>

邮局订阅号:82-946 360 元/年 - 47 -

嵌入式微处理器模块的核心器件是嵌入式微处理器 S3C44B0X, S3C44B0X 是 Samsung 公司设计的一款低功耗高性能的、基于 ARM7TDMI 内核和 RISC 指令集的 32 位高速处理器, 大量应用于手持设备等无线终端。

考虑到功能、接口、资源等等需求, 将 ARM 的寻址空间和中断资源组织分配如图 3 和表 2 所示。ARM 可以通过 JTAG 和 RS232 串口两种方法调试, 都可以在硬件上实现。ARM 的 UART、LCD 控制器的应用将在稍后描述。

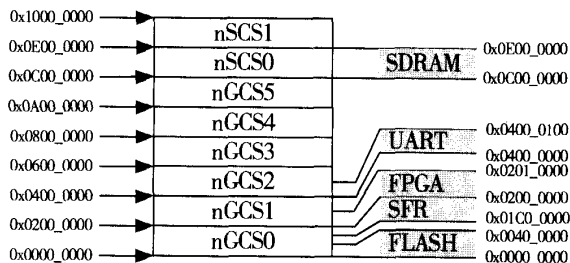


图 3 S3C44B0X 寻址空间分配表

表 2 S3C44B0X 中断资源分配表

优先级	中断名称	中断源
1	EINT0	键盘
2	EINT1	外部 UART
3	EINT2	来自 GPS 的 PPS 信号
4	EINT4/5/6/7	FPGA 时隙同步信号
5	TICK	操作系统的时钟节拍
6	INT_WDT	看门狗
7	INT_TIMER0	定时器 0
8	INT_TIMER1	定时器 1
9	INT_URXD0	UART0 接收
10	INT_URXD1	UART1 接收
11	INT_UTXD0	UART0 发送
12	INT_UTXD1	UART1 发送

### 1.2 FPGA 模块

设计中, FPGA 采用的是 Xilinx 公司的 XC2S200, 它是 Spartan-II 系列 FPGA 中的 20 万门器件。

FPGA 被映射为 ARM 的一个外部存储器, 同时也作为一个中断设备, 如表 2 所示。并且 ARM 和 FPGA 之间留有一定的通用端口, 以备系统扩展和升级。

本设计的一个特点是, FPGA 的配置工作是由 CPU 采用被动串行模式完成的, 配置文件可以通过串口下载到 ARM 的存储器中, 然后编写相应的配置代码实现开机时 FPGA 的配置。这样即方便配置, 又有利于系统升级。

### 1.3 UART 模块

由于 AIS 应答器要求多达 8 路异步串口, 用于连接各种航行传感器, 而 S3C44B0X 仅提供 2 路 UART

口, 因而必须外接 UART 控制器。本设计中采用的是 Exar 的 XR16L788。连接方式如表 2 所示。

XR16L788 是一款 8 通道的 UART 控制器。芯片内置的全局中断寄存器和其他应用模块使中断处理变得非常方便。

### 1.4 人机接口模块

人机接口模块主要包括 LCD 接口和键盘接口两个部分。S3C44B0X 内部带有 LCD 控制器, 使 LCD 的硬件接口和软件控制都相当简单。

键盘接口芯片采用的是 ZLG7289, ZLG7289 具有 SPI 串行接口功能, 单片即可完成 LED 显示、键盘接口的全部功能, 非常方便键盘和 LED 的控制。

## 2 软件设计概述

根据硬件设计思想, 将船载自动应答器的软件也分成嵌入式微处理器软件和 FPGA 软件两个部分。其中嵌入式微处理器的软件设计是基于嵌入式实时操作系统  $\mu\text{COS-II}$  的, 而 FPGA 主要是使用 VHDL 描述其逻辑功能。

### 2.1 $\mu\text{C/OS-II}$ 的内核分析与移植

要使  $\mu\text{C/OS-II}$  正常工作, 处理器必须满足如下要求:

- (1) 处理器的 C 编译器能产生可重入代码;
- (2) 可以打开或关闭中断; 在  $\mu\text{C/OS-II}$  中定义了两个宏 (macro) 来关闭或打开中断, 以避免不同 C 编译器厂商用不同的方法来处理关中断和开中断。这两个宏分别是: `OS_ENTER_CRITICAL ( )` 和 `OS_EXIT_CRITICAL ( )`。

(3) 处理器支持中断;  $\mu\text{C/OS-II}$  需要通过处理器产生的中断来实现多任务之间的调度。

(4) 处理器支持能够容纳一定量数据的硬件堆栈;

(5) 处理器有将堆栈指针和其它 CPU 寄存器读出和存储到堆栈或内存中的指令。

S3C44B0X 处理器完全满足上述要求。移植工作主要就是对于  $\mu\text{C/OS-II}$  的三个源文件 `OS_CPU.H`, `OS_CPU_C.C` 和 `OS_CPU_A.S` 进行改写。

### 2.2 CPU 的软件设计方案

在 AIS 中, CPU 有两个最重要的功能: 一是 AIS 信息的打包、拆包处理, 二是选择适当的时隙接入信道。为实现上述功能, 软件中采用了两种数据结构和三种程序类型。

#### 2.2.1 两种数据结构

在 AIS 系统传输的所有信息中, 最重要的信息就是船的位置报告。同时, 由于 AIS 自组织接入方式的特殊性, 网络中每个节点对信道要有实时、准确的知识, 才能保证较高的接入率, 从而提高网络的效率。鉴于上述考虑, 在软件设计中, 一方面采用结构体链表存储船舶位置信息, 从而方便信息的插入、删除、排序等动态操作, 而且节约存储空间; 另一方面采用结构

体数组存储时隙信息，实现对信道的实时预测和刷新。表 3 和表 4 给出了两种结构体的结构

表 3 船表结构体组成

成员名称	含义	数据类型
MMSI	船舶编号	unsigned long
NavStatus	航行状态	unsigned char
ROT	转率	signed char
SOG	对地航速	unsigned short
Longitude	经度	long
Latitude	纬度	long
COG	对地航向	unsigned short

表 4 时隙表结构体组成

成员名称	含义	数据类型
SlotStatus	时隙状态	unsigned char
SlotType	时隙种类	unsigned char
STimeOut_IKeep	时隙超时参数	unsigned char
SOffset_IInce	时隙偏移参数	unsigned short

2.2.2 三种程序类型

嵌入式微处理器的程序被分为三种类型：主程序、中断服务程序、应用任务。

(1)主程序的主要工作是初始化并启动系统软硬件,其流程图如图 4 所示；

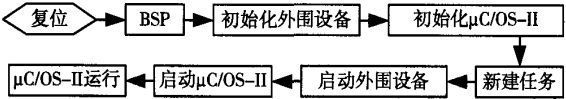


图 4 主程序流程图

(2)中断服务程序主要是处理键盘中断、UART 中断、FPGA 中断和定时器中断,并向应用任务发送相应消息

表 5 基于 μC/OS-II 的应用任务列表

优先级	任务名称	功能描述	等待事件	发出事件
11	UART 任务	从 PI 读取位置、时间等数据	UARTCmdQ	
16	FPGA 任务	从 FPGA 读出一个时隙的接收数据；向 FPGA 写入一个时隙的发送数据	FPGACmdQ	
21	LCD 任务	更新显示	LCDCmdQ	
26	键盘任务	读取键值；接收用户数据；更新显示	KeyIntSem	LCDCmdQ
31	帧同步任务	收完一整帧数据；指示帧同步	PPSIntSem	UARTCmdQ FrameMbox
36	历史帧分析任务	分析一整帧数据；更新时隙表；更新船表；更新显示	FrameMbox	LCDCmdQ
41	时隙收发任务	扫描时隙表；从 UART 获取 PI 数据并打包；控制 FPGA 发送；接收上一时隙数据	FPGAIntSem	UARTCmdQ FPGACmdQ

(3)应用任务是软件设计的核心,其主要功能一方面完成对 AIS 信息的打包、拆包,另一方面监听 VDL 信道,并按照 SOTDMA 算法选择适当的时隙接入信道。应用任务的定义如表 5 所示。

下图为中断服务程序与应用任务以及应用任务之间的逻辑关系。本图是整个软件设计的核心部分。

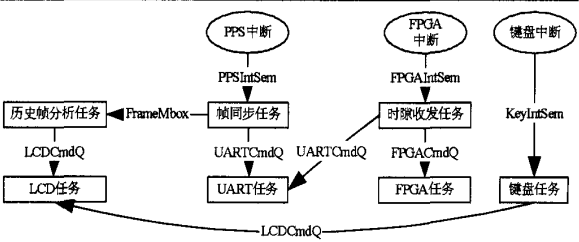


图 5 中断服务程序与应用任务

2.3 FPGA 的软件设计方案

图 6 是 FPGA 内部的功能框图。从图中可以看出，FPGA 主要由三个模块构成，分别是控制与通信模块、HDLC 模块和 RAM 模块。其中控制与通信模块的主要功能是接收 ARM 的命令和 AIS 信息包并通过 HDLC 发送信息，同时将 HDLC 接收到的信息发给 ARM；RAM 模块主要是用来存储发送和接收的信息；HDLC 模块主要完成 HDLC 协议的打包、拆包工作。

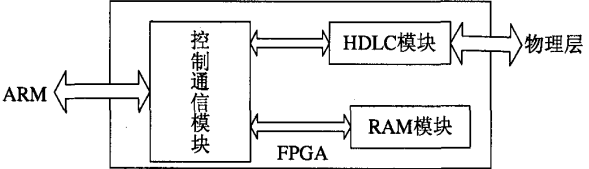


图 6 FPGA 设计框图

本系统在硬件上以高性能的嵌入式微处理器和超大规模可编程器件为核心,在软件上采用嵌入式实时操作系统以及高效的逻辑描述语言,实际系统经调试证明,其性能、可靠性、可扩展性可很好的满足了 AIS 的应用要求。而且在现今的数字系统设计中,以“嵌入式微控制器+FPGA”为核心的体系结构具有很大的灵活性,往往被作为一个通用的硬件平台,嵌入式微控制器的优势在于将微处理器内核与丰富外围接口紧密的结合在一起,FPGA 的优势在于超高速、丰富的逻辑资源以及用户可灵活配置的逻辑功能。因此本系统在其他平台中也可以得到相应应用,这也正符合软件无线电“一机多能”的设计思想。

参考文献：

[1]ITU-R Recommendation M.1371-1. Technical characteristics for a universal shipborne automatic identification system using time division multiple access in the VHF maritime mobile band. 2001

作者简介:李大军,男,1982 年 11 月出生,硕士研究生,2003 起在清华大学电子工程系攻读硕士学位,研究方向为无线通信信道传输技术;Email:li-dj03@mails.tsinghua.edu.cn. 梅顺良,男,1946 年出生,教授、博士生导师,现任职于清华大学电子工程系,研究方向为调制解调、无线通信信道传输技术。

(100084 清华大学数字微波国家重点实验室)李大军 常 青 梅顺良

(State Key Lab on Microwave & Digital Communications, Tsinghua Univ. 100084)Li,Dajun Chang, Qing Mei,Shunliang

通信地址:(100084 清华大学东主楼 11-325) 李大军 (投稿日期:2005.5.22) (修稿日期:2005.6.3)