

# TCAD simulation project

Name: 王品然

Student ID: 113063572

## 一、製程步驟與模擬結果

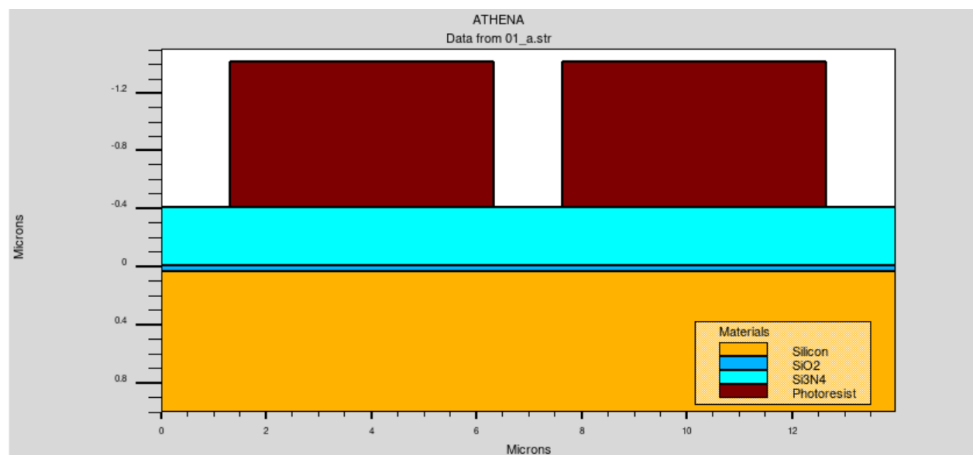
### A. STI (Shallow Trench Isolation)

以蝕刻出淺溝槽的方式實現元件隔離，確保元件間不會互相干擾，獨立工作。

1. Clean and Diffusion
2. Grow Pad Oxide
3. Deposit Nitride
4. Spin on Photoresist
5. STI Mask Formation

這個步驟會 define 出需要氮化物和氧化物保留的區域，模擬結果如下

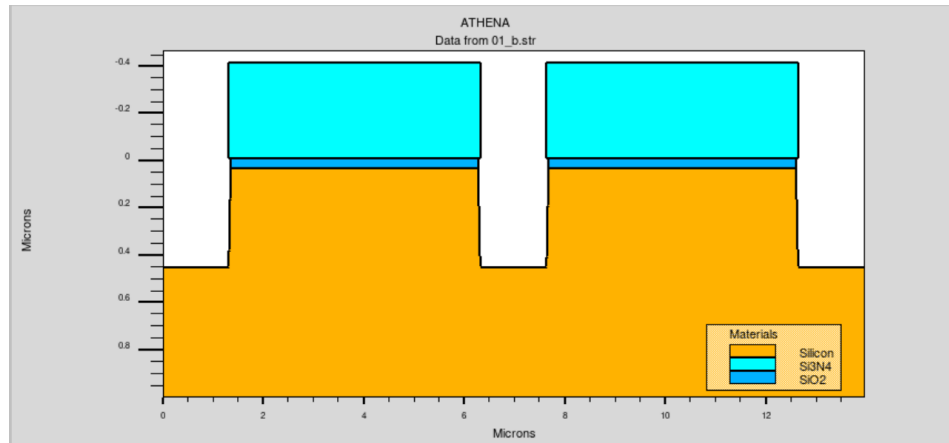
01\_a.str



6. Etch Nitride
7. Etch Oxide
8. Photoresist Strip
9. Etch Silicon

這步驟會蝕刻出 STI 的溝槽，模擬結果如下

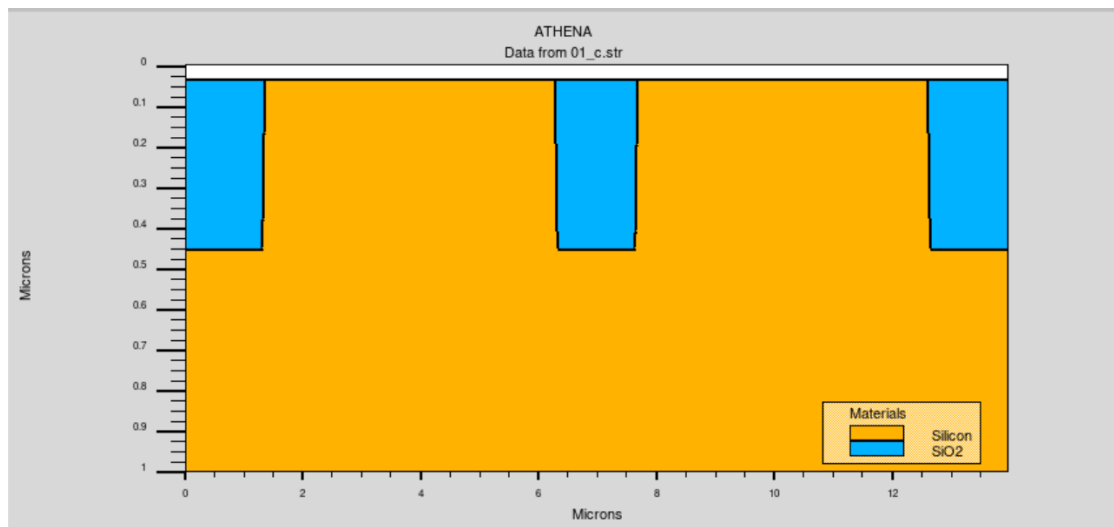
01\_b.str



10. Grow Barrier Oxide(USG)
11. CMPUSG
12. Strip Nitride and Pad Oxide
13. Reverse Mask

這些步驟會沉積 oxide 填滿 trench 並蝕刻除了 trench 內的剩餘所有 oxide，  
模擬結果如下

01\_c.str



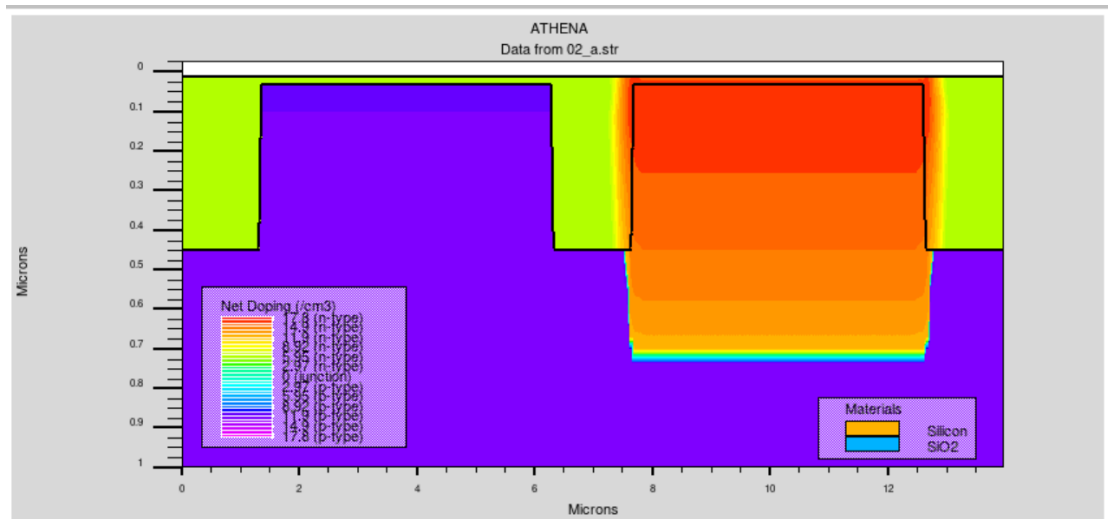
## B. P/N-Well Formation and Drive-In

在矽基板中創建 P/N-Well，以分別做為 N/PMOS 的 body。

1. Grow screen oxide
2. N-Well mask
3. N-Well implant phosphorus

Implant phosphorus 到 N-Well 所定義的區域，模擬結果如下

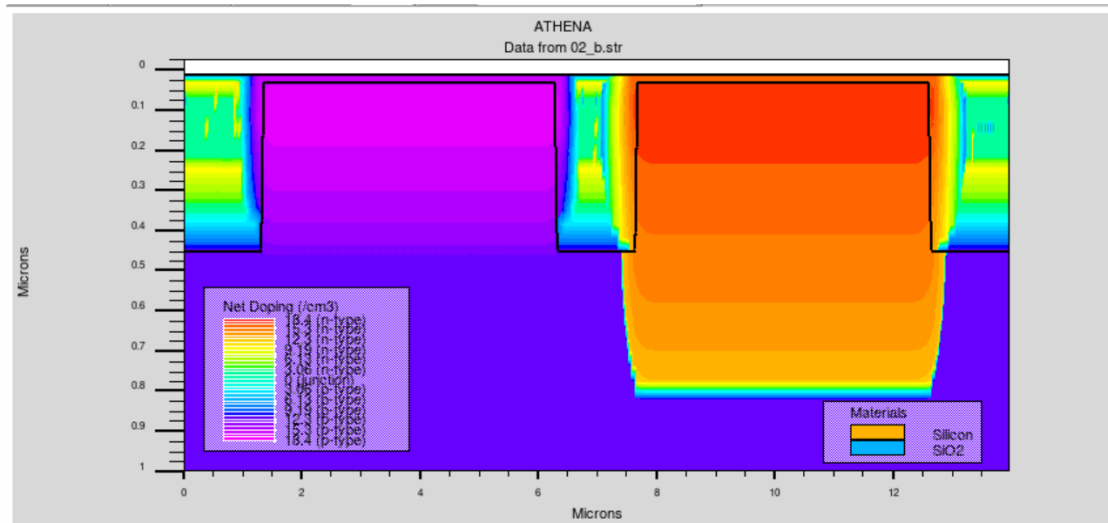
02\_a.str



4. Anneal and drive in
5. Spin on Photoresist
6. P-Well Mask
7. P-Well Implant Boron

做完 N-Well 的 anneal and drive in，並且 Implant Boron 到 P-Well 所定義的區域，模擬結果如下

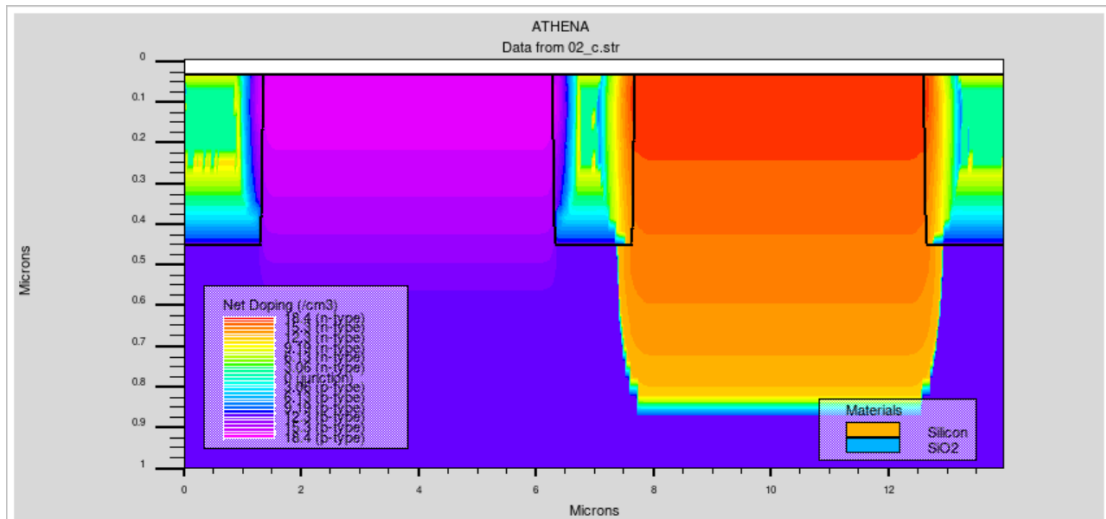
02\_b.str



8. Strip Photoresist
9. Anneal and Drive-in
10. Clean and Etch Screen Oxide

移除光阻，做完 P-Well 的 anneal and drive in，並且清除表面的 oxide 後，模擬結果如下

02\_c.str



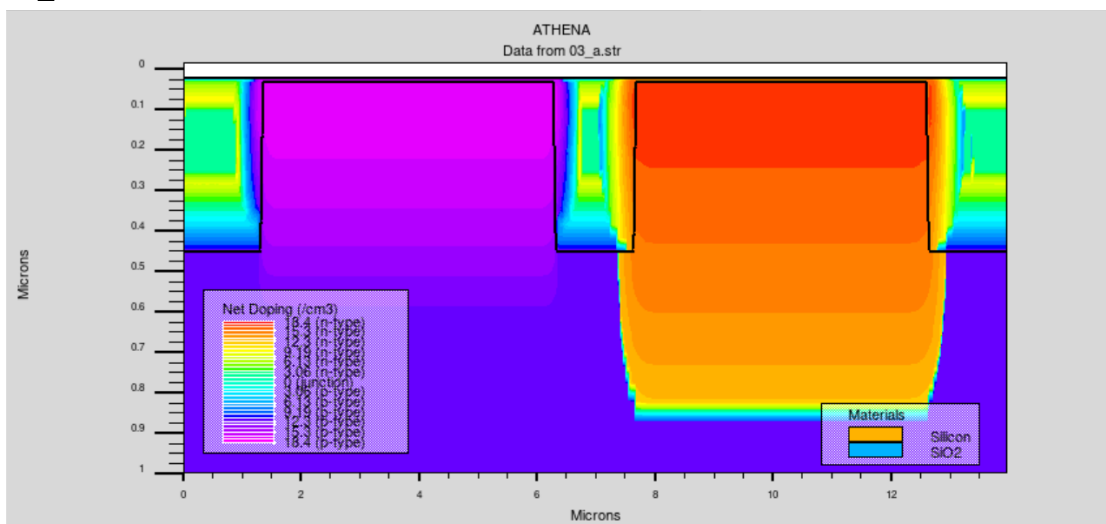
### C. Vt Adjust Implant

調整表層(channel)的 dopant 濃度，以及修復矽表面，以改善臨界電壓

1. Grow Sacrificial Oxide
2. Spin on Photoresist
3. Reuse the P-Well Mask
4. Vt Adjust Implant for N-Channel
5. Strip Photoresist
6. RTA

步驟 2~6 完成了 n-channel 的臨界電壓改善，模擬結果如下

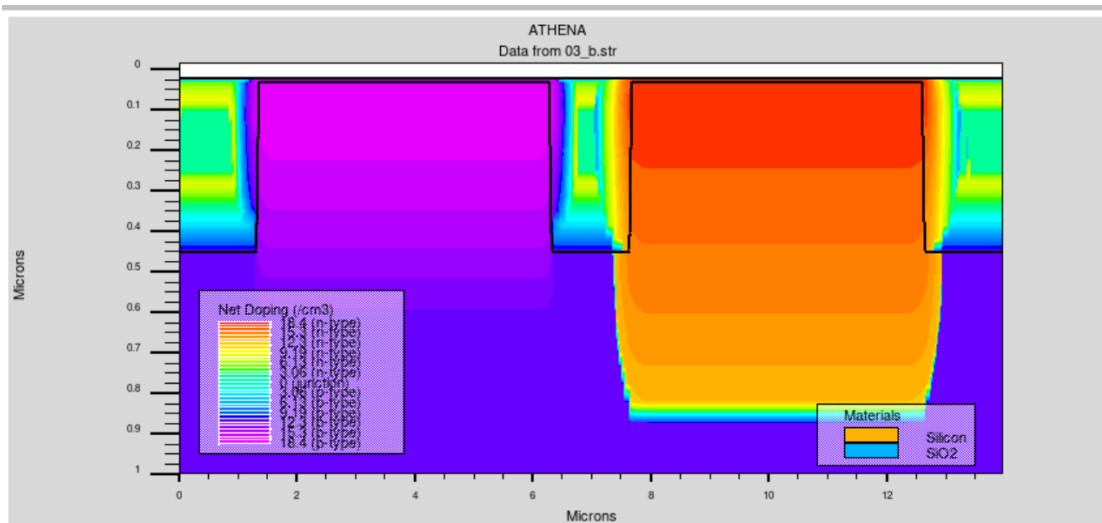
03\_a.str



7. Spin on Photoresist
8. Reuse the N-Well Mask
9. Vt Adjust Implant for P-Channel
10. Strip Photoresist
11. RTA

步驟 7~11 完成了 p-channel 的臨界電壓改善，模擬結果如下

03\_b.str



12. Clean and Remove Sacrificial Oxide

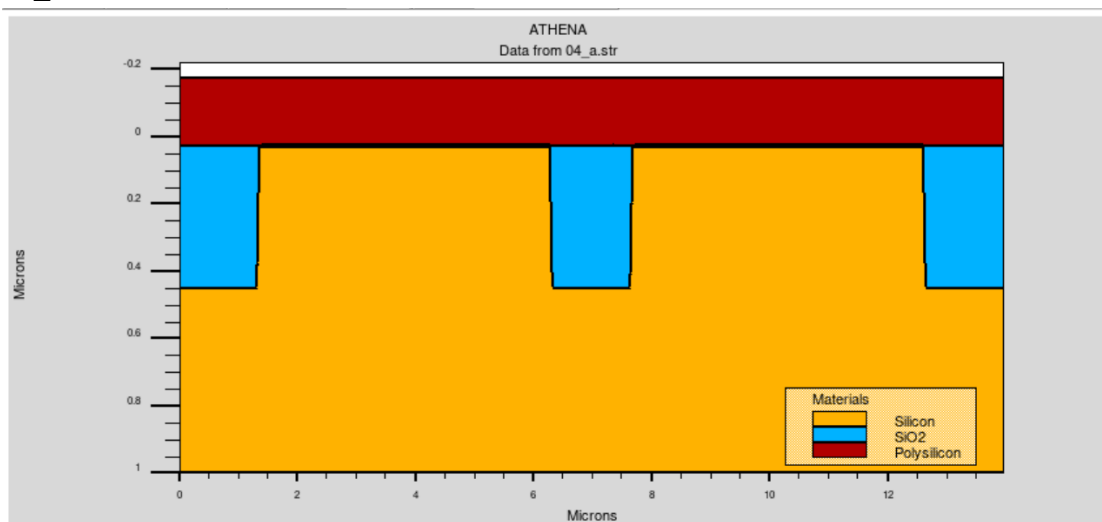
#### D. Gate Formation

定義閘極長度並且以 polysilicon 完成 MOS 的閘極。

1. Grow Gate Oxide
2. Deposit Polysilicon

生長一層當作 gate oxide 的 oxide，並沉積當作 gate 的 poly，模擬結果如下

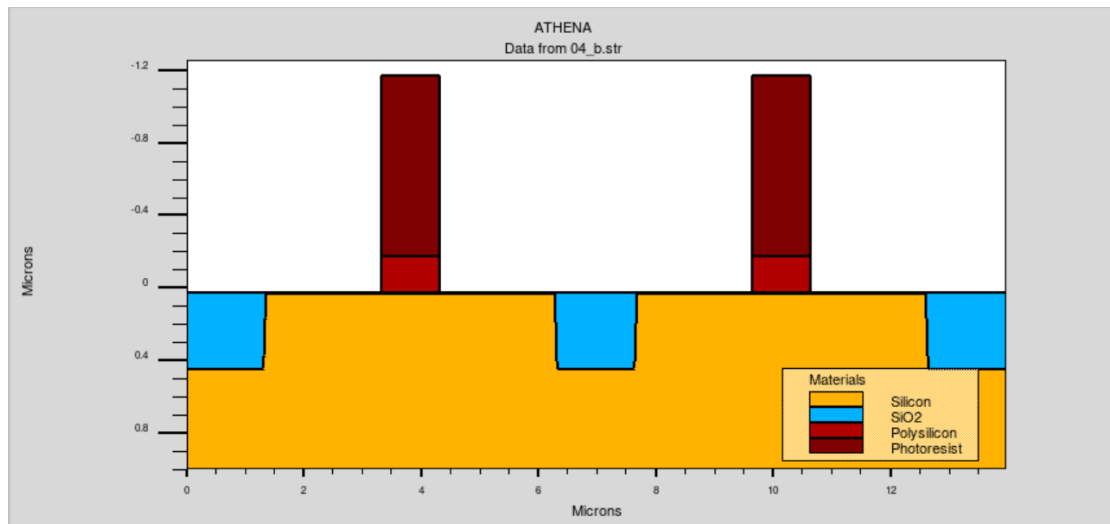
04\_a.str



3. Spin on Photoresist
4. Gate Mask
5. Gate Etching

蝕刻出 gate(尚未清除 photoresist)，模擬結果如下

04\_b.str

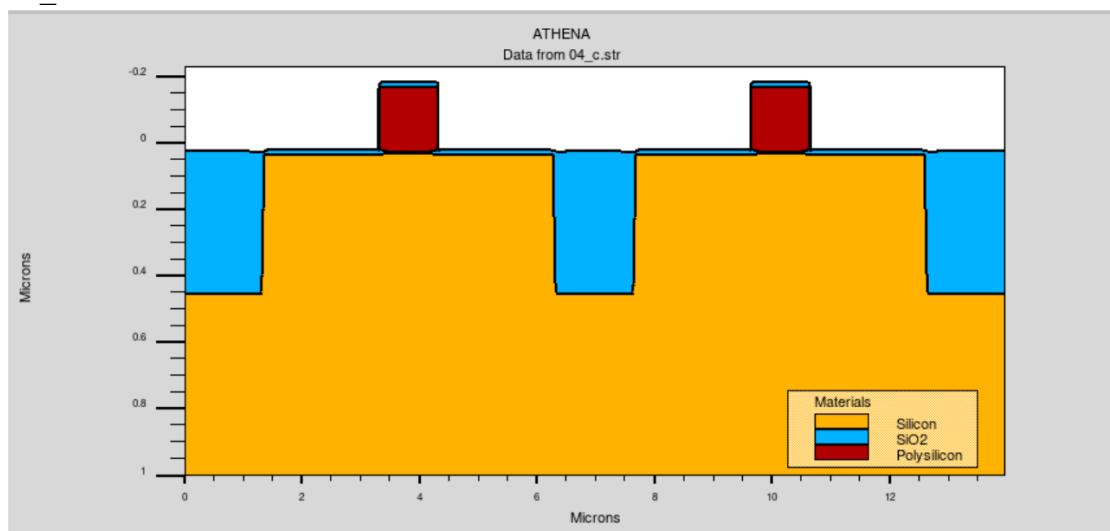


6. Strip Photoresist

7. Poly-Si Anneal and Oxidation

完成製作 gate 的所有步驟後，模擬結果如下

04\_c.str



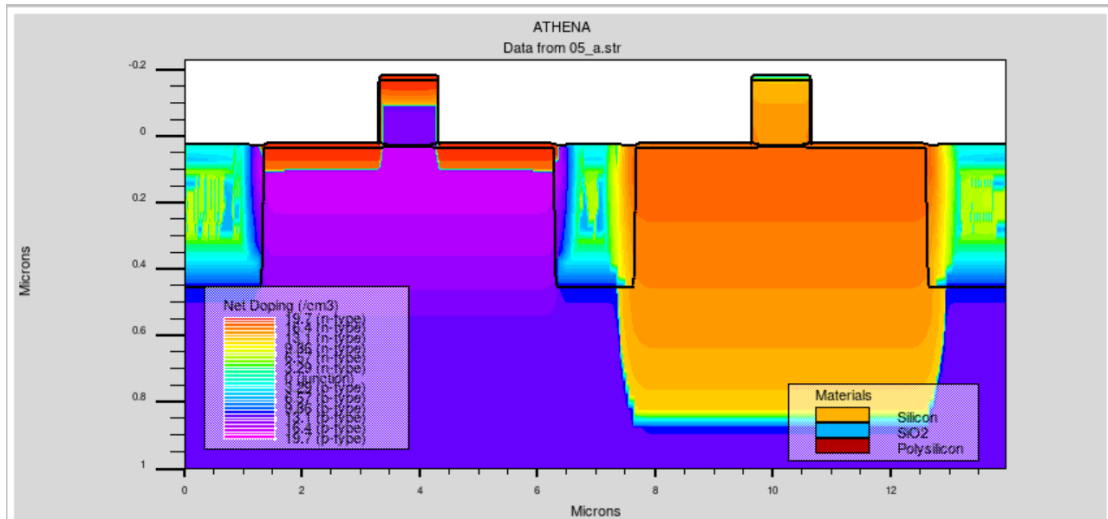
### E. LDD (Lightly Doped Drain)

這個製程目的是要做出 LDD，而 LDD 的主要目的在於讓 source/drain 與 channel 間的電場不會過度集中，以減少短通道效應，實現方式(以 NMOS 為例)是將 $n^+pn^+$ 的接面變成 $n^+npnn^+$ 的形式，透過增加低摻雜區域 (n) 來緩衝電場變化，使電場分佈更為均勻。

1. Spin on Photoresist
2. NMOS LDD Mask
3. NMOS LDD Doping
4. Strip Photoresist

完成 NMOS 的 LDD 的 doping 並移除光阻後，模擬結果如下

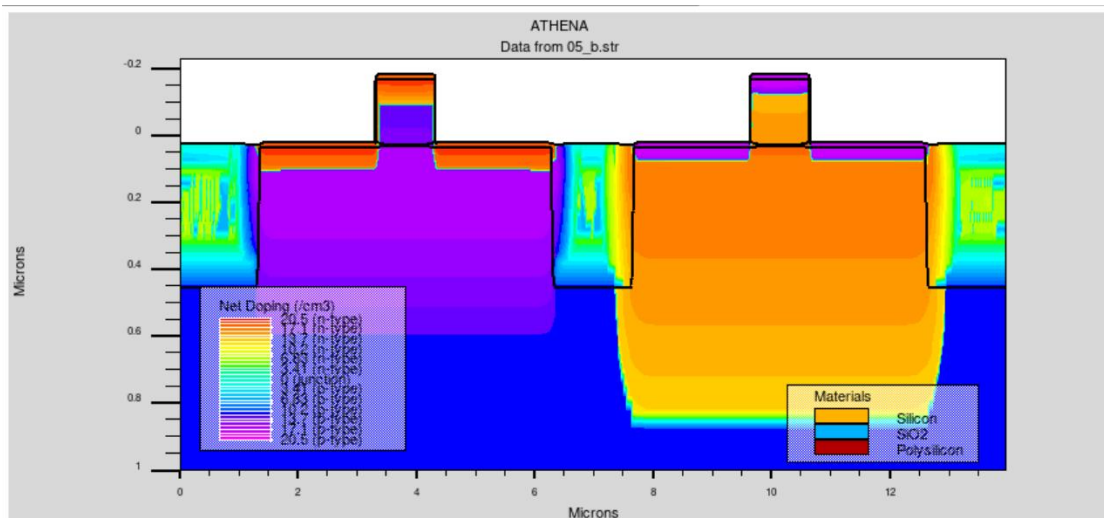
05\_a.str



5. Spin on Photoresist
6. P-channel LDD mask
7. P-channel LDD doping
8. Strip Photoresist

完成 PMOS 的 LDD 的 doping 並移除光阻後，模擬結果如下

05\_b.str



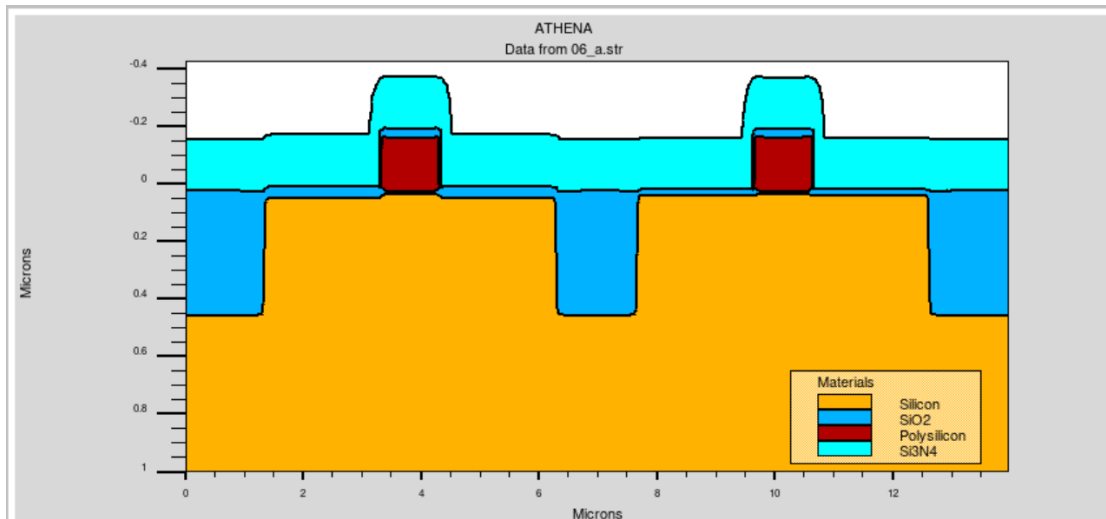
## F. Spacer Formation

透過沉積並作具有方向性的蝕刻(不用 mask)，在 poly-gate 的側壁自然留下的一層 nitride，此即為 spacer，目的是作為之後做 source/drain 的 ion implant 時的 mask 的一部份，即可使 source/drain 的 doping 和 LDD 的 doping 使用同一個 mask。而且還可以更好的隔開 poly-gate 與 source/drain 的 contact metal。

1. Thermal Oxide
2. Deposit Nitride Spacer

沉積出準備被非等向性蝕刻掉，要作成 spacer 的 nitride，模擬結果如下

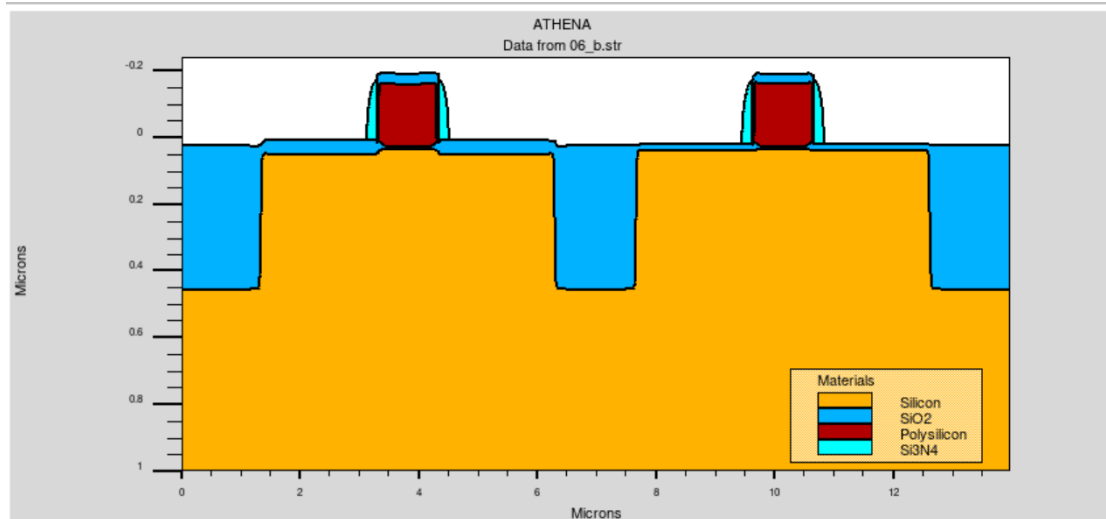
06\_a.str



### 3. Etching Nitride turns into Nitride Spacer

進行 dry etch 以完成 spacer 的製作，模擬結果如下

06\_b.str



## G. Source / Drain Formation

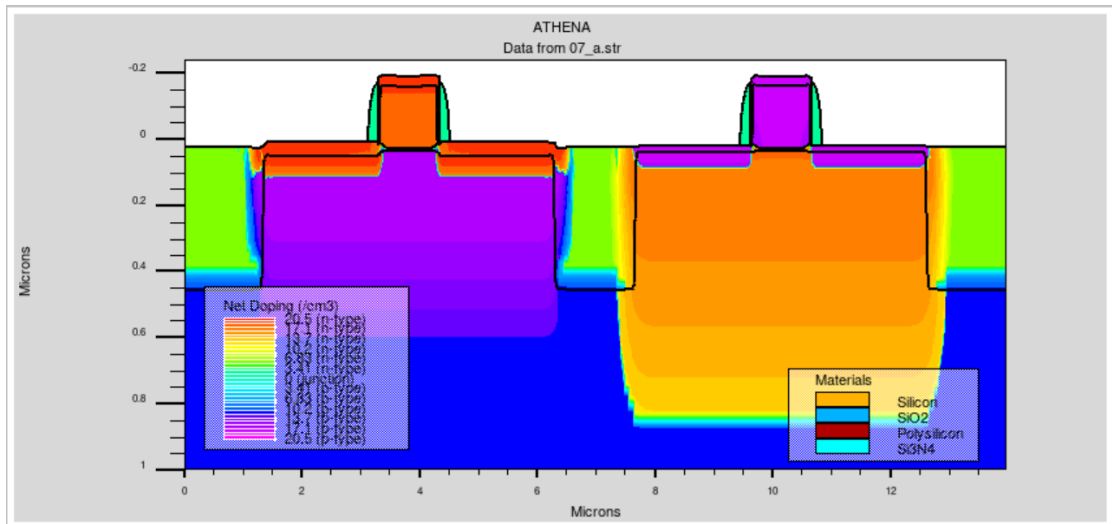
這個製程完成了 MOS 的 source / drain。

1. Spin on Photoresist
2. NMOS S/D n+ mask
3. NMOS S/D n+ doping
4. Strip Photoresist
5. RTA

完成 NMOS 的 source/drain 的 doping 並移除光阻，完成 RTA 後，模擬結果如下

07\_a.str

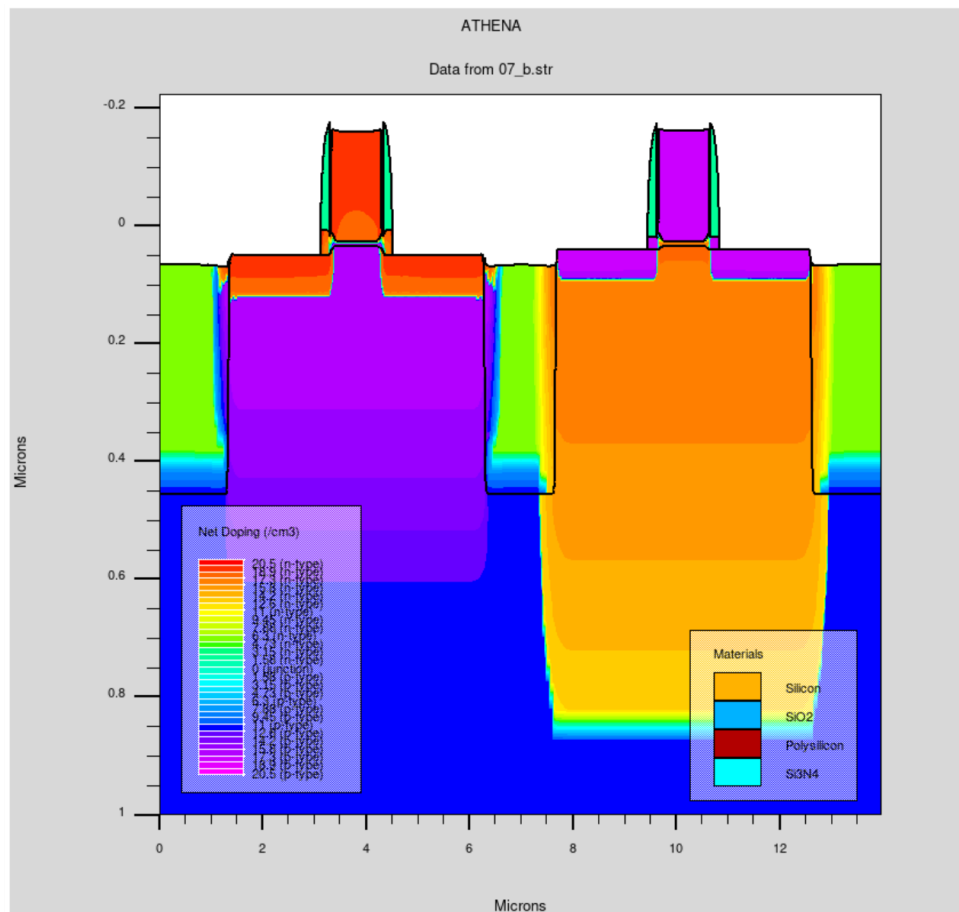




6. Spin on Photoresist
7. PMOS S/D p<sup>+</sup> mask
8. PMOS S/D p<sup>+</sup> doping
9. RTA
10. Etch Oxide

完成 PMOS 的 source/drain 的 doping 並移除光阻，完成 RTA 以及蝕刻表面 oxide 後，模擬結果如下

07\_b.str



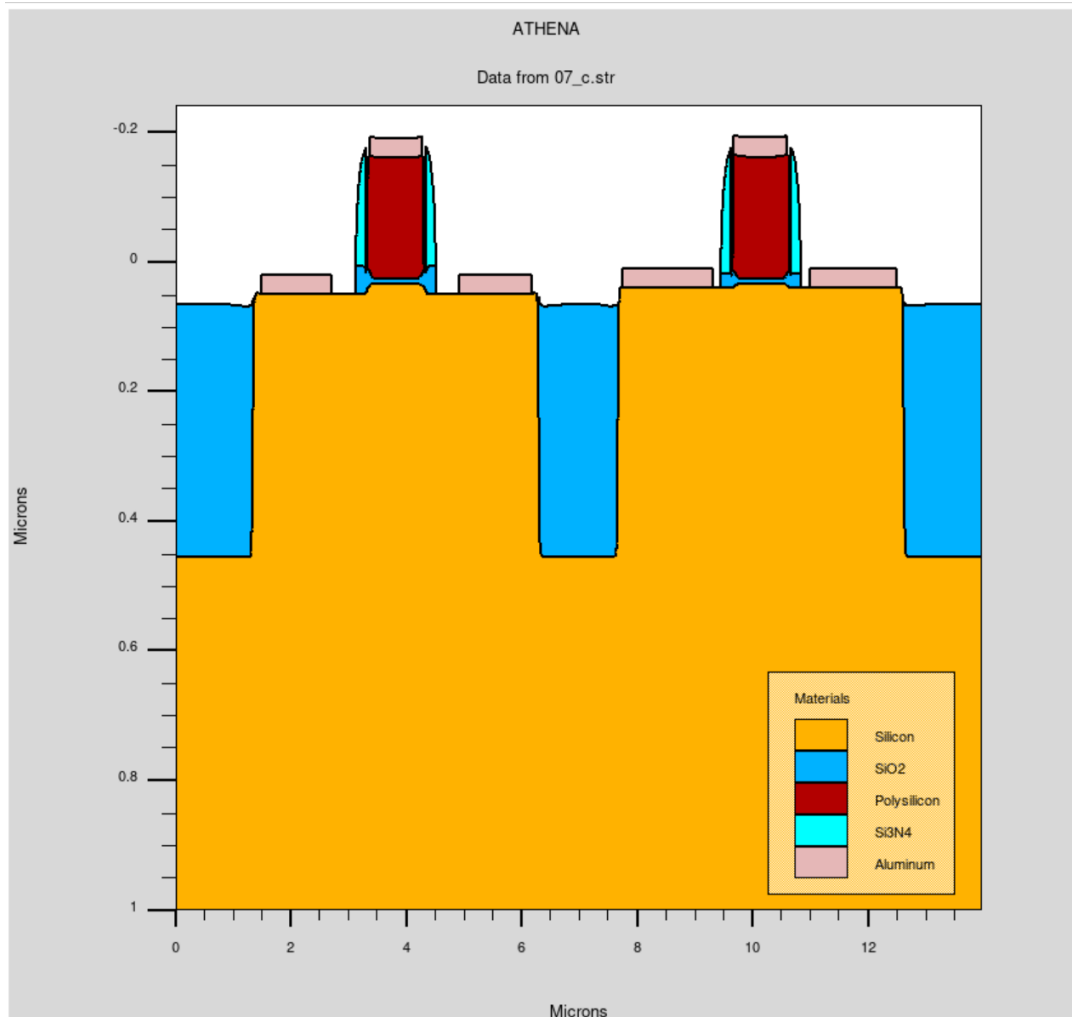
## H. Source / Drain and Gate Contact Metal

以鋁做出 Source / Drain and Gate 的 contact

1. Deposit Aluminum
2. Etch Aluminum

完成 Al 的沉積與蝕刻以作為 MOS 的 contact，模擬結果如下

07\_c.str



## 二、製程比較

與這個 simulation 做比較的是講義 p.2-15 開始的製程。講義中有使用 buried and epitaxial layer 的製程，因此多了一個在 well 下方的  $n^+/p^+$  深埋層，並且 well 是做在 epi-layer，而這次的 simulation 是直接做 well，沒有 buried and epitaxial layer。有 buried and epitaxial layer 的好處在於可以減少 Latch-up effect。並且講義是使用 LOCOS 作為器件隔離的技術，而本次模擬是使用 STI 作為器件隔離的技術。LOCOS 的壞處是在於有 bird's beak 的結構會形成於用於隔離的氧化物的邊緣，而 STI 沒有這個問題，但卻很吃蝕刻技術。最後一個差異是講義中沒有 threshold voltage adjust implant，而此次模擬中有在形成 well 後，再次對於通道做 doping 以調整  $V_t$ 。