

# Design Project

## Charge Pump Circuit for embedded NVM

Performance Summary Table (**requirement A**)

Type of CP	Latched style
# of $V_{CK}$ Phases	2
# of Stages	7
Transient Time	0.013 msec
Circuit Area	42887.637 $\mu\text{m}^2$
Pumping Capacitor Size	20.8 pF (measured by hspice)
Ripple Voltage	91.0 mV
Power Consumption	9.7 mW / 7.6 mW (transient / steady)
Efficiency	29.8 % / 65.8 % (transient / steady)
Capacitor Type	MOSCAP (PMOS)
Average Voltage at Steady	10.03 V

Name: 王品然

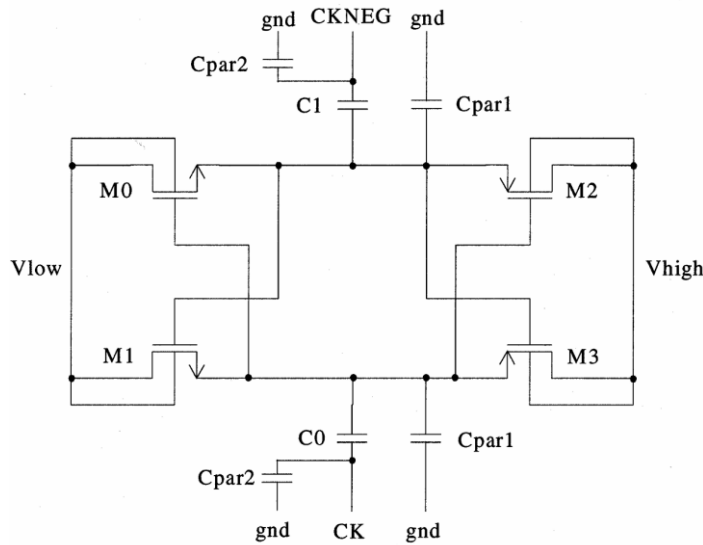
Student ID: 113063572

Note: 針對此次的 requirements，在報告中使用粗體字註明。

## A. Architecture of Charge Pump

這次使用的電路架構是在 EEPROM and Ecobit Design (5/14)上課時，講師所介紹的 2-Phase Clock Charge Pump，在閱讀其提供的論文[1]後，實作(pre-sim)後發覺此架構可提供更少的 transient time，而需要較小的電容，更少的階數，且有更小的 ripple，因此也更適合用在 embedded NVM 中。在嘗試此架構前，我有 pre-sim 過 Dickenson、Bootstrap 和一種 hybrid charge pump [2]。但這些都很難推動 design target 的 loading，甚至是電壓根本 pump 不上去，或是需要非常大的電容和 MOS 以及更多的階數，造成更大的面積。

最終選定的電路架構(single stage)如下：



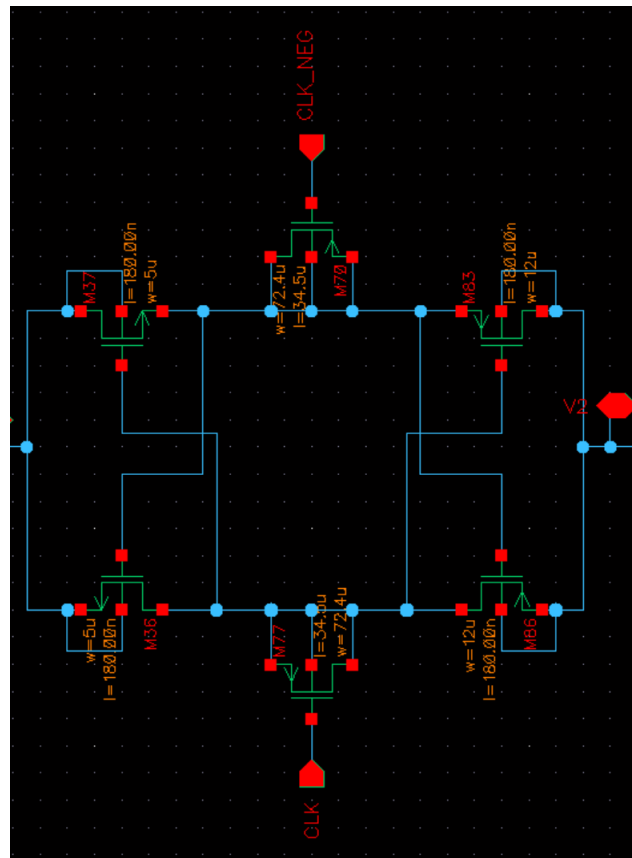
根據參考文獻中的解釋，一個 stage 可以給予的電壓差 $\Delta V$ 如下：

$$\Delta V = V_{dd} \cdot \frac{C}{C + C_{par1}} - R_{out} \cdot I_{out}$$

在忽略寄生電容與附載電流、電阻的情況下，理想上一階可以增加 $V_{dd}$ 的電壓，因此理想上只要五階即可達到 10.8V，但在計入這次附載電流和電容以及非理想效應的寄生電容後，所需的階數就會上升。在 pre-sim 階段，我先使用 6 階的 charge pump 嘗試 output 出目標的 10V，但發現所需電容非常大(32pF)，因此嘗試使用 7 階的結構試試看電容能不能變縮小，會想要縮小電容的原因是因為在 charge pump 電路中，電容是最佔面積的部分，而若要將此電路做在 embedded NVM，面積會是優先考慮的指標之一。在 7 階的結構中，所需的電容就可以大

幅降至 20.5pF，總面積可以大幅縮小。總結來說，最少可以使用 6 階，但使用七階反而能使面積變小，因此選用 7 階的階數(requirement F)。至於電容的選擇，若是使用 MIM，電容值較為穩定，不隨電壓有大幅波動，但電容密度太小，造成其面積過大，使用 cic018.1 中提供的 MIMCAPM model，單顆電容所需面積為  $20500\mu m^2$ ；若以 PMOS 為 MOSCAP (NMOS 所占面積會更大因為需要 deep N-well)，gate 面積為  $2497.8\mu m^2$ ，因此採用 MOSCAP 作為此次電容的選擇。下圖為此次 charge pump 的架構(requirement B)：

(a) Single stage

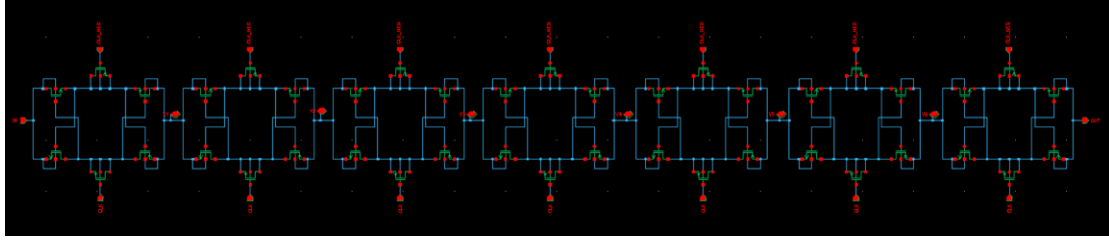


Sizing table	NMOS	PMOS	MOSCAP
Gate length ( $\mu m$ )	0.18	0.18	34.5
Gate width ( $\mu m$ )	5	12	72.4

Note 1: N/PMOS sizing 比例參考論文作微調。

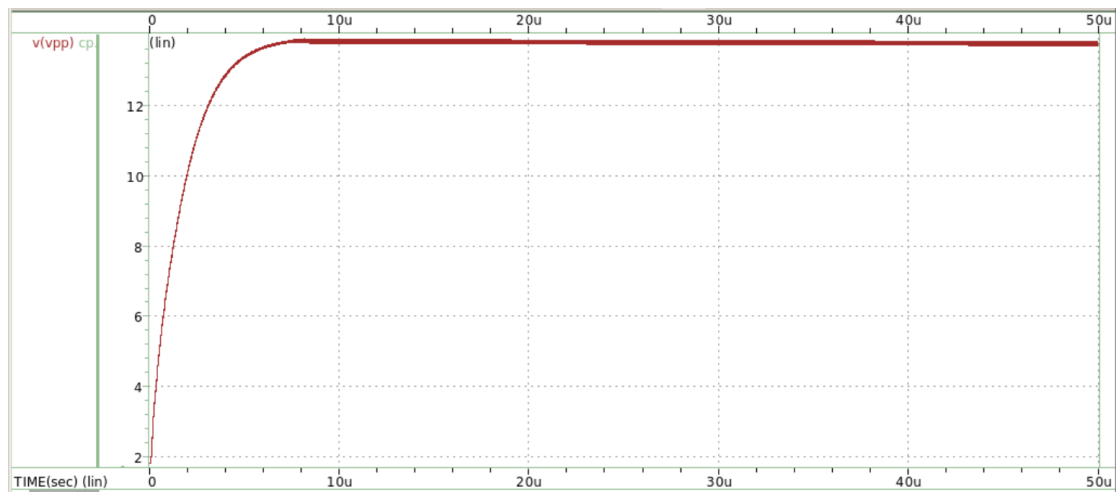
Note 2: MOSCAP 的是 PMOS，實際上後幾級的 MOSCAP 無法承受高壓，若要耐壓，需要多串聯幾顆更大電容值的 MOSCAP，或是改用耐壓元件。

(b) Full structure (7-stage)

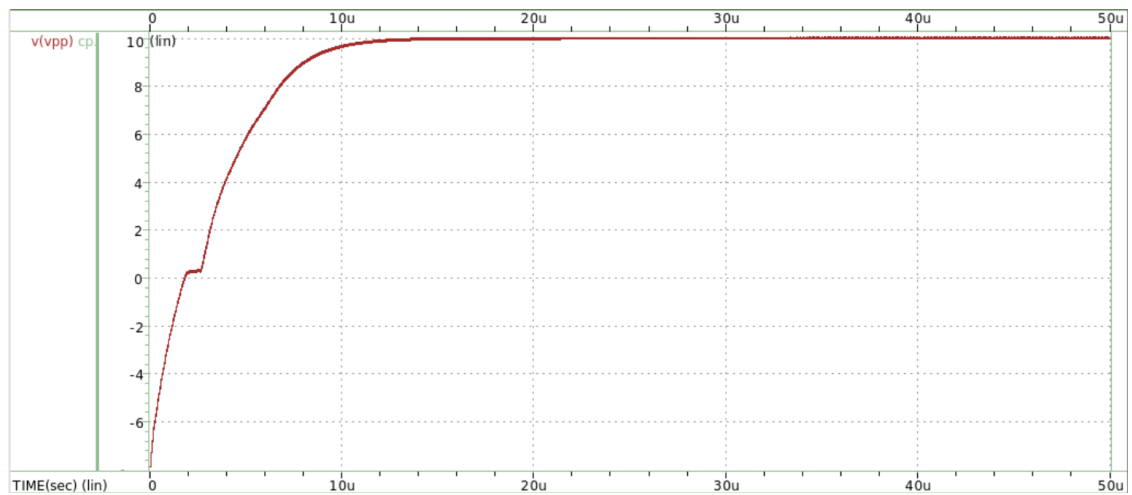


## B. Pre-sim results

(a)  $V_{out}$  ramp up waveform under pure capacitive load (**requirement C**)



(b)  $V_{out}$  ramp up waveform under current and capacitive load

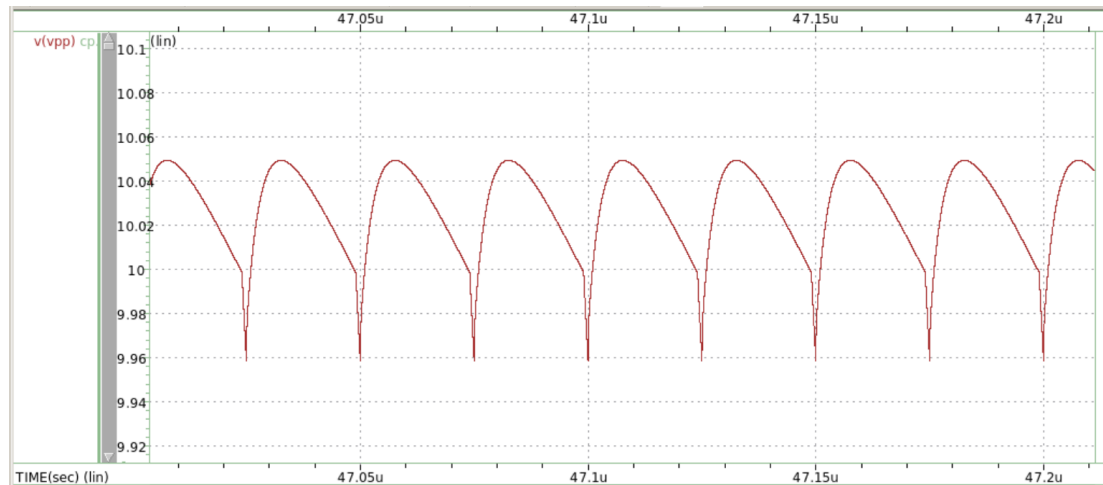


$V_{out}$  voltage level at the Steady State at  $I_L = 500\mu A$  (**requirement D**):

Calculate  $V_{out}$  by getting average of ripple voltage,  $V_{out} = 10.03 V$

(c) Ripple voltage at the charge pump output (**requirement H**)

At  $C_L = 100\text{pF}$ ,  $I_L = 500\mu\text{A}$



Ripple voltage = 91 mV

(d) Measurement results

以下為 sp 檔中 measurement 的 code

```
*** Measurement ***
.meas tran maxvpp max V(vpp) from=48u to=50u
.meas tran minvpp min V(vpp) from=48u to=50u
.meas tran avgvpp avg V(vpp) from=48u to=50u
.meas tran vripple param=('maxvpp-minvpp')
.meas tran t_steady when V(vpp) = 10
.meas tran t_steady_r PARAM 't_steady - 100n'

*** Input Power Measurements ***
** transient
.meas TRAN P_VIN AVG 'V(IN)*I(VIN)' FROM=0 TO='t_steady'
.meas TRAN P_CLK_A AVG 'V(clk_a)*I(Vclk_a)' FROM=0 TO='t_steady'
.meas TRAN P_CLK_B AVG 'V(clk_b)*I(Vclk_b)' FROM=0 TO='t_steady'
.meas TRAN P_IN_TOTAL PARAM 'P_VIN + P_CLK_A + P_CLK_B'
** steady
.meas TRAN P_VIN_s AVG 'V(IN)*I(VIN)' from=48u to=50u
.meas TRAN P_CLK_A_s AVG 'V(clk_a)*I(Vclk_a)' from=48u to=50u
.meas TRAN P_CLK_B_s AVG 'V(clk_b)*I(Vclk_b)' from=48u to=50u
.meas TRAN P_IN_s_TOTAL PARAM 'P_VIN_s + P_CLK_A_s + P_CLK_B_s'

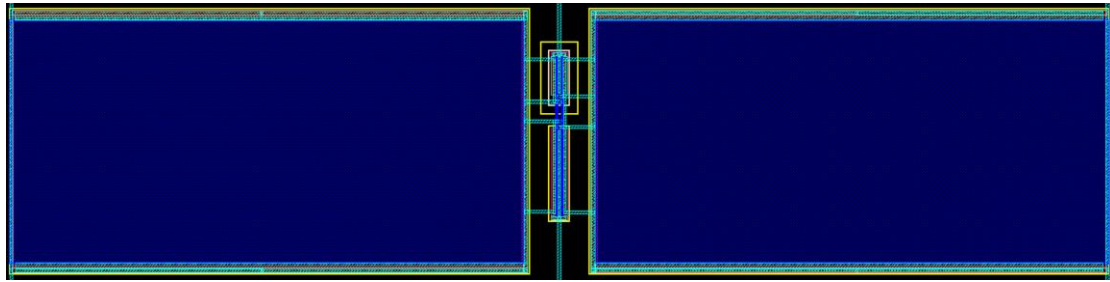
*** Output Power Measurement ***
** transient
.meas TRAN P_OUT AVG 'V(VPP)*I(IL)' FROM=0 TO='t_steady'
** steady
.meas TRAN P_OUT_s AVG 'V(VPP)*I(IL)' from=48u to=50u

*** Efficiency Calculation ***
** transient
.meas TRAN EFF PARAM '100 * P_OUT / P_IN_TOTAL'
** steady
.meas TRAN EFF_s PARAM '100 * P_OUT_s / P_IN_s_TOTAL'
```

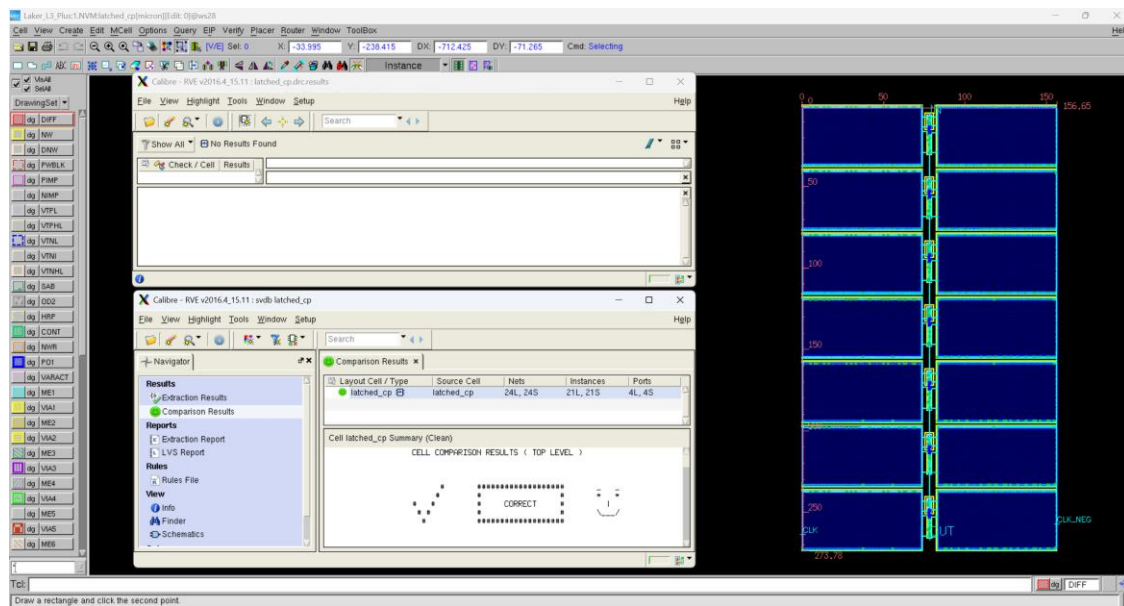
在 steady state 時取  $V_{out}(V_{pp})$  的最大最小值之差為 ripple voltage 的值。將第一次到達 10V 的時間做為 transient time。在 transient time 內，將 average input power 作為 power consumption 值，將 average input power 與 average output power 相除得到 efficiency 值。結果分別都在首頁的 summary table。

### C. Layout of the charge pump with DRC and LVS clean (**requirement E**)

#### (a) Single stage



#### (b) Full structure (include DRC and LVS)



Minimum area estimation based on this layout:  $42887.637 \mu\text{m}^2$

### D. Reference (**requirement J**)

[1] R. Pelliconi, D. Iezzi, A. Baroni, M. Pasotti, and P. L. Rolandi, "Power efficient charge pump in deep submicron standard CMOS technology," \*IEEE Journal of Solid-State Circuits\*, vol. 38, no. 6, pp. 1068–1071, Jun. 2003.

[2] S. Das and S. Kundu, "Efficient hybrid charge pump circuit for low-voltage energy harvesting applications," \*2024 IEEE 21st India Council International Conference (INDICON)\*, 2024, pp. 1–6.