**Design Project**

**Charge Pump Circuit for embedded NVM**

Performance Summary Table (**requirement A**)

|  |  |
| --- | --- |
| Type of CP | Latched style |
| # of Phases | 2 |
| # of Stages | 7 |
| Transient Time | 0.013 msec |
| Circuit Area | 42887.637 μm² |
| Pumping Capacitor Size | 20.8 pF (measured by hspice) |
| Ripple Voltage | 91.0 mV |
| Power Consumption | 9.7 mW / 7.6 mW (transient / steady) |
| Efficiency | 29.8 % / 65.8 % (transient / steady) |
| Capacitor Type | MOSCAP (PMOS) |
| Average Voltage at Steady | 10.03 V |

Name: 王品然

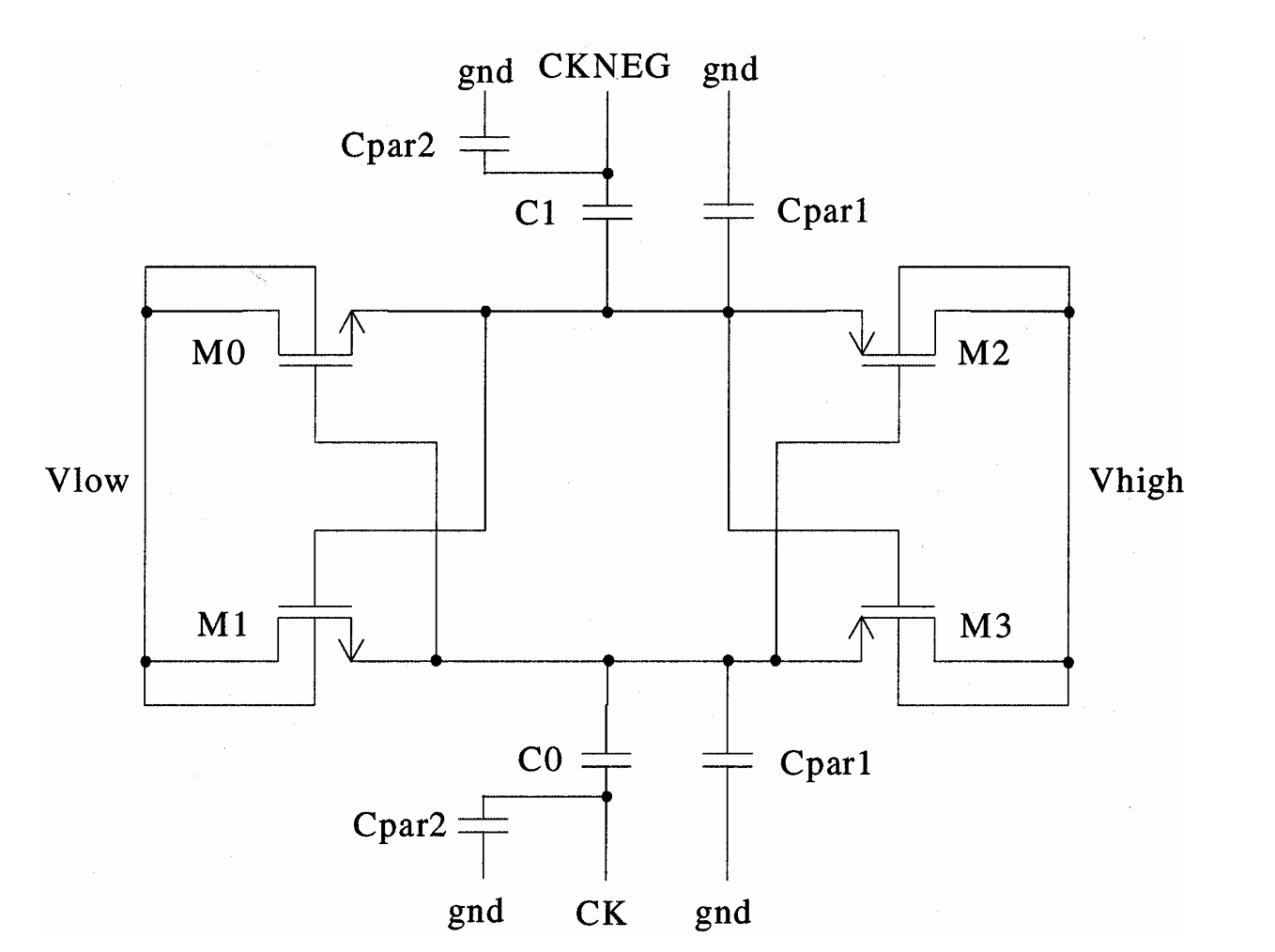
Student ID: 113063572

Note: 針對此次的requirements，在報告中使用粗體字註明。

1. Architecture of Charge Pump

這次使用的電路架構是在EEPROM and Ecobit Design (5/14)上課時，講師所介紹的2-Phase Clock Charge Pump，在閱讀其提供的論文[1]後，實作(pre-sim)後發覺此架構可提供更少的transient time，而需要較小的電容，更少的階數，且有更小的ripple，因此也更適合用在embedded NVM中。在嘗試此架構前，我有pre-sim過Dickenson、Bootstrap和一種hybrid charge pump [2]。但這些都很難推動design target的loading，甚至是電壓根本pump不上去，或是需要非常大的電容和MOS以及更多的階數，造成更大的面積。

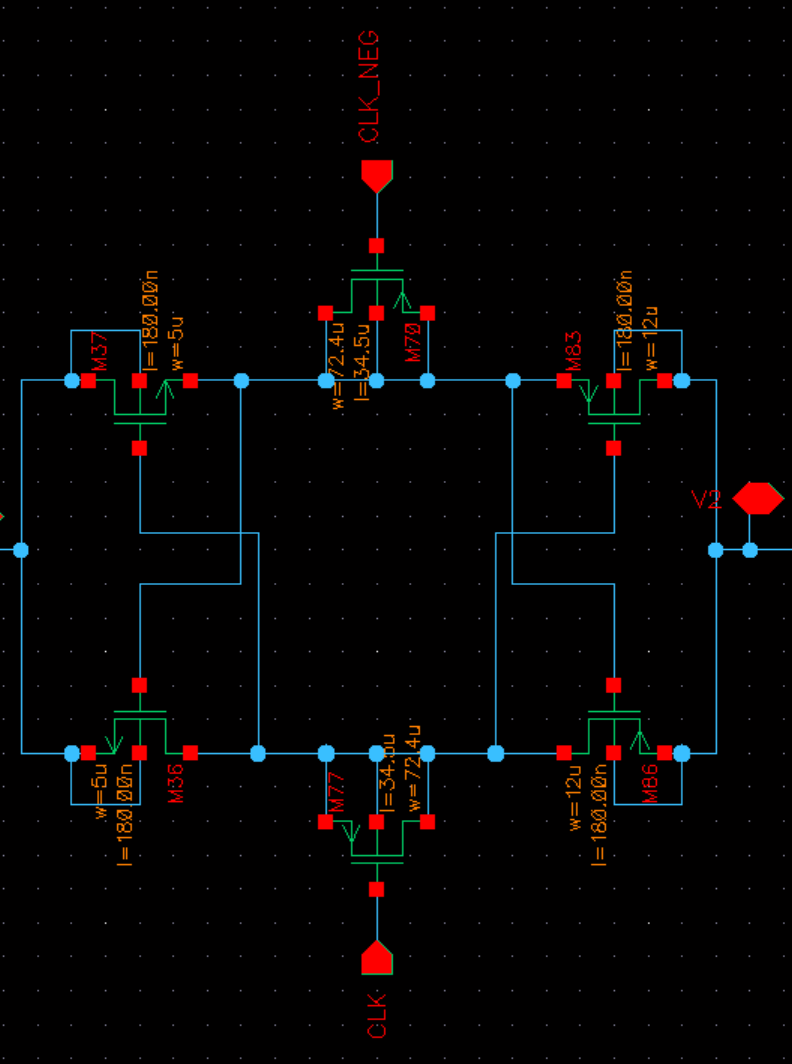
最終選定的電路架構(single stage)如下：



根據參考文獻中的解釋，一個stage可以給予的電壓差如下：

在忽略寄生電容與附載電流、電阻的情況下，理想上一階可以增加的電壓，因此理想上只要五階即可達到10.8V，但在計入這次附載電流和電容以及非理想效應的寄生電容後，所需的階數就會上升。在pre-sim階段，我先使用6階的charge pump嘗試output出目標的10V，但發現所需電容非常大(32pF)，因此嘗試使用7階的結構試試看電容能不能變縮小，會想要縮小電容的原因是因為在charge pump電路中，電容是最佔面積的部分，而若要將此電路做在embedded NVM，面積會是優先考慮的指標之一。在7階的結構中，所需的電容就可以大幅降至20.5pF，總面積可以大幅縮小。**總結來說，最少可以使用6階，但使用七階反而能使面積變小，因此選用7階的階數(requirement F)**。至於電容的選擇，若是使用MIM，電容值較為穩定，不隨電壓有大幅波動，但電容密度太小，造成其面積過大，使用cic018.l中提供的MIMCAPM model，單顆電容所需面積為20500；若以PMOS為MOSCAP (NMOS所占面積會更大因為需要deep N-well)，gate面積為2497.8，因此採用MOSCAP作為此次電容的選擇。下圖為此次charge pump的架構(**requirement B**)：

1. Single stage

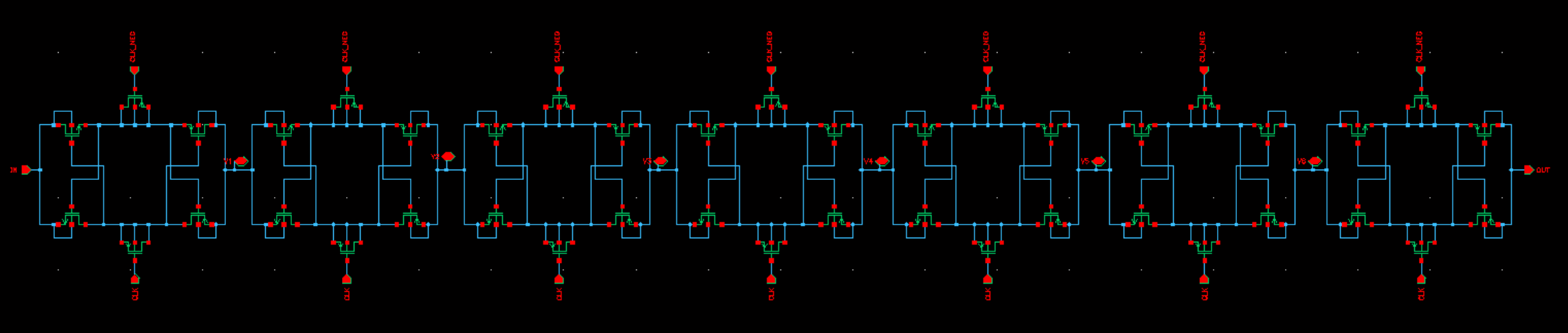


|  |  |  |  |
| --- | --- | --- | --- |
| Sizing table | NMOS | PMOS | MOSCAP |
| Gate length ( | 0.18 | 0.18 | 34.5 |
| Gate width ( | 5 | 12 | 72.4 |

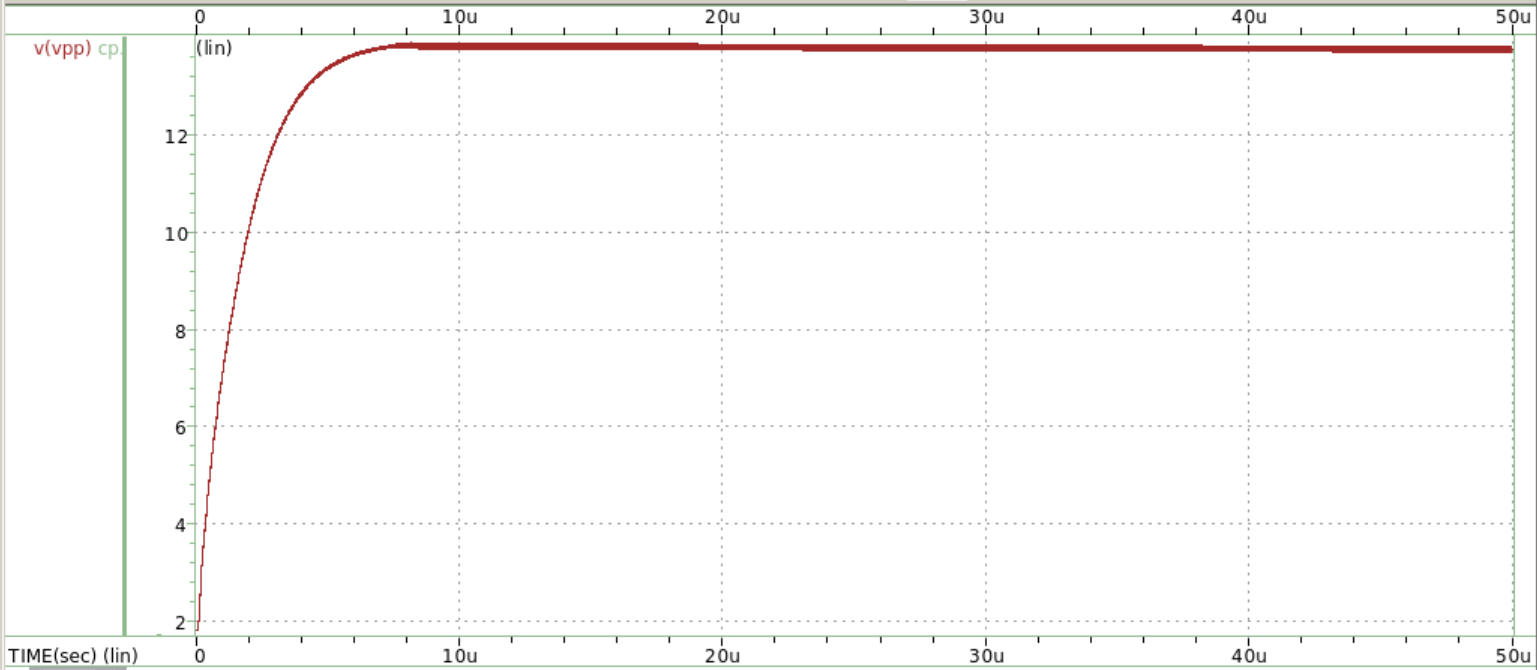
Note 1: N/PMOS sizing比例參考論文作微調。

Note 2: MOSCAP的是PMOS，實際上後幾級的MOSCAP無法承受高壓，若要耐壓，需要多串聯幾顆更大電容值的MOSCAP，或是改用耐壓元件。

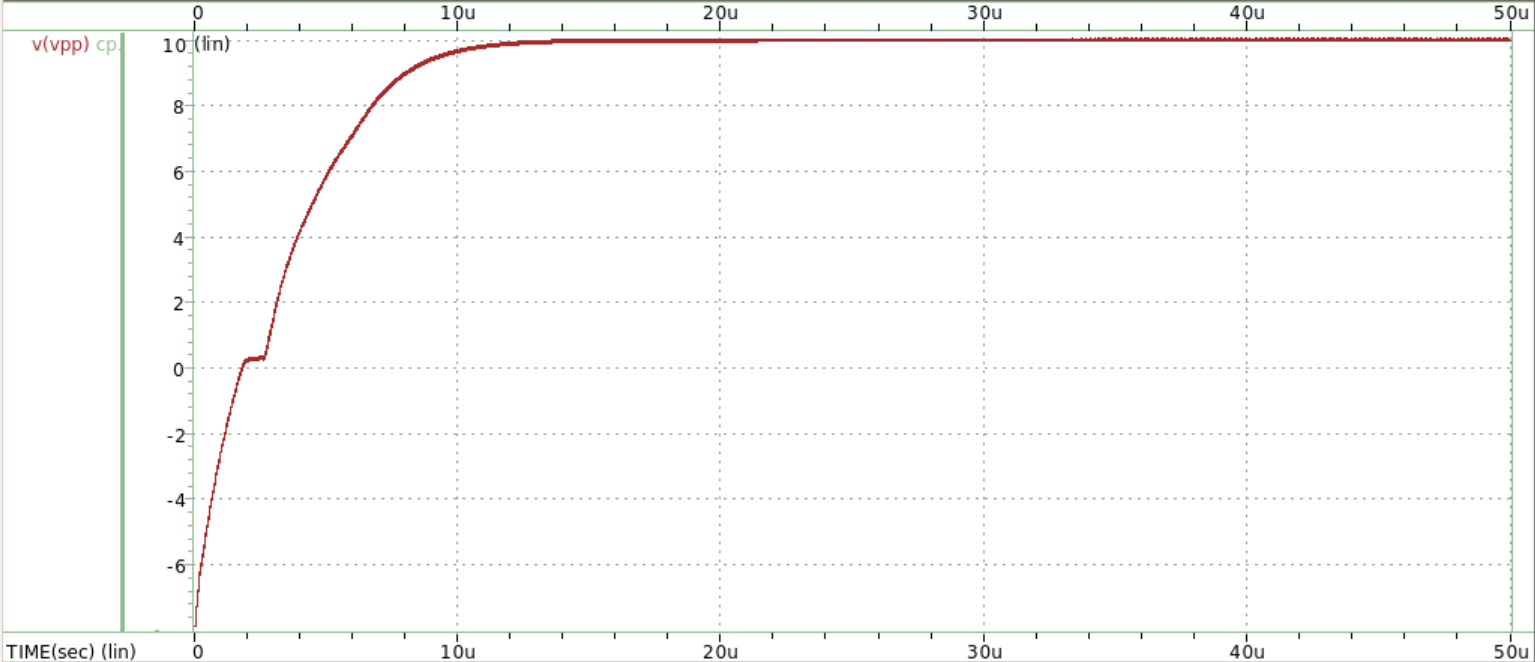
1. Full structure (7-stage)



1. Pre-sim results
2. ramp up waveform under pure capacitive load (**requirement C**)



1. ramp up waveform under current and capacitive load

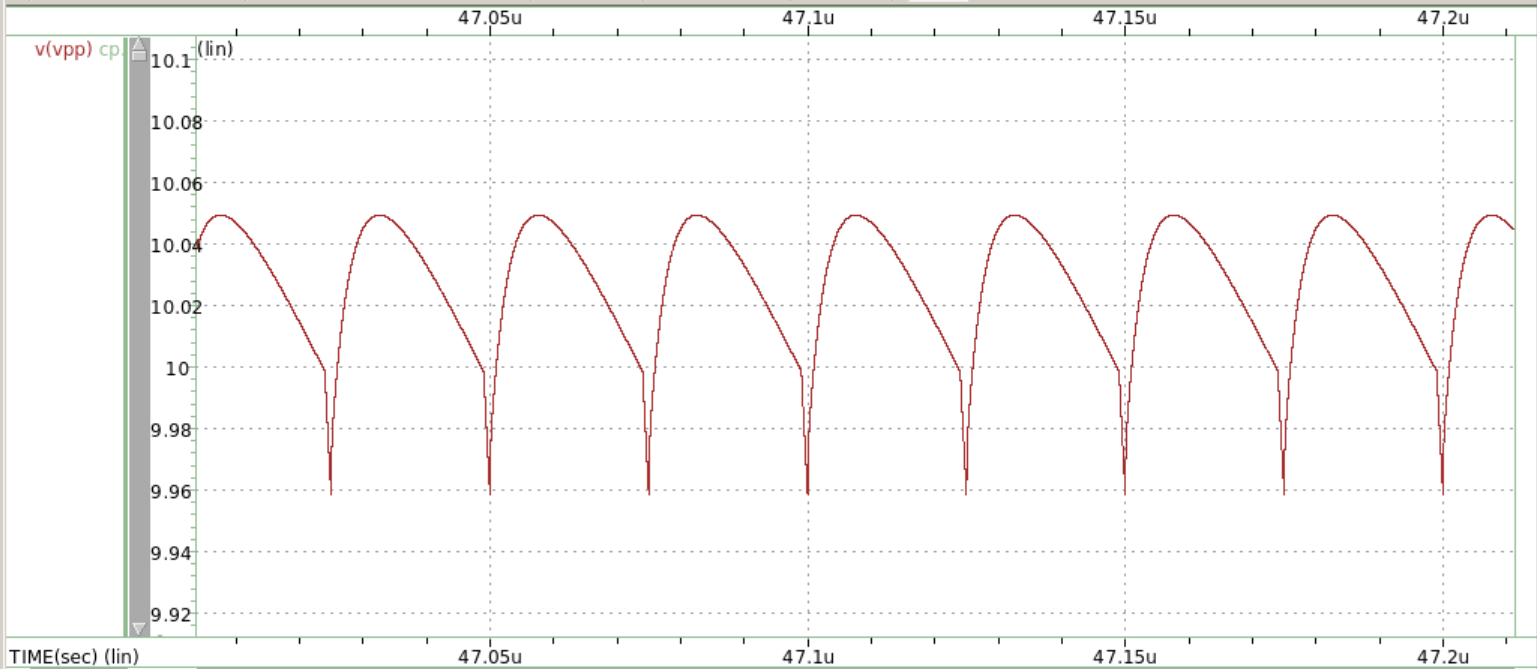


voltage level at the Steady State at (**requirement D**):

Calculate by getting average of ripple voltage,

1. Ripple voltage at the charge pump output (**requirement H**)

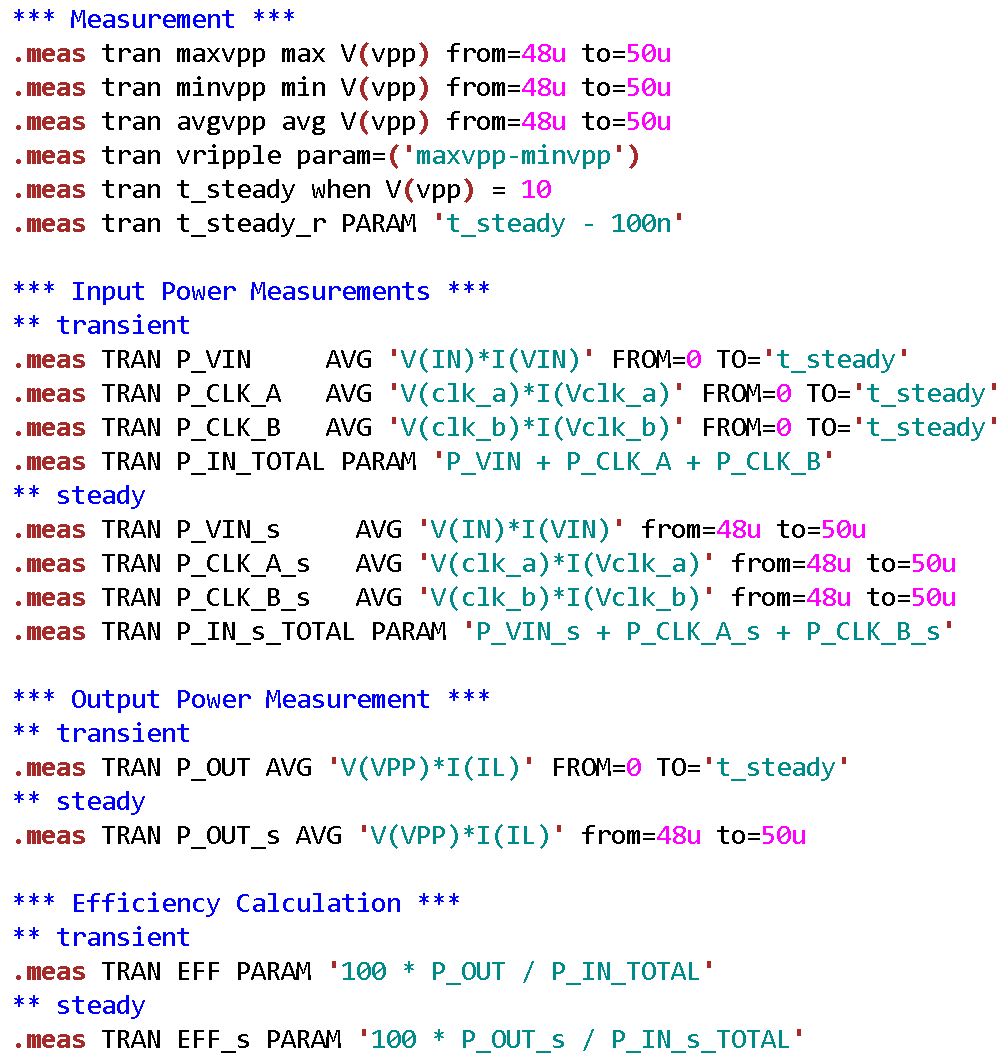
At ,



Ripple voltage = 91 mV

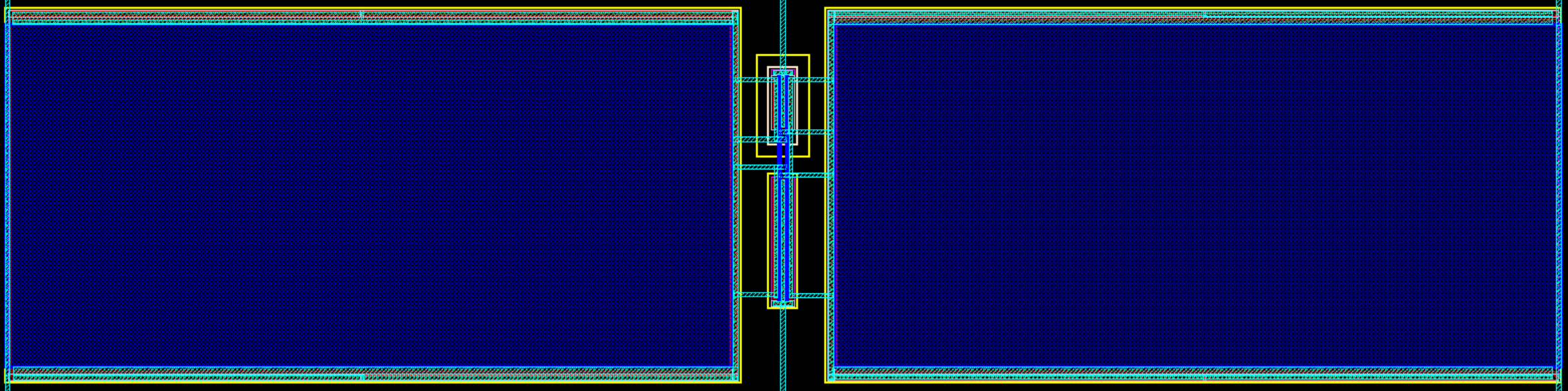
1. Measurement results

以下為sp檔中measurement的code

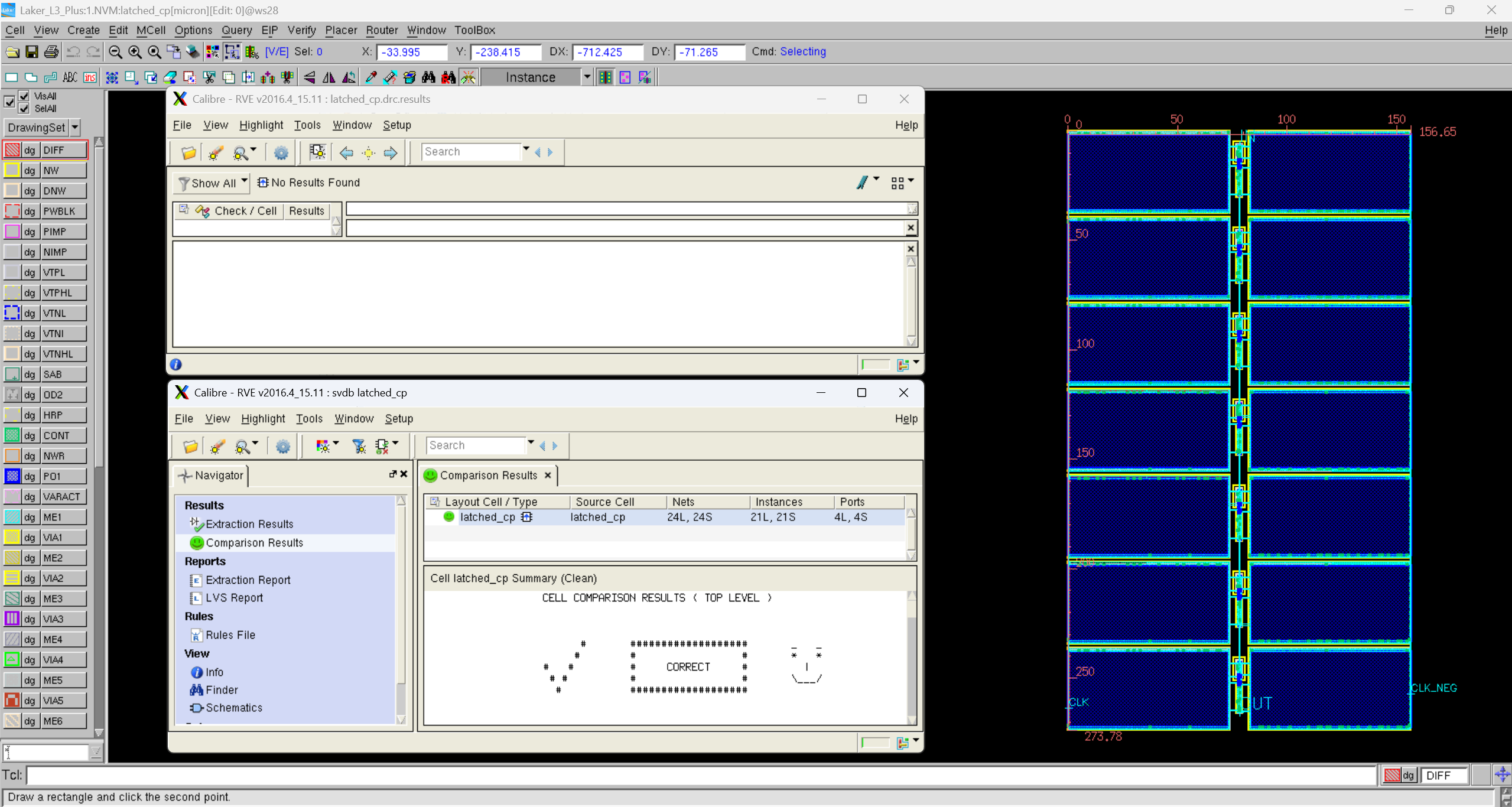


在steady state時取的最大最小值之差為ripple voltage的值。將第一次到達10V的時間做為transient time。在transient time內，將average input power 作為power consumption值，將average input power與average output power相除得到efficiency值。結果分別都在首頁的summary table。

1. Layout of the charge pump with DRC and LVS clean (**requirement E**)
2. Single stage



1. Full structure (include DRC and LVS)



Minimum area estimation based on this layout: 42887.637 μm²

1. Reference (**requirement J**)

[1] R. Pelliconi, D. Iezzi, A. Baroni, M. Pasotti, and P. L. Rolandi, "Power efficient charge pump in deep submicron standard CMOS technology," \*IEEE Journal of Solid-State Circuits\*, vol. 38, no. 6, pp. 1068–1071, Jun. 2003.

[2] S. Das and S. Kundu, "Efficient hybrid charge pump circuit for low-voltage energy harvesting applications," \*2024 IEEE 21st India Council International Conference (INDICON)\*, 2024, pp. 1–6.