

VLSI hw4

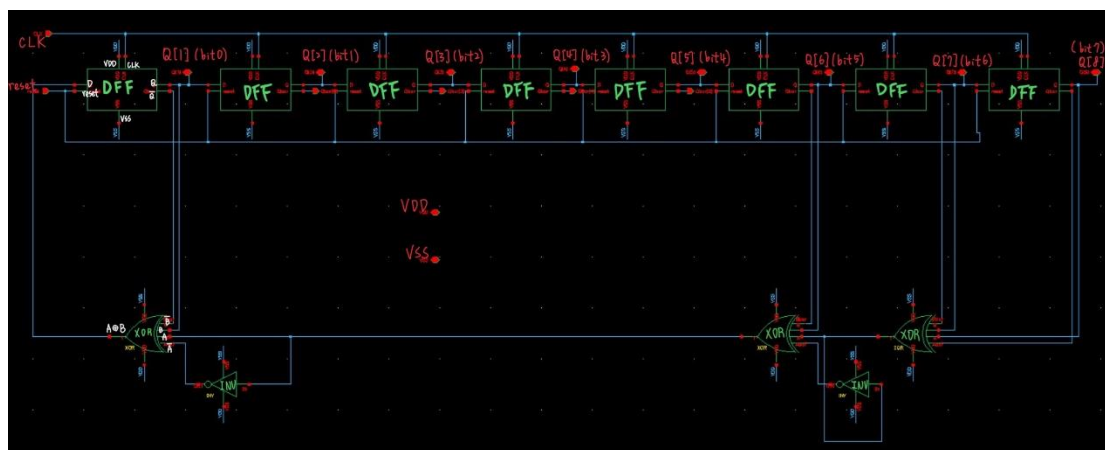
Name: 王品然

Student ID: 113063572

1. Out-tap LFSR (30%)

- (a) Please draw the block diagram of your out-tap LFSR and write down how you derived the architecture in detail. (5%)

我是依據 introduction 中所介紹的方式去設計一個 out-tap LFSR (Fibonacci LFSR)。根據 Table 10.7，可以知道 8-bit 的 characteristic polynomial 會是 $1 + x^1 + x^6 + x^7 + x^8$ ，代表要選擇第 1、6、7、8 個 register 作為 tap，將這些 register 當下的訊號拿出並依序做 XOR，也就是 $Q[8] \oplus Q[7] \oplus Q[6] \oplus Q[1]$ 再將運算完的訊號 feedback 到第一個 DFF 的輸入位置，等待下次的 sampling edge 來臨並將訊號向右傳遞做 shift 的動作，更新出下一筆的 8-bit 訊號，如此反覆，即可得到 255 筆不重複的 8-bit 訊號，也就是全部類型的 8-bit 訊號除了全為 0 的組合。下圖為 out-tap LFSR 的 block diagram (bit0~bit7 就是 $Q[1] \sim Q[8]$)：



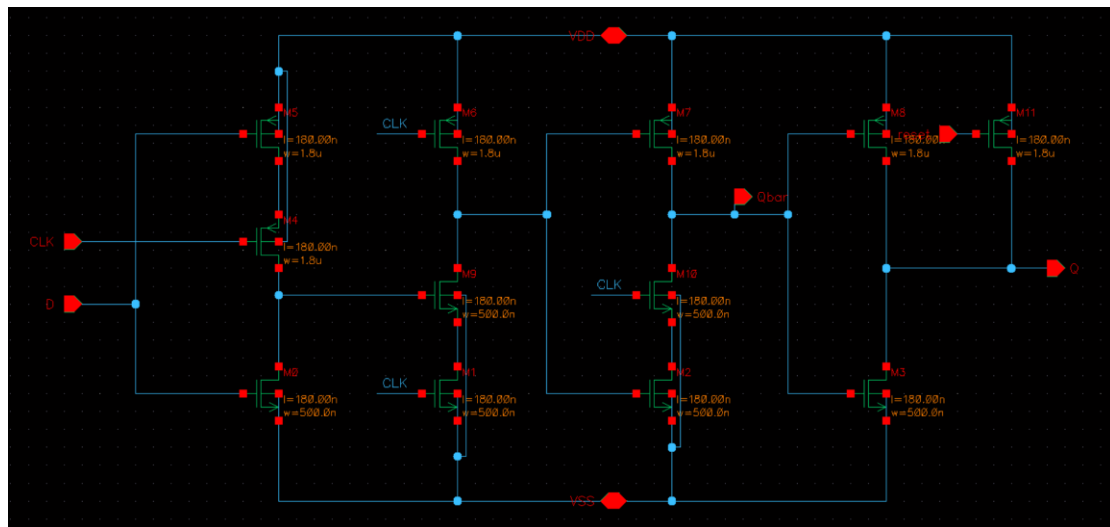
備註：圖中會有 inverter 是因為我的 XOR 的 block 之中沒有 inverter，是直接輸入兩個要 XOR 的訊號以及分別的反相(inverted)訊號，會這樣設計是因為 DFF 在輸出 Q 之前已經有生成過 \bar{Q} ，所以直接拉來用，如此可以減少 delay 以及 MOS 數量，但有些訊號沒有現成的反向訊號可以使用，所以還是需要加上額外的 inverter 生成反向訊號。

- (b) Please draw the architecture of your DFF and XOR, list all the transistors size. (5%)

這次的 DFF 設計我主要想要針對的是可以使得 t_{setup} 以及 t_{C-to-Q} 可以小一

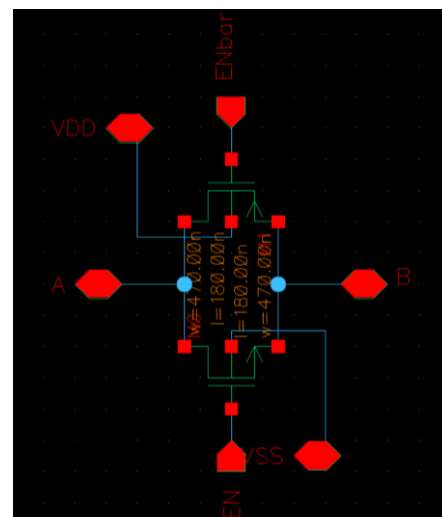
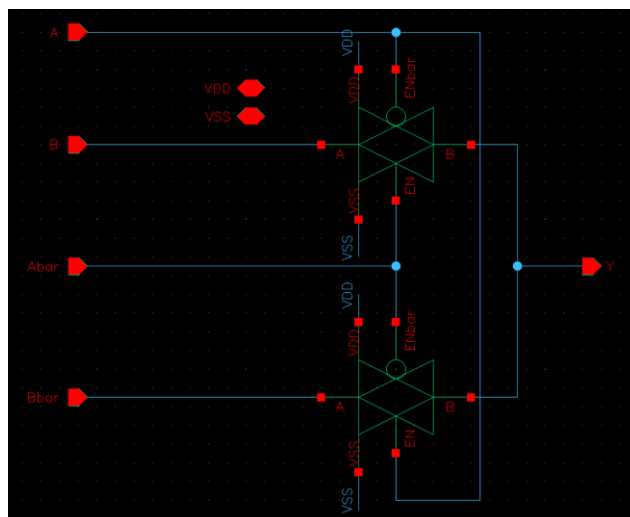
點，使得 clock 的最大頻率可以高一點，因此採用 dynamic logic 的方式去設計 DFF，也就是 True Single Phase Clock DFF。除此之外，按照題目要求還要設計一個 reset 訊號，使得 reset 訊號為 0 時，將 register 拉到 1，因此在 DFF 的 output 端加上一個負責 pull up 的 PMOS，並且由 reset 訊號控制 gate，使 reset 是 0 的時候，將輸出 VDD；reset 是 1 的時候，將輸出原本 DFF 的輸出。DFF 與 XOR 的結構如下圖：

DFF



XOR

XOR 中的 transmission gate



DFF 中 Transistor size 的選擇則是使用方便符合 layout 的 DRC rule 的閘極寬度最小值 $0.47\mu m$ 略大一點的 $0.5\mu m$ 作為 NMOS 的閘極寬度，閘極長度則使用最小值 $0.18\mu m$ ，以得到小的 delay，並讓 PMOS 尺寸為 NMOS 的 3 倍多，使

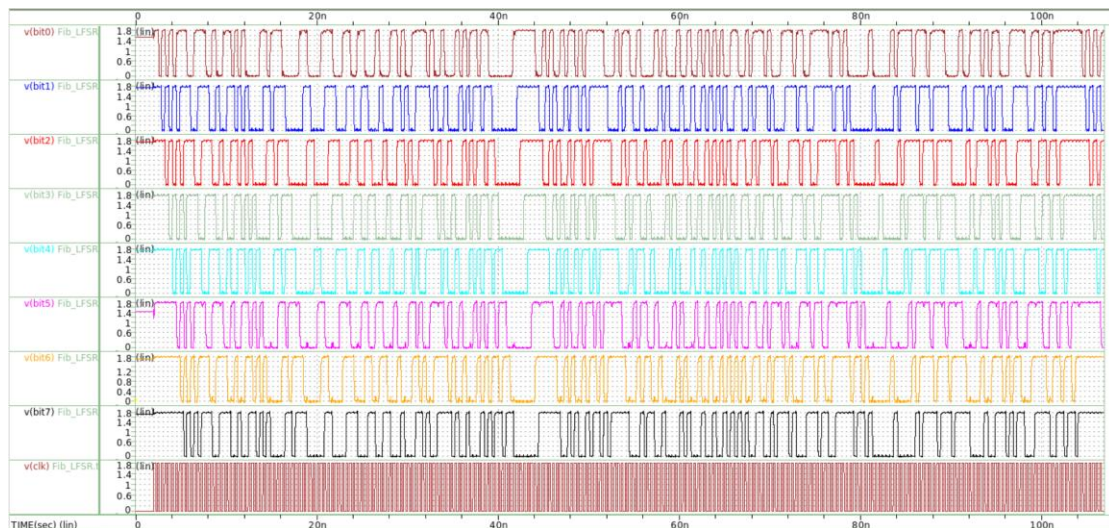
得 inverter 的 pull up/down 能力相當，為求 layout 時的便利性，讓所有在 DFF 中的 N/PMOS 都使用統一的尺寸，而 transmission gate 中的 MOS 則使用 $0.47\mu\text{m}$ 作為閘極寬度， $0.18\mu\text{m}$ 作為閘極長度；不在 DFF 內的 inverter 中的 NMOS 使用 $0.47\mu\text{m}$ 作為閘極寬度， $0.18\mu\text{m}$ 作為閘極長度；PMOS 使用 $0.8\mu\text{m}$ 作為閘極寬度， $0.18\mu\text{m}$ 作為閘極長度，最終尺寸(W/L)整理如下表：

| | NMOS | PMOS |
|-----------------------|-----------------------------------|-----------------------------------|
| DFF | $0.5\mu\text{m}/0.18\mu\text{m}$ | $1.8\mu\text{m}/0.18\mu\text{m}$ |
| Transmission Gate | $0.47\mu\text{m}/0.18\mu\text{m}$ | $0.47\mu\text{m}/0.18\mu\text{m}$ |
| Inverter (out of DFF) | $0.47\mu\text{m}/0.18\mu\text{m}$ | $0.8\mu\text{m}/0.18\mu\text{m}$ |

- (c) Please run the pre-sim at TT corner and find the maximum frequency of clock you can achieve. (5%)
 (Note: Please screenshot a short time waveform and show the histogram of the output code to prove the accuracy of the result.)

利用瞬態分析(.tran)時 sweep 過不同的頻率，再將不同頻率的 waveform 輸出到 MATLAB 驗證是否仍然符合預期結果，最終得到的最大頻率為 2.5GHz。

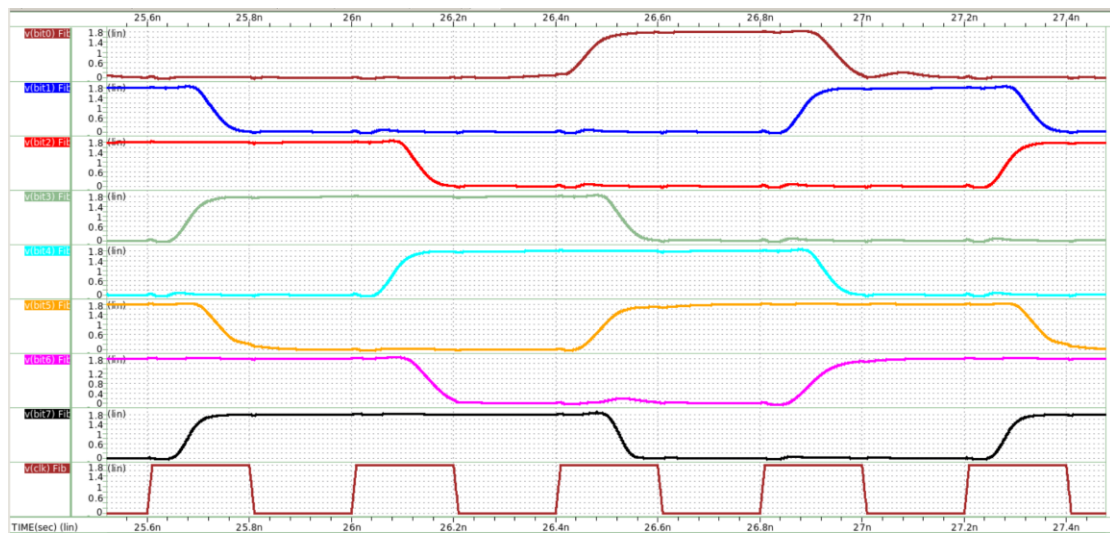
Whole waveform at clock freq.= 2.5GHz (bit0~bit7 就是 Q[1]~Q[8])



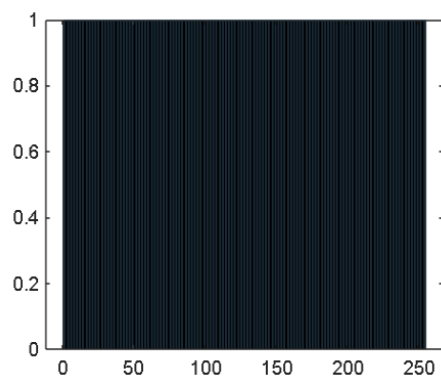
Short time waveform at clock freq.= 2.5GHz (bit0~bit7 就是 Q[1]~Q[8])



Very short time waveform at clock freq.= 2.5GHz (bit0~bit7 就是 Q[1]~Q[8])



Histogram given by MATLAB at clock freq.= 2.5GHz



(d) Please write down the reasons that limit the clock frequency in detail. (5%)

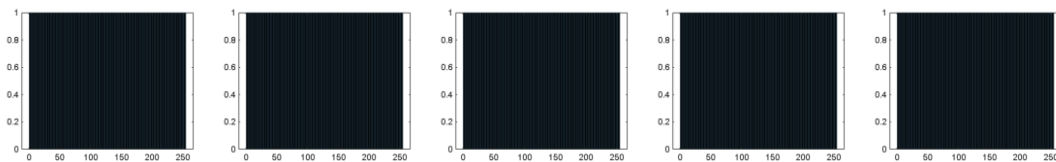
當 clock 頻率不斷的往上調，週期 T_{CLK} 會隨之縮短，若 T_{CLK} 小於 $t_{pcq} + t_{pd} +$

t_{setup} ，則會使最大 delay 的 combinational logic 的下一個 DFF 發生 setup time violation，因此頻率會有一個上限在。根據此關係式，可知 DFF 中的 clock-to-Q time 與 setup time 以及 DFF 之間的 delay 最長的 combinational logic (在此設計中就是三個 XOR 和兩個 inverter 的串聯)，是這三個因素在決定 clock 的頻率上限。

- (e) Please run the pre-sim at FF, SS, FS and SF corner and find the maximum frequency of each corner. (5%)

(Note: Please show the histogram of the output code to prove the accuracy of the result.)

| Corner | TT | FF | SS | FS | SF |
|-----------|--------|------|--------|--------|--------|
| Max Freq. | 2.5GHz | 3GHz | 0.8GHz | 1.6GHz | 1.2GHz |



- (f) Please compare the results of (e) and provide a detailed analysis of your observations. (5%)

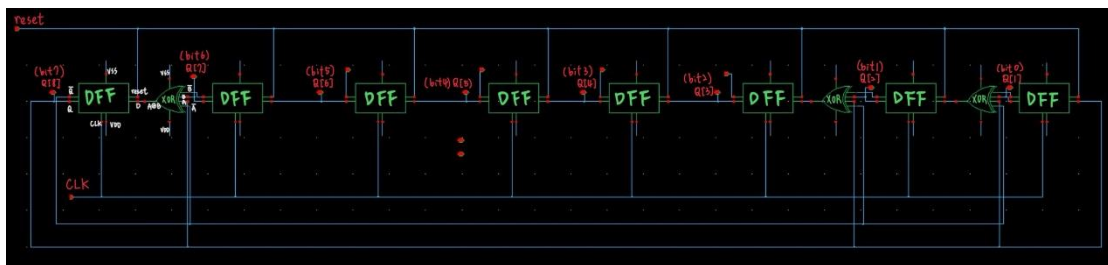
不同 corner 所得出的最大頻率依序會是 $FF > TT > FS > SF > SS$ ，如(d)所述，最大頻率取決於 $t_{pcq} + t_{pd} + t_{setup}$ 的大小，而這三者也都取決於每個 MOS 的 delay 大小，因此若 delay 越大，則會限制最大頻率越小。直接查看製程檔 cic018.1 的話可以發現，SS 時，因為 PMOS 和 NMOS 的 carriers mobility 都下降、gate oxide 厚度都變厚、等效閘極長度 L_{eff} 都變長、threshold voltage 的絕對值都變大，導致 transistor 的 delay 變大，所以 max freq. 最小；反之，FF 時，因為 PMOS 和 NMOS 的 carriers mobility 都上升、gate oxide 厚度都變薄、等效閘極長度 L_{eff} 都變短、threshold voltage 的絕對值都變小，導致 transistor 的 delay 變小，所以 max freq. 可以最大。至於 TT、FS、SF 的 max freq. 則介於兩者之間。SF 時，PMOS 是 F corner，NMOS 是 S corner；FS 時，NMOS 是 F corner，PMOS 是 S corner，而在 DFF 的第二級電路(可以參考(b)的 DFF 結構圖)是一個 footed 的 dynamic inverter，PMOS 負責在 precharge 階段將這一級電路的輸出節點拉升到 VDD，NMOS 負責在 evaluation 階段決定輸出節點是否會被拉到 0，可知這一級電路的 delay 是在 evaluation 階段，也就是說 delay 主要是被 NMOS 所影響，而 NMOS 是 S corner 時的 delay 較大；是 F corner 時的 delay 較小(原因如同上面 SS、FF corner 的解釋)，這導致 SF 的 delay 會比 FS 的 delay 大，所以 FS 的 max freq. 會大於 SF 的。而又 TT 的 max freq. 會大於 FS、SF，是因為此電路架構中實現邏輯的方式大部分是藉由 pull up/down network 共

同完成的，而 t_{pcq} 、 t_{pd} 是考慮 worst case 的 delay，也就代表說 PMOS 和 NMOS 的 delay 不管是哪個變大、哪個變小，delay 變大的那一方都會造成 worst case 的 delay 變大，因此 TT 的 max freq. 會大於 FS、SF。綜上所述，推論各 corner 的 max freq. 大小確實會如同模擬結果的 $FF > TT > FS > SF > SS$ 。

2. In-tap LFSR (40%)

(a) Please draw the block diagram of your in-tap LFSR and write down how you derived the architecture in detail. (5%)

我是觀察 introduction 中所舉例的 3-bit out-tap 與 in-tap LFSR 間的關係，去設計一個 in-tap LFSR (Galois LFSR)。我觀察出來的關係有兩個，第一個是根據 out-tap 的 block diagram，拿掉電路中 feedback 的部分(也就是拿掉三個 XOR)後將電路沿 Y 軸鏡射，但 tap 的位置保持不動，只是從拉出去跟別的訊號 XOR 變成將 Q[8] 訊號拉進來 XOR 完之後傳給下一級的 DFF 作為更新下一個 register 的輸入訊號。第二個是用 out-tap 時所使用的 characteristic polynomial 每一項的次方加上負號後，再乘上 x^n (n 是 bit 數量)，所得出來的 polynomial 的 x 的冪次即為 in-tap 時的 tap 位置，具體操作會是將 $1 + x^1 + x^6 + x^7 + x^8$ 變成 $1 + x^{-1} + x^{-6} + x^{-7} + x^{-8}$ ，再乘上 x^8 ，得到 $1 + x^1 + x^2 + x^7 + x^8$ ，代表要選擇第 1、2、7、8 個 register 作為 tap，將 Q[1]、Q[2]、Q[7] 當下的訊號與 Q[8] 分別做 XOR，也就是 $Q[8] \oplus Q[1]$ 、 $Q[8] \oplus Q[2]$ 、 $Q[8] \oplus Q[7]$ ，再將運算完的訊號分別傳到各自下一級 DFF 的輸入位置，等待下次的 sampling edge 來臨並將訊號傳遞做 shift 的動作，更新出下一筆的 8-bit 訊號，如此反覆，即可得到 255 筆不重複的 8-bit 訊號，也就是全部類型的 8-bit 訊號除了全為 0 的組合。以上所觀察出的兩種方法都可以完成一樣的 8 bits in-tap 的電路。下圖為 in-tap LFSR 的 block diagram (bit0~bit7 就是 Q[1]~Q[8])：

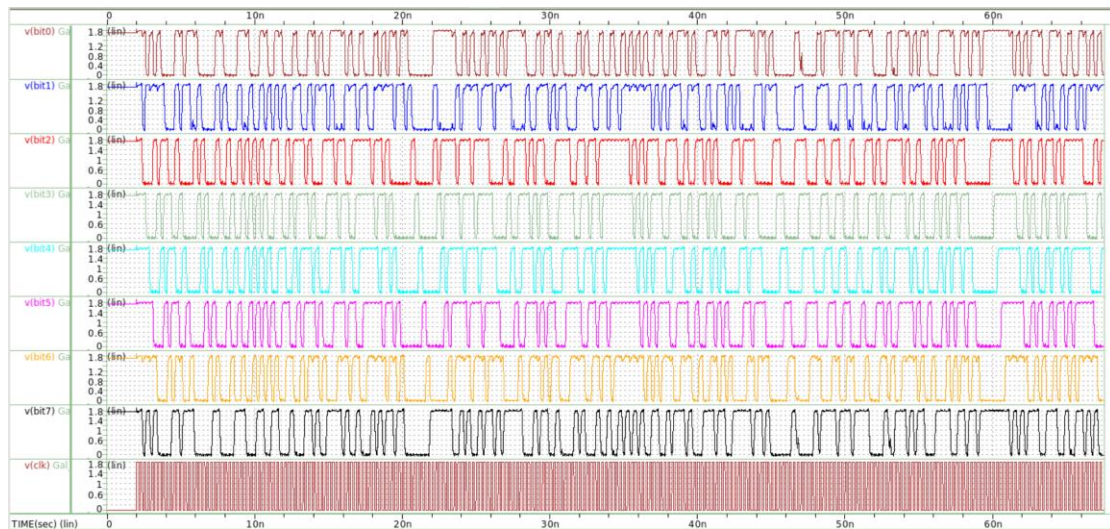


(b) Please use the same size as the out-tap LFSR to run the pre-sim at TT corner and find the maximum frequency of clock you can achieve. (5%)

(Note: Please screenshot a short time waveform and show the histogram of the output code to prove the accuracy of the result.)

利用瞬態分析(.tran)時 sweep 過不同的頻率，再將不同頻率的 waveform 輸出到 MATLAB 驗證是否仍然符合預期結果，最終得到的最大頻率為 4GHz。

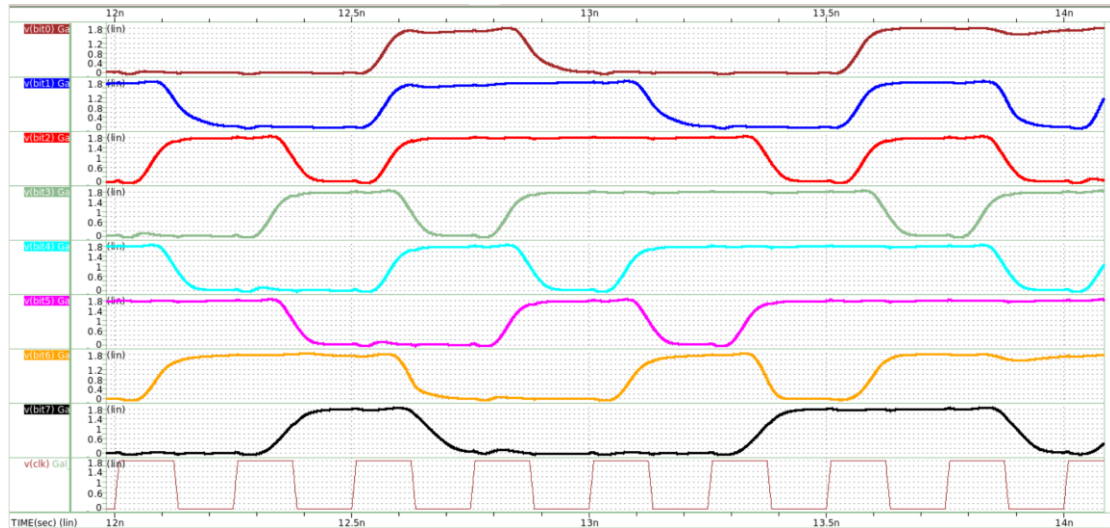
Whole waveform at clock freq.= 4GHz (bit0~bit7 就是 Q[1]~Q[8])



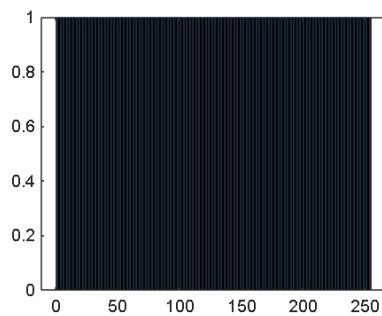
Short time waveform at clock freq.= 4GHz (bit0~bit7 就是 Q[1]~Q[8])



Very short time waveform at clock freq.= 4GHz (bit0~bit7 就是 Q[1]~Q[8])



Histogram given by MATLAB at clock freq.= 4GHz



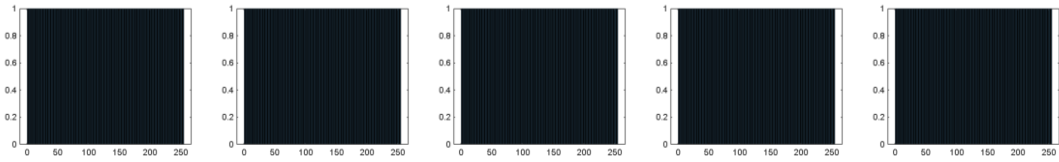
(c) Please compare the result with the 1(c) and provide a detailed analysis of your observations. (5%)

In-tap LFSR 的最大頻率(4GHz)明顯比 out-tap LFSR 的最大頻率(2.5GHz)大出不少，其原因如同 1.(d)所述，若 $t_{pcq} + t_{pd} + t_{setup}$ 可以越小，則 clock 頻率就能越高，而 in-tap 和 out-tap 最大的差異就在於 t_{pd} 的不同，in-tap 時的 t_{pd} 會是 1 個 XOR 的 delay，而 out-tap 時則會是三個 XOR 加上兩個 inverter 的 delay(會有 inverter 是因為我的 XOR 中沒有 inverter，可以參考 1.(a)(b)中的結構)，因為兩種 LFSR 的 combinational logic 的 propagation delay 的巨大差異，造成了兩者所能達到的 clock 最大頻率也相差巨大。

(d) Please run the pre-sim at FF, SS, FS and SF corner and find the maximum frequency of each corner. (5%)

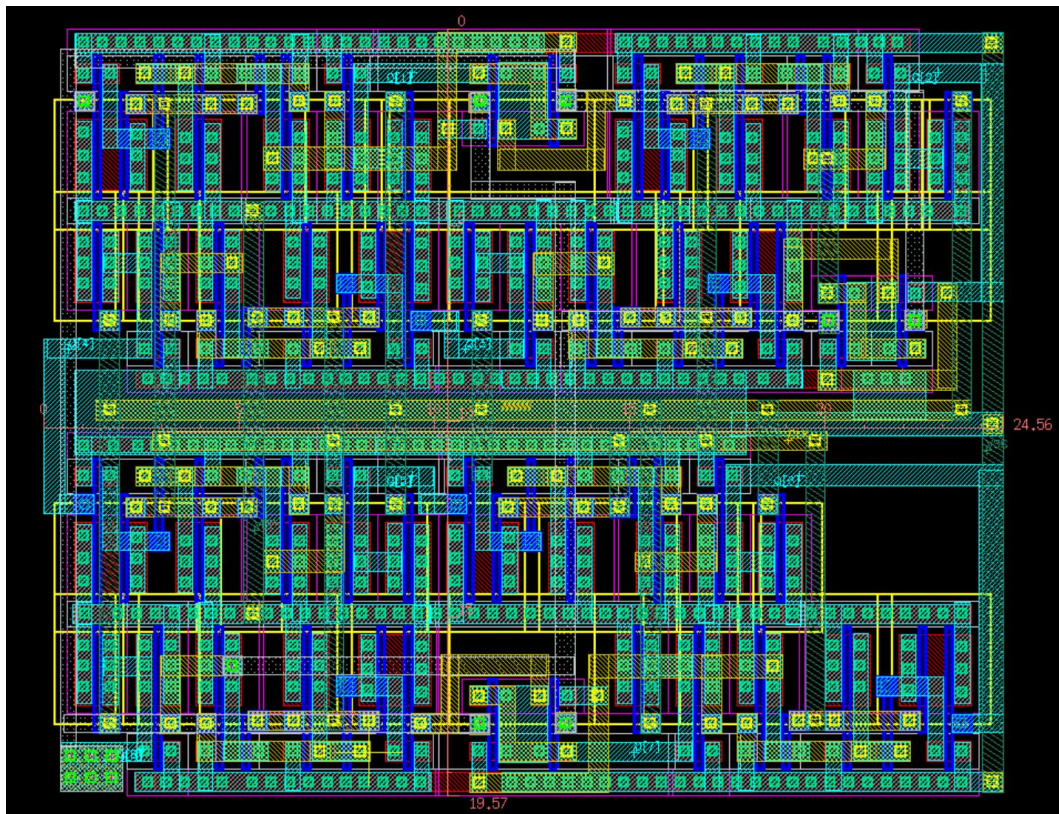
(Note: Please show the histogram of the output code to prove the accuracy of the result.)

| Corner | TT | FF | SS | FS | SF |
|-----------|------|--------|--------|------|--------|
| Max Freq. | 4GHz | 4.6GHz | 1.4GHz | 3GHz | 2.2GHz |



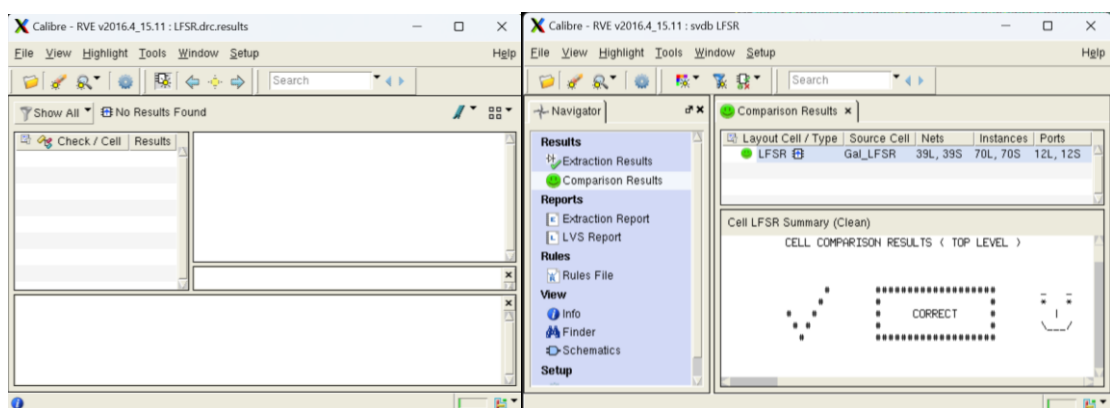
(e) Please finish your layout of the in-tap LFSR

(e-1) Provide your layout screenshot with the width and length marked. Compute the area and aspect ratio of your layout. (5%)



| Area | Aspect ratio |
|--------------------------|--------------|
| 480.6392 μm^2 | 1.25 |

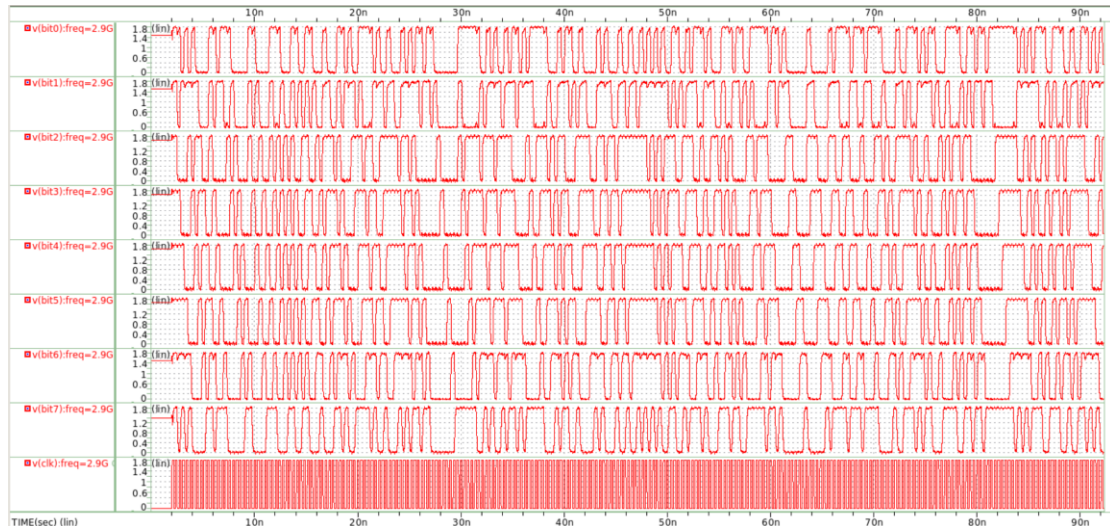
(e-2) Show your DRC and LVS result (5%)



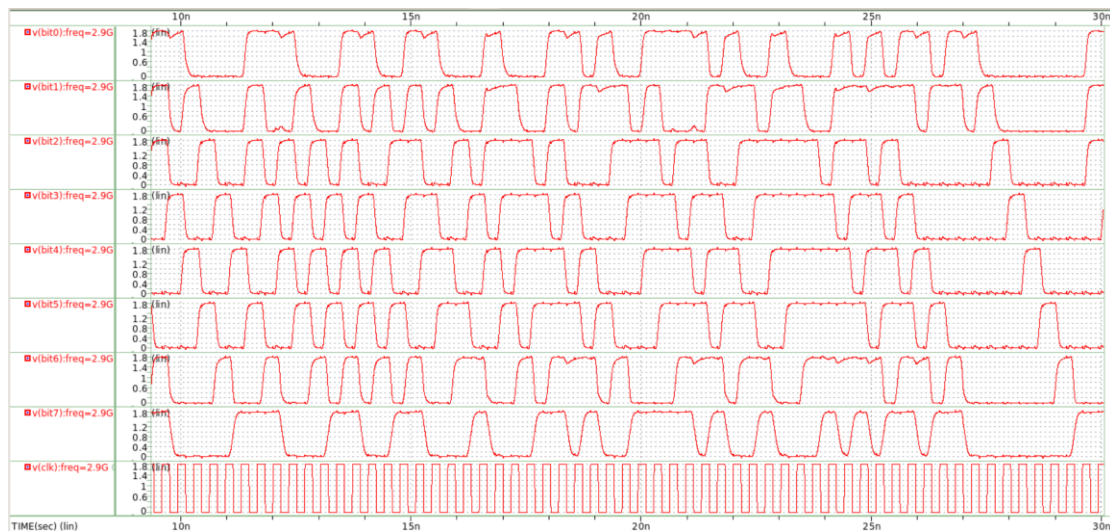
- (f) Please run the post-sim at TT corner and find the maximum frequency of clock you can achieve. (5%)
(Note: Please screenshot a short time waveform and show the histogram of the output code to prove the accuracy of the result.)

利用瞬態分析(.tran)時 sweep 過不同的頻率，再將不同頻率的 waveform 輸出到 MATLAB 驗證是否仍然符合預期結果，最終得到的最大頻率為 2.9GHz。

Whole waveform at clock freq.= 2.9GHz (bit0~bit7 就是 Q[1]~Q[8])



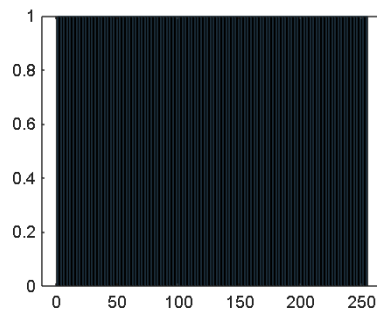
Short time waveform at clock freq.= 2.9GHz (bit0~bit7 就是 Q[1]~Q[8])



Very short time waveform at clock freq.= 2.9GHz (bit0~bit7 就是 Q[1]~Q[8])



Histogram given by MATLAB at clock freq.= 2.9GHz



(g) Please fill the SPEC table and try your hard to meet the target (5%)

| SPEC table | | |
|------------------------------------|---------------------------------|--------------------------|
| Design item | SPEC | Your design |
| Power Supply | 1.8V | 1.8V |
| Max. freq. at TT corner (Pre-sim) | $\geq 2.9\text{GHz}$ | 4GHz |
| Max. freq. at TT corner (Post-sim) | As small as possible | 2.9GHz |
| Layout Area | As small as possible | 480.6392 μm^2 |
| Layout aspect ratio | long side / short side ≤ 3 | 1.25 |