

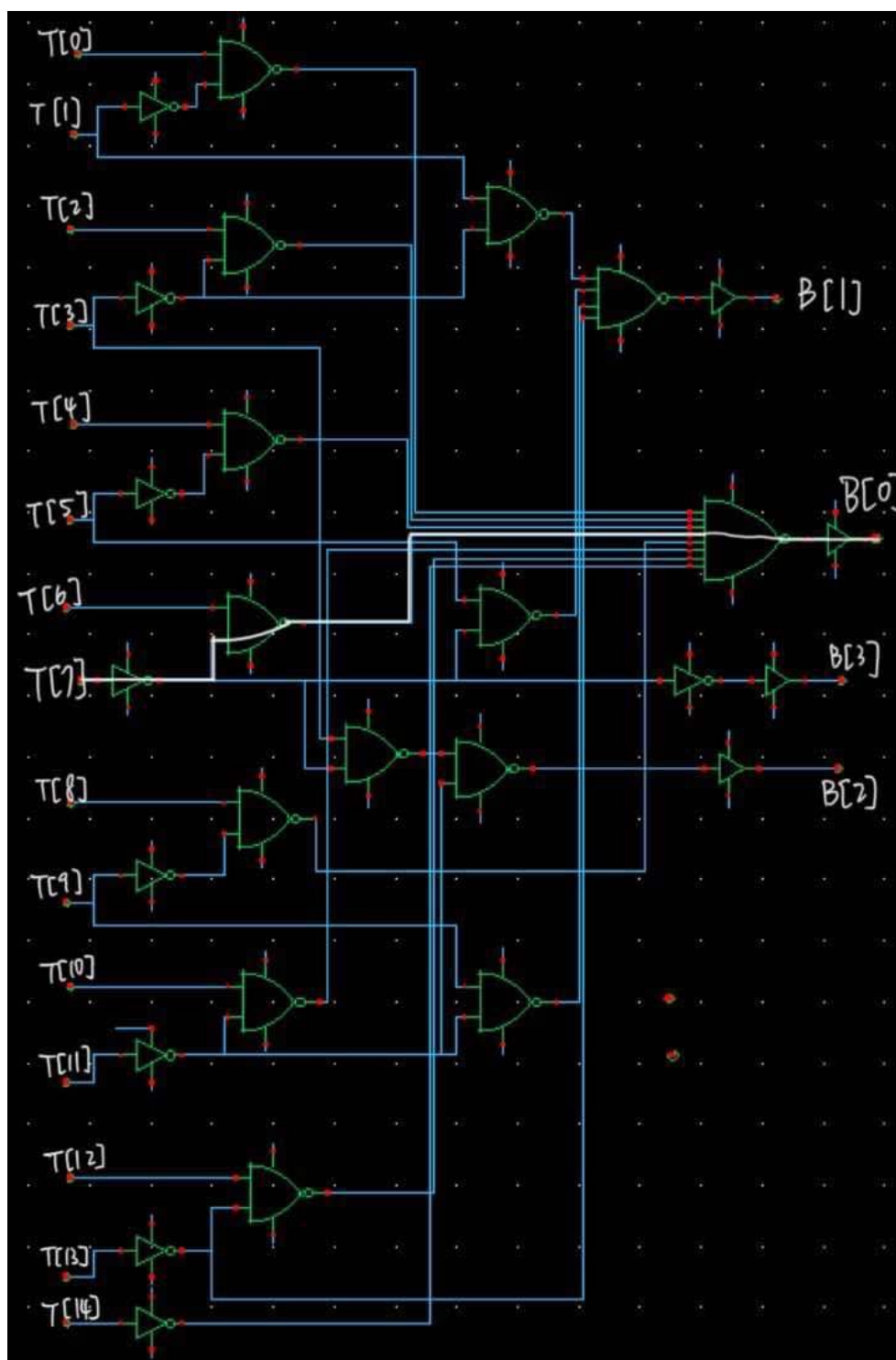
## Midterm Project Report

Name: 王品然

Student ID: 113063572

### 1. Block diagram

- a) Please draw the block diagram of your 15-to-4 Thermometer to Binary Converter and mark the critical path. (5%)



白線代表此電路的 critical path

- b) Please provide the transistor size of each gate and the gate size of each stage. Describe how the gate size is decided to minimize delay. (10%)

為了要估算出 delay，使用上課所教估算 path delay 的方法，大致概念如下：

1. 確定邏輯電路，並找出 critical path 並針對此路徑做以下步驟。
2. 計算  $F = GBH$ 
  - (1)  $G$ ：路徑上所有(n 個)邏輯閘的  $g$  相乘，並假設最終會是  $N$  級電路為最短 delay，則再乘上需要多出的 inverter 數量的  $g$ ，以式子表達如下：
$$G = g_1 g_2 \dots g_n \cdot (g_{inv})^{N-n}$$
  - (2)  $B$ ：路徑上所有  $b$  相乘。
  - (3)  $H$ ：路徑的附載電容  $C_L$  除以輸入電容  $C_{in-path}$ 。
3. 計算  $D = D_F + P$ 
  - (1)  $D_F$ ： $N$  倍的  $f_i$ ， $f_i = \sqrt[N]{F}$ 。
  - (2)  $P$ ：路徑上所有(n 個)邏輯閘的  $p$  相加，並假設最終會是  $N$  級電路為最短 delay，則再加上需要多出的 inverter 數量的  $p$ ，以式子表達如下：
$$P = p_1 + p_2 + \dots + p_n + (N - n)p_{inv}$$
4. 計算  $D(N)$  的最小值出現在  $N$  為多少時。
5. 由上一步得出的  $N$  求得  $f_i = \sqrt[N]{F}$ ，進而由  $f_i = g_i h_i$  求得  $h_i$ 。
6. 由  $h_i = \frac{C_{load(i)}}{C_{in(i)}} = \frac{C_{in(i+1)}}{C_{in(i)}}$ ，得到各級邏輯閘輸入電容比例，再推出各級尺寸。

基於上述步驟，先建立電路架構，而從 truth table 的結果我們推出：

$$B[0] = T[0]\overline{T[1]} + T[2]\overline{T[3]} + \dots + T[12]\overline{T[13]} + T[14]$$

$$B[1] = T[1]\overline{T[3]} + T[5]\overline{T[7]} + T[9]\overline{T[11]} + T[13]$$

$$B[2] = T[3]\overline{T[7]} + T[11]$$

$$B[3] = T[7]$$

由 De Morgan law 或是在 block diagram 上推 bubble 的方式，可以改變如下：

$$B[0] = \overline{\overline{B[0]}} = \overline{\overline{T[0]\overline{T[1]} \cdot T[2]\overline{T[3]} \cdot \dots \cdot T[12]\overline{T[13]} \cdot T[14]}}$$

$$B[1] = \overline{\overline{B[1]}} = \overline{\overline{T[1]\overline{T[3]} \cdot T[5]\overline{T[7]} \cdot T[9]\overline{T[11]} \cdot T[13]}}$$

$$B[2] = \overline{\overline{B[2]}} = \overline{\overline{T[3]\overline{T[7]} \cdot T[11]}}$$

$$B[3] = T[7]$$

因此電路能夠由 inverter, 2-input nand gate(下簡稱 NAND2), 4-input nand gate(下簡稱 NAND4), 8-input nand gate(下簡稱 NAND8)來實現，這禮拜二才在課堂上學到 transmission gate 或是單純的 switch 來組合出 MUX 的功能 delay 會更小，不過已經來不及改了，所以還是想辦法降低此電路的 delay。由此找出 critical path 會是  $T[7] \rightarrow B[0]$ ，理由是因為粗估之後，此路徑上的 HBG 乘積會是最大

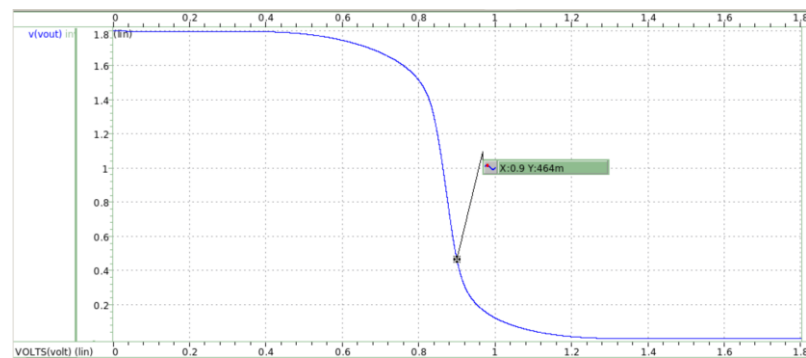
的，因此開始計算此路徑的 D。首先定義 path 的起終點，雖然是要估算 in[7]到 B[0]的 delay，但是因為 input 的 buffer 之尺寸已經被定下，因此我們從 input buffer 的第二顆 inverter 當作此路徑的第一級，而終點還是在 B[0]。由此我們開始計算  $F = GBH$ ，過程如下：

$$(1) G = g_1 g_2 \dots g_n \cdot (g_{inv})^{N-n}$$

首先，先求各邏輯閘的  $g$ ，如上課所推的結果：

$$g_{inv} = 1, g_{nand2} = 4/3, g_{nand4} = 2, g_{nand8} = 10/3$$

題目所定下的第一級 inverter 尺寸是  $(W/L)_n = 0.5\mu m/0.18\mu m$ ， $(W/L)_p = 1.5\mu m/0.18\mu m$ ，這不會是一個完全理想的 unit inverter，因為 PMOS, NMOS 的導通能力不同，且 PMOS, NMOS 尺寸比例不是上課所假設的 2 比 1。如果用 hspice 模擬這顆 inverter 的話，當  $V_{in} = 0.5V_{DD} = 0.9V$  時， $V_{out}$  已經是 463.8mV 了，transfer curve 如下：



不使用上課所推導的  $g$  的話，依照定義我們可以重新計算本次所使用的邏輯閘之  $g$  值，根據上次作業所給的同尺寸的 inverter 所對應之  $g$  值為 0.968，因此可以推得：

$$g_{inv} = \frac{C_{in(inv)}}{C_{in(ideal-unit-inverter)}} = 0.968$$

假設在  $L$  不變的情況下  $W$  正比於  $C$ ，且反比於  $R_{on}$ 。

依此，令  $W=0.5\mu m$  時， $C_{in} = 0.5C$ ，則可得第一級的 inverter 之  $C_{in} = C_{in(inv)} = (0.5 + 1.5)C = 2C$ ，以此代入上式可得  $C_{in(ideal-unit-inverter)} \cong 2.066C$ 。設計邏輯閘的尺寸使得 PMOS/NMOS 導通能力 ( $R_{on}$ ) 與第一級 inverter 的相同，並以此作為之後計算 size 時的基準 unit，由此我們能夠得到剩下邏輯閘的  $g$ ，計算如下：

$$g_{nand} = \frac{C_{in(nand)}}{C_{in(ideal-unit-inverter)}} = \frac{C_{in(nand)}}{2.066C}$$

結果整理如下表 ( $L_n = L_p = 0.18\mu m$ )：

	$W_n(\mu m)$	$W_p(\mu m)$	$C_{in}$	$g$
unit inverter	0.5	1.5	2.0C	0.968
unit NAND2	1.0	1.5	2.5C	1.210
unit NAND4	2.0	1.5	3.5C	1.694

unit NAND8	4.0	1.5	5.5C	2.662
------------	-----	-----	------	-------

因此此路徑的 G 可表示如下：

$$G_{T[7]-to-B[0]} = g_{inv}g_{inv}g_{nand2}g_{nand8}(g_{inv})^{N-4} = 2.045 \cdot (0.968)^{N-2}$$

(2) B：

$$b = \frac{C_{on-path} + C_{off-path}}{C_{on-path}}$$

這條 path 如下圖所示：

只有一個 branch 的地方，若假設說 branch 後遇到的第一個邏輯閘的尺寸皆相同，則能夠藉由 g 來推算 b，對於 critical path 的那條來說如下：

$$b = \frac{3C_{nand2} + C_{inv}}{C_{nand2}} = \frac{3g_{nand2} + g_{inv}}{g_{nand2}} \cong 3.8$$

因此暫定此路徑的 B=b=3.8

(3) H：

$$H = \frac{C_L}{C_{in}}$$

$C_L$ 是題目給的 1.5pF，而 $C_{in}$ 則可以藉由 hspice 模你結果所給的 NMOS 與 PMOS 的 input 節點電容值得到，雖然我算的 path 是從 input buff 的第二顆開始算第一級，但是因為 buff 中的兩顆 inverter 尺寸相同，所以在相同偏壓條件下，會有相同的 input 電容。不過在不同 input 電壓下，會有不一樣的 $C_{gtot}$ ，所以就取一個平均值就好，下表是在不同 input 灌不同直流電壓得到的容值(in<0>~in<14>分別灌 1.8V~0.4V)

+ 0:in<0> = 2.8325f	0:in<10> = 3.9806f	0:in<11> = 4.2519f
+ 0:in<12> = 4.2807f	0:in<13> = 4.2523f	0:in<14> = 4.0068f
+ 0:in<1> = 2.7985f	0:in<2> = 2.7694f	0:in<3> = 2.7468f
+ 0:in<4> = 2.7651f	0:in<5> = 3.1158f	0:in<6> = 3.7737f
+ 0:in<7> = 3.9176f	0:in<8> = 3.9179f	0:in<9> = 3.7804f

我們取 $V_{in} = 0.9V$ 時的 $C_{in} = 3.7804fF$ ，因此算得 $H \cong 396.783$

綜合以上求得 $F = GBH \cong 4264.145$ ， $f_i = \sqrt[N]{F}$ 。下一步我們求 P，跟求 g 時一樣的道理，將上次作業給的 $p_{inv} = 1.033$ 當作基準，令 $W=0.5\mu m$ 時， $C_p = 0.5C_p$ ，因此其寄生電容為 $2C_p$ ，得出下表：

	$W_n(\mu m)$	$W_p(\mu m)$	$C_p$	p
unit inverter	0.5	1.5	$2.0C_p$	1.033
unit NAND2	1.0	1.5	$4.0C_p$	2.066
unit NAND4	2.0	1.5	$8.0C_p$	4.132
unit NAND8	4.0	1.5	$16.0C_p$	8.264

進而得出：

$$P = 2p_{inv} + p_{nand2} + p_{nand8} + (N - 4)p_{inv} = 12.396 + (N - 4) \cdot 1.033$$

最後得到：

$$D = D_F + P = \sqrt[N]{4264.145} + 12.396 + (N - 4) \cdot 1.033$$

代入不同 N 值後發現 N=6 時會有 D 極小值出現，因此取 N=6 為此路徑的級數，並決定將多出來的兩個 inverter 輸出端作為 output buffer，放在末端的原因是因為，如果放在電路的前面，則會導致 NAND 的尺寸變得很大，很佔面積且不像 inverter chain 一樣在 layout 時很好並聯，且經過計算各條 path delay 後，也發現全部都要加兩級 inverter 作為 buffer，因此若放在前端，buffer 數量會從 4 個變成 14 個，接下來計算每級邏輯閘的 h，並以此推導出每級邏輯閘的  $C_{in}$ ，

計算過程如上上頁所述由  $f_i = g_i h_i$  和  $h_i = \frac{C_{load(i)}}{C_{in(i)}} = \frac{C_{in(i+1)}}{C_{in(i)}}$  但要注意 branch 前一級的  $C_{load}$  不會是 branch 後下一級的  $C_{in}$ ，而是需要除以此路徑電容 ( $C_{in}$ ) 占全部路

徑總電容 ( $C_{load}$ ) 的比例，也就是 b，因此是  $C_{in(i+1)} = \frac{C_{load}}{b} = \frac{C_{load}}{3.8}$ ，但算到這裡

就會發現 b 值會因為其他 path 在 branch 之後的邏輯閘大小改變而改變，因此將 T[7] 出發的 4 條路徑都計算一次，為了計算與 layout 方便，且其他路徑也不是 critical path，先假設所有 NAND2 (除了 B[2] 端的那個) 都是一樣的尺寸，以此為前提下，計算 T[7] → B[3] 路徑上的 inverter 所需之級數與尺寸，發現 branch 後的  $C_{in}$  會與 branch 前的  $C_{in}$  大致相同，為了之後 layout 能夠把電路前端的 inverter, NAND2 全部畫到一起 (高度相同)，有相同的  $C_{in}$  就能有相同的  $W_n + W_p$ ，因此設 branch 前後一級的  $C_{in}$  相同，則此時個路徑的 b=4，因此可以計算得出下表：

T[7] → B[0]	$f_i$	g	h	$C_{in}$
第一級(inverter)	4.027	0.968	4.16	2.00C
第二級(inverter)	4.027	0.968	4.16	8.32C
第三級(NAND2)	4.027	1.210	3.328	8.32C
第四級(NAND8)	4.027	2.662	1.513	27.09C
第五級(inverter)	4.027	0.968	4.16	41.89C
第六級(inverter)	4.027	0.968	4.16	174.245C

將其他條路徑也計算，因為 branch 後的第一級尺寸已經被定下來了，因此從這裡開始算 path delay，各路徑的 G 如下：

$$G_{branch-to-B[1]} = g_{nand2} g_{nand4} (g_{inv})^{N-2}$$

$$G_{branch-to-B[2]} = g_{nand2} g_{nand2} (g_{inv})^{N-2}$$

$$G_{branch-to-B[3]} = (g_{inv})^N$$

因為此時已經無 branch 了，因此 B=1。

此路徑的  $C_{in} = 8.391C = \frac{8.391C}{2C} \cdot 3.7804fF \cong 15.861fF$ ，因此 H=94.568，最終

求得 N 皆為 4 時 D 有最小值出現，但 branch - to - B[3] 的路徑無法有 4 個 inverter，邏輯會改變，因此取 3，也因此都得出需要加一個 buffer 的結論，最後求各級  $C_{in}$ ，計算結果整理如下：

branch → B[1]	$f_i$	g	h	$C_{in}$
第一級(NAND2)	3.671	1.210	3.034	8.32C

第二級(NAND4)	3.671	1.694	2.167	25.30C
第三級(inverter)	3.671	0.968	3.792	54.94 C
第四級(inverter)	3.671	0.968	3.792	208.80C

branch→B[2]	$f_i$	g	h	$C_{in}$
第一級(NAND2)	3.375	1.210	2.789	8.32C
第二級(NAND2)	3.375	1.210	2.789	23.256C
第三級(inverter)	3.375	0.968	3.487	65.004C
第四級(inverter)	3.375	0.968	3.487	227.124C

branch→B[3]	$f_i$	g	h	$C_{in}$
第一級(inverter)	4.410	0.968	4.556	8.32C
第二級(inverter)	4.410	0.968	4.556	38.014C
第三級(inverter)	4.410	0.968	4.556	173.685C

但因為這三條都不是 critical path，又為了 layout 方便以及面積考量，將所有 buffer 尺寸都選擇與 T[7] → B[0]的一樣，並且取接近的整數使得兩個 inverter 可以簡單地找到公因數去並聯，有 pre-sim 過這樣對於 delay 的影響確實幾乎沒有。而又發現說 NAND2-2, NAND4, NAND8 的  $C_{in}$  都差不多，因此皆調整到與 NAND8 的  $C_{in}$  相同，因為 T[7] → B[0]才是 critical path，也再次 pre-sim 確認對於 delay 的影響幾乎沒有。最終將邏輯閘尺寸對應  $C_{in}$  求出，運算為  $size = \frac{C_{in}}{C_{in-unit}}$

以及  $W_{n(p)} = size \times W_{n(p)-unit}$ ，結果如下表：

	$C_{in}$	size	$W_n(\mu m)$	$W_p(\mu m)$
inverter	8.32C	4.160	2.08	6.24
NAND2	8.32C	3.328	3.32	5.00
NAND2-2	27.09C	10.836	10.84	16.25
NAND4	27.09C	7.740	15.48	11.61
NAND8	27.09C	4.925	19.7	7.39
Buffer 的 inverter 1	42C	21	10.5	31.5
Buffer 的 inverter 2	168C	84	42	126

備註：NAND2-2 代表 B[2]的 output buffer 前的那個 2 input NAND gate，NAND2 則是剩下的所有 2 input NAND gate。Inverter 包含了所有不是 buffer 的 inverter。

此即為最終 pre-sim, layout, post-sim 時所用的尺寸。

- b) Measure the delay of all transitions and fill the following table. Find the maximum and minimum delay among all transitions. (3%)

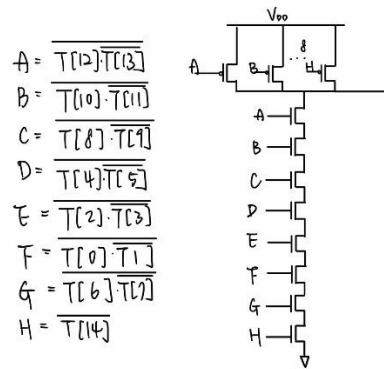
Pre-sim (TT corner)			
Transition	Delay(ns)	Transition	Delay(ns)
0 to 1	0.721	15 to 14	0.551
1 to 2	0.634	14 to 13	0.579
2 to 3	0.685	<b>13 to 12</b>	<b>0.440</b>
3 to 4	0.64	12 to 11	0.651
4 to 5	0.645	11 to 10	0.468
5 to 6	0.596	10 to 9	0.681
6 to 7	0.754	9 to 8	0.495
7 to 8	0.643	<b>8 to 7</b>	<b>0.830</b>
8 to 9	0.601	7 to 6	0.571
9 to 10	0.571	6 to 5	0.725
10 to 11	0.554	5 to 4	0.519
11 to 12	0.563	4 to 3	0.785
12 to 13	0.502	3 to 2	0.540
13 to 14	0.519	2 to 1	0.801
14 to 15	0.782	1 to 0	0.557

Maximum delay=0.830ns 發生在 8 to 7 時，minimum delay =0.440ns 發生在 13 to 12 時。

- c) Please discuss the result of part b. (7%)

**8 to 7** 有最長的 delay，是因為 T[7]變化的這條原本就是 critical path 了，因此 maximum delay 發生在這裡也蠻合理，再加上這時是要使 B[0]變 1，因此路徑上的邏輯閘有三個是要使輸出從 0 拉到 1，兩個是要讓輸出從 1 拉到 0，而因為我們由上面 inverter 的 transfer curve 可以推知 NMOS 的  $R_{on}(R_n)$  略小於 PMOS 的  $R_{on}(R_p)$ ，而後面的 unit 邏輯閘都是因為想要得到與 input buffer 一樣的  $R_{on}$  而設計的，因此理論上 pull up 阻值與 pull down 阻值的比例不變，因此計算 Elmore delay model 的話，路徑上較大的阻值使得 delay 較大，由此可知路徑上因為有較多級是要 pull up，所以在 8 to 7 時的 delay 比 7 to 8 更加的大。這可以推廣到 1 to 2 和 2 to 1, 3 to 4 和 4 to 3, 5 to 6 和 6 to 5, 9 to 10 和 10 to 9, 11 to 12 和 12 to 11, 14 to 13 和 14 to 13，都是後者大於前者。而這也可以解釋所以普遍在 output 數字下降時，奇數 to 偶數 (B[0]會是 1 變 0) 的 delay 較偶數 to 奇數 (B[0]會是 0 變 1) 的 delay 小。

接下來附上 NAND8 的 schematic：



minimum delay 發生在 **13 to 12** 第一是因為上面的理由導致 13 to 12 會是 delay 較小的一群。第二，是因為我把它接在圖中的 A，如上次作業的例子，用 Elmore delay model 來估算的話，這裡的 delay 的話會比接在 B~H 的還要小，以 input 在 A 和 H 為例分別計算，則此處的 delay 分別會是： $8R_{nnand8}(8C_p + C_n + C_{load})$  以及  $8R_{nnand8}(8C_p + C_n + C_{load}) + C_n(7R_{nnand8} + 6R_{nnand8} + \dots + R_{nnand8})$ 。依據上式可以知道因為 13 to 12 所需要放電的電容數量較少，要計算進 delay 的電容就比較少，所以會是最快的。也可以依據圖中的順序推得 delay 大小： $7 \text{ to } 6 > 1 \text{ to } 0 > 3 \text{ to } 2 > 5 \text{ to } 4 > 9 \text{ to } 8 > 11 \text{ to } 10 > 13 \text{ to } 12$  與 pre-sim 結果相符。不過 15 to 14 不在其中因為它的 path 與其他 input 都不相同。

- d) Measure the power consumption of all transitions and fill the following table. Find the maximum and minimum power consumption among all transitions. (3%)

Pre-sim (TT corner)			
Transition	Power(mW)	Transition	Power(mW)
0 to 1	0.487	15 to 14	0.165
1 to 2	0.613	14 to 13	0.560
2 to 3	0.478	<b>13 to 12</b>	0.124
3 to 4	0.72	12 to 11	0.991
4 to 5	0.47	11 to 10	0.130
5 to 6	0.596	10 to 9	0.587
6 to 7	0.495	9 to 8	0.136
7 to 8	0.824	<b>8 to 7</b>	1.484
8 to 9	0.461	7 to 6	0.160
9 to 10	0.585	6 to 5	0.601
10 to 11	0.452	5 to 4	0.142
11 to 12	0.691	4 to 3	1.052
12 to 13	0.443	3 to 2	0.148



13 to 14	0.560	2 to 1	0.622
14 to 15	0.500	1 to 0	0.154
Total Power Consumption: 0.498			

Maximum power consumption = 1.484mW 發生在 8 to 7 時，minimum power consumption = 0.124mW 發生在 13 to 12 時。

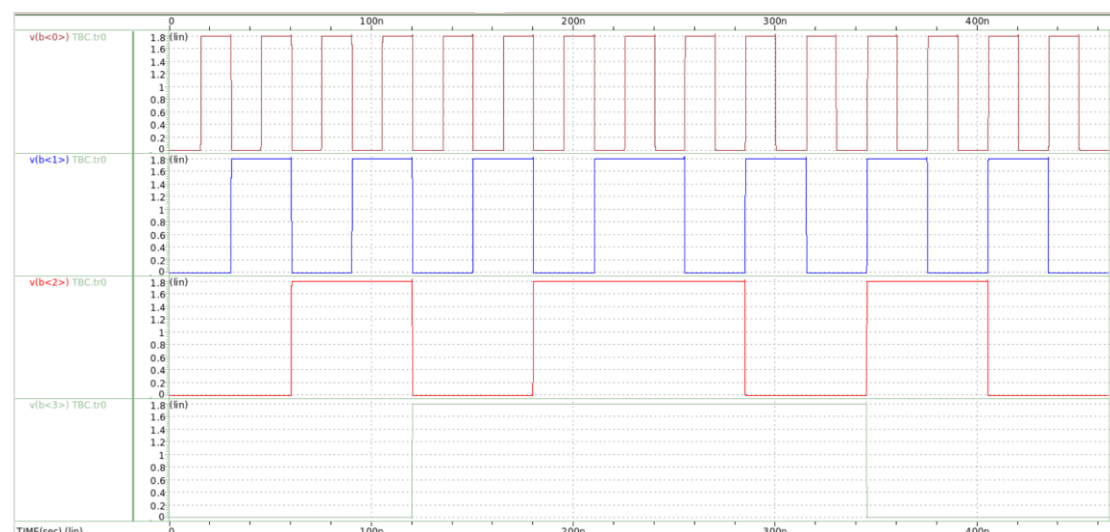
e) Please discuss the result of part d. (7%)

8 to 7 的輸出變化是從 1000 變成 0111，4 條 output 都會需要翻轉，且有其中三條是需要對其 output 節點上的電容進行充電的，就會耗到很大的 dynamic power，簡單說就是需要充電的電容會是所有 transition 中最多的，output 數字上升過程中偶數 to 奇數以及 output 數字下降過程中奇數 to 偶數的功耗較小是因為一次都只翻一個輸出訊號而已，只有 1 條 path 上的 gate 在進行充放電，而 output 數字下降過程中奇數 to 偶數的功耗又更小是因為改變的那個 output 訊號是要放電的(1 變 0)，所以電源不用對這個電路中最大電容的節點充電，但仍有路徑上的某些節點是有被充電的，例如 output 的前一個夾在 buffer 中間的節點，在 output 放電變 0 時，它一定在充電變 1。而 13 to 12 又是其中最小的，因為其 delay 最短，也可以說是 PMOS 最快被切斷，沒有需要 VDD 持續導通 N/PMOS 產生到地的通路，產生 ID 形成功耗，因此平均功耗是最小的。

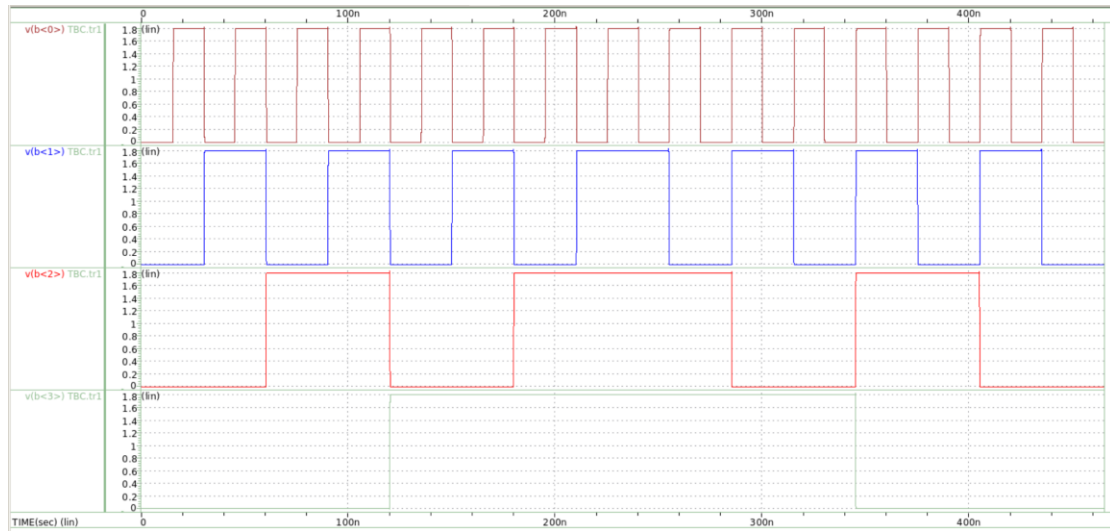
3. Please run pre-sim of your TBC at FF, SS, FS, and SF corner.

a) Show the simulation waveform and check whether the function is correct. (0%)

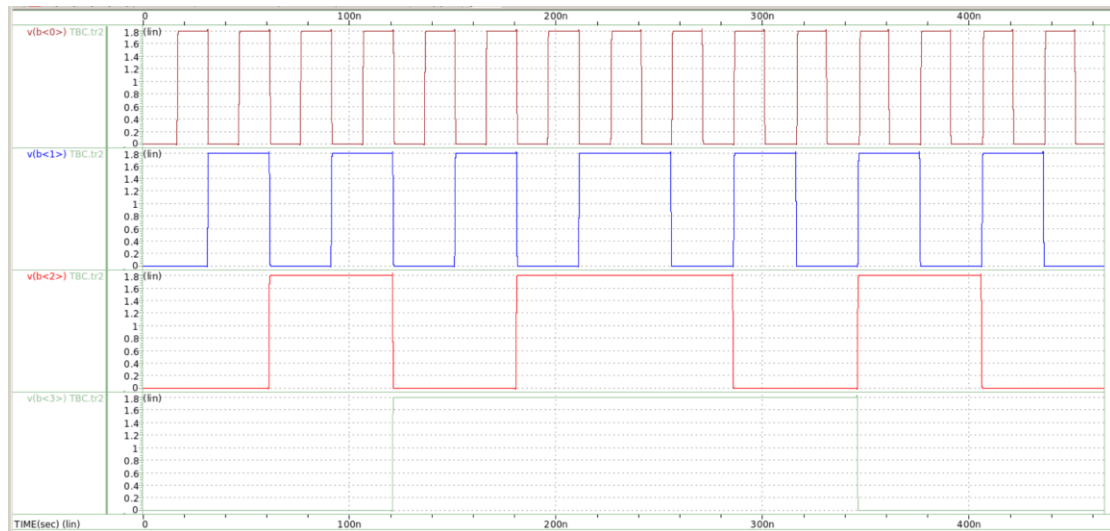
TT



FF



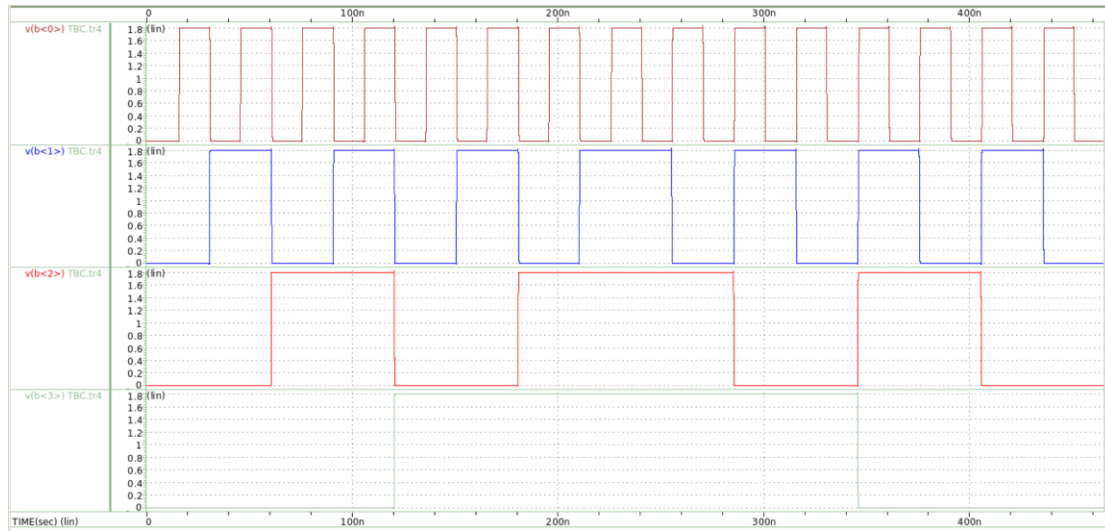
SS



FS



SF



b) Measure the delay of all transitions and fill the following table. Compare the result with TT corner. (5%)

Transition	Delay				
	TT	FF	SS	FS	SF
0 to 1	0.721	0.614	1.795	1.136	1.01
1 to 2	0.634	0.541	1.608	0.876	1.079
2 to 3	0.685	0.584	1.704	1.067	0.98
3 to 4	0.64	0.547	1.619	0.892	1.076
4 to 5	0.645	0.55	1.602	0.994	0.942
5 to 6	0.596	0.509	1.494	0.84	0.976
6 to 7	0.754	0.643	1.875	1.201	1.034
7 to 8	0.643	0.549	1.641	0.847	1.152
8 to 9	0.601	0.514	1.489	0.916	0.896
9 to 10	0.571	0.489	1.419	0.819	0.907
10 to 11	0.554	0.474	1.361	0.834	0.843
11 to 12	0.563	0.485	1.387	0.778	0.918
12 to 13	0.502	0.431	1.22	0.747	0.779
13 to 14	0.519	0.446	1.268	0.733	0.821
14 to 15	0.782	0.668	1.917	1.273	1.013
15 to 14	0.551	0.468	1.42	0.694	1.022
14 to 13	0.579	0.498	1.42	0.854	0.905
13 to 12	0.44	0.376	1.082	0.613	0.7
12 to 11	0.651	0.559	1.61	0.979	0.994
11 to 10	0.468	0.399	1.168	0.639	0.773
10 to 9	0.681	0.583	1.706	0.994	1.071
9 to 8	0.495	0.42	1.251	0.661	0.849

8 to 7	0.83	0.709	2.067	1.309	1.156
7 to 6	0.571	0.483	1.48	0.731	1.055
6 to 5	0.725	0.619	1.82	1.072	1.117
5 to 4	0.519	0.44	1.326	0.683	0.918
4 to 3	0.785	0.67	1.977	1.177	1.187
3 to 2	0.54	0.457	1.389	0.701	0.976
2 to 1	0.801	0.684	2.013	1.214	1.185
1 to 0	0.557	0.472	1.44	0.717	1.022

FF-corner 時，N/PMOS 的 $\mu$ 都變大，導通速度更快，因此延遲整體都更小；反之，SS-corner 時，N/PMOS 的 $\mu$ 都變小，導通速度更慢，因此延遲整體都更大。FS-corner 時，整體的 delay 也是變大的，但是 B[0]由 0 變 1 的 transition 的 delay 明顯要變大的更多，這是因為負責 pull up network 的 PMOS 是 S-corner 的，其載子速度變慢，因此 output 要從 0 變 1 時，會延遲的更明顯，不過 B[0]由 1 變 0 的 transition 還是有 delay 更大的現象發生，因為路徑上還是有節點是需要被 pull up 的，這些節點的 transition 慢了也會影響到最終 delay。反之，SF-corner 時，則是 B[0]由 1 變 0 的 transition 的 delay 變大的百分比更多，因為此時 NMOS 是 S-corner 的，其載子速度變慢，因此 output 要從 1 變 0 時，會延遲的更明顯，B[0]由 0 變 1 的 transition 還是有 delay 更大的現象發生，因為路徑上還是有節點是需要被 pull down 的，這些節點的 transition 慢了也會影響到最終 delay。

c) Measure the total power consumption and fill the following table. Compare the result with TT corner. (5%)

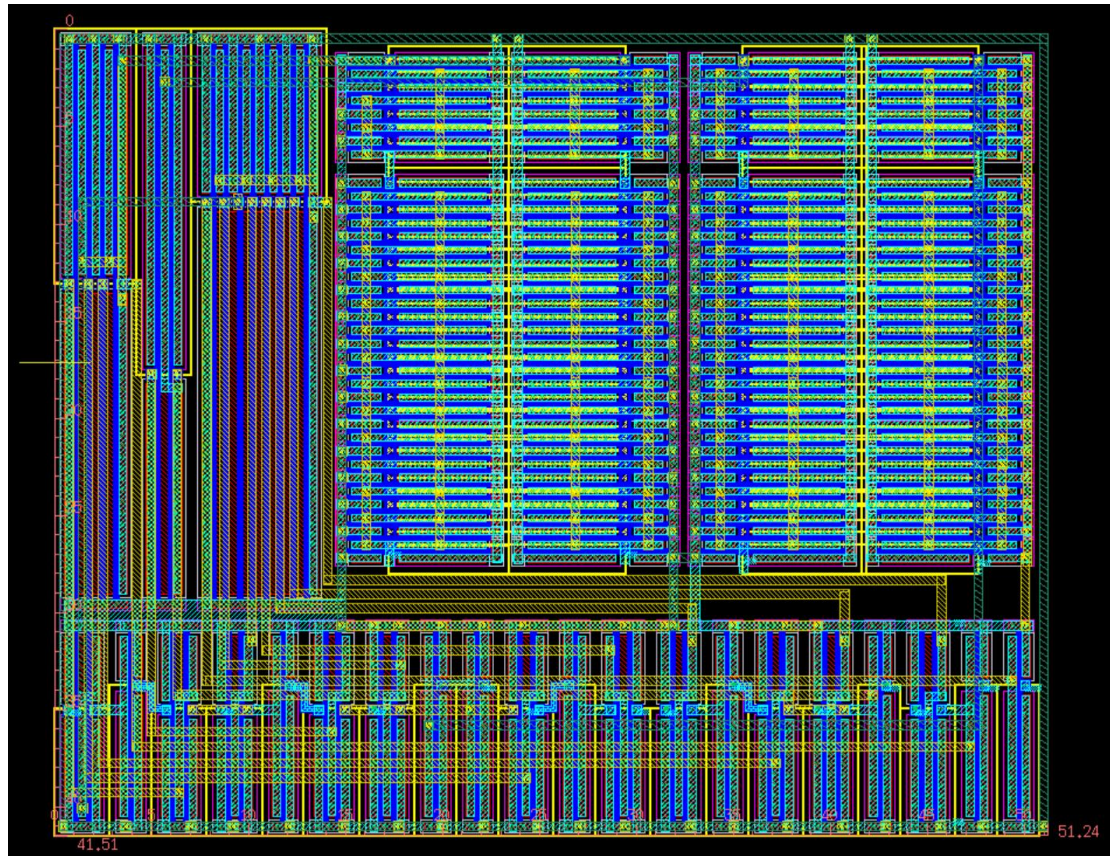
	TT	FF	SS	FS	SF
Total power consumption	0.498	0.512	0.526	0.513	0.526

可以發現 FF, SS, FS, SF 的功耗都要略大於 TT 的，而 NMOS 為 S-corner 時，功耗幾乎完全一樣，NMOS 為 F-corner 時，功耗幾乎完全一樣。

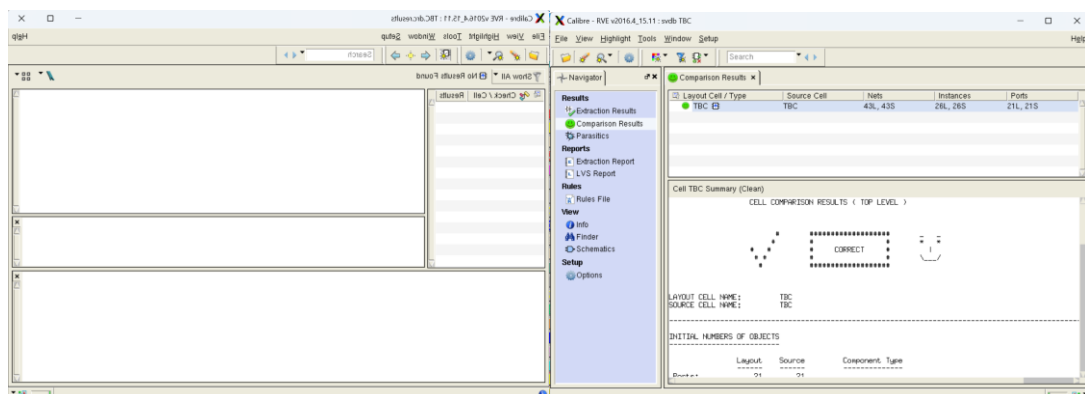


4. Please finish your layout. (10%)

- Provide your layout screenshot with the width and length marked. Compute the area and aspect ratio of your layout.
- Show your DRC and LVS result.



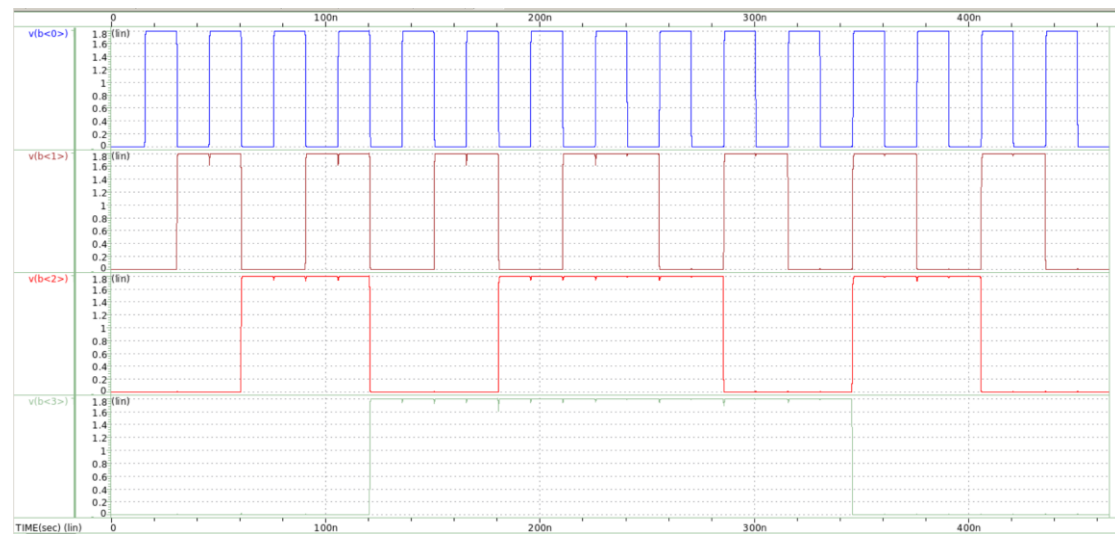
Area( $\mu\text{m}^2$ )	Aspect ratio
2126.972	1.234



5. Please run post-sim of your TBC.

a) Show the simulation waveform and check whether the function is correct at all 5 corners. (0%)

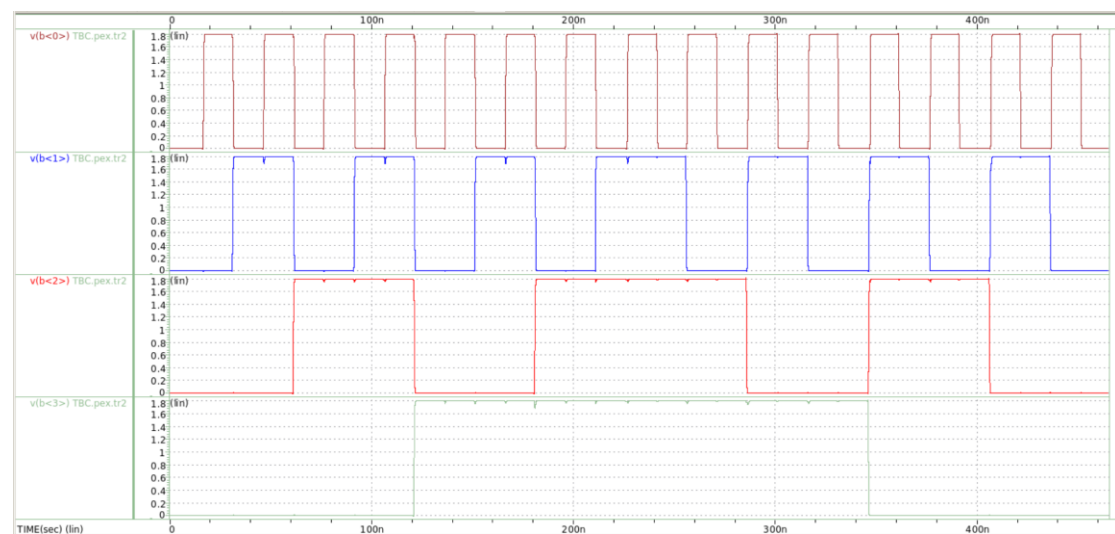
TT



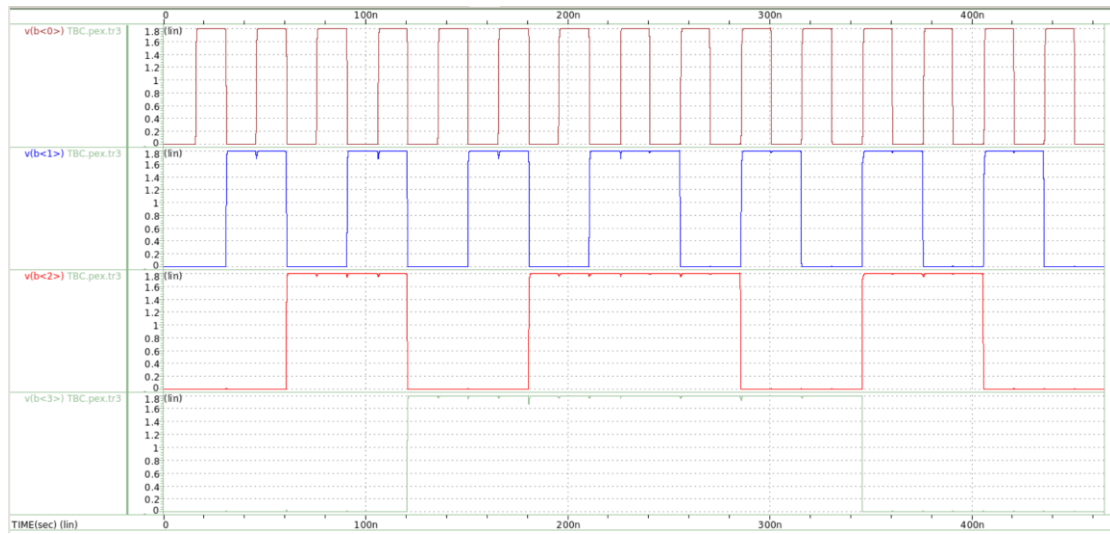
FF



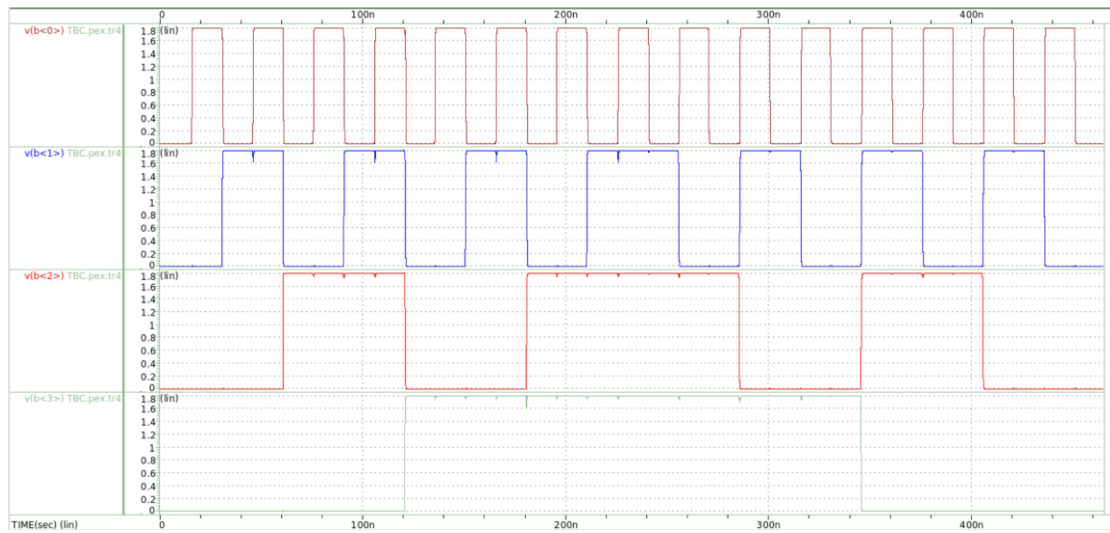
SS



FS



SF



b) Measure the delay of all transitions at TT corner and fill the following table. Compare the result with pre-sim. (5%)

Transition	Delay		Transition	Delay	
	Pre-sim	Post-sim		Pre-sim	Post-sim
0 to 1	0.721	0.757	15 to 14	0.551	0.631
1 to 2	0.634	0.734	14 to 13	0.579	0.667
2 to 3	0.685	0.721	<b>13 to 12</b>	<b>0.44</b>	<b>0.515</b>
3 to 4	0.64	0.732	12 to 11	0.651	0.759
4 to 5	0.645	0.694	11 to 10	0.468	0.544
5 to 6	0.596	0.693	10 to 9	0.681	0.754
6 to 7	0.754	0.782	9 to 8	0.495	0.569
7 to 8	0.643	0.739	<b>8 to 7</b>	<b>0.83</b>	<b>0.900</b>
8 to 9	0.601	0.659	7 to 6	0.571	0.642
9 to 10	0.571	0.676	6 to 5	0.725	0.788
10 to 11	0.554	0.617	5 to 4	0.519	0.591
11 to 12	0.563	0.663	4 to 3	0.785	0.862
12 to 13	0.502	0.574	3 to 2	0.54	0.608
13 to 14	0.519	0.626	2 to 1	0.801	0.852
14 to 15	0.782	0.817	1 to 0	0.557	0.627

可以發現 post-sim 的 delay 都略大於 pre-sim 的，這主要是因為 post-sim 多考慮了實際 layout 後多的寄生電容以及各節點與接點的電阻。但發生 max.和 min. delay 的 transition 是沒有變的。

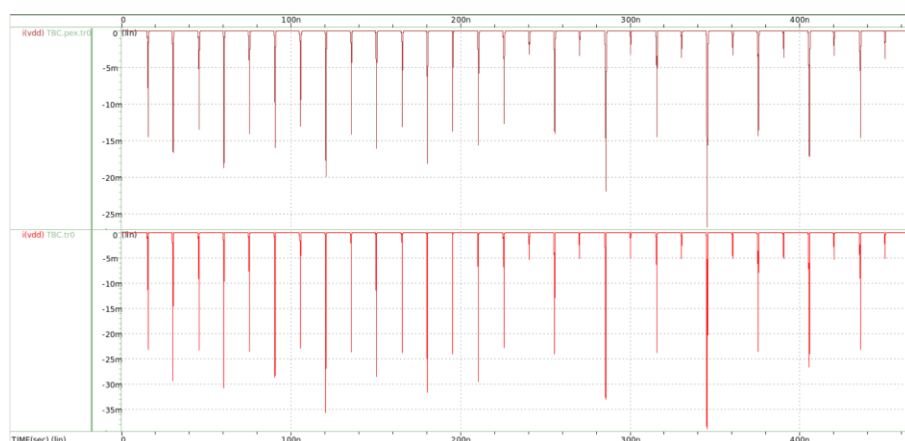


c) Measure the power consumption of all transitions at TT corner and fill the following table. Compare the result with TT corner. (5%)

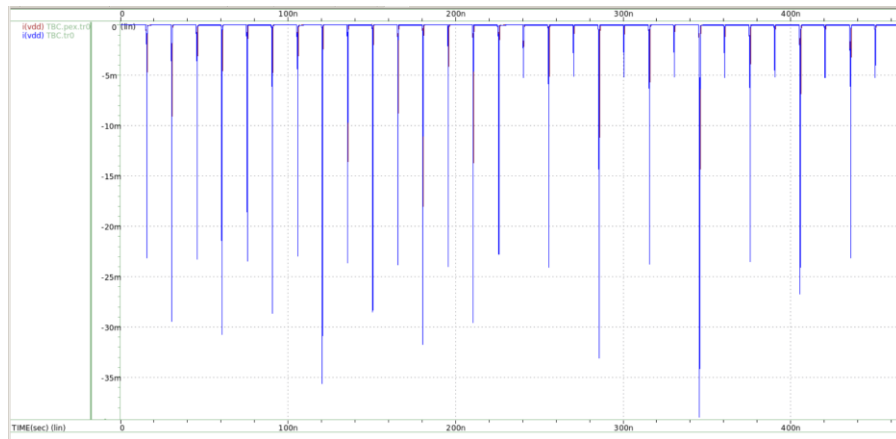
Transition	Power		Transition	Power	
	Pre-sim	Post-sim		Pre-sim	Post-sim
0 to 1	0.487	0.478	15 to 14	0.165	0.159
1 to 2	0.613	0.571	14 to 13	0.56	0.552
2 to 3	0.478	0.473	<b>13 to 12</b>	<b>0.124</b>	<b>0.115</b>
3 to 4	0.72	0.672	12 to 11	0.991	0.993
4 to 5	0.47	0.467	11 to 10	0.13	0.123
5 to 6	0.596	0.564	10 to 9	0.587	0.573
6 to 7	0.495	0.485	9 to 8	0.136	0.128
7 to 8	0.824	0.748	<b>8 to 7</b>	<b>1.484</b>	<b>1.442</b>
8 to 9	0.461	0.460	7 to 6	0.16	0.152
9 to 10	0.585	0.554	6 to 5	0.601	0.583
10 to 11	0.452	0.455	5 to 4	0.142	0.134
11 to 12	0.691	0.643	4 to 3	1.052	1.021
12 to 13	0.443	0.448	3 to 2	0.148	0.14
13 to 14	0.56	0.528	2 to 1	0.622	0.60
14 to 15	0.5	0.488	1 to 0	0.154	0.145
Total Power Consumption (Pre-sim): 0.498					
Total Power Consumption (Post-sim): 0.480					

可以發現 post-sim 的 power 都略小於 pre-sim 的，但發生 max.和 min. power 的 transition 是沒有變的。下面三張圖：

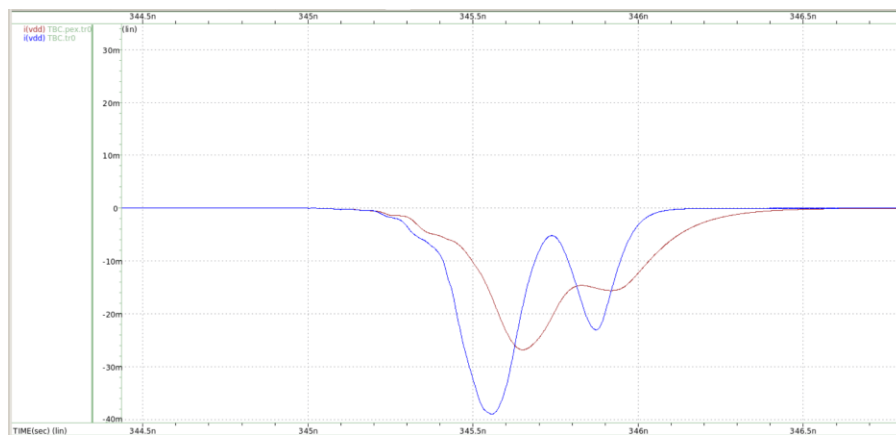
(a)上為 post-sim，下為 pre-sim 的 I(VDD)的 time diagram



(b)兩訊號的疊圖(藍線是 presim, 紅線是 postsim)



(c)疊圖的其中一小段(8 to 7 transition)



可以看到 pre-sim 的 I 最大值確實比 post-sim 的更大

6. Please fill the SPEC table and compute FoM (10%)

SPEC Table	
Design item	Your Design
Power Supply	1.8V
Max. Delay at TT corner (Pre-sim)	0.830ns
Max. Delay at TT corner (Post-sim)	0.900ns
Total Power consumption at TT corner (Post-sim)	0.480mW
Layout Area	2126.972 $\mu\text{m}^2$
Layout Aspect Ratio	1.234
Figure of Merit (FoM)	11.392