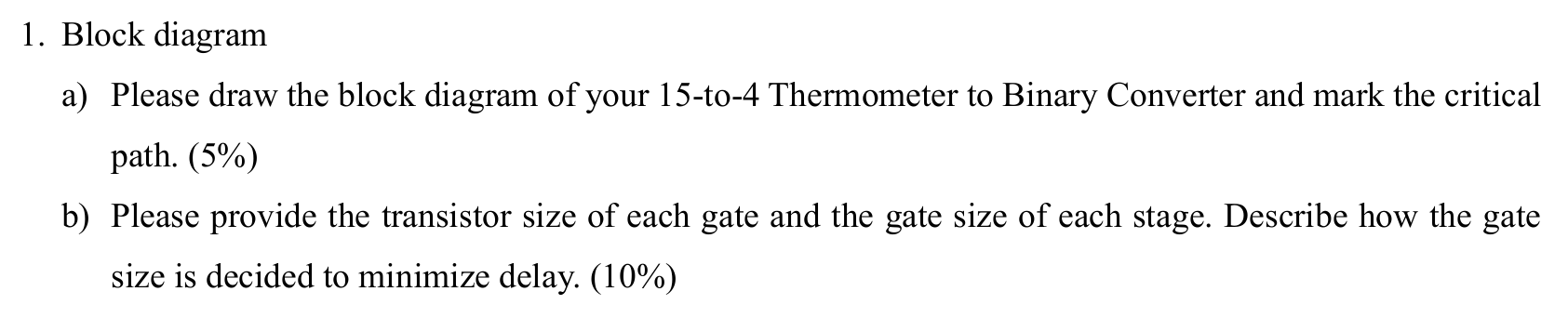
Midterm Project Report

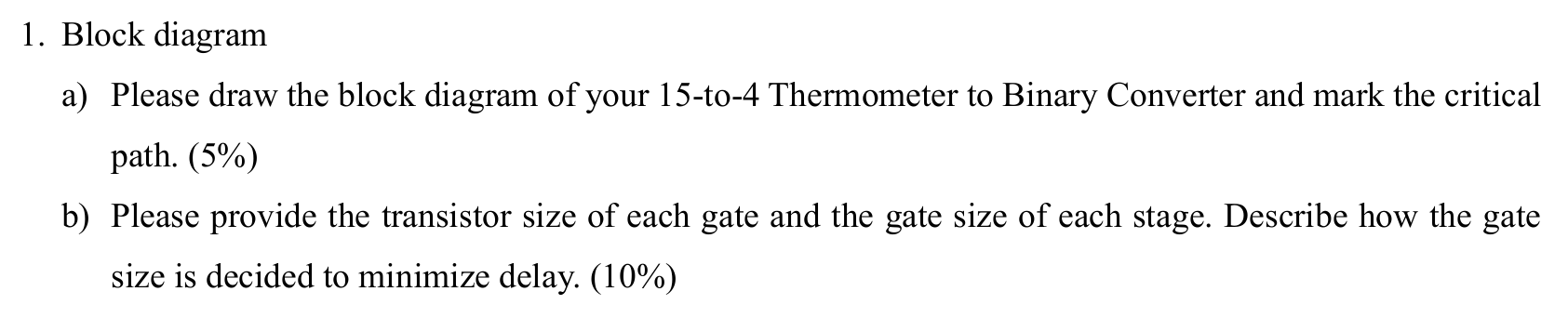
Name: 王品然

Student ID: 113063572





白線代表此電路的critical path



為了要估算出delay，使用上課所教估算path delay 的方法，大致概念如下：

1. 確定邏輯電路，並找出critical path並針對此路徑做以下步驟。
2. 計算
3. ：路徑上所有(n個)邏輯閘的g相乘，並假設最終會是N級電路為最短delay，則再乘上需要多出的inverter數量的g，以式子表達如下：
4. ：路徑上所有b相乘。
5. ：路徑的附載電容除以輸入電容。
6. 計算
7. ：N倍的，。
8. ：路徑上所有(n個)邏輯閘的p相加，並假設最終會是N級電路為最短delay，則再加上需要多出的inverter數量的p，以式子表達如下：
9. 計算D(N)的最小值出現在N為多少時。
10. 由上一步得出的N求得，進而由求得。
11. 由，得到各級邏輯閘輸入電容比例，再推出各級尺寸。

基於上述步驟，先建立電路架構，而從truth table的結果我們推出：

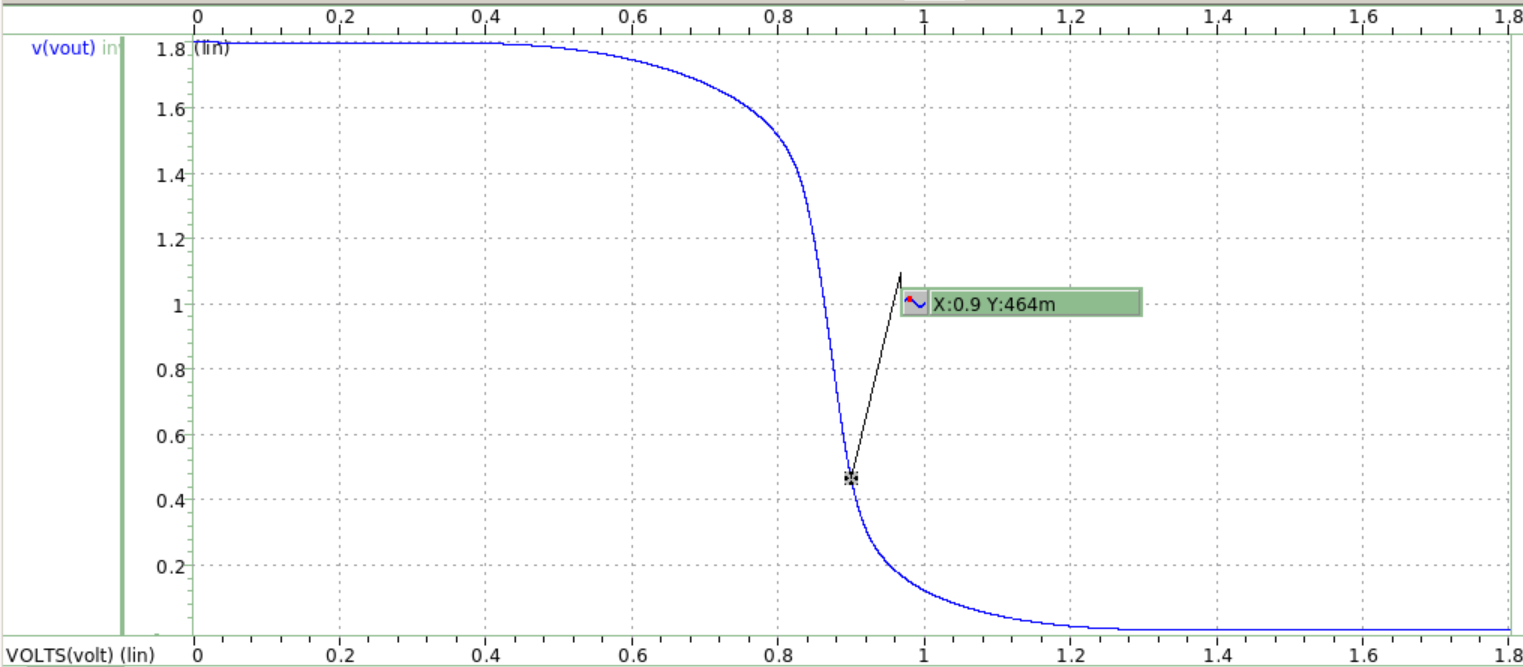
由De Morgan law或是在block diagram上推bubble的方式，可以改變如下：

因此電路能夠由inverter, 2-input nand gate(下簡稱NAND2), 4-input nand gate(下簡稱NAND4), 8-input nand gate(下簡稱NAND8)來實現，這禮拜二才在課堂上學到transmission gate 或是單純的switch來組合出MUX的功能delay會更小，不過已經來不及改了，所以還是想辦法降低此電路的delay。由此找出critical path會是T[7]→B[0]，理由是因為粗估之後，此路徑上的HBG乘積會是最大的，因此開始計算此路徑的D。首先定義path的起終點，雖然是要估算in[7]到B[0]的delay，但是因為input的buffer之尺寸已經被定下，因此我們從input buffer的第二顆inverter當作此路徑的第一級，而終點還是在B[0]。由此我們開始計算，過程如下：

首先，先求各邏輯閘的g，如上課所推的結果：

, , ,

題目所定下的第一級inverter尺寸是, ，這不會是一個完全理想的unit inverter，因為PMOS, NMOS的導通能力不同，且PMOS, NMOS尺寸比例不是上課所假設的2比1。如果用hspice模擬這顆inverter的話，當時，已經是463.8mV了，transfer curve如下：



不使用上課所推導的g的話，依照定義我們可以重新計算本次所使用的邏輯閘之g值，根據上次作業所給的同尺寸的inverter所對應之g值為0.968，因此可以推得：

**假設在L不變的情況下W正比於C，且反比於。**

依此，令W=0.5時，，則可得第一級的inverter之，以此代入上式可得。設計邏輯閘的尺寸使得PMOS/NMOS導通能力()與第一級inverter的相同，並以此作為之後計算size時的基準unit，由此我們能夠得到剩下邏輯閘的g，計算如下：

結果整理如下表(：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | () | () |  |  |
| unit inverter | 0.5 | 1.5 | 2.0C | 0.968 |
| unit NAND2 | 1.0 | 1.5 | 2.5C | 1.210 |
| unit NAND4 | 2.0 | 1.5 | 3.5C | 1.694 |
| unit NAND8 | 4.0 | 1.5 | 5.5C | 2.662 |

因此此路徑的G可表示如下：

1. ：

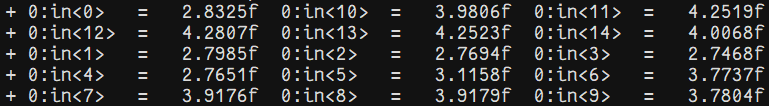
這條path如下圖所示：

只有一個branch的地方，若假設說branch後遇到的第一個邏輯閘的尺寸皆相同，則能夠藉由g來推算b，對於critical path的那條來說如下：

因此暫定此路徑的B=b=3.8

1. ：

是題目給的1.5pF，而則可以藉由hspice模你結果所給的NMOS與PMOS的input 節點電容值得到，雖然我算的path是從input buff的第二顆開始算第一級，但是因為buff中的兩顆inverter尺寸相同，所以在相同偏壓條件下，會有相同的input電容。不過在不同input電壓下，會有不一樣的，所以就取一個平均值就好，下表是在不同input灌不同直流電壓得到的容值(in<0>~in<14>分別灌1.8V~0.4V)



我們取時的，因此算得

綜合以上求得，。下一步我們求P，跟求g時一樣的道理，將上次作業給的當作基準，令W=0.5時，，因此其寄生電容為2，得出下表：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | () | () |  | p |
| unit inverter | 0.5 | 1.5 | 2.0 | 1.033 |
| unit NAND2 | 1.0 | 1.5 | 4.0 | 2.066 |
| unit NAND4 | 2.0 | 1.5 | 8.0 | 4.132 |
| unit NAND8 | 4.0 | 1.5 | 16.0 | 8.264 |

進而得出：

最後得到：

代入不同N值後發現N=6時會有D極小值出現，因此取N=6為此路徑的級數，並決定將多出來的兩個inverter輸出端作為output buffer，放在末端的原因是因為，如果放在電路的前面，則會導致NAND的尺寸變得很大，很佔面積且不像inverter chain一樣在layout時很好並聯，且經過計算各條path delay後，也發現全部都要加兩級inverter作為buffer，因此若放在前端，buffer數量會從4個變成14個，接下來計算每級邏輯閘的h，並以此推導出每級邏輯閘的，計算過程如上上頁所述由和但要注意branch前一級的不會是branch後下一級的，而是需要除以此路徑電容(占全部路徑總電容(的比例，也就是b，因此是，但算到這裡就會發現b值會因為其他path在branch之後的邏輯閘大小改變而改變，因此將T[7]出發的4條路徑都計算一次，為了計算與layout方便，且其他路徑也不是critical path，先假設所有NAND2(除了B[2]端的那個)都是一樣的尺寸，以此為前提下，計算T[7] →B[3]路徑上的inverter所需之級數與尺寸，發現branch後的會與branch前的大致相同，為了之後layout能夠把電路前端的inverter, NAND2全部畫到一起(高度相同)，有相同的就能有相同的，因此設branch前後一級的相同，則此時個路徑的b=4，因此可以計算得出下表：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| T[7] →B[0] |  | g | h |  |
| 第一級(inverter) | 4.027 | 0.968 | 4.16 | 2.00C |
| 第二級(inverter) | 4.027 | 0.968 | 4.16 | 8.32C |
| 第三級(NAND2) | 4.027 | 1.210 | 3.328 | 8.32C |
| 第四級(NAND8) | 4.027 | 2.662 | 1.513 | 27.09C |
| 第五級(inverter) | 4.027 | 0.968 | 4.16 | 41.89C |
| 第六級(inverter) | 4.027 | 0.968 | 4.16 | 174.245C |

將其他條路徑也計算，因為branch後的第一級尺寸已經被定下來了，因此從這裡開始算path delay，各路徑的G如下：

因為此時已經無branch了，因此B=1。

此路徑的，因此H=94.568，最終求得N皆為4時D有最小值出現，但的路徑無法有4個inverter，邏輯會改變，因此取3，也因此都得出需要加一個buffer的結論，最後求各級，計算結果整理如下：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| branch→B[1] |  | g | h |  |
| 第一級(NAND2) | 3.671 | 1.210 | 3.034 | 8.32C |
| 第二級(NAND4) | 3.671 | 1.694 | 2.167 | 25.30C |
| 第三級(inverter) | 3.671 | 0.968 | 3.792 | 54.94 C |
| 第四級(inverter) | 3.671 | 0.968 | 3.792 | 208.80C |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| branch→B[2] |  | g | h |  |
| 第一級(NAND2) | 3.375 | 1.210 | 2.789 | 8.32C |
| 第二級(NAND2) | 3.375 | 1.210 | 2.789 | 23.256C |
| 第三級(inverter) | 3.375 | 0.968 | 3.487 | 65.004C |
| 第四級(inverter) | 3.375 | 0.968 | 3.487 | 227.124C |

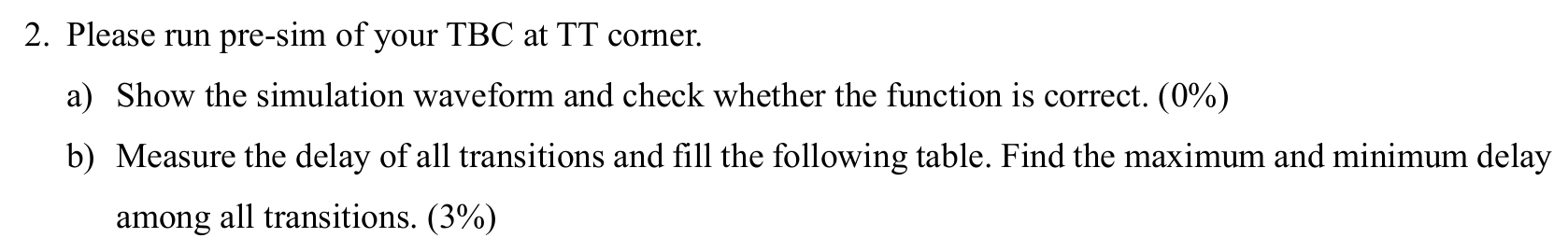
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| branch→B[3] |  | g | h |  |
| 第一級(inverter) | 4.410 | 0.968 | 4.556 | 8.32C |
| 第二級(inverter) | 4.410 | 0.968 | 4.556 | 38.014C |
| 第三級(inverter) | 4.410 | 0.968 | 4.556 | 173.685C |

但因為這三條都不是critical path，又為了layout方便以及面積考量，將所有buffer尺寸都選擇與T[7] →B[0]的一樣，並且取接近的整數使得兩個inverter可以簡單地找到公因數去並聯，有pre-sim過這樣對於delay的影響確實幾乎沒有。而又發現說NAND2-2, NAND4, NAND8的都差不多，因此皆調整到與NAND8的相同，因為T[7] →B[0]才是critical path，也再次pre-sim確認對於delay的影響幾乎沒有。最終將邏輯閘尺寸對應求出，運算為以及，結果如下表：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  |  |  | () | () |
| inverter | 8.32C | 4.160 | 2.08 | 6.24 |
| NAND2 | 8.32C | 3.328 | 3.32 | 5.00 |
| NAND2-2 | 27.09C | 10.836 | 10.84 | 16.25 |
| NAND4 | 27.09C | 7.740 | 15.48 | 11.61 |
| NAND8 | 27.09C | 4.925 | 19.7 | 7.39 |
| Buffer的inverter 1 | 42C | 21 | 10.5 | 31.5 |
| Buffer的inverter 2 | 168C | 84 | 42 | 126 |

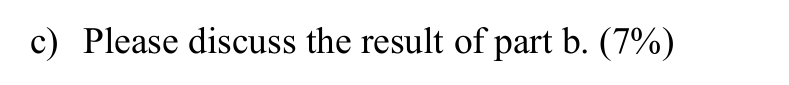
備註：NAND2-2代表B[2]的output buffer前的那個2 input NAND gate，NAND2則是剩下的所有2 input NAND gate。Inverter包含了所有不是buffer的inverter。

此即為最終pre-sim, layout, post-sim時所用的尺寸。



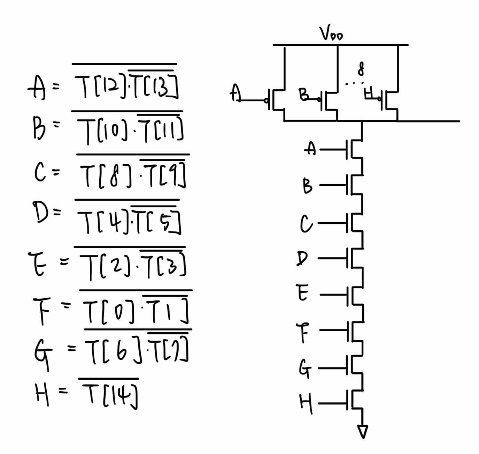
|  |  |  |  |
| --- | --- | --- | --- |
| **Pre-sim (TT corner)** | | | |
| **Transition** | **Delay(ns)** | **Transition** | **Delay(ns)** |
| 0 to 1 | 0.721 | 15 to 14 | 0.551 |
| 1 to 2 | 0.634 | 14 to 13 | 0.579 |
| 2 to 3 | 0.685 | **13 to 12** | **0.440** |
| 3 to 4 | 0.64 | 12 to 11 | 0.651 |
| 4 to 5 | 0.645 | 11 to 10 | 0.468 |
| 5 to 6 | 0.596 | 10 to 9 | 0.681 |
| 6 to 7 | 0.754 | 9 to 8 | 0.495 |
| 7 to 8 | 0.643 | **8 to 7** | **0.830** |
| 8 to 9 | 0.601 | 7 to 6 | 0.571 |
| 9 to 10 | 0.571 | 6 to 5 | 0.725 |
| 10 to 11 | 0.554 | 5 to 4 | 0.519 |
| 11 to 12 | 0.563 | 4 to 3 | 0.785 |
| 12 to 13 | 0.502 | 3 to 2 | 0.540 |
| 13 to 14 | 0.519 | 2 to 1 | 0.801 |
| 14 to 15 | 0.782 | 1 to 0 | 0.557 |

Maximum delay=0.830ns發生在8 to 7時，minimum delay =0.440ns發生在13 to 12時。

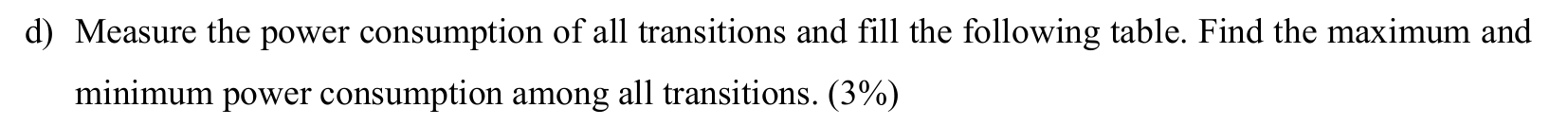


**8 to 7**有最長的delay，是因為T[7]變化的這條原本就是critical path了，因此maximum delay發生在這裡也蠻合理，再加上這時是要使B[0]變1，因此路徑上的邏輯閘有三個是要使輸出從0拉到1，兩個是要讓輸出從1拉到0，而因為我們由上面inverter的transfer curve可以推知NMOS的略小於PMOS的，而後面的unit邏輯閘都是因為想要得到與input buffer一樣的而設計的，因此理論上pull up阻值與pull down阻值的比例不變，因此計算Elmore delay model的話，路徑上較大的阻值使得delay較大，由此可知路徑上因為有較多級是要pull up，所以在8 to 7時的delay比7 to 8更加的大。這可以推廣到1 to 2和2 to 1, 3 to 4和 4 to 3, 5 to 6和 6 to 5, 9 to 10和 10 to 9, 11 to 12和12 to 11, 14 to 13和14 to 13 ，都是後者大於前者。而這也可以解釋所以普遍在output數字下降時，奇數 to 偶數（B[0]會是1變0）的delay較偶數 to 奇數（B[0]會是0變1）的delay小。

接下來附上NAND8的schematic：

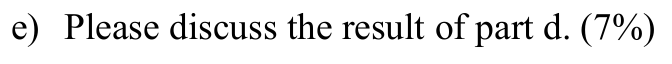


minimum delay發生在**13 to 12**第一是因為上面的理由導致13 to 12會是delay較小的一群。第二，是因為我把它接在圖中的A，如上次作業的例子，用Elmore delay model來估算的話，這裡的delay的話會比接在B~H的還要小，以input在A和H為例分別計算，則此處的delay分別會是：以及。依據上式可以知道因為13 to 12所需要放電的電容數量較少，要計算進delay的電容就比較少，所以會是最快的。也可以依據圖中的順序推得delay大小：7 to 6 > 1 to 0 > 3 to 2 > 5 to 4 > 9 to 8 > 11 to 10 > 13 to 12與pre-sim結果相符。不過15 to 14不在其中因為它的path與其他input都不相同。

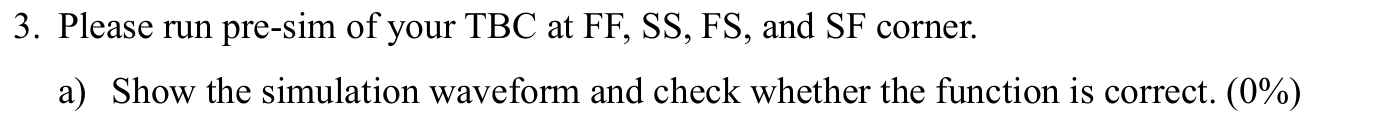


|  |  |  |  |
| --- | --- | --- | --- |
| **Pre-sim (TT corner)** | | | |
| **Transition** | **Power(mW)** | **Transition** | **Power(mW)** |
| 0 to 1 | 0.487 | 15 to 14 | 0.165 |
| 1 to 2 | 0.613 | 14 to 13 | 0.560 |
| 2 to 3 | 0.478 | **13 to 12** | 0.124 |
| 3 to 4 | 0.72 | 12 to 11 | 0.991 |
| 4 to 5 | 0.47 | 11 to 10 | 0.130 |
| 5 to 6 | 0.596 | 10 to 9 | 0.587 |
| 6 to 7 | 0.495 | 9 to 8 | 0.136 |
| 7 to 8 | 0.824 | **8 to 7** | 1.484 |
| 8 to 9 | 0.461 | 7 to 6 | 0.160 |
| 9 to 10 | 0.585 | 6 to 5 | 0.601 |
| 10 to 11 | 0.452 | 5 to 4 | 0.142 |
| 11 to 12 | 0.691 | 4 to 3 | 1.052 |
| 12 to 13 | 0.443 | 3 to 2 | 0.148 |
| 13 to 14 | 0.560 | 2 to 1 | 0.622 |
| 14 to 15 | 0.500 | 1 to 0 | 0.154 |
| Total Power Consumption: 0.498 | | | |

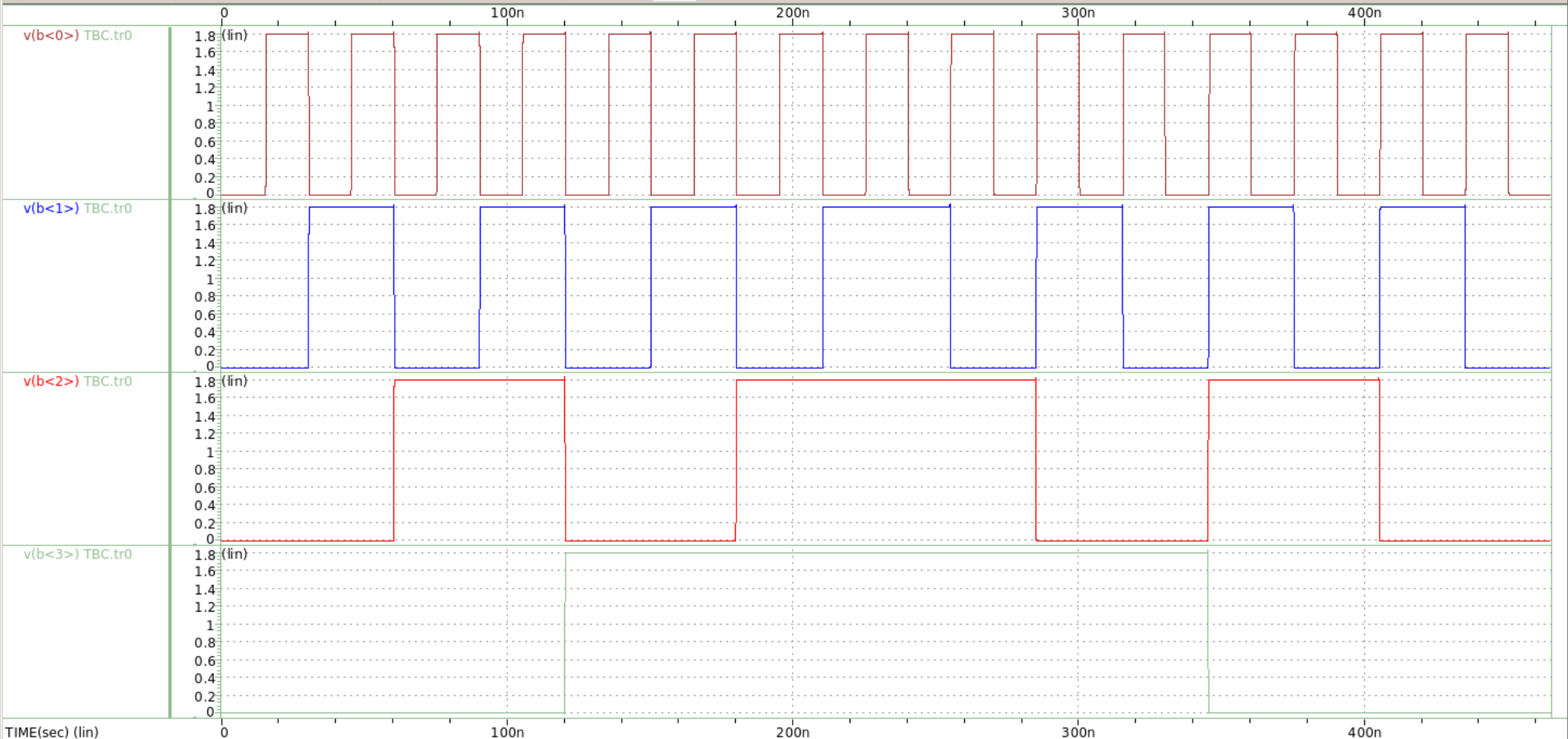
Maximum power consumption =1.484mW發生在8 to 7時，minimum power consumption =0.124mW發生在13 to 12時。



8 to 7的輸出變化是從1000變成0111，4條output都會需要翻轉，且有其中三條是需要對其output節點上的電容進行充電的，就會耗到很大的dynamic power，簡單說就是需要充電的電容會是所有transition中最多的，output數字上升過程中偶數to奇數以及output數字下降過程中奇數to偶數的功耗較小是因為一次都只翻一個輸出訊號而已，只有1條path上的gate在進行充放電，而output數字下降過程中奇數to偶數的功耗又更小是因為改變的那個output訊號是要放電的(1變0)，所以電源不用對這個電路中最大電容的節點充電，但仍有路徑上的某些節點是有被充電的，例如output的前一個夾在buffer中間的節點，在output放電變0時，它一定在充電變1。而13 to 12又是其中最小的，因為其delay最短，也可以說是PMOS最快被切斷，沒有需要VDD持續導通N/PMOS產生到地的通路，產生ID形成功耗，因此平均功耗是最小的。



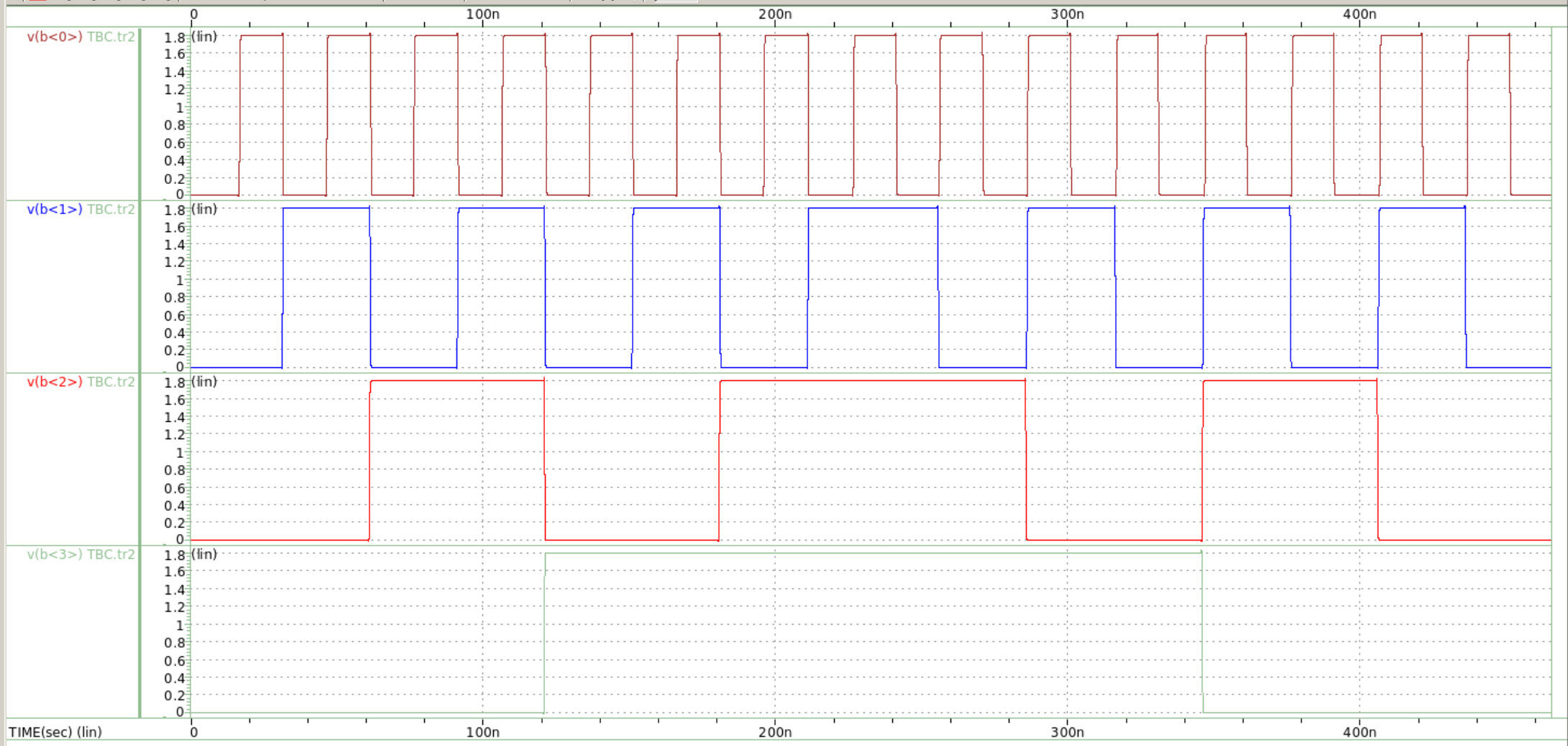
TT



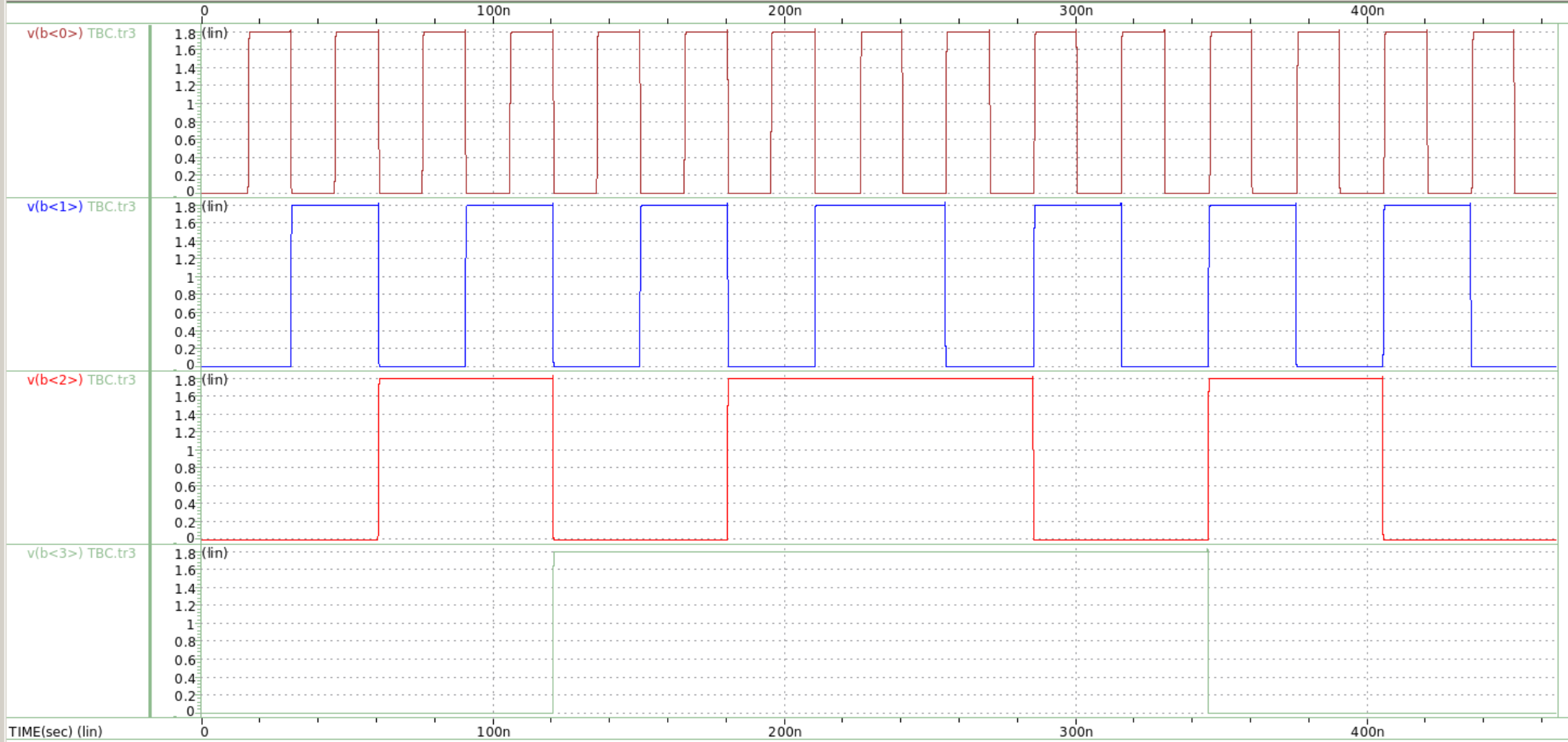
FF



SS



FS



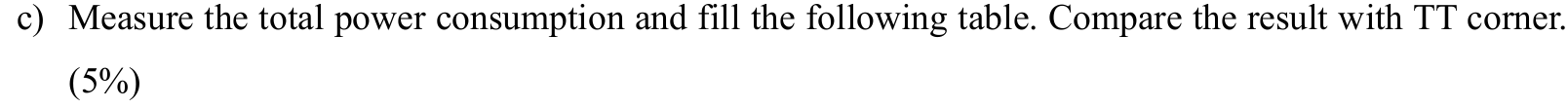
SF





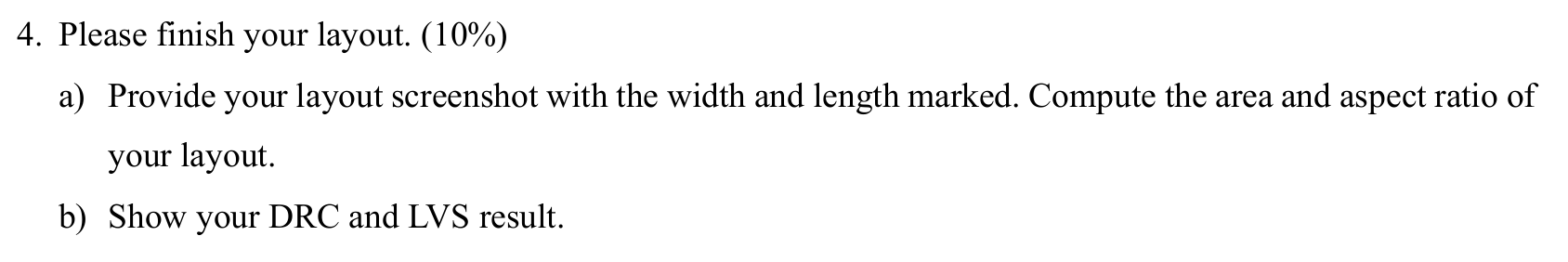
|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Transition** | Delay | | | | |
| TT | FF | SS | FS | SF |
| 0 to 1 | 0.721 | 0.614 | 1.795 | 1.136 | 1.01 |
| 1 to 2 | 0.634 | 0.541 | 1.608 | 0.876 | 1.079 |
| 2 to 3 | 0.685 | 0.584 | 1.704 | 1.067 | 0.98 |
| 3 to 4 | 0.64 | 0.547 | 1.619 | 0.892 | 1.076 |
| 4 to 5 | 0.645 | 0.55 | 1.602 | 0.994 | 0.942 |
| 5 to 6 | 0.596 | 0.509 | 1.494 | 0.84 | 0.976 |
| 6 to 7 | 0.754 | 0.643 | 1.875 | 1.201 | 1.034 |
| 7 to 8 | 0.643 | 0.549 | 1.641 | 0.847 | 1.152 |
| 8 to 9 | 0.601 | 0.514 | 1.489 | 0.916 | 0.896 |
| 9 to 10 | 0.571 | 0.489 | 1.419 | 0.819 | 0.907 |
| 10 to 11 | 0.554 | 0.474 | 1.361 | 0.834 | 0.843 |
| 11 to 12 | 0.563 | 0.485 | 1.387 | 0.778 | 0.918 |
| 12 to 13 | 0.502 | 0.431 | 1.22 | 0.747 | 0.779 |
| 13 to 14 | 0.519 | 0.446 | 1.268 | 0.733 | 0.821 |
| 14 to 15 | 0.782 | 0.668 | 1.917 | 1.273 | 1.013 |
| 15 to 14 | 0.551 | 0.468 | 1.42 | 0.694 | 1.022 |
| 14 to 13 | 0.579 | 0.498 | 1.42 | 0.854 | 0.905 |
| 13 to 12 | 0.44 | 0.376 | 1.082 | 0.613 | 0.7 |
| 12 to 11 | 0.651 | 0.559 | 1.61 | 0.979 | 0.994 |
| 11 to 10 | 0.468 | 0.399 | 1.168 | 0.639 | 0.773 |
| 10 to 9 | 0.681 | 0.583 | 1.706 | 0.994 | 1.071 |
| 9 to 8 | 0.495 | 0.42 | 1.251 | 0.661 | 0.849 |
| 8 to 7 | 0.83 | 0.709 | 2.067 | 1.309 | 1.156 |
| 7 to 6 | 0.571 | 0.483 | 1.48 | 0.731 | 1.055 |
| 6 to 5 | 0.725 | 0.619 | 1.82 | 1.072 | 1.117 |
| 5 to 4 | 0.519 | 0.44 | 1.326 | 0.683 | 0.918 |
| 4 to 3 | 0.785 | 0.67 | 1.977 | 1.177 | 1.187 |
| 3 to 2 | 0.54 | 0.457 | 1.389 | 0.701 | 0.976 |
| 2 to 1 | 0.801 | 0.684 | 2.013 | 1.214 | 1.185 |
| 1 to 0 | 0.557 | 0.472 | 1.44 | 0.717 | 1.022 |

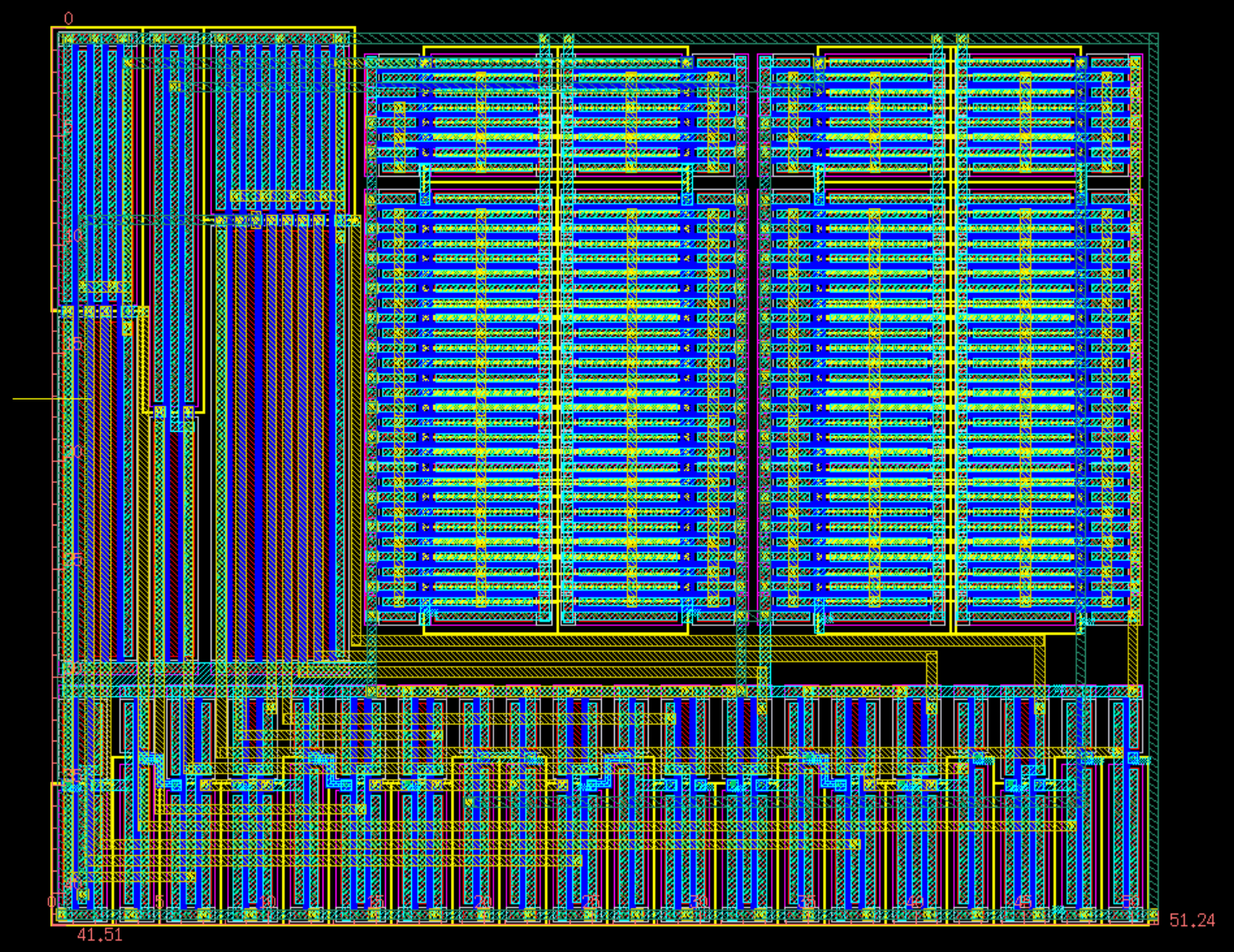
FF-corner時，N/PMOS的都變大，導通速度更快，因此延遲整體都更小；反之，SS-corner時，N/PMOS的都變小，導通速度更慢，因此延遲整體都更大。FS-corner時，整體的delay也是變大的，但是B[0]由0變1的transition的delay明顯要變大的更多，這是因為負責pull up network的PMOS是S-corner的，其載子速度變慢，因此output要從0變1時，會延遲的更明顯，不過B[0]由1變0的transition還是有delay更大的現象發生，因為路徑上還是有節點是需要被pull up的，這些節點的transition慢了也會影響到最終delay。反之，SF-corner時，則是B[0]由1變0的transition的delay變大的百分比更多，因為此時NMOS是S-corner的，其載子速度變慢，因此output要從1變0時，會延遲的更明顯，B[0]由0變1的transition還是有delay更大的現象發生，因為路徑上還是有節點是需要被pull down的，這些節點的transition慢了也會影響到最終delay。



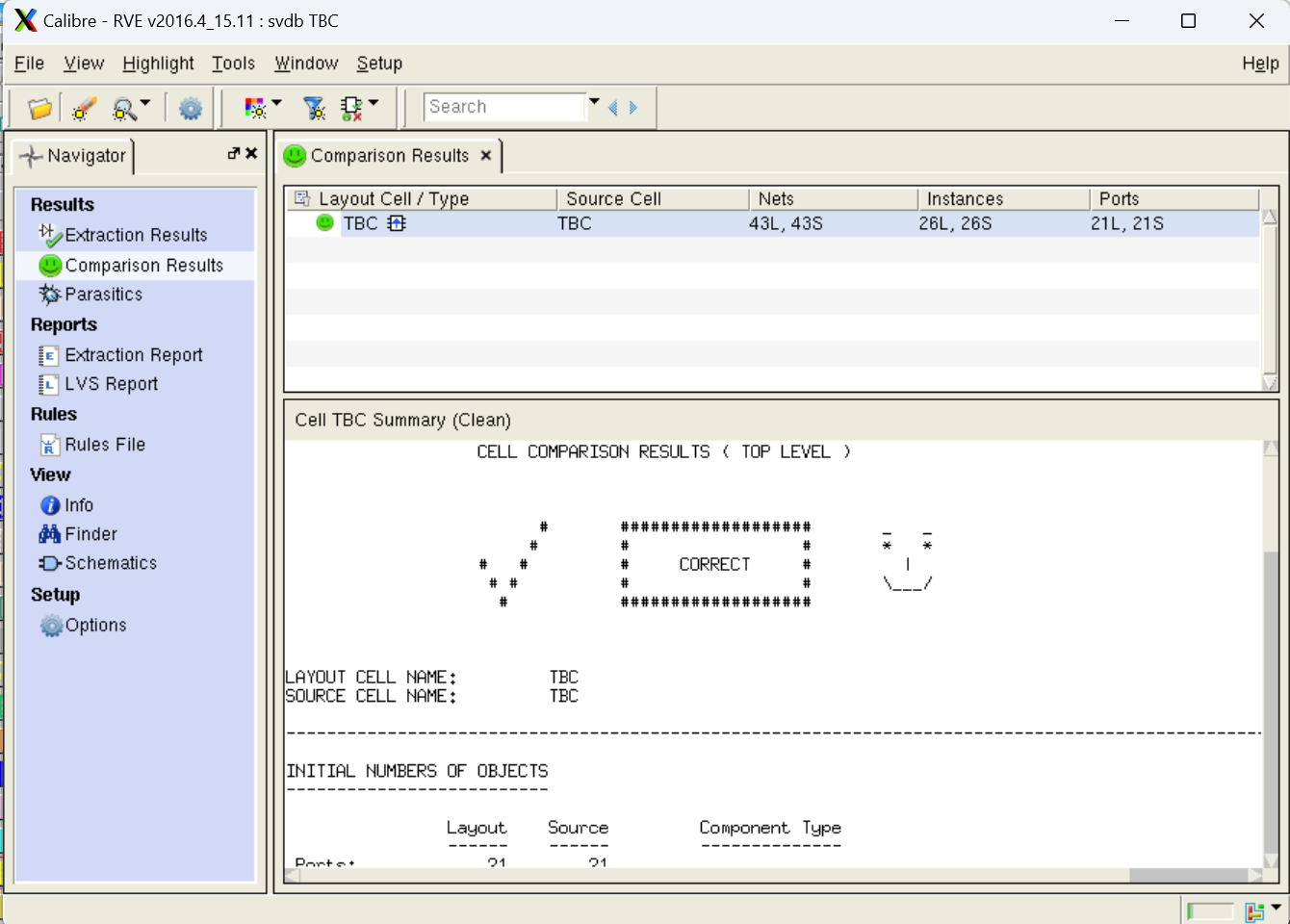
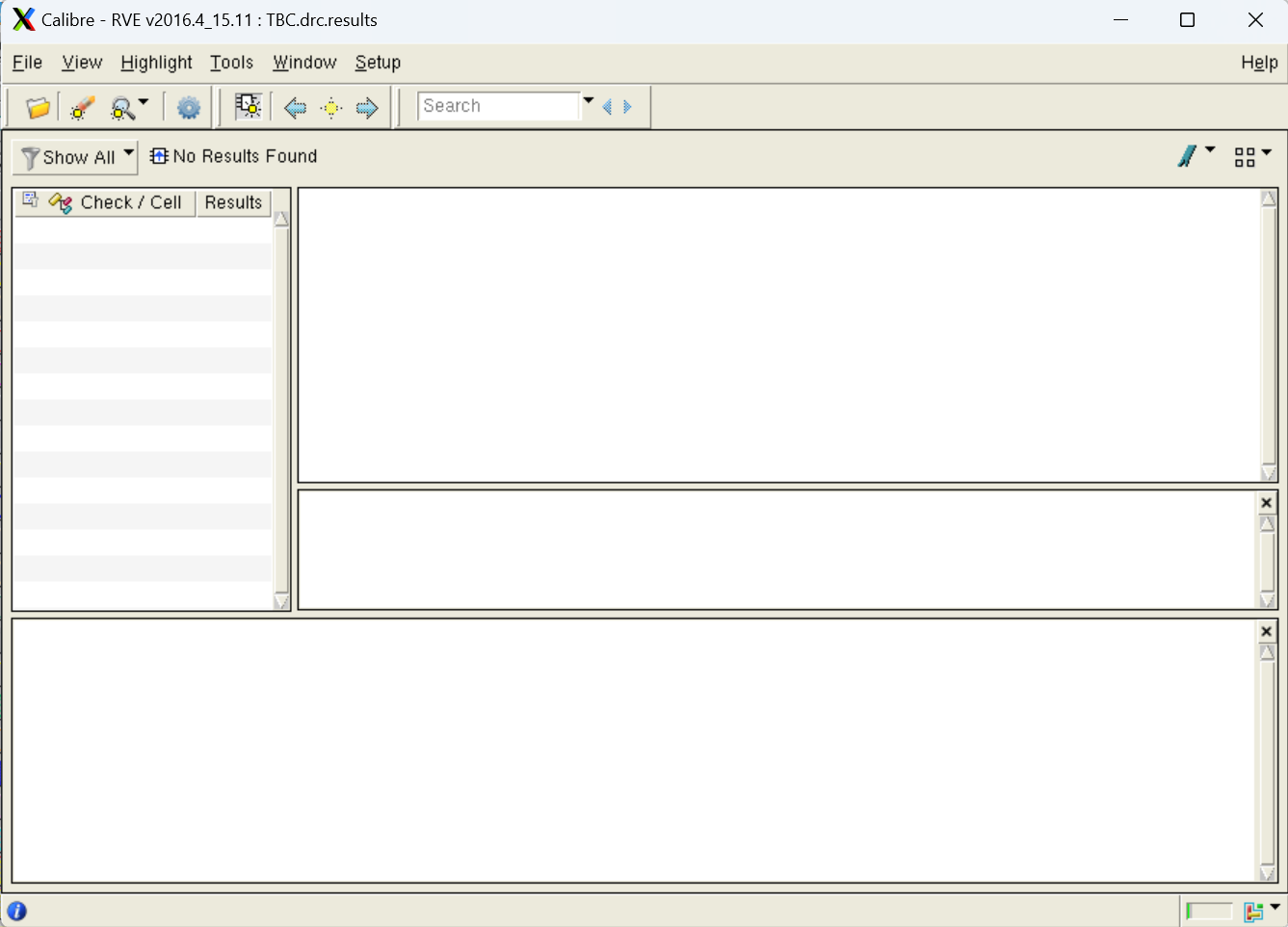
|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | TT | FF | SS | FS | SF |
| Total power consumption | 0.498 | 0.512 | 0.526 | 0.513 | 0.526 |

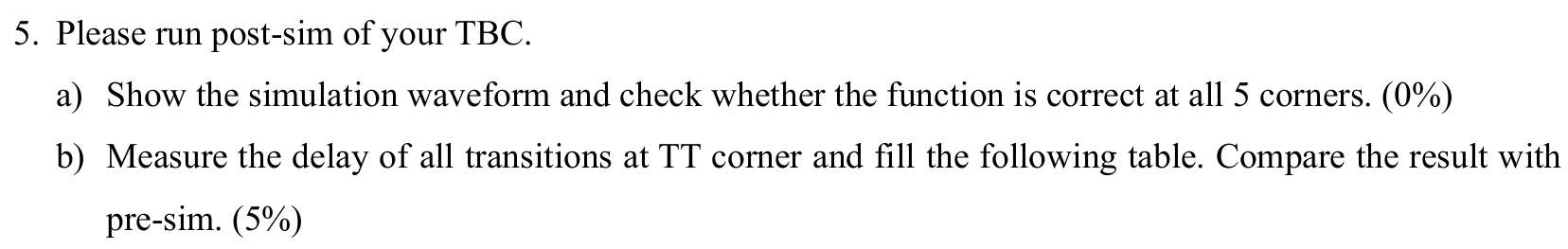
可以發現FF, SS, FS, SF的功耗都要略大於TT的，而NMOS為S-corner時，功耗幾乎完全一樣，NMOS為F-corner時，功耗幾乎完全一樣。



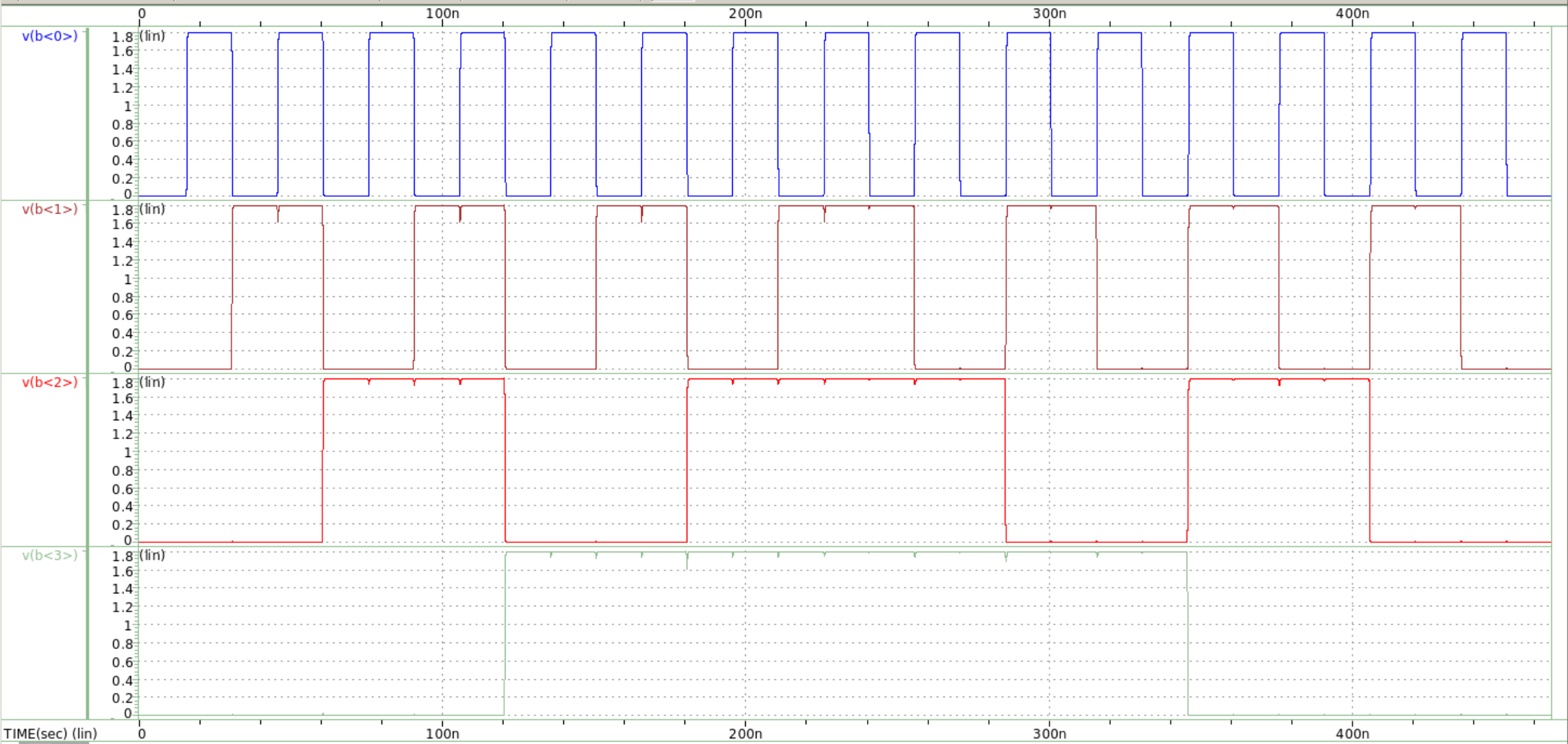


|  |  |
| --- | --- |
| Area( | Aspect ratio |
| 2126.972 | 1.234 |

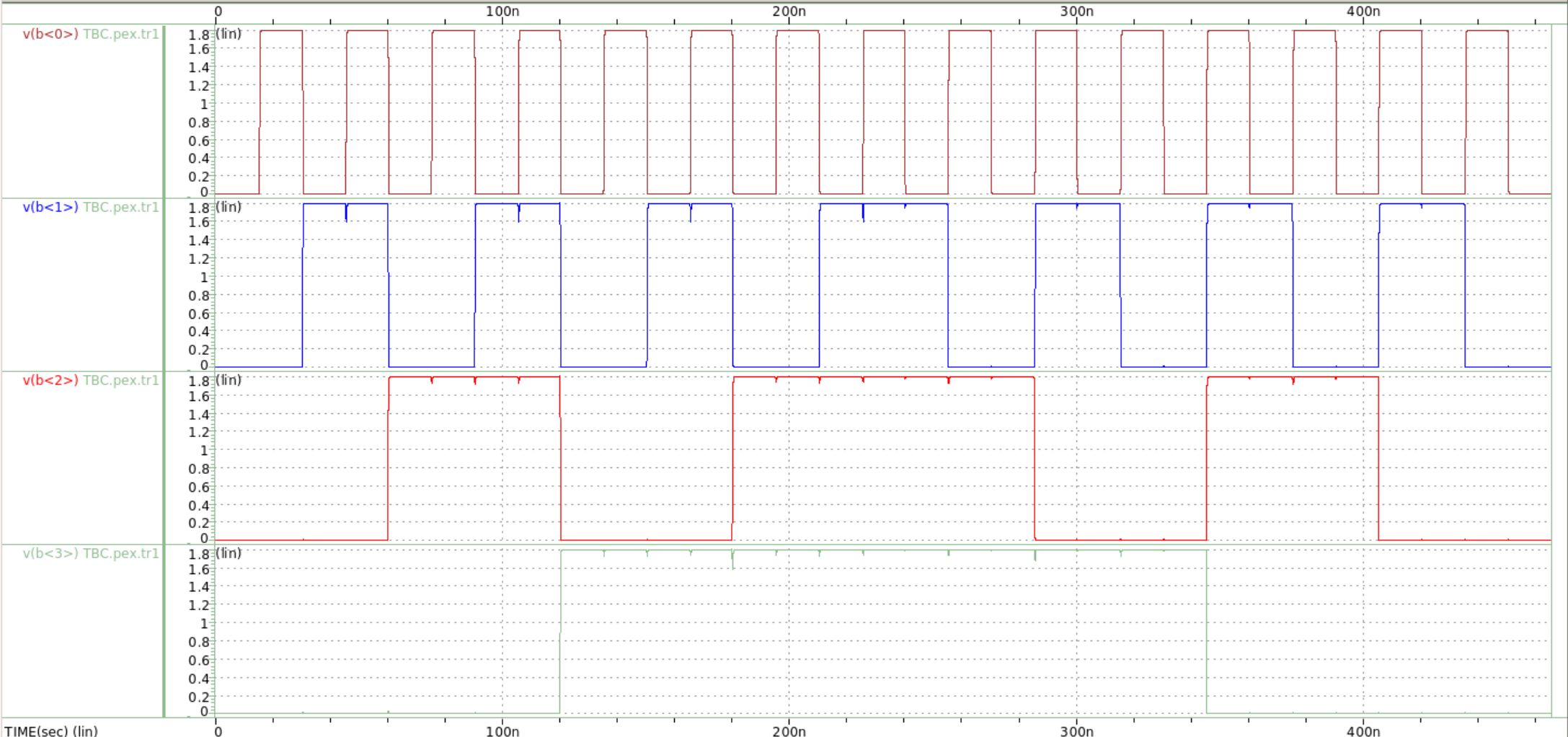




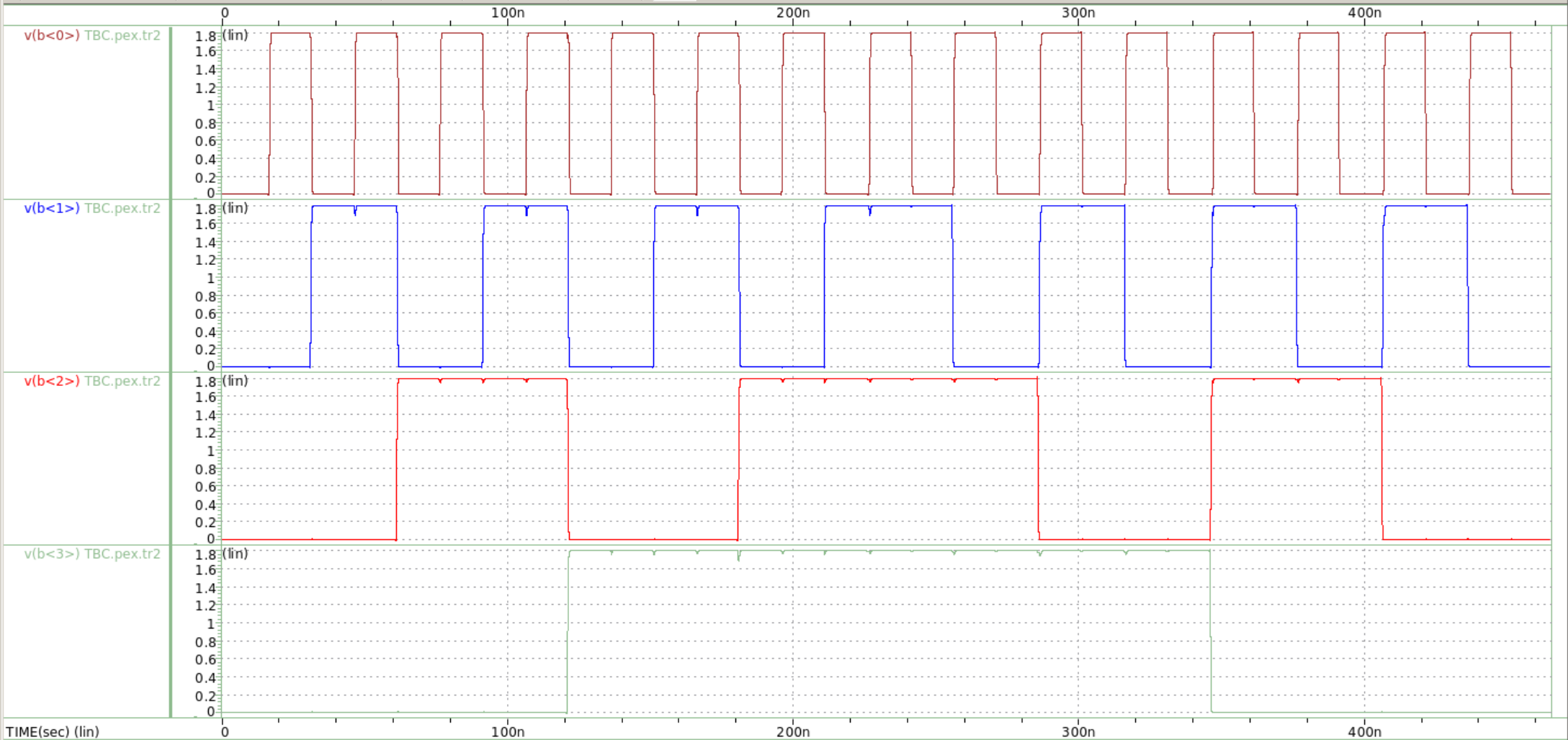
TT



FF



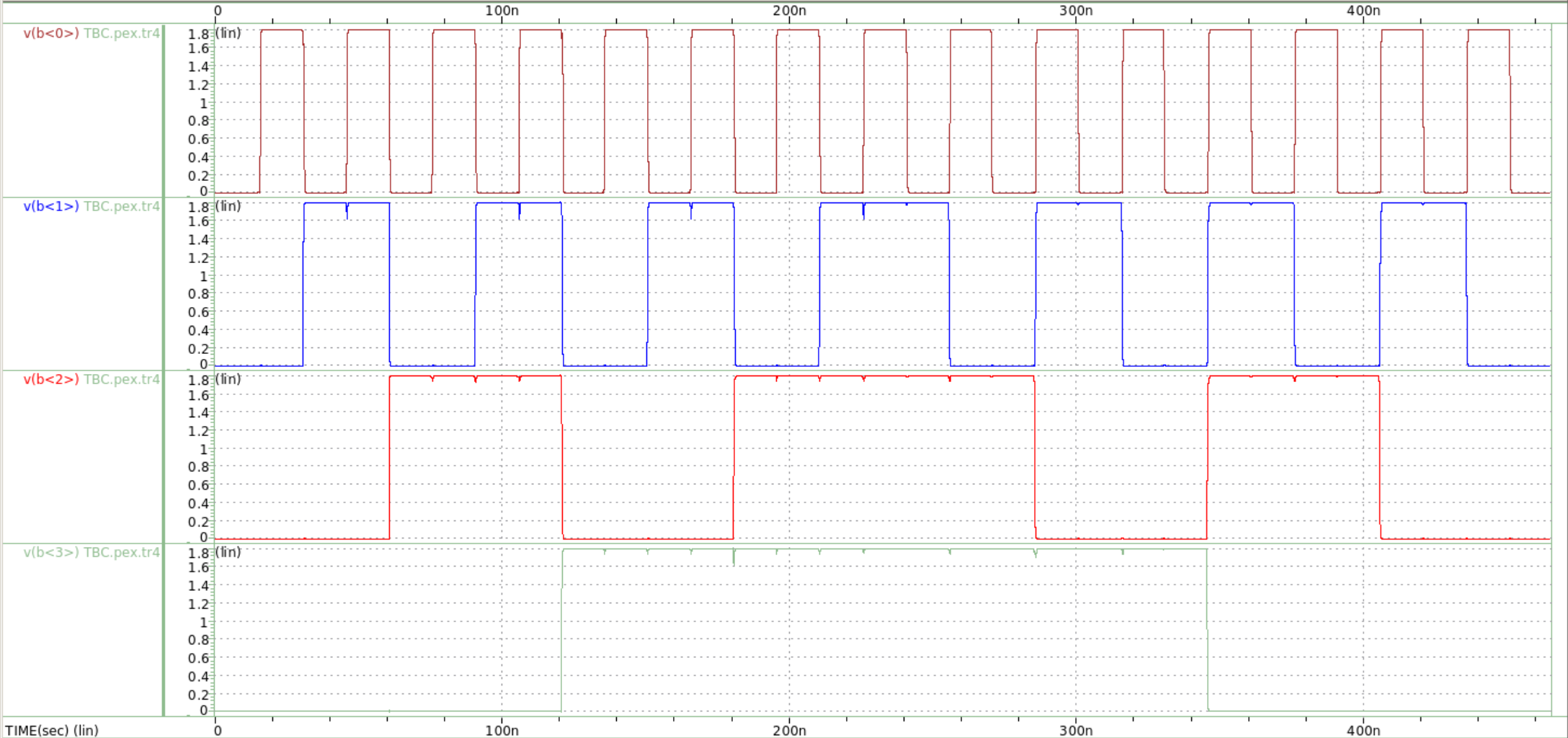
SS

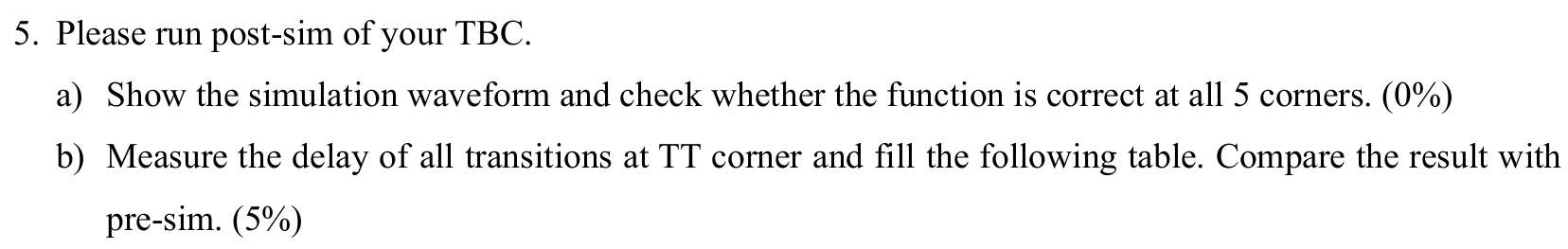


FS



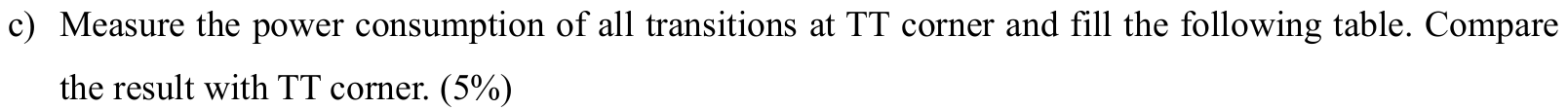
SF





|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Transition** | **Delay** | | **Transition** | **Delay** | |
| Pre-sim | Post-sim | Pre-sim | Post-sim |
| 0 to 1 | 0.721 | 0.757 | 15 to 14 | 0.551 | 0.631 |
| 1 to 2 | 0.634 | 0.734 | 14 to 13 | 0.579 | 0.667 |
| 2 to 3 | 0.685 | 0.721 | **13 to 12** | **0.44** | **0.515** |
| 3 to 4 | 0.64 | 0.732 | 12 to 11 | 0.651 | 0.759 |
| 4 to 5 | 0.645 | 0.694 | 11 to 10 | 0.468 | 0.544 |
| 5 to 6 | 0.596 | 0.693 | 10 to 9 | 0.681 | 0.754 |
| 6 to 7 | 0.754 | 0.782 | 9 to 8 | 0.495 | 0.569 |
| 7 to 8 | 0.643 | 0.739 | **8 to 7** | **0.83** | **0.900** |
| 8 to 9 | 0.601 | 0.659 | 7 to 6 | 0.571 | 0.642 |
| 9 to 10 | 0.571 | 0.676 | 6 to 5 | 0.725 | 0.788 |
| 10 to 11 | 0.554 | 0.617 | 5 to 4 | 0.519 | 0.591 |
| 11 to 12 | 0.563 | 0.663 | 4 to 3 | 0.785 | 0.862 |
| 12 to 13 | 0.502 | 0.574 | 3 to 2 | 0.54 | 0.608 |
| 13 to 14 | 0.519 | 0.626 | 2 to 1 | 0.801 | 0.852 |
| 14 to 15 | 0.782 | 0.817 | 1 to 0 | 0.557 | 0.627 |

可以發現post-sim的delay都略大於pre-sim的，這主要是因為post-sim多考慮了實際layout後多的寄生電容以及各節點與接點的電阻。但發生max.和min. delay的transition是沒有變的。



|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Transition** | **Power** | | **Transition** | **Power** | |
| Pre-sim | Post-sim | Pre-sim | Post-sim |
| 0 to 1 | 0.487 | 0.478 | 15 to 14 | 0.165 | 0.159 |
| 1 to 2 | 0.613 | 0.571 | 14 to 13 | 0.56 | 0.552 |
| 2 to 3 | 0.478 | 0.473 | **13 to 12** | **0.124** | **0.115** |
| 3 to 4 | 0.72 | 0.672 | 12 to 11 | 0.991 | 0.993 |
| 4 to 5 | 0.47 | 0.467 | 11 to 10 | 0.13 | 0.123 |
| 5 to 6 | 0.596 | 0.564 | 10 to 9 | 0.587 | 0.573 |
| 6 to 7 | 0.495 | 0.485 | 9 to 8 | 0.136 | 0.128 |
| 7 to 8 | 0.824 | 0.748 | **8 to 7** | **1.484** | **1.442** |
| 8 to 9 | 0.461 | 0.460 | 7 to 6 | 0.16 | 0.152 |
| 9 to 10 | 0.585 | 0.554 | 6 to 5 | 0.601 | 0.583 |
| 10 to 11 | 0.452 | 0.455 | 5 to 4 | 0.142 | 0.134 |
| 11 to 12 | 0.691 | 0.643 | 4 to 3 | 1.052 | 1.021 |
| 12 to 13 | 0.443 | 0.448 | 3 to 2 | 0.148 | 0.14 |
| 13 to 14 | 0.56 | 0.528 | 2 to 1 | 0.622 | 0.60 |
| 14 to 15 | 0.5 | 0.488 | 1 to 0 | 0.154 | 0.145 |
| Total Power Consumption (Pre-sim): 0.498  Total Power Consumption (Post-sim): 0.480 | | | | | |

可以發現post-sim的power都略小於pre-sim的，但發生max.和min. power的transition是沒有變的。下面三張圖：

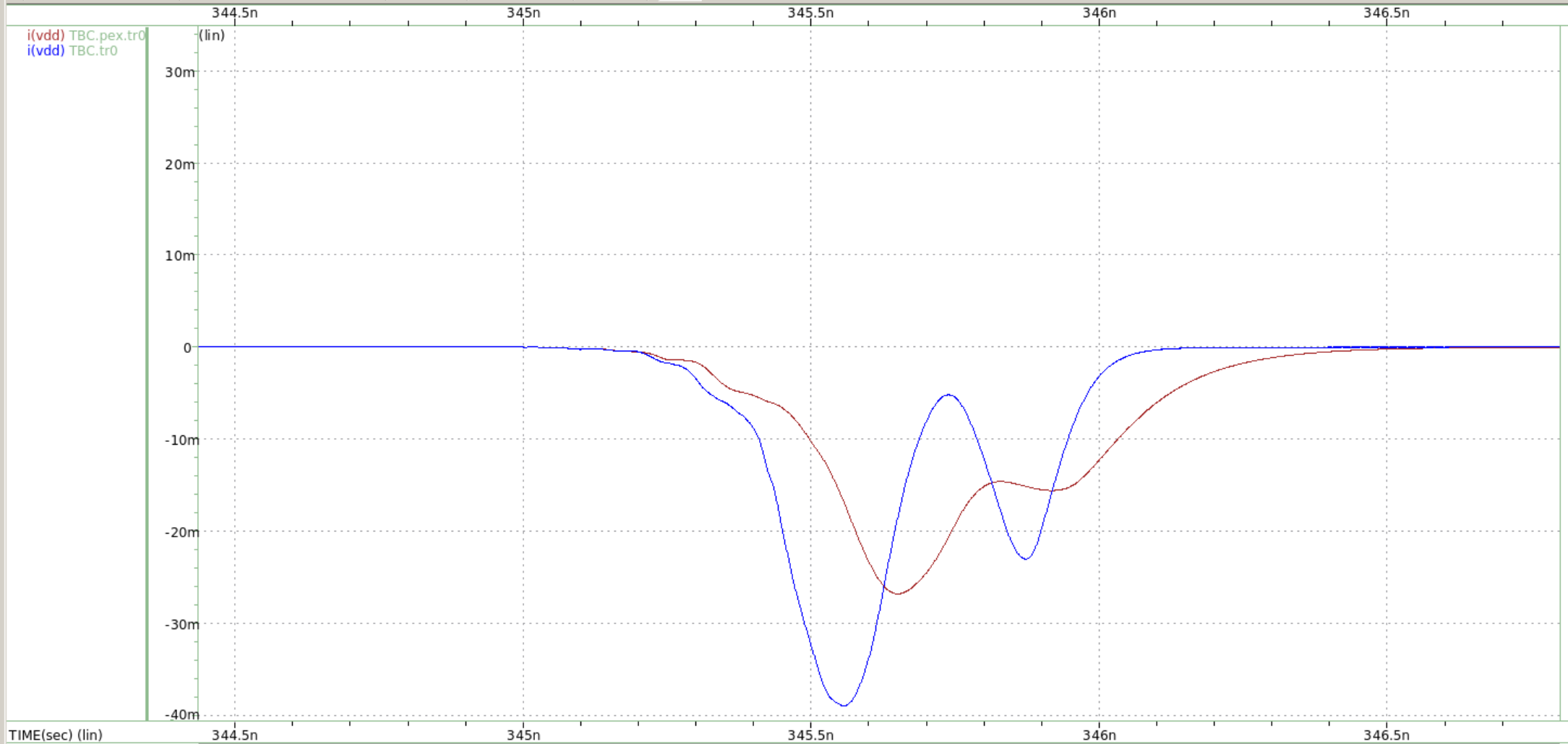
(a)上為post-sim，下為pre-sim的I(VDD)的time diagram



(b)兩訊號的疊圖(藍線是presim, 紅線是postsim)



(c)疊圖的其中一小段(8 to 7 transition)



可以看到pre-sim的I最大值確實比post-sim的更大



|  |  |
| --- | --- |
| **SPEC Table** | |
| **Design item** | **Your Design** |
| Power Supply | 1.8V |
| Max. Delay at TT corner (Pre-sim) | 0.830ns |
| Max. Delay at TT corner (Post-sim) | 0.900ns |
| Total Power consumption at TT corner (Post-sim) | 0.480mW |
| Layout Area | 2126.972 |
| Layout Aspect Ratio | 1.234 |
| Figure of Merit (FoM) | 11.392 |