

HW2

Student ID: 113063572

Name: 王品然

1. Run simulation to answer the following question, using VDD = 1.8V. (45%)

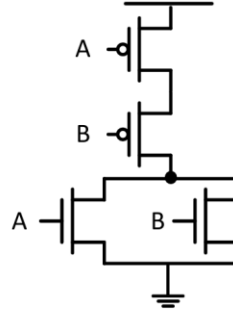
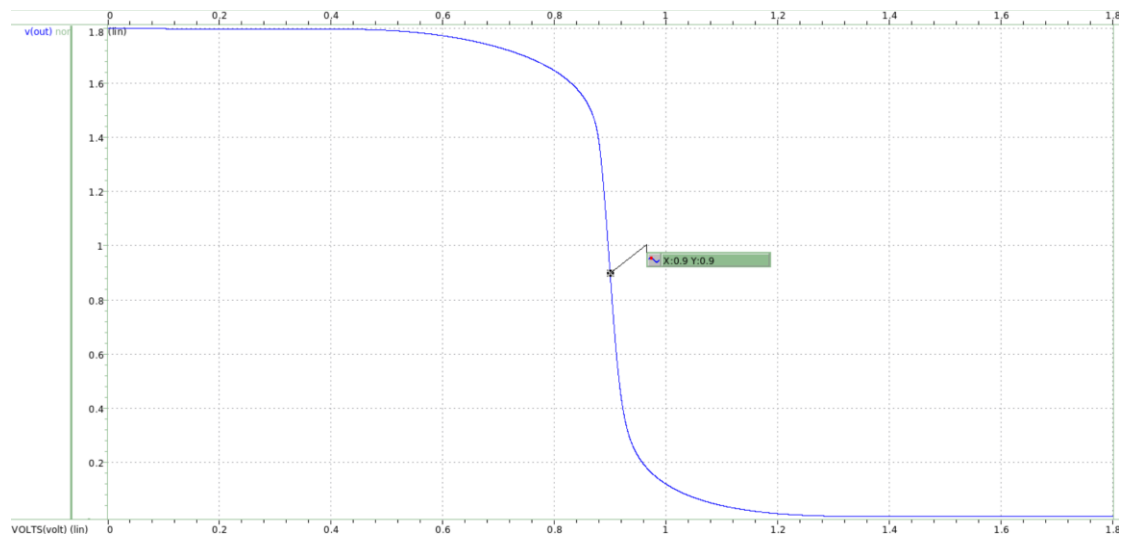


Fig. 1

- (a). Please design 2-input NOR gate. Please design with $\left(\frac{w}{l}\right)_n = \frac{2\mu m}{0.2\mu m}$ and $\left(\frac{w}{l}\right)_p = \text{your design}$.

Connect the two inputs together to run the transfer curve, the transition point should be $V_{out} = 0.5V_{DD}$ @ $V_{in} = 0.5V_{DD}$ (Only at TT corner). (5%)

使用 .dc 掃過 Wp 參數，並使 A, B 接 V_{in} 固定在 0.9V，找到 $V_{out}=0.9V$ 對應之 Wp 數值。找到的 $\left(\frac{W}{L}\right)_p \cong \frac{28.62\mu m}{0.2\mu m}$ 。transfer curve 如下圖所示：



- (b). Using the 2-input NOR designed in (a) with VDD = 1.8V.

Please add a loading capacitor $C_{load} = 2pF$ at the output node. Run HSPICE transient simulation of 3 cases at 3 corners and fill up the Table. 1. (10%)

The CLK signal in Table 1 is a periodic pulse signal with a frequency of 1 MHz, a rising time/falling time of 0.1 ns, and a voltage range of 1.8-0V.

運用 hspice 中的 .meas 功能測量 delay time 與 rise/fall time，過程與結果如下：

	Case 1			Case 2			Case 3		
A	CLK			0V			CLK		
B	0V			CLK			CLK		
Corner	TT	SS	FF	TT	SS	FF	TT	SS	FF
t_{pHL}	1.7516n	3.1835n	1.5271n	1.6758n	3.0197n	1.4646n	856.6141p	1.5396n	750.1360p
t_{pLH}	637.1964p	1.1650n	548.9481p	621.9445p	1.1322n	536.9697p	635.1035p	1.1539n	550.5755p
t_r	1.3035n	2.3541n	1.1360n	1.3031n	2.3542n	1.1357n	1.3038n	2.3547n	1.1358n
t_f	3.0885n	5.8297n	2.686n	2.9922n	5.6339n	2.6007n	1.4984n	2.8236n	1.3018n

Case 1:

Measure command:

```
.tran 0.1p 4u
.meas tran t_phl trig v(A) val=0.5*VDD rise=2 targ v(out) val=0.5*VDD fall=2
.meas tran t_plh trig v(A) val=0.5*VDD fall=2 targ v(out) val=0.5*VDD rise=2
.meas tran t_r trig v(out) val=0.1*VDD rise=2 targ v(out) val=0.9*VDD rise=2
.meas tran t_f trig v(out) val=0.9*VDD fall=2 targ v(out) val=0.1*VDD fall=2
```

Results:

TT

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
t_phl= 1.7516n targ= 1.5018u trig= 1.5001u
t_plh= 637.1964p targ= 2.0008u trig= 2.0002u
t_r= 1.3035n targ= 2.0016u trig= 2.0003u
t_f= 3.0885n targ= 1.5035u trig= 1.5004u
```

SS

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
t_phl= 3.1835n targ= 1.5032u trig= 1.5001u
t_plh= 1.1650n targ= 2.0013u trig= 2.0002u
t_r= 2.3541n targ= 2.0028u trig= 2.0004u
t_f= 5.8297n targ= 1.5066u trig= 1.5007u
```

FF

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
t_phl= 1.5271n targ= 1.5016u trig= 1.5001u
t_plh= 548.9481p targ= 2.0007u trig= 2.0002u
t_r= 1.1360n targ= 2.0014u trig= 2.0003u
t_f= 2.6864n targ= 1.5031u trig= 1.5004u
```

Case 2:

Measure command:

```
.tran 0.1p 4u
.meas tran t_phl trig v(B) val=0.5*VDD rise=2 targ v(out) val=0.5*VDD fall=2
.meas tran t_plh trig v(B) val=0.5*VDD fall=2 targ v(out) val=0.5*VDD rise=2
.meas tran t_r trig v(out) val=0.1*VDD rise=2 targ v(out) val=0.9*VDD rise=2
.meas tran t_f trig v(out) val=0.9*VDD fall=2 targ v(out) val=0.1*VDD fall=2
```

Results:

TT

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
t_phl= 1.6758n targ= 1.5017u trig= 1.5001u
t_plh= 621.9445p targ= 2.0008u trig= 2.0002u
t_r= 1.3031n targ= 2.0016u trig= 2.0003u
t_f= 2.9922n targ= 1.5034u trig= 1.5004u
```

SS

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
t_phl= 3.0197n targ= 1.5031u trig= 1.5001u
t_plh= 1.1322n targ= 2.0013u trig= 2.0002u
t_r= 2.3542n targ= 2.0027u trig= 2.0004u
t_f= 5.6339n targ= 1.5064u trig= 1.5007u
```

FF

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
t_phl= 1.4646n targ= 1.5015u trig= 1.5001u
t_plh= 536.9676p targ= 2.0007u trig= 2.0002u
t_r= 1.1357n targ= 2.0014u trig= 2.0003u
t_f= 2.6007n targ= 1.5030u trig= 1.5004u
```

Case 3:

Measure command:

```
.tran 0.1p 4u
.meas tran t_phl trig v(AB) val=0.5*VDD rise=2 targ v(out) val=0.5*VDD fall=2
.meas tran t_plh trig v(AB) val=0.5*VDD fall=2 targ v(out) val=0.5*VDD rise=2
.meas tran t_r trig v(out) val=0.1*VDD rise=2 targ v(out) val=0.9*VDD rise=2
.meas tran t_f trig v(out) val=0.9*VDD fall=2 targ v(out) val=0.1*VDD fall=2
```

備註：把 A, B 黏在一起，叫做並稱此節點為”AB”

Results:

TT

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
t_phl= 856.6141p targ= 1.5009u trig= 1.5001u
t_plh= 635.1035p targ= 2.0008u trig= 2.0002u
t_r= 1.3038n targ= 2.0016u trig= 2.0003u
t_f= 1.4984n targ= 1.5018u trig= 1.5003u
```

SS

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
t_phl= 1.5396n targ= 1.5016u trig= 1.5001u
t_plh= 1.1539n targ= 2.0013u trig= 2.0002u
t_r= 2.3547n targ= 2.0028u trig= 2.0004u
t_f= 2.8236n targ= 1.5032u trig= 1.5004u
```

FF

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
t_phl= 750.1360p targ= 1.5008u trig= 1.5001u
t_plh= 550.5755p targ= 2.0007u trig= 2.0002u
t_r= 1.1358n targ= 2.0014u trig= 2.0003u
t_f= 1.3018n targ= 1.5015u trig= 1.5002u
```

另外，我們也能運用 custom waveview 的測量工具，直接在圖上測量 delay time 與 rise/fall time 做一個雙重確認，過程與結果如下：

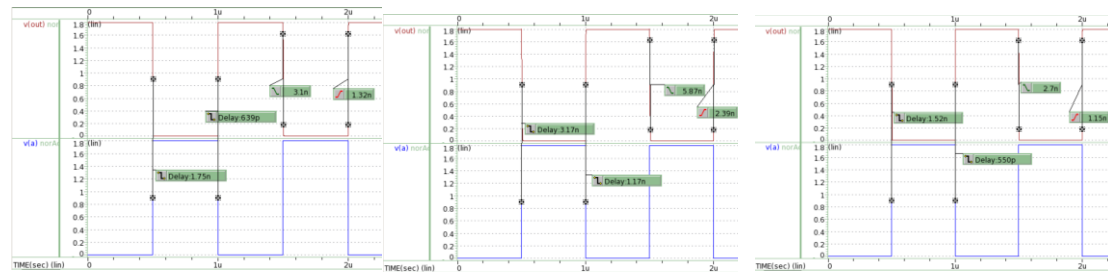
	Case 1			Case 2			Case 3		
A	CLK			0V			CLK		
B	0V			CLK			CLK		
Corner	TT	SS	FF	TT	SS	FF	TT	SS	FF
t_{pHL}	1.75n	3.17n	1.52n	1.66n	2.98n	1.45n	848p	1.52n	743p
t_{pLH}	639p	1.17n	550p	627p	1.15n	542p	642p	1.17n	556p
t_r	1.32n	2.39n	1.15n	1.35n	2.46n	1.17n	1.36n	2.49n	1.18n
t_f	3.1n	5.87n	2.7n	3.03n	5.72n	2.63n	1.52n	2.88n	1.32n

Case 1:

TT

SS

FF

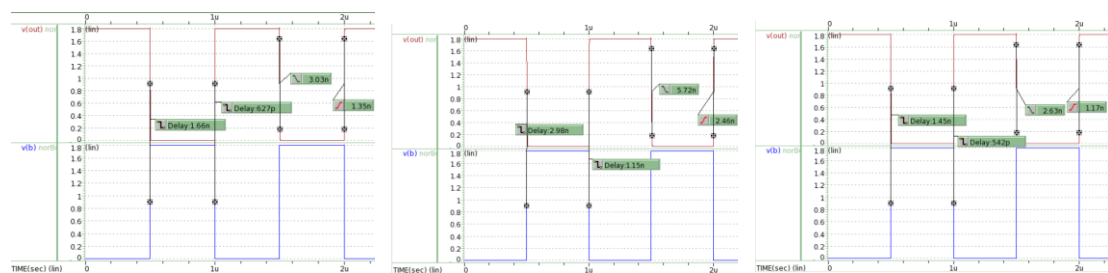


Case 2:

TT

SS

FF

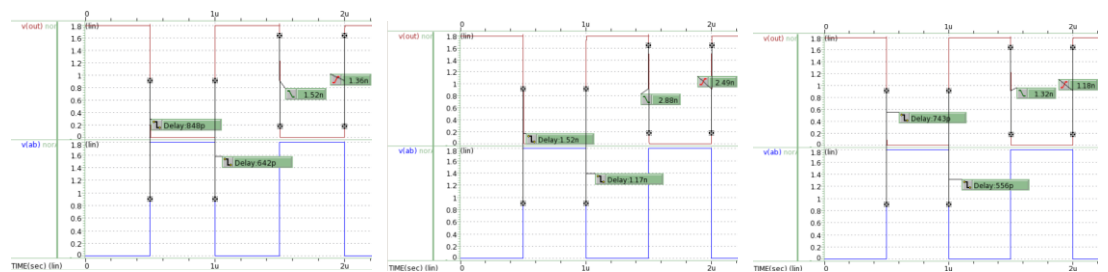


Case 3:

TT

SS

FF



可以發現其實兩種測量方法的數值不盡相同，但誤差都很小，主要源於測算方法的不同，兩個結果都是設定.tran 0.1p 4u，但 waveview 給的數值只到 1e-12 的 order，而相反的.meas 給出的結果直接到了 1e-16 的 order，測算的精確度也有差異。

(c). Please comment on the differences. (15%)

1. 同 corner 不同 case

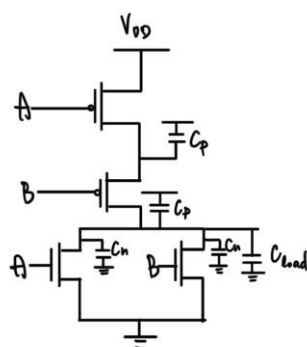
(1) t_f 和 t_r

在 Case 1, 2 中 t_f 和 t_r 則幾乎相同，因為充放電機制相同。至於 Case 1, 2 與 Case 3 的不同之處在於 Case 1, 2 是兩個訊號源，一個固定一個改變，而 Case 3 是兩個訊號源一起同向改變。Case 3 的 t_f 比起 Case 1, 2 快了差不多一倍，但 t_r

卻沒有甚麼變化。造成不同 case 之間 t_f , t_r 差距的原因可以藉由 trace 在訊號源改變時電路的行為得知。以 Case 1 作為 Case 1, 2 的代表，當 output 從高電位被拉回低電位(fall)時，是因 A 從 0 變 1.8V，會使得原本開啟的 PMOS(A)關閉，並同時開啟原本關閉的 NMOS(A)，使得輸出被開啟的 NMOS 拉到 0，注意此時只有一顆 NMOS 是開啟的(NMOS(B)被固定成關閉狀態)，因此只有一條電流在為負載和寄生電容放電；另一方面，Case 3 是 A, B 訊號同時變化，使得在 (A, B)=(0, 0)轉變到 (A, B)=(1.8, 1.8)時，會有兩顆 NMOS 同時開啟，出現差不多兩倍的電流同時為負載和寄生電容放電，因此時間也差不多只要一半就可以完成，所以 Case 3 的 t_f 比 Case 1, 2 的短了大約一倍。但當 output 從低電位要充電到高電位時，則是不管在 Case 1, 2 或 Case 3 中都是一樣的導通情況，都必須是兩顆 PMOS 同時開啟對電容充電，因此 t_r 並無顯著的差別。

(2) t_{pHL} 和 t_{pLH}

至於 t_{pHL} , t_{pLH} 可以藉由估算路徑上的 delay time 得到，先把 nor 的負載與寄生電容畫出來如下圖：

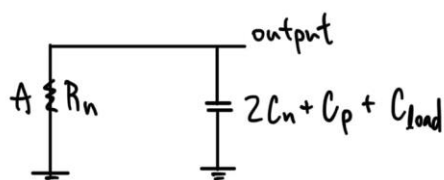


* 只有畫主要影響 delay 的電容
 C_p 代表 PMOS 的寄生電容
 C_n 代表 NMOS 的寄生電容
 R_p 代表 PMOS 的 R_{on}
 R_n 代表 NMOS 的 R_{on}

此圖沒有考慮 NMOS 在 layout 時可以合併 drain 的情況，不過不影響估算結論
 接著用 Elmore model 的方式估算 delay：

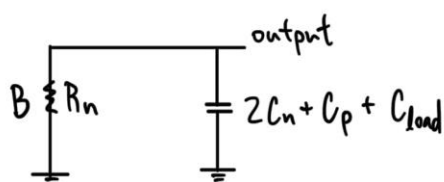
t_{pHL}

Case 1 - A: 0 \rightarrow 1, B: 0



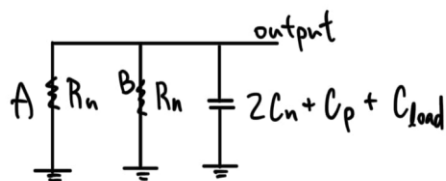
$$\Rightarrow t_{pHL} = R_n \cdot (2C_n + C_p + C_{load})$$

Case 2 - A: 0, B: 0 \rightarrow 1



$$\Rightarrow t_{pHL} = R_n \cdot (2C_n + C_p + C_{load})$$

Case 3 - A: 0 → 1, B: 0 → 1

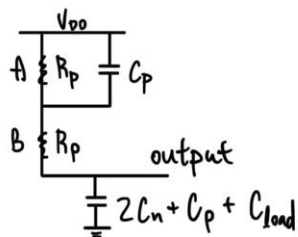


$$\Rightarrow t_{pHL} = \frac{R_n}{2} \cdot (2C_n + C_p + C_{load})$$

可以由估算出來的結果看出 Case 3 的 t_{pHL} 會是 Case 1, 2 的一半，因為 Case 3 同時有兩個 NMOS 開啟，使得電阻減半，delay 減半，因此也可以說 Case 3 的 t_{pHL} 是 best case，也就是 t_{cdf} 。這個估計結果與 pre-sim 結果相符。

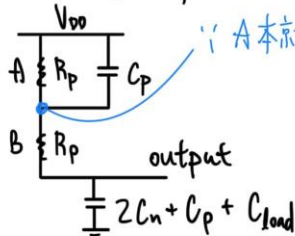
t_{pLH}

Case 1 - A: 1 → 0, B: 0



$$\Rightarrow t_{pLH} = 2R_p \cdot (2C_n + C_p + C_{load}) + R_p \cdot C_p$$

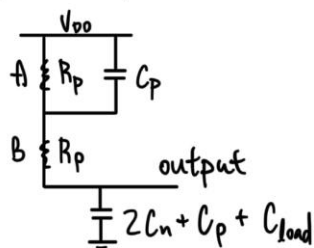
Case 2 - A: 0, B: 1 → 0



∵ A 本就是 0，此節點已被拉到高電位，∴ 不用算 C_p 造成的 delay

$$\Rightarrow t_{pLH} = 2R_p \cdot (2C_n + C_p + C_{load})$$

Case 3 - A: 1 → 0, B: 1 → 0



$$\Rightarrow t_{pLH} = 2R_p \cdot (2C_n + C_p + C_{load}) + R_p \cdot C_p$$

可以由估算出來的結果看出 Case 2 的 t_{pLH} 會略小於 Case 1, 3 的，原因如圖中藍筆所注釋的，所以儘管 Case 2 會是最短的 delay，但也只短一點點而已，因為 $R_p C_p \ll 2R_p (2C_n + C_p + C_{load})$ 。因此也可以說 Case 2 的 t_{pLH} 即為此電路的 best

case，也就是 t_{cdr} 。這個估計結果與 pre-sim 結果相符。

2. 同 corner 同 case

(1) t_{pHL} 和 t_{pLH} 比較

如上圖的手寫估算以及 pre-sim 的結果，可以清楚比較同 case 同 corner 下， t_{pHL} 皆大於 t_{pLH} ，尤其是在 Case 1, 2 時最為明顯，因為 W_n 遠小於 W_p (大約差 14 倍)，造成儘管 μ_n 會是 μ_p 的數倍(理論上是兩倍左右)， β_n 仍然小於 β_p 數倍，又因為 R_{on} 由 I-V curve 斜率倒數決定，而斜率倒數與 β 成反比，所以最終 R_n 會大數倍於 R_p ，這最終導致即使 t_{pLH} 多了一項 $R_p C_p$ (在 Case 1 的時候才有，Case 2 沒有 $R_p C_p$) 仍會遠小於 t_{pHL} 。Case 3 時， t_{pHL} 的 R_n 因為並聯而相當於被砍半了，因此更接近 t_{pLH} ，但 t_{pHL} 仍舊大於 t_{pLH} ，因為依照上面的推論 R_n 不只是 R_p 的兩倍而已。

(2) t_r 和 t_f 比較

從 pre-sim 的結果可以清楚比較同 case 同 corner 下， t_f 皆大於 t_r ，尤其是在 Case 1, 2 最為明顯。藉由 $\frac{dV_{out}(t)}{dt} = \frac{I(t)}{C}$ ，其中 $C = 2C_n + C_p + C_L$ 。I(t)與 β 正相

關，由上一段落的解釋可知 $\beta_n < \beta_p$ ，因此 $I_n < I_p$ ，由此可知，fall 時的 $\frac{dV_{out}(t)}{dt}$

會大於 rise 時的， $\frac{dV_{out}(t)}{dt}$ 代表著充放電的速度，與充放電的時間呈負相關，因

此最終可知 t_f 大於 t_r 。Case 3 時，因為並聯的兩顆 NMOS 同時開啟，因此相較於 Case 1, 2 的等效 W_n 增大兩倍，因此等效 β_n 增大兩倍， I_n 增大兩倍，但仍然不

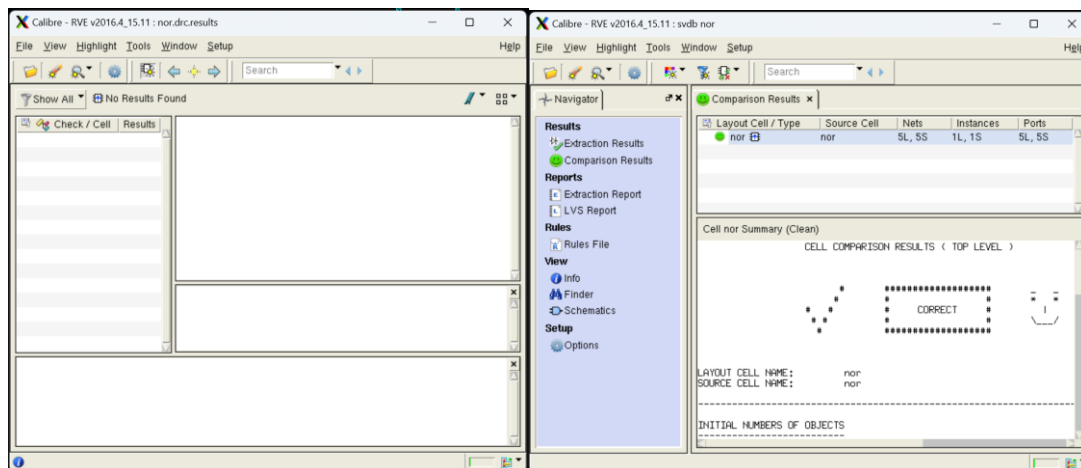
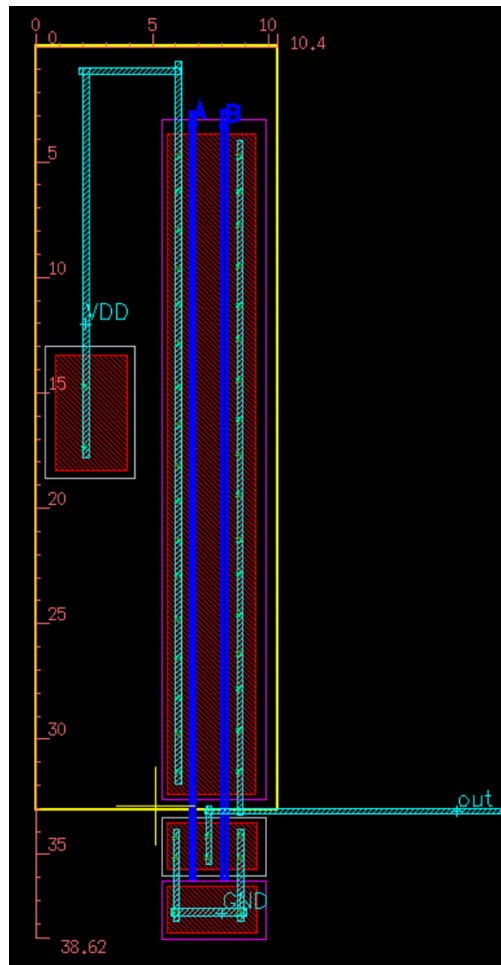
及 I_p ，就如同上面所討論的， β_n 小了 β_p 不只兩倍，因此 fall 時的 $\frac{dV_{out}(t)}{dt}$ 仍然大於

rise 時的， t_f 仍然大於 t_r ，但會比 Case 1, 2 更為接近。

3. 不同 corner 同 case

同個 Case 底下，SS 時，因為 PMOS 和 NMOS 的載子移動速率都下降，所以 delay time 還有 rise/fall time 皆上升；反之 FF 時，因為 PMOS 和 NMOS 的載子移動速率都上升，所以 delay time 還有 rise/fall time 皆下降。至於 TT 則介於兩者之間。

- (d). Finish the layout, DRC, and LVS. Paste the photo of the layout, DRC result, and LVS result in your report. Please mark the length and width on the layout and calculate the area (μm^2). (10%)



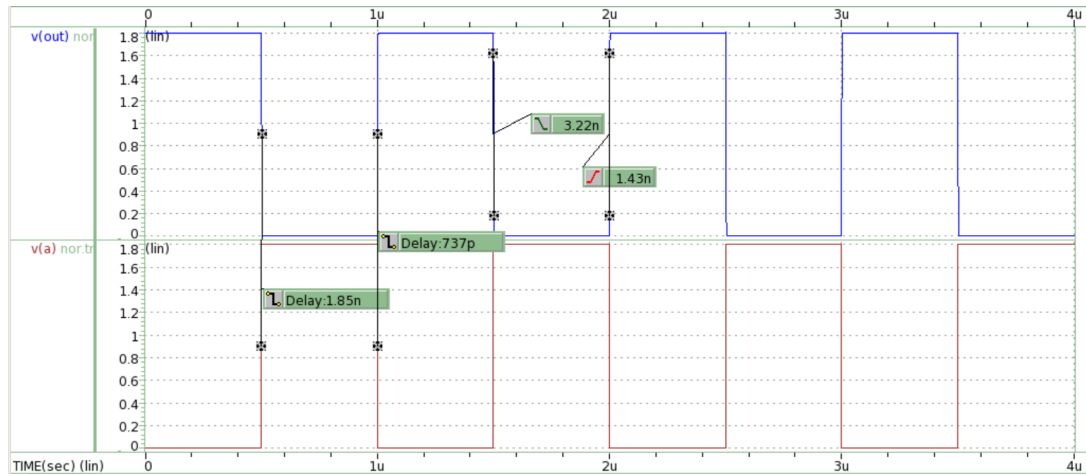
$$area = 38.62 \times 10.4 = 401.648(\mu m^2)$$

(e). Run the post-layout simulation and compare it with the pre-sim (b). Please fill up the table.1 with post-layout simulation, too (5%)

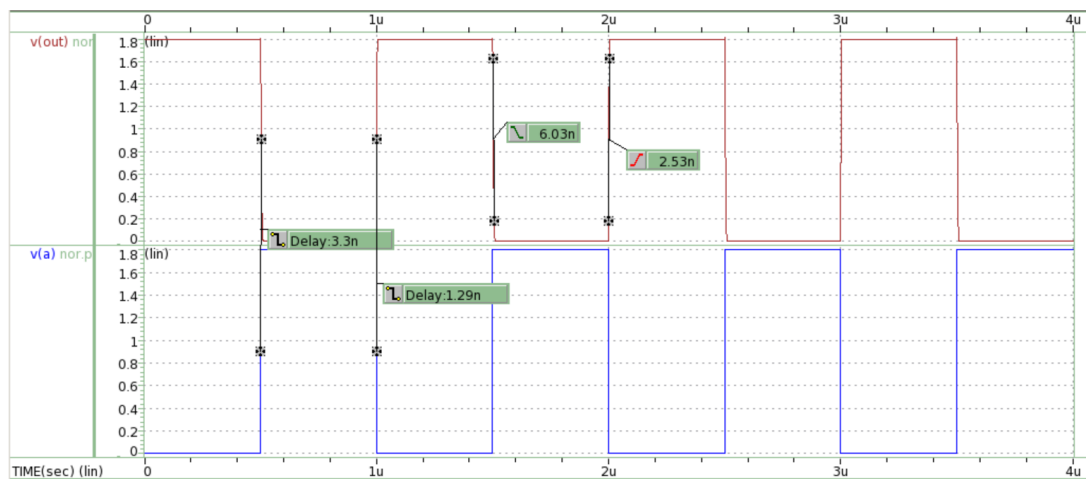
Post-sim 後，以 waveview 重新測量 3 個 corner，3 個 case 分別的 t_{pHL} 、 t_{pLH} 、 t_r 和 t_f ，並填入表中如下：

Case 1

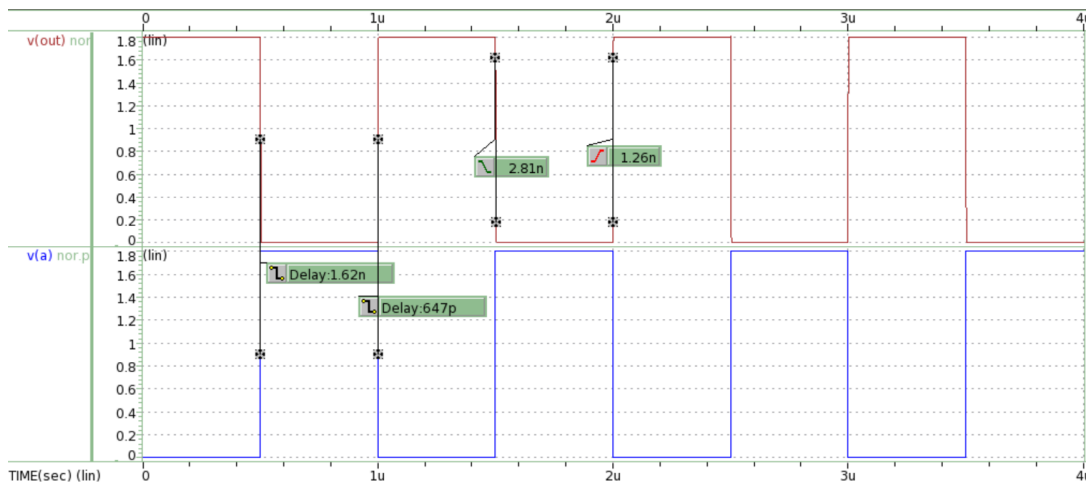
TT



SS

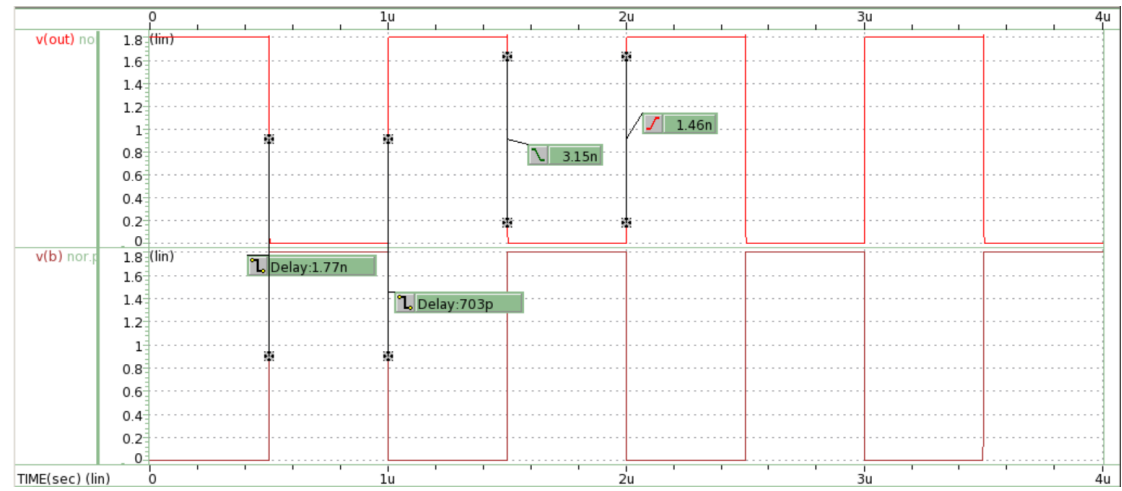


FF

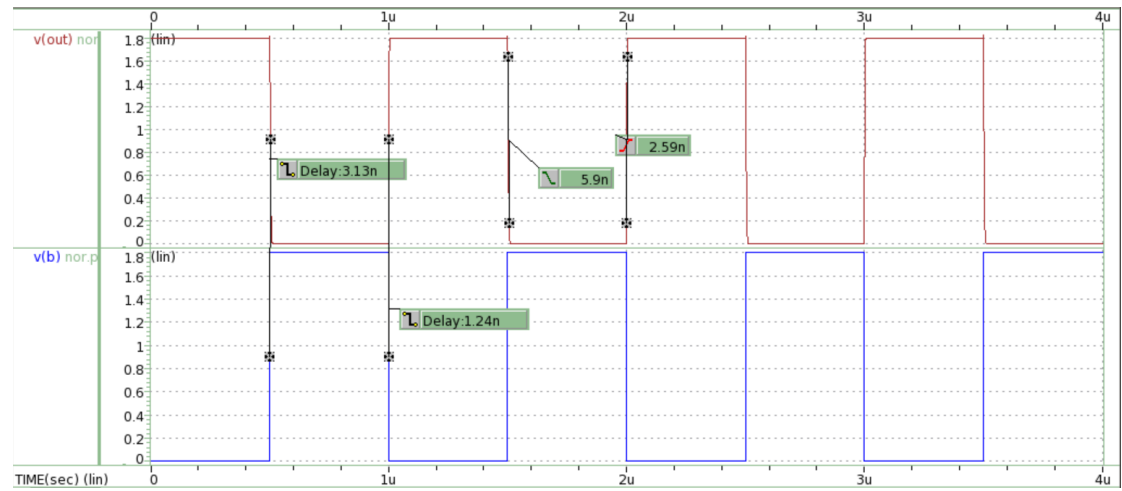


Case 2

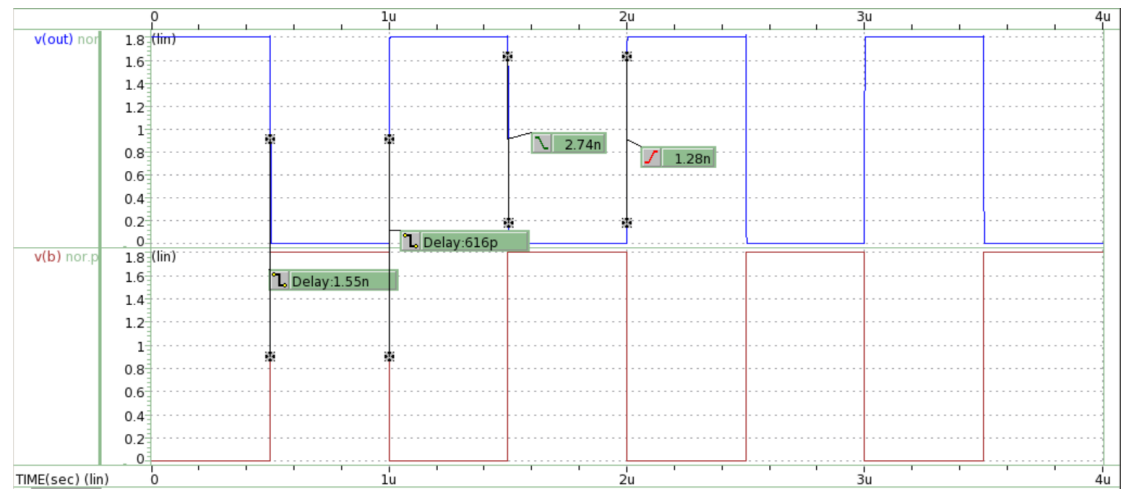
TT



SS

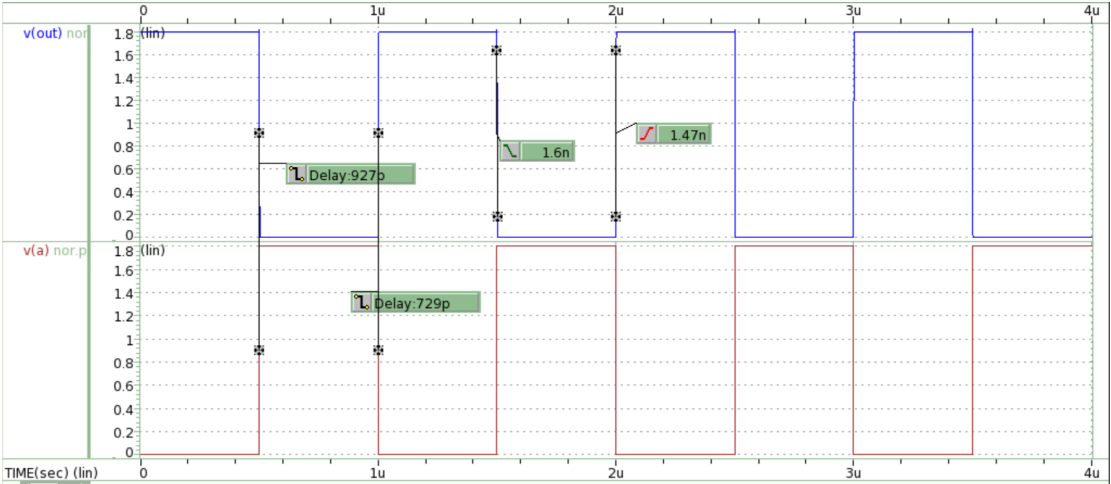


FF

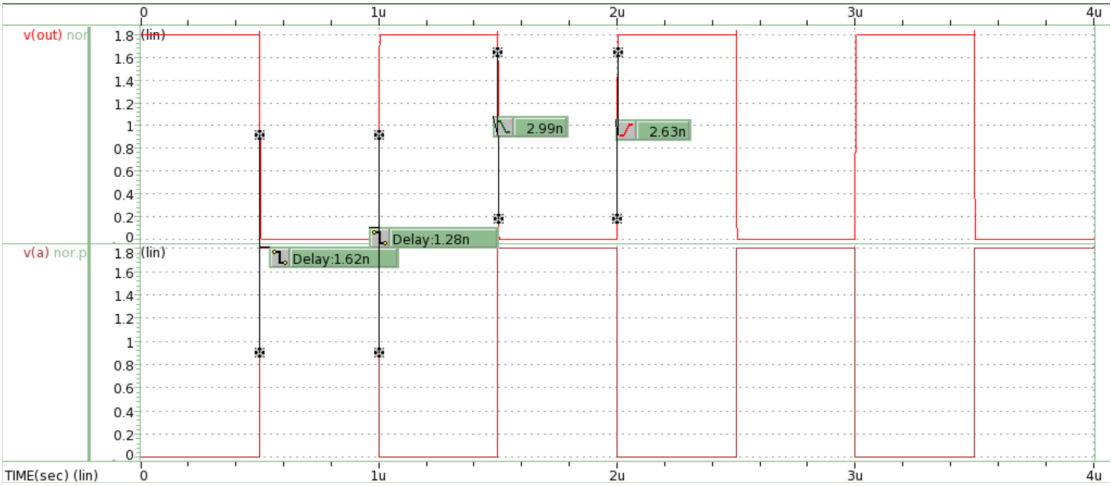


Case 3

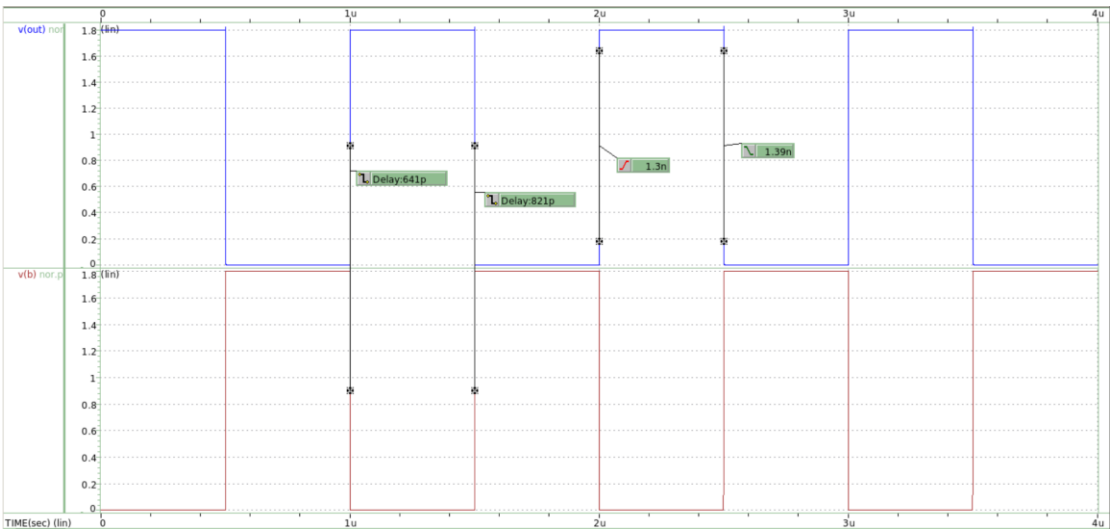
TT



SS



FF



Post-sim 測量的結果(用 waveview 測量)：

	Case 1			Case 2			Case 3		
A	CLK			0V			CLK		
B	0V			CLK			CLK		
Corner	TT	SS	FF	TT	SS	FF	TT	SS	FF
t_{pHL}	1.85n	3.3n	1.62n	1.77n	3.13n	1.55n	927p	1.62n	821p
t_{pLH}	737p	1.29n	647p	703p	1.24n	616p	729p	1.28n	641p
t_r	1.43n	2.53n	1.26n	1.46n	2.59n	1.28n	1.47n	2.63n	1.3n
t_f	3.22n	6.03n	2.81n	3.15n	5.9n	2.74n	1.6n	2.99n	1.39n

Pre-sim 測量的結果(用 waveview 測量)：

	Case 1			Case 2			Case 3		
A	CLK			0V			CLK		
B	0V			CLK			CLK		
Corner	TT	SS	FF	TT	SS	FF	TT	SS	FF
t_{pHL}	1.75n	3.17n	1.52n	1.66n	2.98n	1.45n	848p	1.52n	743p
t_{pLH}	639p	1.17n	550p	627p	1.15n	542p	642p	1.17n	556p
t_r	1.32n	2.39n	1.15n	1.35n	2.46n	1.17n	1.36n	2.49n	1.18n
t_f	3.1n	5.87n	2.7n	3.03n	5.72n	2.63n	1.52n	2.88n	1.32n

可以清楚看到 post-sim 的 delay 和 rise/fall time 都是略大於 pre-sim 的結果，因為 post-sim 多考慮了實際 layout 後多出的寄生電容。

2. Run an inverter chain with output loading 0.5pF with VDD = 1.8V, as shown in Fig 2. (The size of the first inverter has been assigned.) (The rising time and falling time of input is 0.1ns & input frequency = 5MHz). Please determine **how many stages** this inverter chain needs and the **size of each stage** to achieve **the minimum delay**. (55%)

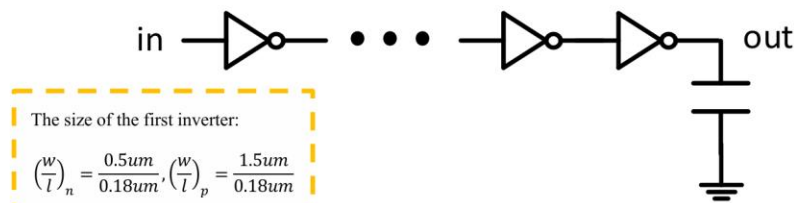


Fig. 2

- (a). The logical effort (g) and the parasitic delay (p) of the first inverter is 0.968 and 1.033 respectively. Describe how you design the inverter chain to achieve minimum delay **in detail**. (25%)

想要得到最小的 delay 可以先藉由上課所教的手算 delay 的方法去評估。首先我們先設定 H 的大小，因此我們需要估計 C_{in} 。根據題目給定的第一個 inverter 的尺寸，建立一個 sp 檔，並用 .op 和 .option captable 量測當 $V_{in} = 0.9V$ 時，各節點的電容值，結果如下：

nodal capacitance table								
node	=	cap	node	=	cap	node	=	cap
+0:vdd	=	7.5975f	0:vin	=	3.7804f	0:vout	=	2.5062f
+0:vss	=	2.9439f						

subckt	0:mm2	0:mm1
element	0:n_18.1	0:p_18.1
model	0:n_18.1	0:p_18.1
region	Saturation	Saturation
id	66.7119u	-66.7119u
lbs	-2.999e-20	1.013e-20
lbd	-50.0901a	146.3393a
vgs	900.0000m	-900.0000m
vds	463.8172m	-1.3362
vbs	0.	0.
vth	477.9329m	-529.5173m
vdsat	299.8501m	-381.3316m
vod	422.0671m	-370.4827m
beta	973.3697u	805.0019u
gam_eff	507.4537m	557.0840m
gm	214.6819u	265.0277u
gds	33.9348u	10.6478u
gmb	28.3871u	84.1057u
cdtot	827.4834a	1.6788f
cgtot	930.1441a	2.8502f
cstot	1.4545f	4.1715f
cbtot	1.4895f	3.4260f
cgs	655.4393a	2.1375f
cgd	187.2222a	530.1466a

藉由 $V_{in} = 0.9V$ 時的模擬結果得出 $C_{in} = 3.7804fF$ 以及題目給定 $C_{out} = 0.5pF$ ，可以進一步得出

$$H = \frac{C_{out}}{C_{in}} = \frac{0.5 \times 10^{-12}}{3.7804 \times 10^{-15}} \cong 132.2611$$

另外題目也提供 $g = 0.968$ 和 $p = 1.033$ ，假設每個 inverter 的 g, p 相同，可以由此設 $G = 0.968^N$ 和 $P = N \times 1.033$ ，inverter chain 沒有 branch 所以 $B = 1$ ，因此

$$F = GBH = 0.968^N \times 132.2611$$

假設 f_i 是 F 的 N 次方根(為使 $\sum f_i$ 最小)， $D = D_F + P = \sum f_i + \sum p_i$ ，代入後可得

$$D = N \times \left(\sqrt[N]{0.968^N \times 132.2611} + 1.033 \right)$$

想找到 D 的極值，須先找到 $\frac{dD}{dN} = 0$ 的解，因此用 python 解出 $N \cong 3.778$ ，code

與結果如下圖：

```
[27]: import numpy as np
      from scipy.optimize import fsolve

      H=132.2611
      g=0.968
      p=1.033

      def D(N, H):
          return N * ((H*g**N)**(1/N) + p)

      def derivative(N, H, h=1e-5):
          return (D(N + h, H) - D(N, H)) / h

      initial_guess = 1
      solution = fsolve(derivative, initial_guess, args=(H,))

      print("N :", solution[0])

      N : 3.778141545084963
```

N 必為整數，因此取 N=4。為了確認此數值解的正確，再將 N 的數值從 1 開始直接依序帶入 $D = N \times (\sqrt[N]{0.968^N \times 132.2611} + 1.033)$ 看看 D 的極小值出現在哪，結果如下表：

N	D
1	129.0617
2	24.33093
3	17.89488
4	17.26287
5	18.02177
6	19.30788
7	20.84655

可以看到 N=4 真的是極小值出現的地方，因此取 N=4。此時

$$f_i = \sqrt[4]{F} = \sqrt[4]{0.968^4 \times 132.2611} \cong 3.282$$

此值接近上課所推導的數值(ch4-1 p.52-55)。接著推導出 h_i

$$f_i = g_i h_i = 0.968 \times h_i = 3.282$$

$$h_i = 3.391$$

並以此求每一階的 C_{in} ，從最後一階求到第一顆驗證答案，過程如下：

$$h_4 = \frac{C_{load4}}{C_{in4}} = \frac{C_{out}}{C_{in4}} = \frac{0.5pF}{C_{in4}} = 3.391$$

$$C_{in4} \cong 0.147pF$$

$$h_3 = \frac{C_{load3}}{C_{in3}} = \frac{C_{in2}}{C_{in3}} = \frac{0.147pF}{C_{in3}} = 3.391$$

$$C_{in3} \cong 43.4fF$$

$$h_2 = \frac{C_{load2}}{C_{in2}} = \frac{C_{in3}}{C_{in2}} = \frac{43.4fF}{C_{in2}} = 3.391$$

$$C_{in2} \cong 12.8fF$$

$$h_1 = \frac{C_{load1}}{C_{in1}} = \frac{C_{in2}}{C_{in1}} = \frac{12.8fF}{C_{in1}} = 3.391$$

$$C_{in1} \cong 3.78fF$$

驗證 C_{in1} 與最初設置的 C_{in} 相同，因此過程無誤，假設 C 正比於 W/L，則

$$\frac{C_{in(i+1)}}{C_{in(i)}} = \frac{(\frac{W}{L})_{n(i+1)}}{(\frac{W}{L})_{n(i)}} = \frac{(\frac{W}{L})_{p(i+1)}}{(\frac{W}{L})_{p(i)}}$$

又因下級的輸入電容與上級的輸入電容之比值即為 h_i ，因此可以推算出每個 inverter 的尺寸是以 3.391 倍為公比等比增加，NMOS 尺寸依序為：

$$(\frac{W}{L})_{n1} = \frac{0.5\mu m}{0.18\mu m}, (\frac{W}{L})_{n2} \cong \frac{1.70\mu m}{0.18\mu m}, (\frac{W}{L})_{n3} \cong \frac{5.75\mu m}{0.18\mu m}, (\frac{W}{L})_{n4} \cong \frac{19.5\mu m}{0.18\mu m}$$

PMOS 尺寸依序為：

$$(\frac{W}{L})_{p1} = \frac{1.5\mu m}{0.18\mu m}, (\frac{W}{L})_{p2} = \frac{5.09\mu m}{0.18\mu m}, (\frac{W}{L})_{p3} = \frac{17.25\mu m}{0.18\mu m}, (\frac{W}{L})_{p4} = \frac{58.5\mu m}{0.18\mu m}$$

依據上面計算好的各元件尺寸寫進 sp 檔並用 hspice 模擬，先用 .option captable 量測當 $V_{in} = 0.9V$ 時，各節點的電容值，為了確認 C_{in} 是否與當初只有一顆時的狀況一樣，結果如下：

nodal capacitance table								
node	=	cap	node	=	cap	node	=	cap
+0:vdd	=	287.3292f	0:vin1	=	3.9284f	0:vin2	=	14.5487f
+0:vin3	=	51.6693f	0:vin4	=	150.7237f	0:vout	=	104.0959f
+0:vss	=	128.2596f						

可以看到此時 $C_{in} = C_{in1} = 3.9284fF$ ，與當初所設的 $C_{in} = 3.7804fF$ 有些微不同，因此再次代入 $C_{in} = 3.9284fF$ 並將估計 delay 的過程再做一次，但這一次我們直接代入 N 的數字，以便直接觀察 D 的極小值出現在哪，過程中的各項參數結果如下表：

N	C_{in}	C_{out}	H	G	B	F	fi	P	DF	D
2	3.93fF	0.5pF	127.3	0.94	1	119.26	10.92	2.066	21.84	23.91
3				0.91		115.45	4.87	3.099	14.61	17.71
4				0.88		111.75	3.25	4.132	13.01	17.14
5				0.85		108.18	2.55	5.165	12.76	17.92

可以發現 C_{in} 換成 $3.9284fF$ 後，D 的極小值仍出現在 N=4 的地方，因此估算其 $h_i \cong 3.36$ ，得出各階 W 如下表：

	第一顆 inverter	第二顆 inverter	第三顆 inverter	第四顆 inverter
$W_n(\mu m)$	0.5	1.68	5.64	18.95
$W_p(\mu m)$	1.5	5.04	16.92	56.84

以上表之尺寸去跑 hspice 後，也一樣先檢查 C_{in} 的值，以確認 C_{in} 的收斂，一樣是 V_{in} 設成 0.9V，其結果如下：

nodal capacitance table					
node	=	cap	node	=	cap
+0:vdd	=	287.3292f	0:vin1	=	3.9284f
+0:vin3	=	51.6693f	0:vin2	=	14.5487f
+0:vss	=	128.2596f	0:vin4	=	150.7237f
			0:vout	=	104.0959f

可以確認 C_{in} 的值與開始估算 D 時所用的 C_{in} 相同，因此可以開始來算 delay time 實際上在 hspice 的模擬結果中有沒有最小，雖然估算結果告訴我們 $N=4$ 時，delay 會最小，但這只是手算的粗略估計，有很多假設及忽略在其中，因此實際跑 hspice 時，可以將 $N=3, 4, 5$ 都試一次，以下是分別計算出來的 h_i 與 W ：

$N=3, h_i = 5.03$	1 st inverter	2 nd inverter	3 rd inverter
$W_n(\mu m)$	0.5	2.52	12.65
$W_p(\mu m)$	1.5	7.55	37.95

$N=4, h_i = 3.36$	1 st inverter	2 nd inverter	3 rd inverter	4 th inverter
$W_n(\mu m)$	0.5	1.68	5.64	18.95
$W_p(\mu m)$	1.5	5.04	16.92	56.84

$N=5, h_i = 2.64$	1 st inverter	2 nd inverter	3 rd inverter	4 th inverter	5 th inverter
$W_n(\mu m)$	0.5	1.32	3.47	9.16	24.14
$W_p(\mu m)$	1.5	3.95	10.42	27.48	72.43

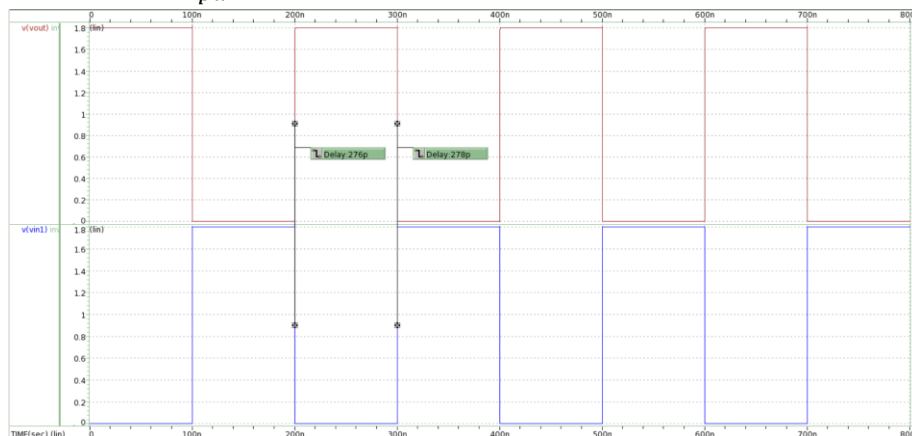
用 .meas 及 waveview 測量 delay 的結果如下 ($t_{pd} = 0.5(t_{pdr} + t_{pdf})$)：

N=3

```
.tran 0.01p 0.8u
.meas tran t_pdf trig v(vin1) val=0.5*VDD rise=2 targ v(vout) val=0.5*VDD fall=2
.meas tran t_pdr trig v(vin1) val=0.5*VDD fall=2 targ v(vout) val=0.5*VDD rise=2
```

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
t_pdf= 278.5408p targ= 300.3285n trig= 300.0500n
t_pdr= 273.2721p targ= 400.4233n trig= 400.1500n
```

.meas 量測的 $t_{pd} \cong 275.85ps$



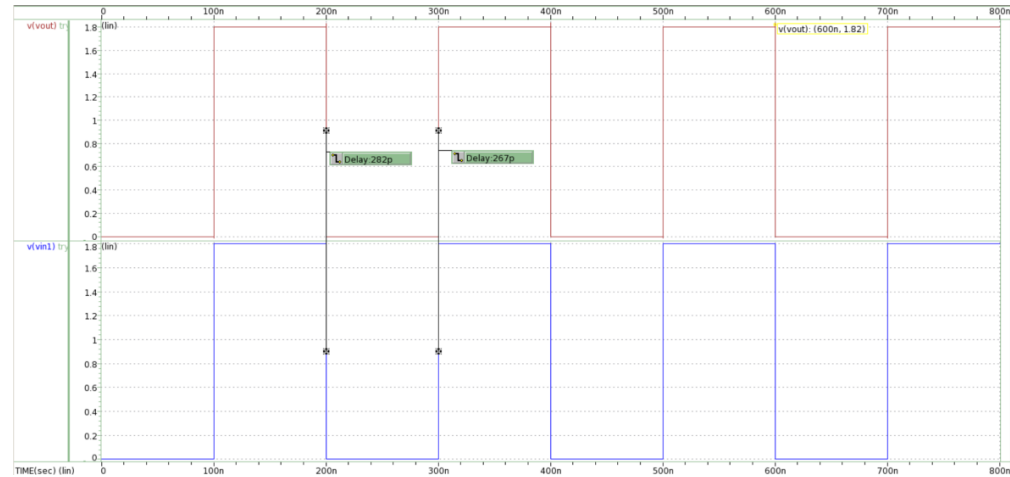
Waveview 量測的 $t_{pd} \cong 277ps$

N=4

```
.tran 0.01p 0.8u
.meas tran t_pdf trig v(vin1) val=0.5*VDD fall=2 targ v(vout) val=0.5*VDD fall=2
.meas tran t_pdr trig v(vin1) val=0.5*VDD rise=2 targ v(vout) val=0.5*VDD rise=2
```

```
t_pdf= 282.6659p  targ= 400.4327n  trig= 400.1500n
t_pdr= 266.5487p  targ= 300.3165n  trig= 300.0500n
```

.meas 量測的 $t_{pd} \cong 274.55ps$



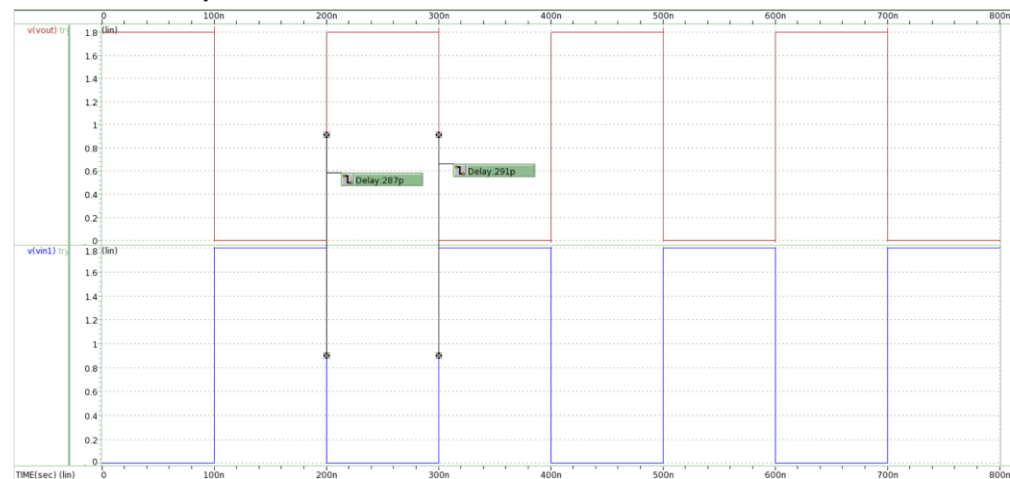
Waveview 量測的 $t_{pd} \cong 274.5ps$

N=5

```
.tran 0.01p 0.8u
.meas tran t_pdf trig v(vin1) val=0.5*VDD rise=2 targ v(vout) val=0.5*VDD fall=2
.meas tran t_pdr trig v(vin1) val=0.5*VDD fall=2 targ v(vout) val=0.5*VDD rise=2
```

```
t_pdf= 291.1584p  targ= 300.3412n  trig= 300.0500n
t_pdr= 286.6342p  targ= 400.4366n  trig= 400.1500n
```

.meas 量測的 $t_{pd} \cong 288.5ps$

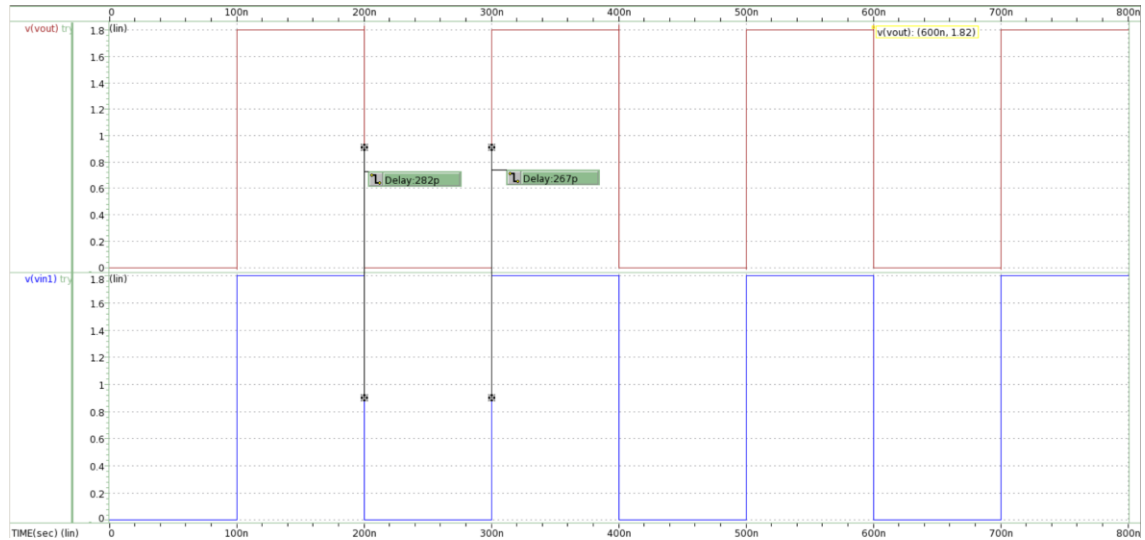


Waveview 量測的 $t_{pd} \cong 289ps$

發現 N=4 的情況，測量出來的 delay 會最小，N=3 的略大一點，而 N=5 的情況大的更多，與估算結果吻合，所以最終取用 N=4 時所推估的尺寸參數，以獲得最小的 delay。備註：此時 input/output 為同向

- (b). Provide the screenshot of input and output waveform, mark t_{pdr} and t_{pdf} and calculate t_{pd} . (5%)

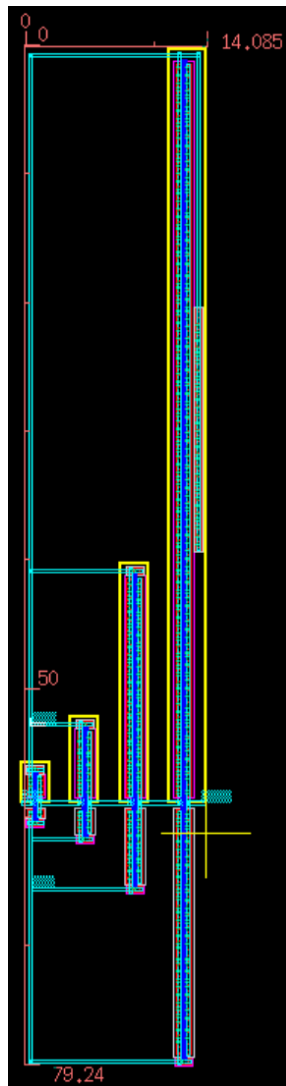
將上述尺寸交給 hspice 模擬，並用 waveview 測量 t_{pdr}, t_{pdf} 結果如下：



由圖可知 t_{pdr}, t_{pdf} 並計算 $t_{pd} = \frac{(t_{pdr} + t_{pdf})}{2}$ ，結果如下：

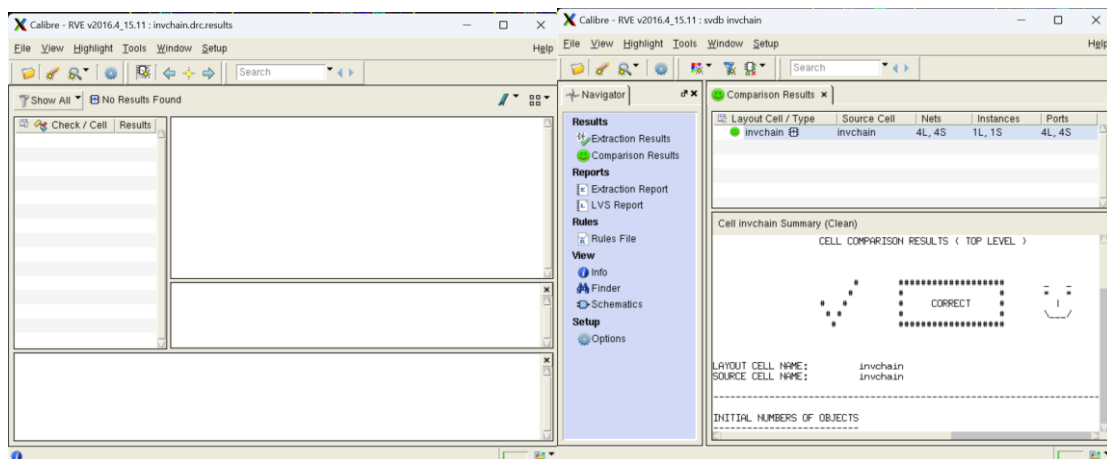
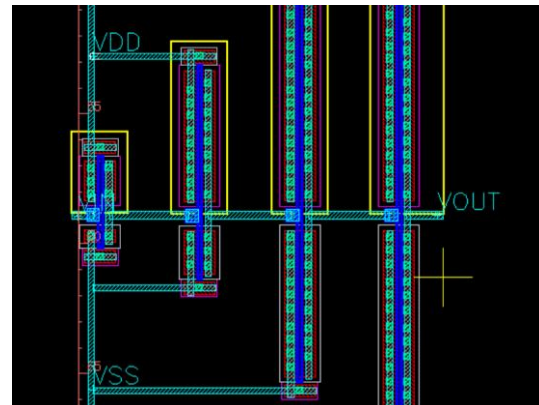
t_{pdr}	t_{pdf}	t_{pd}
276ps	278ps	277ps

- (c). Finish the layout, DRC, and LVS. Paste the photo of the layout, DRC result, and LVS result in your report. Please mark the length and width on the layout and calculate the area (μm^2). (15%)



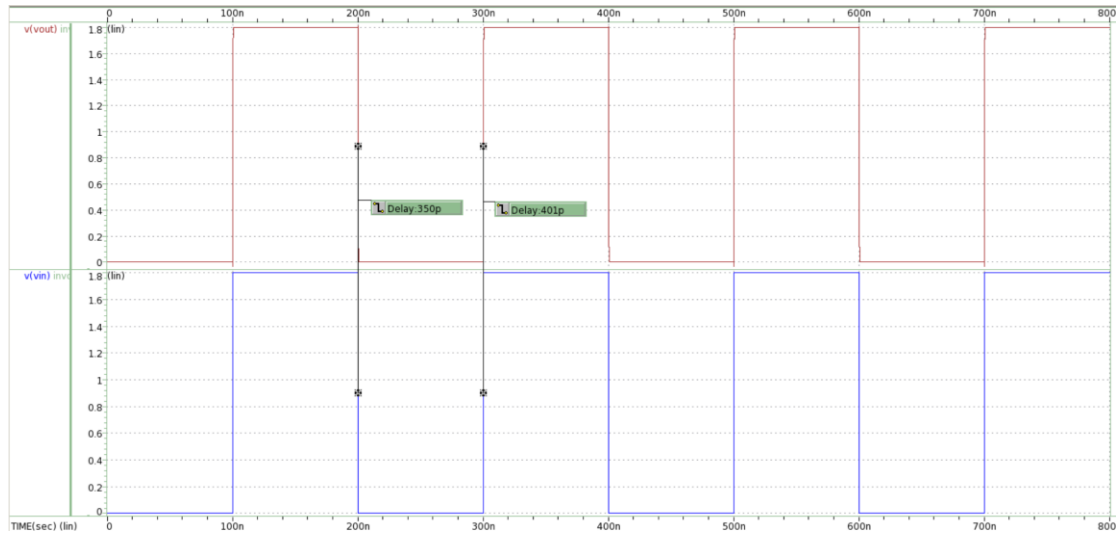
全圖：

局部放大圖：



$$area = 79.24 \times 14.085 = 1116.0954(\mu m^2)$$

(d). Run the post-layout simulation and compare it with the pre-sim (b). (10%)



由圖可知 t_{pdr} , t_{pdf} 並計算 $t_{pd} = \frac{(t_{pdr} + t_{pdf})}{2}$ ，結果如下：

	t_{pdr}	t_{pdf}	t_{pd}
Pre-sim	276ps	278ps	277ps
Post-sim	401ps	350ps	375.5ps

可以清楚的看到 post-sim 的 delay 有明顯的比 pre-sim 的更大，這是合理的結果，因為 post-sim 考慮了實際 layout 所帶來額外的寄生電容。而會讓原本與 t_{pdf} 幾乎相同甚至還略小的 t_{pdr} ，在 post-sim 後反而變得比 t_{pdf} 還要更大很多的原因是因為在 layout 時，為了讓第四顆 inverter 的 drain/source diffusion region 與 body 的 diffusion region 之最大距離不超過 $20\mu m$ 以符合 design rule，因此畫了一個很大的 body 給它。這個並排在 drain/source diffusion region 旁邊的大 body 額外加上了電容(因為間距小且面積大)，使得 pull up 所需考慮的電容值上升，因此 delay 變得更大，而這是 pull down 那邊所沒有的。想要讓 body 回到正常大小的話，可以將第四顆 inverter 拆成四顆並聯，使其與第三顆的尺寸差不多。