

# 数字视频水印系统设计及关键技术研究

温英新

2012 年 12 月



中图分类号：TP37

UDC 分类号：621

## 数字视频水印系统设计及关键技术研究

作者姓名	<u>温英新</u>
学院名称	<u>信息与电子学院</u>
指导教师	<u>高飞 教授</u>
答辩委员会主席	<u>李祥明 教授</u>
申请学位	<u>工学硕士</u>
学科专业	<u>信息与通信工程</u>
学位授予单位	<u>北京理工大学</u>
论文答辩日期	<u>2012 年 12 月</u>



# **Digital Video Watermarking System Design and Key Technologies**

Candidate Name: Wen Yingxin  
School or Department: Information and Electronics  
Faculty Mentor: Prof. Gao Fei  
Chair, Thesis Committee: Prof. Li Xiangming  
Degree Applied: Master of Philosophy  
Major: Information and Communication Engineering  
Degree by: Beijing Institute of Technology  
The Date of Defence: December, 2012



数字视频水印系统设计及关键技术研究

北京理工大学





## 研究成果声明

本人郑重声明：所提交的学位论文是我本人在指导教师的指导下进行的研究工作获得的研究成果。尽我所知，文中除特别标注和致谢的地方外，学位论文中不包含其他人已经发表或撰写过的研究成果，也不包含为获得北京理工大学或其它教育机构的学位或证书所使用过的材料。与我一同工作的合作者对此研究工作所做的任何贡献均已在学位论文中作了明确的说明并表示了谢意。

特此申明。

签 名： 日期：

## 关于学位论文使用权的说明

本人完全了解北京理工大学有关保管、使用学位论文的规定，其中包括：①学校有权保管、并向有关部门送交学位论文的原件与复印件；②学校可以采用影印、缩印或其它复制手段复制并保存学位论文；③学校可允许学位论文被查阅或借阅；④学校可以学术交流为目的，复制赠送和交换学位论文；⑤学校可以公布学位论文的全部或部分内容（保密学位论文在解密后遵守此规定）。

签 名： 日期：

导师签名： 日期：



## 摘要

近年来,随着网络 and 多媒体技术的迅猛发展,图像、音频、视频等各种形式的数字产品利用网络途径向外发布或下载,这给人们的工作和生活带来了极大的便利,但同时也带来了一些负面影响。数字产品盗版现象的日益严重,极大地损害了生厂商和著作者的利益,数字产品市场迫切需要加强版权保护的方法。数字水印技术就是在这种背景下产生的,并成为当前进行数字产品版权保护最主要的方法。它将水印信息嵌入到数字产品中,然后通过水印检测的结果来确定产品的版权所有,并且可以跟踪数字产品的使用情况。随着数字水印技术的发展和视频技术的广泛应用,数字视频水印已经成为多媒体信号处理领域的一个热点。

数字视频水印算法相对于静止图像水印而言,除了应满足鲁棒性、不可感知性等基本特性外,还应具有一定的实时性并实现盲检测。本文就视频水印算法及系统设计与实现做了大量深入的研究,分析了数字视频水印的相关技术及视频处理原理,阐明了原始域数字视频水印算法,并对小波变换的理论进行了研究。与此同时,本文为实现快速视频水印算法提供了理论支持,不仅分析了 DSP 的发展和特点,而且详细阐明了 ADSP-BF561 芯片的参数,最终设计并实现了一套基于 DSP+ARM 的嵌入式视频水印系统。系统中对系统各模块电路进行了详细设计,并提出了一种基于 DWT 的数字视频水印快速算法,并实现了算法性能的评估,实验结果证明算法能够满足一定的实时性处理要求。

本文的最大特点是设计并实现了一套数字视频水印处理系统,经实验证明,本系统很好的实现了实时的视频数据采集、水印处理、信息匹配等功能,工作可靠稳定,处理精度高,达到了预期的设计目标。

**关键词:** 视频水印; ADSP-BF561; 视频水印系统; DWT; MPEG 编解码

## Abstract

In recent years, with the rapid development of network and multimedia technology, images, videos, audios, and other forms of multimedia can be disseminated or downloaded by the channels of network. It brought not only the great convenience to the people's work and life, but also the negative impact. The piracy of more and more digital products strongly heart the interests of producers and authors, It is urgent for the digital products market to strengthen the protection of the copyright. The digital watermarking technology has become one of the most important methods for copyright protection. It embedded the watermark into the digital media products, and then determined the copyright of the media by the detection of the watermark and also can track the usage of digital media .With the development and wide application of digital watermarking technology, the digital video watermarking has become a hot topic in the field of multimedia signal processing.

Compared with image watermark, the video watermarking algorithm has to satisfy the blind detection and real-time properties in addition to the basic robustness and imperceptibility requirements. In this paper, we do a lot of in-depth research on the algorithm and the design of the video watermarking, analysis the knowledge of the digital video watermarking technology and the principle of video processing, elucidate the the original domain digital video watermarking algorithm, all this provide theoretical support for the fast video watermarking algorithm; analysis the development and characteristics of the DSP, detailed the ADSP-BF561 chip parameters, designs and implements a set of DSP+ARM-based embedded video watermarking system, and the detailed design of the system module circuit; design a fast algorithm for digital video watermarking based on DWT, assess the achievement of the performance of the algorithm, the experimental results show that the algorithm is able to meet the real-time processing requirements.

The most important feature of this paper is that we designed and implemented a set of digital video watermarking system, the test proved that the system is good to achieve real-time video data acquisition, watermark processing, matching, reliable and stable operation, high processing accuracy, and finally achieve the expected design goals

**Key Words:** video watermarking; ADSP-BF561; video watermarking system; DWT ; MPEG decode

# 目录

第 1 章 绪论.....	1
1.1 课题研究背景及意义.....	1
1.2 数字水印技术简介.....	1
1.3 视频数字水印技术.....	2
1.3.1 数字视频水印技术分类 .....	3
1.3.2 数字视频水印特征 .....	4
1.3.3 视频水印技术发展历史与应用现状 .....	5
1.4 本文研究内容和章节安排.....	8
第 2 章 系统总体设计.....	10
2.1 系统总体设计.....	10
2.2 系统结构组成 .....	11
2.2.1 视频输入与视频解码模块 .....	11
2.2.2 视频数据处理模块 .....	12
2.2.3 水印信息管理模块 .....	12
2.3 系统主要芯片特征 .....	13
2.3.1 ADV7183B 芯片介绍 .....	13
2.3.2 ADSP-BF561 芯片介绍 .....	15
2.3.3 STM32F107 芯片介绍 .....	23
2.4 本章小结.....	25
第 3 章 系统原理设计.....	26
3.1 视频输入与视频解码 .....	26
3.1.1 视频的基础知识 .....	26
3.1.2 视频接口 PPI.....	31
3.1.3 视频采集多缓冲区处理技术.....	32
3.1.4 硬件设计原理图.....	33

3.2 视频数据处理模块设计 .....	34
3.2.1 SDRAM 及 FLASH 设计 .....	34
3.2.2 ADSP-BF561 双核技术 .....	38
3.2.3 硬件设计原理图.....	39
3.3 水印信息管理模块设计.....	40
3.3.1 STM32F107 通信.....	40
3.3.2 STM32F107 外围电路设计 .....	42
3.4 电源设计.....	43
3.5 PCB 设计及注意事项 .....	45
3.5.1 PCB 的层叠设计 .....	45
3.5.2 PCB 的布局设计 .....	46
3.5.3 PCB 的抗干扰措施 .....	46
3.5 本章总结 .....	47
第 4 章 系统软件设计及算法验证.....	48
4.1 系统软件开发环境.....	48
4.1.1 Visual DSP++集成开发环境.....	48
4.1.2 RealView MDK 集成开发环境 .....	49
4.2 数字视频水印理论 .....	51
4.2.1 人眼的视觉特性在水印技术中的应用.....	51
4.2.2 基于 DWT 域水印技术.....	51
4.3 算法设计仿真与验证 .....	55
4.3.1 视频水印算法设计.....	55
4.3.2 算法性能评估 .....	55
4.4 本章总结.....	58
第 5 章 总结与展望.....	59
5.1 论文总结.....	59
5.2 未来工作展望 .....	60

参考文献 .....	61
攻读学位期间发表论文与研究成果清单 .....	64
致谢 .....	65

## 第 1 章 绪论

### 1.1 课题研究背景及意义

随着知识经济时代的到来，在未来的信息社会发展中，包括广播、电影、电视、音像、新闻、出版在内的以内容为基础的现代传媒服务，具有覆盖面大、传播速度快、形式多样、受众面广等特点。目前，据统计我国电视机、收音机社会拥有量都超过 5 亿台，移动电话用户超过 7.4 亿，固定电话用户超过 3 亿，互联网宽带接入用户超过 1 亿，网民超过 3.8 亿。由此可见，现代传媒在传媒产业中具有举足轻重的地位。数字技术几乎可以使人们毫无限制地利用家庭的数字设备，通过家庭网络或互联网，复制、修改、发布数字内容。技术的发展不仅为数字信息的获取和传播提供了极大的便利，同时也显著地提高了信息表达的效率和准确度。但随之而来的副作用是数字化技术精确、廉价、大规模复制功能和网络的高速传播给现有的版权制度带来了前所未有的冲击，数字产品的版权管理和内容保护日益成为急需解决的问题<sup>[1]</sup>。

针对版权保护这一问题，已经有人做了很多的研究，并取得了丰富的研究成果。目前，多媒体产品的版权保护基本上以密码学理论为基础，如 RSA 和 DES，将有意义的明文加密为无意义的密文，使得非法拦截者无法在传输信道中截取加密前的明文信息，从而达到对媒体文件进行保护的目的<sup>[2]</sup>。采用信息加密的方法在一定程度上使得数字产品在传播信道中不被非法侵权，但这种方法也存在一些缺陷，如：过分的强调安全访问的控制，限制了数字产品的展示范围，违背了原创者推广产品的初衷。此外随着计算机处理能力的迅速提升，这种通过增加密钥长度来提高系统密级的方法变得越来越不安全。所以仅采用信息加密技术并不能完全解决这一问题。为此，作为数字产品版权保护的最后一道防线，数字水印技术已被迅速的应用到了版权保护中。

### 1.2 数字水印技术简介

数字水印技术是一种信息隐藏技术，它的基本思想是在数字图像、音频和视频等数字产品中嵌入秘密信息，以便保护数字产品的版权、证明产品的真实可靠性、跟踪盗版行为或者提供产品的附加信息。其中的秘密信息可以是版权标志、用户序列号或者是产品相关信息。一般，它需要经过适当变换再嵌入到数字产品中，通常称变换后



的秘密信息为数字水印<sup>[3]</sup>。

不同的应用对数字水印的要求不尽相同，一般认为数字水印有如下特点：

### 1. 安全性

数字水印中的信息应是安全的，难以被篡改或伪造，同时，有较低的虚警率。安全性强调的是在攻击者知道或部分知道数字水印算法（包括嵌入和提取算法）的情况下，恶意地进行各种攻击操作，试图实现未经授权的嵌入、提取或检测、删除水印时，依然可以保证水印的正确。安全性是以鲁棒性为基础的，对数字水印进行对称或非对称加密处理可以禁止未经授权的嵌入、提取和检测。使用基于 PN 序列的扩频技术，可以在一定程度上阻止未经授权的删除水印操作。

### 2. 可证明性

可证明性是指能为受到版权保护的数字产品的归属，提供完全和可靠证据。水印算法能够识别被嵌入到保护对象中的信息，并能在需要的时候将其提取出来。水印可以用来判别对象是否受到保护，并能够监视被保护数据的传播、真伪鉴别以及非法拷贝控制等。

### 3. 不可感知性

不可感知性包含两方面的意思。其一，指视觉、听觉或人类的其他感官上的不可感知性。其二，要求采用统计方法不能恢复水印。

### 4. 鲁棒性（稳健性或健壮性）

鲁棒性是指数字水印必须难以被清除。从理论上讲，只要具有足够的知识，任何水印都可以去掉。但是如果只能得到部分信息，而水印在图像中的精确位置未知，那么破坏水印将导致图像质量的严重下降。鲁棒性的提高往往以降低不可感知性和水印容量为代价，实际的水印算法要根据具体鲁棒性和不可感知性，在它们之间取得平衡，嵌入的水印应是在某种感知阈值下的最优方案<sup>[4]</sup>。

## 1.3 数字视频水印技术

数字视频水印就是加载在数字视频上的数字水印，它利用数字视频中普遍存在的冗余数据与随机性，把与版权相关的信息嵌入到原始视频数据中，从而起到版权保护、广播监视、拷贝控制、内容认证、隐蔽通信等作用。通过监测和提取水印，可以表示和验证出视频作品的版权所有者，还可以追踪数字作品的非法传播者，弥补了加密技术不能对加密后的数据提供保护的不足，是进行数字产品版权保护的一种新型有效的

技术手段<sup>[5]</sup>。

### 1.3.1 数字视频水印技术分类

数字视频水印技术主要分类如图 1.1 所示：

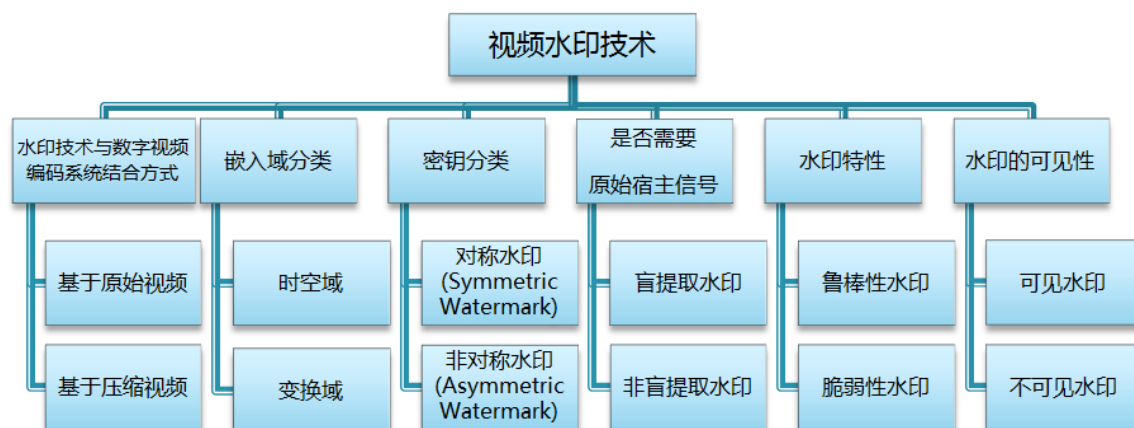


图 1.1 视频水印技术分类

#### 1. 按水印技术与数字视频编码系统结合方式的不同分类。

可分为基于原始视频的方法和基于压缩视频的方法。基于原始视频的水印算法，是对未经编码的视频数据直接进行处理，在原始视频数据中嵌入水印。基于压缩视频的水印算法，则与某种视频压缩标准(如常见的 MPEG-2 或 MPEG-4)相结合在压缩视频中嵌入水印。

#### 2. 按嵌入域分类

可分为时空域方法及变换域方法。空域替换方法主要是用嵌入的信息替换载体信息中的冗余部分，一种简单的替换方法就是用嵌入的消息位替换载体中的一些最低有效位，只有知道隐藏信息的嵌入位置才能提取信息。变换域方法则是在宿主信号的某个变换域(DCT、DWT)中嵌入信息，其优点在于：嵌入的信号能量可以分布到空域中的所有像素上；可以更方便地将人类感知系统的某些掩蔽特性结合到水印嵌入过程中；可与视频压缩标准兼容(JPEG、MPEG)等等<sup>[6]</sup>。

#### 3. 按密钥分类

可分为对称水印和公钥水印。若嵌入和提取采用相同密钥，则称其为对称水印(Symmetric Watermark)；否则称为非对称水印(Asymmetric Watermark)，也称为公钥水印(Public Key Watermark)。

#### 4. 按检测时是否需要原始宿主信号分类

可分为盲提取水印方案和非盲提取水印方案。对于大多数算法来说，视频水印方案在检测时不需要原始的宿主信号。但是，极少数方案也需要原始的宿主信号。

### 5. 按水印特性分类

可分为鲁棒性水印和脆弱性水印两类。鲁棒水印对各种常见的图像处理方法大多具备鲁棒性，主要用于版权保护；易碎水印对任何图像变换或处理都非常敏感，半易碎水印则对某些特定的图像处理方法有鲁棒性而对其它的处理不具备鲁棒性，易碎水印和半易碎水印都属于脆弱水印，主要可用于篡改提示或真伪鉴别。

### 6. 按水印的可见性分类

可分为可见水印和不可见水印。我们主要研究不可见水印，但是在一些特殊的应用场合可能需要嵌入可见的水印，如在视频中嵌入“DEMO”或版权所有者的商标等标识信息对不合法的拷贝行为提出警告。

## 1.3.2 数字视频水印特征

由于数字视频是连续播放的，相邻画面之间内容有高度的相关性，并且还存在着动态编解码的过程，因此视频水印与图像水印有相似之处，也有明显的不同，概括如图 1.2 所示<sup>[7]</sup>：

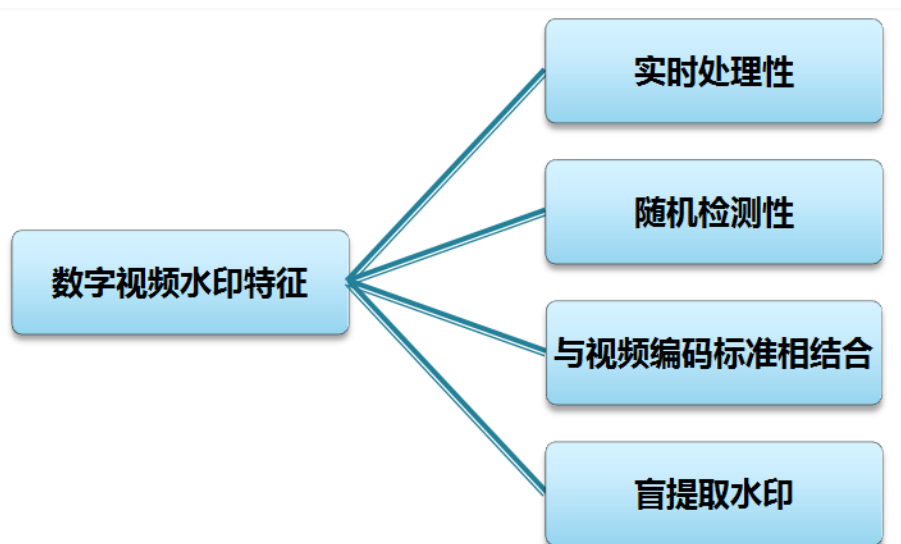


图 1.2 数字视频水印特点

### 1. 实时处理性

水印嵌入和提取应该具有低复杂度。然而不同的应用有不同的要求。如果水印是用于审计追踪，每个接收端都必须提取水印，则水印提取应该容易。如果为不同接收

者嵌入身份标识, 水印处理在大量的分布视频序列上进行, 而水印提取只是在出现版权冲突时才进行。因此, 为了考虑所有可能的攻击, 水印提取可能比较复杂, 而水印嵌入在这种情况下复杂度应该低。

## 2. 随机检测性

可以在视频的任何位置、在短时间内(不超过几秒钟)检测出水印。随机检测性比实时性具有更严格的要求: 如果一个水印方案能够进行实时处理, 但是只能从视频的开始位置按播放顺序一步步检测出水印, 则不具有随机检测性; 如果跳转到视频的任何一个位置, 也能够很短时间内检测出水印, 则具有随机检测性。

## 3. 与视频编码标准相结合

视频数据由于其数据量极大, 在存储、传输过程中通常要先对其进行压缩, 现在最常用的视频数据压缩编码标准是 MPEG-2 和 MPEG-4。如果是在压缩视频码流中嵌入水印, 很显然应该与视频的压缩编码标准相结合; 如果是在原始视频数据中嵌入水印, 由于水印嵌入是利用视频的冗余数据来携带信息, 而视频压缩编码的目的是为了去除视频中的冗余数据, 如果不考虑视频压缩编码标准而盲目地嵌入水印, 则嵌入的水印很可能在编码过程中就完全丢失了。

## 4. 盲提取水印方案

若检测时需要原始宿主信号, 则称为非盲提取水印, 否则称为盲提取水印。使用原始的宿主信号, 更有利于检测和提取信息。但是, 检测时用到的原始宿主信号容易暴露给恶意的攻击者。而且, 在某些应用中, 并不能获得原始的宿主信号。即使能够获得原始的宿主信号, 由于数据量巨大, 要使用原始的宿主信号也是不现实的, 对于视频数据来说, 这一点表现得尤为突出。因此, 除了极少数的方案, 目前主要研究的是盲提取数字视频水印技术。

### 1.3.3 视频水印技术发展历史与应用现状

自从上世纪 90 年代, Tirkel 等人首次提出电子水印 (Electronic Watermark) 的说法以来, 数字水印在信息安全和经济上的重要地位日益提高, 国内外研究发展较为迅速。世界各国的许多科研机构、大学和商业集团都积极地参与或投资数字水印的研究<sup>[8]</sup>。

国外著名的研究数字水印的大学主要有: 麻省理工学院、南加利福尼亚大学、剑桥大学、洛桑联邦工学院、日内瓦大学。研究数字水印的公司主要有: 微软公司、朗讯贝尔实验室、IBM 公司、日立公司、NEC 等<sup>[9]</sup>。关于信息隐藏的国际会议: 1996

年 5 月,在英国剑桥牛顿研究所召开了第一届国际信息隐藏学术讨论会(International Information Hiding Workshop, IHW);至今该研讨会已举办了十四届,1999 年第三届信息隐藏国际学术研讨会上,数字水印成为主旋律,全部 33 篇文章中有 18 篇是关于数字水印的研究。国际上还成立了一些专门的机构,如拷贝保护技术工作组(Copy Protection Technique Working Group, CPTWG)从 1995 年开始致力于基于 DVD 的视频版权保护研究;安全数字音乐创始(Secure Digital Music Initiative, SDMI)从 1999 年开始研究音频的版权保护,数字水印是其中的核心关键技术<sup>[10]</sup>。

国外一些商业数字水印软件也应运而生。1995 年美国的 Digimarc 公司率先推出了第一个商用数字水印软件,并集成到 Adobe 公司的 Photoshop4.0 以上版本。这是一个基于互联网的水印认证系统,网上注册后可以实时告诉注册用户版本保护的图像在哪些网站上。该软件有较好的抗常规和抗全局几何攻击能力,但抗局部非线性几何攻击能力较差,并且隐藏的信息量少,也无法在二值图像中嵌入水印,当我们把水印图像二值化后,就可以将水印去除<sup>[11]</sup>。另外,2001 年在瑞士成立的 AlpVision 公司推出了 LavellIt 软件,能够在任何扫描的图片中隐藏若干字符,这些字符标记可以用于原始文件出处的证明和文档的保护与跟踪。MediaSec 公司的 SysCop 用水印技术来保护多媒体内容,杜绝非法拷贝、传播和编辑<sup>[12]</sup>。

随着国际间的信息与技术交流,国内的许多研究所和高校也投入到数字水印的研究中来,如哈尔滨工业大学的孙圣和、牛夏牧、陆哲明等,天津大学的张春田、苏育挺等,北京邮电大学的杨义先、钮心忻等,中国科学院自动化研究所的刘瑞祯、谭铁牛等,他们是国内较早投入水印技术研究的科研单位<sup>[13]</sup>。1999 年 12 月 11 日,我国信息安全领域的何德全院士、周仲义院士与有关应用研究单位,联合在北京召开了第一届信息隐藏学术研讨会(CIHW)。2001 年 1 月,由国家 863 计划智能计算机专家组织召开“数字水印技术研讨会”,来自国家自然科学基金委员会、国家信息安全测评认证中心、中国科学院自动化所模式识别国家重点实验室、中国科学院计算所 CAD 开发实验室、北京大学、浙江大学、上海交通大学、国防科技大学、复旦大学等多家科研机构 and 高等学府的专家学者和研究人员参加了这次会议,这充分反映了我国对这一领域研究的高度重视和大量投入<sup>[14]</sup>。我国的数字水印研究已经开始,并有着较好的发展趋势,在《2006 年国家自然科学基金项目指南》中,将“数字媒体内容安全关键技术及测评方法的研究”,特别是“抗几何攻击的安全数字图像/音频/视频水印、几何造型数字水印”,作为重点支持方向之一;在《2007 年国家自然科学基金项目指南》

中，把“文本信息隐藏”的研究作为重点支持方向之一。这些都表明了，我国对数字水印这一技术的重视和大力扶持<sup>[15]</sup>。

目前，国内也已出现了一些生产水印产品的公司和产品，其中比较有代表性的是2002年成立的上海阿须数码技术有限公司、成都宇飞信息工程有限责任公司；2005年7月27日由华旗研究院最新研制的爱国者数字水印数码相机，可以在相机拍出的照片存储到存储卡之前嵌入水印信息，这样可以充分地保护最初捕获到的图像内容<sup>[16]</sup>。

虽然，目前国内外数字水印技术发展很快，但离实际应用还有一段距离。目前，比较常见的视频水印嵌入算法主要有以下三种<sup>[17]</sup>，如图1.3所示：



图 1.3 视频水印三种嵌入方案

**嵌入方案一：**水印直接嵌入到原始视频流中。

此类方案的优点是：水印嵌入的方法比较多，原则上数字图像水印方案均可以应用。此方案的缺点是：

1. 会增加视频码流的数据比特率；
2. 经 MPEG-2 压缩后会丢失水印；
3. 降低视频质量；
4. 对于已压缩的视频，需要先进行解码，然后嵌入水印后再重新编码。

**嵌入方案二：**水印嵌入到编码阶段的离散余弦变换(DCT)域中。

此类方案的优点是：

1. 水印仅嵌入在 DCT 系数中，不会增加视频流的数据比特率；
2. 容易设计出抵抗多种攻击的水印，但缺点是会降低视频的质量，因为一般它也有一个解码、嵌入、再编码的过程。

**嵌入方案三：**水印直接嵌入到 MPEG-2 压缩比特流中。

此类方案的显著优点是没有解码和再编码的过程，因而不会造成视频质量的下降，同时计算复杂度低。缺点是由于压缩比特率的限制而限定了嵌入水印的数据量的大小。

## 1.4 本文研究内容和章节安排

本文研究主要是基于第一种方案的，但是因为第一种方案有它自身的一些缺点，但是为了能够实时处理，引入 DSP 硬件处理，使处理速度提高，能够为实用化打下基础。文献[18]提出了一种基于 Visual DSP++集成设计环境的数字水印算法的实现方法。这给我们一定启示，为硬件实现算法提供了方向。文献[19]提出一种基于 DSP 的图像水印算法，能够达到一定的要求，但是数字视频因其有实时性处理这一特殊要求，还面临着许多要解决的问题。本论文的基本思路是结合数字视频技术、数字信号处理技术和计算机通信技术，开发一套视频采集、数字水印检测、计算机通信控制于一体的、体积小的、操作简便、适合移动工作的便携式数字水印检测系统。本系统可以应用于数字视频版权验证尤其是广播电视版权防伪，其实用价值和应用前景是显著的，本文以此为研究重点，设计并实现了一套数字视频水印检测系统的总体方案。

本系统主要由数据采集与 A/D 转换模块、存储模块、数据处理模块、输出模块等组成。各模块的主要功能如下：

1. 数据采集与 A/D 转换模块：将视频信号通过视频解码器数字化，将模拟视频信号（例如，NTSC、PAL、CVBS、S-Video）转换为数字信号形式（通常是 ITU-R BT.601/656 YCbCr 或者 RGB）。

2. 存储模块：使用外扩存储器两片 SDRAM 暂存数据采集模块和 A/D 转换模块采集的视频数据，供 DSP 后期进行运算处理。

3. 数据处理模块：该部分主要包括 DSP 与外围存储器的接口设计，它是整个系统设计的处理核心。DSP 实时访问 SDRAM 上的数据，完成小波运算、水印提取及水印信息匹配等工作。

4. 输出模块：该模块采用 ARM 芯片处理器，主要负责是与 DSP、上位机进行数据通信，将 DSP 匹配完成的水印信息进行统计，并将该信息通过网络、USART 等接口与上位机进行通信。

本文分为五章，结构安排如下：

第一章绪论部分介绍了课题研究的背景和意义，并简要阐述了数字视频水印技术的研究现状和发展历程。介绍了数字水印的基本原理和特征、数字水印嵌入和提取的基本框架；数字视频水印的特殊性和常见攻击方式与对策；对当先的数字视频水印算法进行了总结，并介绍了典型的数字视频水印算法。

第二章介绍了系统的总体设计，包括视频输入与解码模块、视频数据处理模块、水印信息管理模块。其中主要阐明了三大模块的系统组成，芯片的选择及特征，以及对于本系统的功能作用。

第三章主要介绍了系统原理设计，通过详细的介绍了三大模块中的具体细节问题，例如视频基础知识、PPI 视频接口、视频多缓冲技术、存储器的设计、外部通信模块的设计等。最终介绍了该系统的硬件 PCB 制版过程及注意问题，提出了自己的一些经验及理解。

第四章主要介绍系统的开发流程及算法设计，介绍了系统软件开发环境，人眼视觉特征在水印中的作用，小波变换理论的发展，多分辨率分析和 Mallat 算法，二维离散小波变换等理论知识，并详细说明了适合在硬件中实现的小波变换的提升算法，最后介绍了基于 DWT 域小波水印算法，并对该算法进行了一系列的分析。

第五章对本文研究工作进行总结，并对本论文需要完善的工作进行了展望。



## 第2章 系统总体设计

### 2.1 系统总体设计

本系统主要由视频解码、视频数据处理和水印信息管理三大部分组成。其中由ADV7183B芯片负责模拟视频的数字量化，ADSP-BF561芯片负责视频数据的处理、水印数据的提取，STM32F107芯片负责水印信息的匹配及信息的输出。该系统完成的主要功能如下：

1. 模数转换。将模拟视频信号转换为数字视频信号。
2. 视频数据处理。将数字化的视频信号进行数字信号算法处理，提取视频流中的水印信息。
3. 数据及程序存储。系统单机运行时，需要将程序固化到存储器中。另外，还需要保存处理过程中的数据和参数。
4. 数据的传输。包括板上传输和与上位机进行数据交换。

系统硬件总体结构如图 2.1 所示，系统硬件实物图如图 2.2 所示。

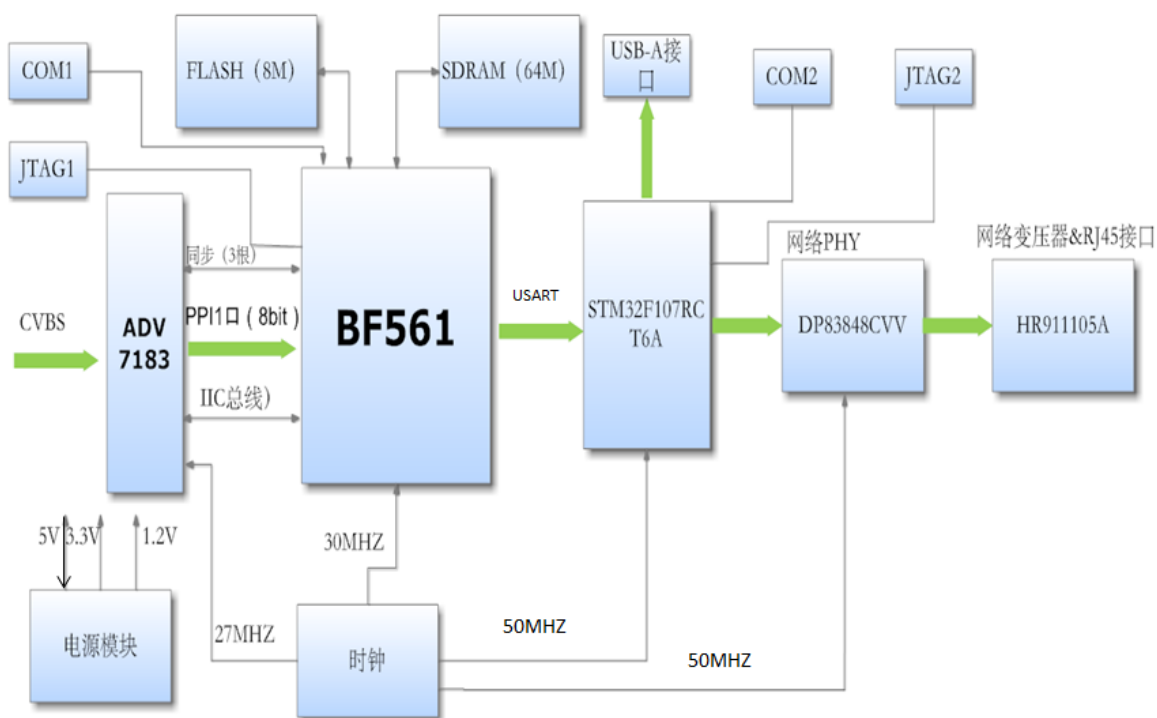


图 2.1 硬件总体结构



图 2.2 系统硬件实物正、反面

## 2.2 系统结构组成

本实时视频版权认证系统的设计主要分为三个部分，依次为视频输入与解码模块、视频数据处理模块和版权信息管理模块。

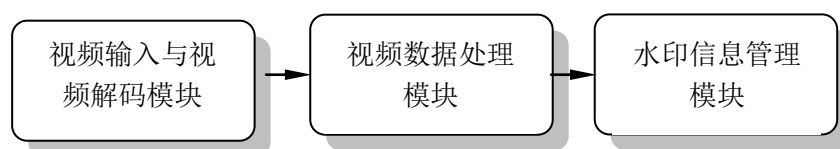


图 2.3 系统模块图

### 2.2.1 视频输入与视频解码模块

视频输入与视频解码模块完成的功能主要是模数转换，视频源分为模拟视频源和数字视频源两类。对于模拟视频源，数字处理器内核无法直接对其信号进行处理。视频信号必须首先通过视频解码器数字化，将模拟视频信号（如 NTSC、PAL、CVBS、S-Video）转换为数字信号形式（通常是 ITU-R BT. 601/656 YCbCr 或者 RGB）。这是一个复杂的、多级的处理过程，包括从输入信号中提取时间信息、亮度与色度的分离，色度信息分离为 Cr 和 Cb 分量，输出数据的采样及为其分配适当的格式等<sup>[20]</sup>。

本系统采用 ADV7183B 芯片对模拟视频进行解码，ADV7183B 是一款通用性很强的视频解码芯片。它能够自动将一种兼容国际标准 NTSC 或 PAL 的模拟视频基带信号转换为另一种兼容 16 位/8 位 ITU-R BT. 656 的 YCrCb 型 4:2:2 视频数据<sup>[21]</sup>。

### 2.2.2 视频数据处理模块

视频数据处理模块完成的功能是视频版权信息特征的处理。根据本系统的实时处理、低功耗、低成本、微型化的性能要求,考虑到运算速度、存储空间大小、性能价格比、硬件资源、开发工具、功耗等多个方面。采用了 ADSP-BF561 为核心计算处理器,该芯片是美国模拟仪器公司(ADI)与 Intel 联合开发的体现高性能体系结构的首款第四代 DSP 产品,是一款对称处理器消费类多媒体产品。它扩展了 Blackfin 处理器系列处理器的性能界限,具有两个高性能 Blackfin 处理器内核、灵活的 Cache 体系结构、增强的 DMA 子系统及动态功耗管理功能,能够支持复杂的控制和信号处理任务,同时保持了极高的数据吞吐量<sup>[22]</sup>。

ADSP-BF561 芯片特别适合很多不同的工业、仪器仪表、医学和消费类应用,如 VoIP、多媒体录放设备、多媒体附件、网络音频、工业控制、成像等。它能够根据需要的数据带宽进行伸缩,并且允许混合控制和信号处理功能。它具有两个独立对称的内核,它的内核最高频达 600MHz (1200MMACS),提供了 328KB 的片上内存,其中每个内核有 32KB 的 L1 指令内存、64KB 的 L1 数据内存、4KB 的临时内存,另外两个内核共享 128KB 的低延时 L2 内存<sup>[23]</sup>。它还有两个支持 ITU-R BT. 656 视频数据格式的 PPI 接口,能支持视频数据的并行输入、输出。此外,它支持基于硬件的知识产权保护、12 个双通道全双工同步串口、12 个支持一维和二维数据传输的外设 DMA 通道和 10/100MII 以太网接口,内存控制器可无缝连接多个外部 SDRAM、SRAM、Flash 或 ROM 内存组。因此基于该 DSP 芯片可以很好的完成实时视频水印处理系统的大规模数据计算<sup>[24]</sup>。

### 2.2.3 水印信息管理模块

实时视频水印提取系统需要将由 ADSP-BF561 芯片处理后的水印结果以不同的形式与上位机或者其他设备进行通信,这就需要系统具有非常强的事务管理能力,能够通过上位机的应用程序来对该系统进行远程控制。本系统采用了 STM32F107 芯片来完成系统的事务管理功能,此芯片集成了各种高性能工业标准接口。其中包括 SPI 端口、USB (OTG) 接口、USART 接口、以太网 10/100 MAC 模块、以及 64KB 的 SRAM 和 256KB 的 FLASH 等。

水印信息管理模块功能在于将 ADSP-BF561 传送的水印信息进行匹配、计算时长。并将匹配结果分别以 USB、串口、网络三种形式输出。STM32F107 内含以太网 MAC 管理模块和 USB 管理模块。通过 MAC 管理模块的接口与外置的 PHY 以太网物理层实现无

缝连接。

## 2.3 系统主要芯片特征

根据系统结构组成可知，主要由三种不同的芯片构成系统的主要部件。分别为：视频输入与视频解码模块 ADV7183B 芯片；视频数据处理模块 ADSP-BF561 芯片；水印信息管理模块 STM32F107 芯片。以下将对他们的主要特征进行阐述。

### 2.3.1 ADV7183B 芯片介绍

嵌入式处理器内核无法直接对模拟视频信号进行处理。视频信号必须首先通过视频解码器数字化，将模拟视频信号（例如：, NTSC、PAL、CVBS、S-Video）转换为数字信号形式（通常是 ITU-R BT. 601/656 YCbCr 或者 RGB）。这是一个复杂的、多级的处理过程，包括从输入信号中提取时间信息、亮度与色度的分离、色度信息分离为 Cr 和 Cb 分量、输出数据的采样，以及为其分配适当的格式等。通过串行接口，如 SPI 或者 I<sup>2</sup>C，可以对解码器的操作参数进行配置。下图是视频解码器 ADV7183B 的典型方框图<sup>【25】</sup>。

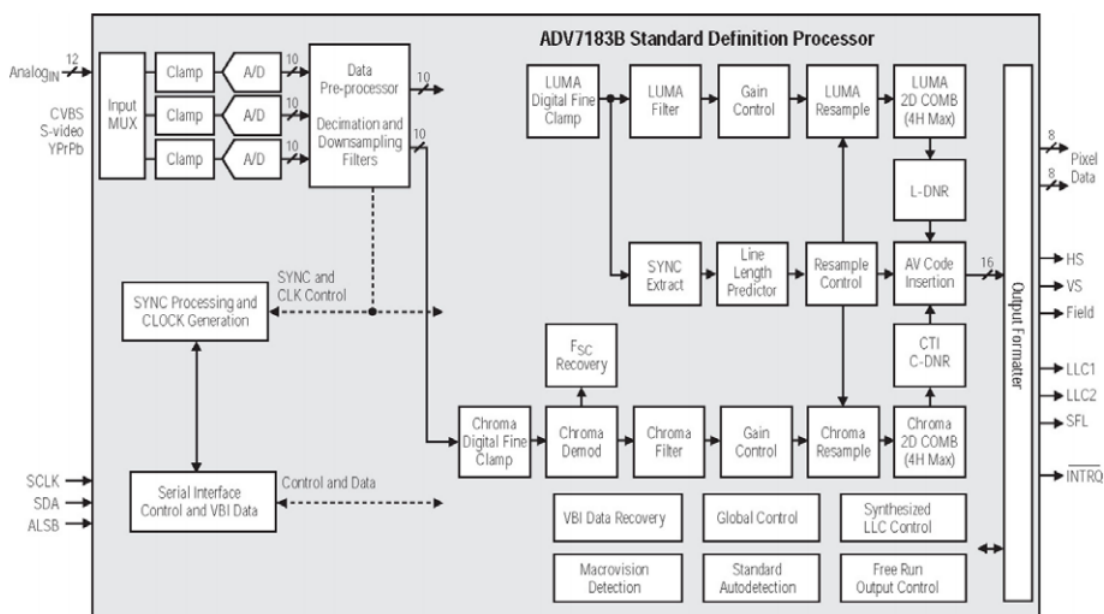


图 2.4 ADV7183B 视频解码器

ADI 公司视频解码处理芯片 ADV7183B，主要完成对视频图像的采集及解码。该芯片的性能主要有<sup>【26】</sup>：

1. 集成了采样频率为 27M、采集精度为 8bit 的视频 A/D 转换器；

2. 支持 PAL、NTSC 和 SECAM 等多种视频格式输入；
3. 支持 ITU656 以及 YCbCr 4:2:2 等数字视频格式，可以 8bit 或 16bit 数据宽度输出；
4. 80-Lead LQFP 封装。

其功能结构原理图如图 2.5 所示。

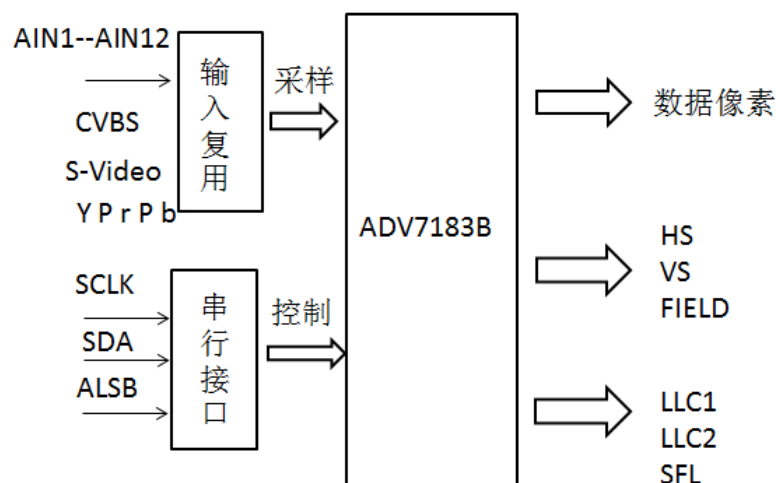


图 2.5 ADV7183B 功能结构原理图

ADV7183B 的视频输入信号为 CVBS，将此信号与 ADV7183B 的模拟视频输入端口 AIN1 相连，经过预处理后进行数据采集，采集时钟由 27MHz 外部时钟通过 XTAL 端口输入提供。生成的数字视频信号 Y、Cb、Cr，由视频像素输出端口 (P8~P15) 输出。同时产生的同步信号（水平同步输出信号 HS、垂直同步输出信号 VS、场同步输出信号 FIELD）由 HS、VS、FIELD 端口输出。此外，ADV7183B 的控制命令可由 BF561 通过 I<sup>2</sup>C 总线进行控制，其端口 SDA 为 I<sup>2</sup>C 串行数据输入输出端口，SCLK 为 I<sup>2</sup>C 串行输入时钟，ALSB 为 I<sup>2</sup>C 地址选通信号。视频解码芯片 ADV7183B 的接口如图 2.6 所示。

视频解码器 ADV7183B 芯片将视频模拟信号 (CVBS) 进行滤波、A/D 转换，生成 Y、Cb、Cr 数字信号。其中 Y 为视频的亮度信号，Cb、Cr 为色度信号，并提取视频的同步信号，如视频的场同步信号和行同步信号，以及场和行的消隐信号。进一步将有效视频信号分离，进而通过并行输出接口输出 Y、Cb、Cr 以及相关同步信号。视频解码器 ADV7183B 生成信号时序如图 2.7 所示。通过视频像素输出端口将数字化的视频数据 YCbCr 传至 BF561 进行处理<sup>[27]</sup>。

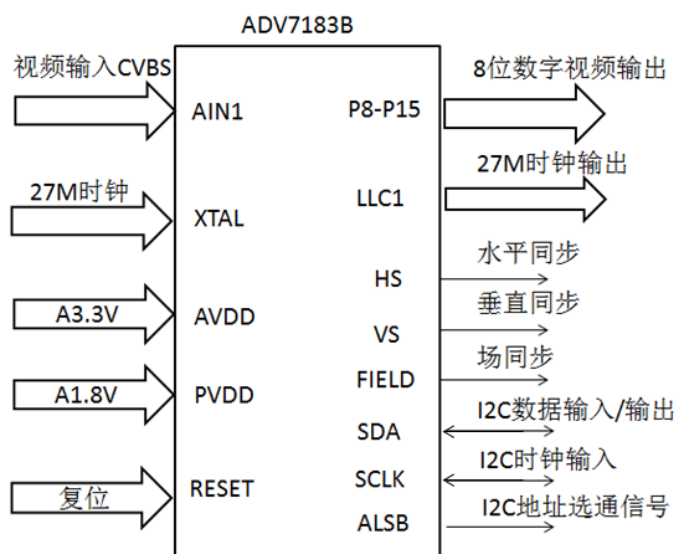


图 2.6 ADV7183B 的接口图

ADV7183B 芯片可以输入两种视频输出格式：8 位和 16 位视频数据<sup>【28】</sup>。通过选择 SD\_DUP\_AV 的属性值可以进行输出视频格式的配置。默认情况下，SD\_DUP\_AV 为 0 值。其输出两种格式视频形式如图 2.7 所示。配置 16 位视频格式输出时，单独 8 位传送 Y 灰度信号，剩余 8 位混合 Cr/Cb 间隔传送。配置 8 位视频格式输出时，Y 灰度信号与色差信号 Cr/Cb 共用 8 位视频宽。

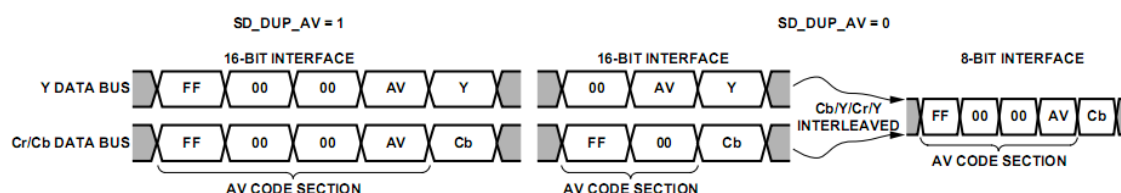


图 2.7 ADV7183B 视频输出格式

本系统采用的是 8bit 宽度视频接口，视频信号以 8 比特解码格式输出，符合 ITU-R BT. 656 标准视频格式。

### 2.3.2 ADSP-BF561 芯片介绍

美国模拟器件公司（ADI）是全球领先的高性能信号处理器集成电路制造商，是全球主要的可编程 DSP 芯片供应商之一。在通用 DSP 市场上，ADI 公司的占有率名列前茅。Blackfin DSP 是 ADI 与 Intel 联合开发的体现高性能体系结构的首款第四代

DSP 产品。目前，公布的 Blackfin 系列 DSP 有 BF51x, BF52x, BF531/532/533, BF535, BF537, BF538/538F, BF539, BF54x, BF561 等。

Blackfin 处理器突出特性包括以下方面<sup>【29】</sup>：

1. 单指令集结构达到或超过竞争 DSP 产品范围的处理性能。
2. 提供更低的功耗、成本和更高的存储效率。
3. 适合下一代嵌入式应用的 16/32 位结构。
4. 单核完成控制、信号和多媒体处理。
5. 通过动态电源管理进行信号处理或电源消耗的性能的调节。
6. 代码和引脚兼容的产品线。
7. 性价比高，扩展了其在多种终端产品中的工程开发。
8. 具有竞争 DSP 双倍性能和一半的功耗，允许指标突破和新的应用。
9. 通过多个工具链和操作系统的支持，可在千百种设计里迅速采用。
10. 提升了开发者的生产力。
11. 强大的软件开发环境和内核性能满足最小优化需求。
12. 广泛的第三方合作伙伴减轻了产品开发的
13. 具有业界领先的开发工具、实时操作系统、软件提供商和系统集成伙伴的支持。

ADSP-BF561 是一款用于消费者多媒体的 Blackfin 对称多核处理器，它扩展了 Blackfin 处理器家族的性能边界，具有两个高性能的 Blackfin 处理器内核、灵活的高速缓冲结构、增强的 DMA 子系统及动态功耗管理能力，能够支持复杂的控制和信号处理任务，同时保持了极高的数据吞吐量<sup>【30】</sup>。



ADSP-BF561 功能模块框图如图 2.8 所示, 主要具有如下相关特性<sup>[31]</sup>:

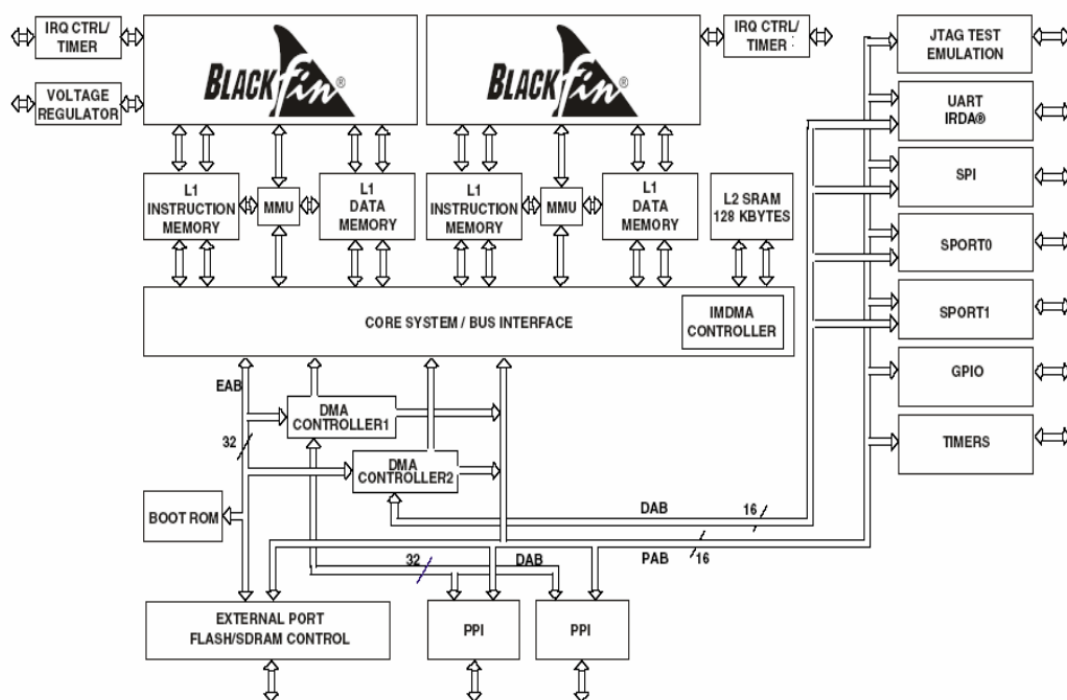


图 2.8 ADSP-BF561 功能模块框图

1. 最高时钟速率为 600MHz (2400MMACS)。
2. 328KB 的片上内存, 其中每个内核有 32KB 的 L1 指令内存 SRAM/Cache, 每内核有 64KB 的 L1 数据内存 SRAM/Cache, 每内核有 4KB 的 L1 中间结果暂寄存器内存; 同时还有共享的 128KB 低延迟的 L2 内存。
3. 32 位内存控制器, 提供到多个 SDRAM、SRAM、Flash 或 ROM 的无缝链接。
4. 两个 PPI 接口单元, 支持 ITU-R656 视频数据格式。
5. 两个双通道、全双工同步串行接口, 支持 8 个立体声 I2S 通道。
6. 双 16 通道 DMA 控制器, 支持一维和二维传输。
7. SPI 兼容端口。
8. 12 个定时器/计数器, 支持 PWM、脉冲宽度和时间计数模式。
9. 48 个可编程标志 (GPIO)。
10. 双看家狗定时器。
11. 锁相环 PLL 支持  $1x \sim 63x$  的倍频。

ADSP-BF561 处理器是 Blackfin 系列中的高性能产品, 针对于多媒体和通信方面的各种应用。该器件的核心由两枚独立的 Blackfin 处理器组成。这些 Blackfin 处理



器将艺术级的 dual-MAC 处理引擎,简洁的 RISC 式微处理器指令集的优点,以及单指令多数据(SIMD)多媒体能力结合起来,形成了一套独特的指令集结构。ADDP-BF561 集成了一套通用的数字图像处理外围设备,为数字图像处理和多媒体应用创建了一个完整的系统级片上解决方案。

ADSP-BF561 处理器具有 328Kbytes 的片上存储空间。每个 Blackfin 内核包括<sup>[32]</sup>:

1. 16K Bytes 指令 SRAM/Cache
2. 16K Bytes 指令 SRAM
3. 32K Bytes 数据 SRAM/Cache
4. 32K Bytes 数据 SRAM
5. 4K Bytes 存放中间结果的 SRAM

另外,片上存储外设包括:

1. 128K Bytes 低延迟片内 SRAM
2. 4 通道内部存储器 DMA 控制器
3. 外部存储器控制器提供与 SDRAM,SRAM 和 Flash 的无缝连接。

ADSP-BF561 芯片的主要特征为:

1. 便携式低功耗结构

Blackfin 处理器为嵌入式信号处理方面的应用提供了世界领先的电源管理和低功耗性能。Blackfin 处理器采用低功耗和低电压的设计方法,具有动态功率管理的特点,即通过改变工作电压和频率来大大降低总功耗,这个特点可使功耗呈指数级减少。对于便携式应用来说,这相当于延长了电池的寿命。

2. Blackfin 处理器内核

如下图所示,每一个 Blackfin 内核包含 2 个乘/累加器(MAC),2 个 40 位的 ALU,4 个视频 ALU 和 1 个 40 位移位器。运算单元处理来自寄存器组的 8 位、16 位或者 32 位数据<sup>[33]</sup>。

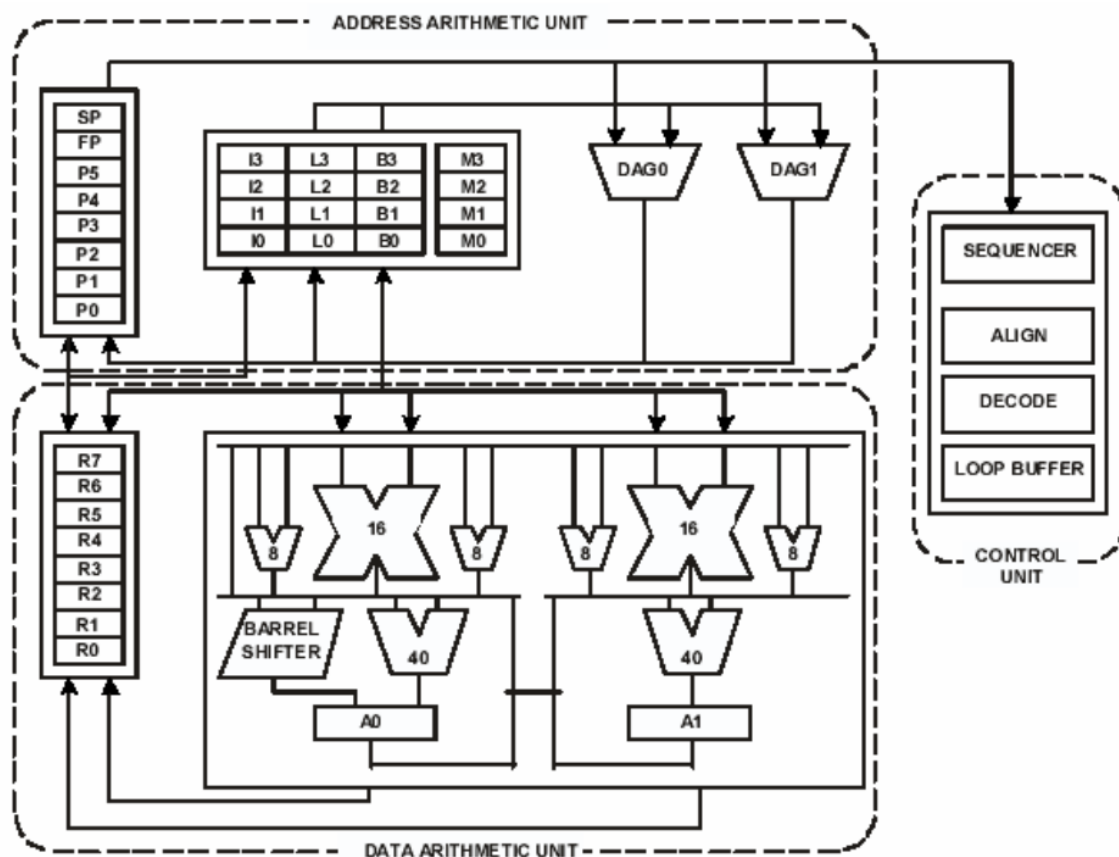


图 2.9 Blackfin DSP 内核

每个 MAC 每周期可完成一个 16 位乘 16 位的乘法运算，并把结果累加到 40 位的累加器中，提供 8 位的精度扩展。ALU 单元执行标准的算术和逻辑运算，由于两个 ALU 具备对 16 或 32 位数据操作的能力，因此运算单元具备的灵活性可以满足各种应用中信号处理的要求。

每个 32 位的输入寄存器可以作为两个 16 位的寄存器，因此每个 ALU 可以完成非常灵活的单 16 位算术运算。通过把寄存器当作两个 16 位的操作数使用，双 16 位或单 32 位操作可以在一个周期中完成。更好地利用第二个 ALU，四个 16 位操作可以简单地完成，加速了每个周期的吞吐量。强大的 40 位移位器功能丰富，可以对数据进行移位、循环移位、归一化、提取和存储等操作。运算单元所使用的数据来自具有 16 个 16 位操作数或 8 个 32 位操作数的寄存器组。

### 3. 存储器结构

ADSP-BF561 把存储器视为一个统一的 4GBytes 的地址空间，使用 32 位地址。所有的资源，包括内部存储器、外部存储器和 I/O 控制寄存器，都占据公共地址空间中相应的部分，并且各自独立。此地址空间的各部分存储器按分级结构排列，以提供

高性能价格比。一些非常快速、低延迟的存储器（如 CACHE 或 SRAM）的位置非常接近处理器，而更大的、低成本低性能的存储器远离处理器。参见图 2.12。

L1 存储器是内核中性能最高最重要的存储器。L2 存储器提供额外的存储能力，性能较低。片外存储系统通过外部总线接口单元(EBIU)进行访问，可以由 SDRAM、FLASH 和 SRAM 进行扩展，可以访问多达 768MBytes 的物理存储器。存储器的 DMA 控制器提供高带宽的数据传输能力，能够在内部 L1/L2 存储器和外部存储器空间之间完成代码或数据的块传输。

### （1）内部（片内）存储器

ADSP-BF561 有 4 块片内存储器，提供到内核的高带宽的访问。

第 1 块是 Blackfin 内核的 L1 指令存储器，它由 16K Bytes 4 路组相联的 CACHE 和 16Kbytes 的 SRAM 组成。CACHE 存储器也可以配置成 SRAM。L1 指令存储器以处理器的最快速度访问。当被配置成 SRAM 时，存储器每个 16K Bank 被分成 4 个 4K 的 sub-bank，每个 sub-bank 可以被处理器和 DMA 独立地访问。

第 2 块片内存储器是 Blackfin 内核的 L1 数据存储器，由 4 个 16K Bytes 的 Bank 组成。L1 数据存储器的两个 Bank 可配置成 2 路组相联 CACHE 或一个 SRAM。另外两个 Bank 被配置成 SRAM，该存储器也以全速度访问。当被配置成 SRAM 时，存储器每个 16K Bank 被分成 4 个 4K 的 sub-bank，每个 sub-bank 可以被处理器和 DMA 独立地访问。

第 3 块是一个 4KBytes 的临时数据 SRAM，它和 L1 存储器有相同的运行速度，但是只能作为数据 SRAM（不能配置为 CACHE，也不能通过 DMA 访问）。

第 4 块片内存储系统是 L2 SRAM 存储器阵列，它提供 128K Bytes 高速 SRAM，以内核速度的一半进行访问，比访问 L1 存储器 Bank 有稍多的延迟。L2 存储器是一个独立的指令和数据存储器，可以保存系统设计所要求的任意代码和数据的组合。两个 Blackfin 内核共享一个专用低延迟 64 位宽的通道端口，用于访问 L2 SRAM 存储器。每个 Blackfin 内核处理器有其自己的内核存储器映射寄存器（MMR），但是它们共享相同的系统 MMR 寄存器和 128K Bytes 的 L2 SRAM 存储器。

### （2）外部（片外）存储器

ADSP-BF561 外部存储器通过外部总线接口单元(EBIU)进行访问。此接口可与多达 4 个 bank 的同步 DRAM（SDRAM），或与多达 4 个异步存储设备（包括 FLASH、EPROM、ROM、SRAM 和存储器映射 I/O 设备等）无缝连接。

PC133 兼容的 SDRAM 控制器可通过编程与多达 4 个 Bank 的 SDRAM 接口, 每个 Bank 容量为 16M Bytes 到 128 M Bytes, 4 个 Bank 的总容量可达 512M Bytes。每一个 Bank 可独立编程, 与其相邻的 Bank 连续排列而忽略 Bank 大小和位置方面的差异。这就允许内核将所有的 SDRAM 看作一个单独的、连续的物理地址空间, 增加了对系统存储器配置和升级的灵活性。

异步存储器控制器也能够通过编程控制多达 4 个 bank, 时序参数灵活的各种异步存储设备。无论使用设备的大小如何, 每个 bank 的空间都占据 64MByte。这样, 只有装满 4 个 64MByte 的存储器时地址空间才能连续。

### (3) I/O 存储器空间

Blackfin 处理器没有定义独立的 I/O 空间, 所有的资源都被映射到统一的 32 位地址空间。片上 I/O 设备的控制寄存器被映射到靠近 4GByte 地址空间顶端的存储器映射寄存器(MMR)地址范围内。这个地址空间又被划分为两个部分, 一部分包含设置所有内核功能的控制 MMR, 另一部分包含用于设置和控制内核以外的片内外设的寄存器。内核 MMR 仅在管理员模式下可被内核访问, 并且被看作是片内外设的保留空间。系统 MMR 仅在管理员模式下可被内核访问, 至于对其它设备可见或是保留, 取决于系统保护模型的要求。



(1) 仿真：仿真事件使处理器进入仿真模式，允许通过 JTAG 接口命令和控制处理器。

(2) 复位：此事件使处理器复位。

(3) 不可屏蔽中断(NMI)：NMI 事件可以由软件“看门狗”定时器或者处理器的 NMI 输入信号产生。NMI 事件经常用作掉电指示，有序地进行系统关闭工作。

(4) 异常：异常是与程序执行同步发生的事件，即异常会在指令执行完之前产生。例如数据对齐违规、未定义指令等情况都将导致异常。

(5) 中断：中断是与程序执行异步发生的事件，由定时器、外设、输入引脚等引起，也可以由软件指令触发。

每个事件都有一个相应的保存返回地址的寄存器和一个相应的从事件返回指令。一个事件被触发后，处理器当前状态被保存在管理员堆栈内。

ADSP-BF561 事件控制器由两级组成，内核事件控制器(CEC)和系统中断控制器(SIC)。两者协同工作来确定优先级和控制所有系统事件。从概念上讲，来自外设的中断进入 SIC，然后被直接发送到 CEC 的通用中断中处理。

### 2.3.3 STM32F107 芯片介绍

STM32F107 是意法半导体推出全新 STM32 互连型(Connectivity)系列微控制器中的一款性能较强产品，此芯片集成了各种高性能工业标准接口，且 STM32 不同型号产品在引脚和软件上具有完美的兼容性，可以轻松适应更多的应用<sup>[34]</sup>。

新 STM32 的标准外设包括 10 个定时器、两个 12 位 1-Msample/s AD(模数转换器)(快速交替模式下 2M sample/s)、两个 12 位 DA(数模转换器)、两个 I2C 接口、五个 USART 接口和三个 SPI 端口和高质量数字音频接口 IIS，另外 STM32F107 拥有全速 USB(OTG)接口，两路 CAN2.0B 接口，以及以太网 10/100 MAC 模块。此芯片可以满足工业、医疗、楼宇自动化、家庭音响和家电市场多种产品需求。

STM32F107(32 位 RISC 性能处理器)的主要特征为<sup>[35]</sup>：

1. 32 位 ARM Cortex-M3 结构优化
2. 72MHz 运行频率，1.25DMIPS/MHz
3. 硬件除法和单周期乘法
4. 快速可嵌套中断，6~12 个时钟周期
5. 具有 MPU 保护设定访问规则
6. 64K~256KB Flash，高达 64KB 的 SRAM

STM32F107VC 是属于 ARM Context-M3 构架的微处理器，STM32F107VC 的内存映射图如图 2.13 所示。

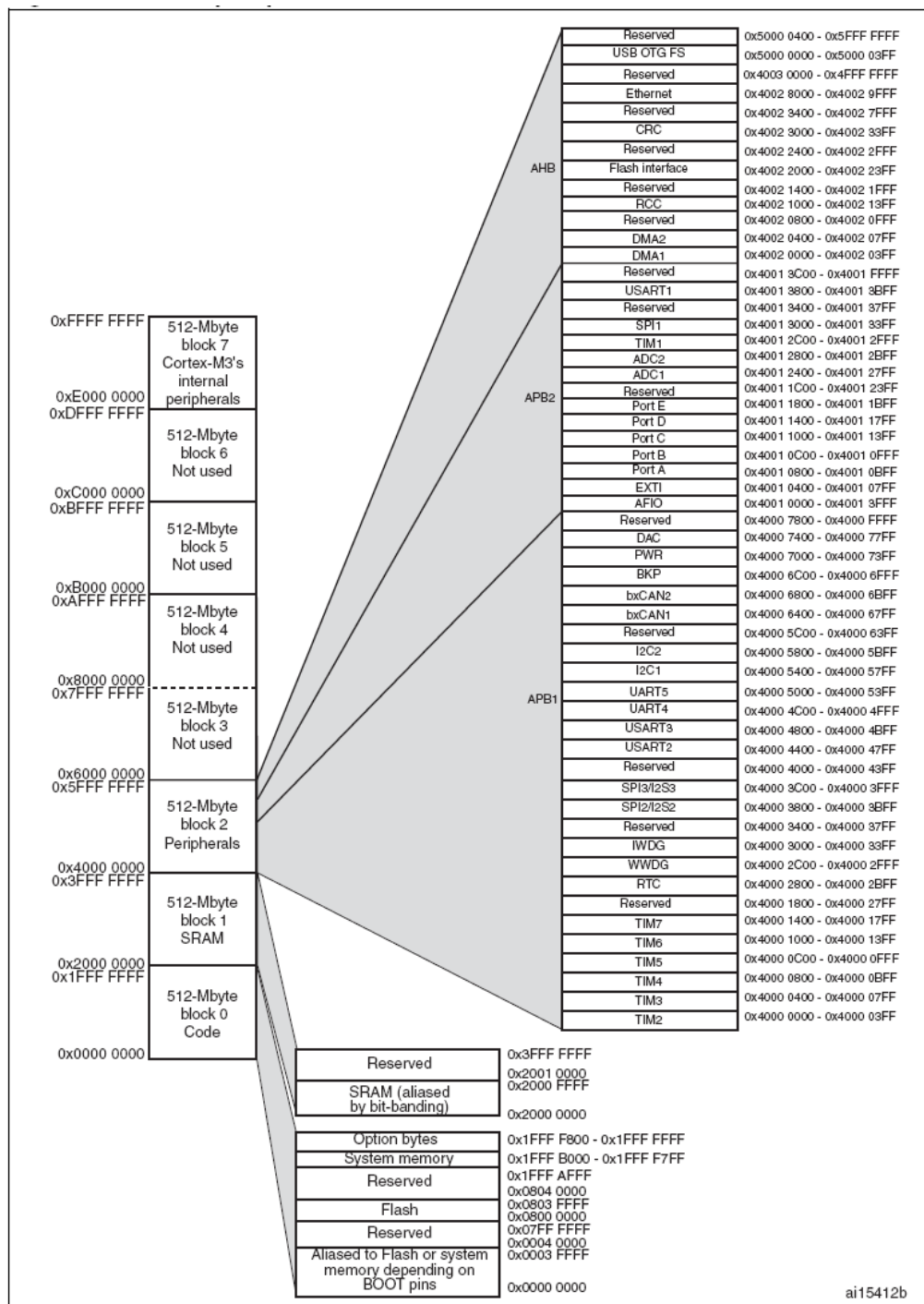


图 2.11 STM32F107VC 内存映射图

STM32 互联型产品 STM32F107VC 具有多达 64KSRAM 和 256K 的 FLASH。该处理器主频最高位 72MHz，为整个微控制器时钟信号的 25MHz 或者 50MHz 晶振还

可以给外设时钟信号,从而可以简化硬件设计。该芯片能够输出 25MHz 或 50MHz 时钟信号,可以驱动外部以太网物理层(PHY)芯片,从而可节省一个为外设时钟信号的晶振。STM32F107VC 以太网 MAC 支持 MII 和 RMII,提高了设计人员选择最佳的 PHY 芯片的灵活性。

STM32F107VC 内置有 USB2.0 OTG 模块,每当在 USB 总线检测到一个帧的开始位时,STM32 互联系列上的 USB OTG 外设就在输出引脚上生成一个脉冲信号,用于调整一个外部音频数模转换器的时钟,在采用等时 USB 传输技术的音频流应用中,这个功能可简化流入和流出的数据同步过程。

STM32F107VC 内置一个 BootLoader 程序,用户可通过 USART、CAN 或 USB DFU 接口直接烧录空白的或已编程的闪存(微控制器固件升级)。烧录时选择自动通信接口,因为 BootLoader 程序可检测活动的外设接口。

除新的功能增强型外设接口外,STM32F107VC 还与其它 STM32 微控制器相同的标准接口。外设共用性提升了产品应用的灵活性,使开发人员可以在多个设计中重复使用同一个软件。新 STM32 的标准外设包括 10 个定时器、两个 12 位模数转换器(转换时间  $1\mu\text{s}$ )、两个 12 位数模转换器、两个 I2C 接口、五个 USART 接口和三个 SPI 端口。新产品外设共有 12 条 DMA 通道,还有一个 CRC 计算器,像其它 STM32 微控制器一样,支持 96 位唯一标识码。

STM32F107VC 还沿续了 STM32 产品家族的低电压和节能优点。2.0V 到 3.6V 的工作电压范围兼容主流的电池技术,如锂电池和镍氢电池,封装还设有一个电池工作模式专用引脚 VBat。以 72MHz 频率从闪存执行代码,仅消耗 27mA 电流。共有四种低功耗模式,可将电流消耗降至  $2\mu\text{A}$ 。从低功耗模式快速启动也同样节省电能;利用 STM32 内部生成的 8MHz 信号,启动电路将微控制器从停止模式唤醒用时小于  $6\mu\text{s}$ 。

## 2.4 本章小结

本章介绍了数字视频水印系统的总体设计,依据视频解码、视频数据处理和水印信息管理三个模块,对系统进行了详细的分类及说明。分别根据系统所需要的功能实现,依次介绍了 ADV7183B 芯片、ADSP-BF561 芯片及 STM32F107 芯片,并分别从芯片结构及功能进行了阐述。



## 第 3 章 系统原理设计

数字视频水印系统主要的设计技术在于实现了系统处理的流水结构及模块之间的无缝连接。采用 DSP+ARM 的设计思想，充分的利用了 DSP 强大的数据处理能力和较高的运行速度、ARM 强大的事务管理能力。两种通过合理的搭配使得系统具有很好的灵活性和实时性。使得系统可以有效的适应不同的视频处理算法，应用于不同要求的视频处理领域。系统具体的通信接口如下图所示：

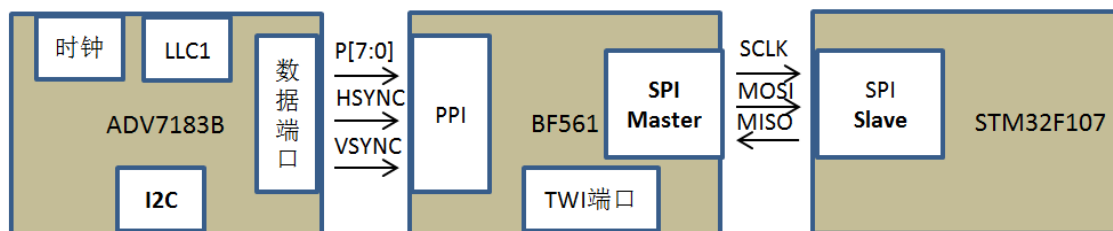


图 3.1 系统通信接口图

### 3.1 视频输入与视频解码

#### 3.1.1 视频的基础知识

1. 模拟视频信号已经应用了几十年，至今仍然在使用。

现代消费模拟传输系统包括了 S-Video、分量视频、专业 GBR 视频及计算机 RGB 系统。所谓模拟视频就是采用电子学的方法来传送和显示活动景物或静止图像。它通过在电磁信号上建立变化来支持图像信息的传播和显示，大多数家用电视机和录像机显示的都是模拟视频。模拟电视系统标准主要有 NTSC 制、PAL 制和 SECAM 制。NTSC 制主要用于北美和日本，PAL 制主要用于欧洲和中国，SECAM 制主要用于前苏联和东欧国家。从技术上讲，NTSC 制的频带最经济，而 PAL 制和 SECAM 制对传输线路的要求较低。

从根本上来说，一个视频信号基本上只是由亮度和色彩数据构成的 2 维阵列，该阵列以一定帧率的刷新变化来描述运动。在传统的阴极射线管（CRT）电视和显示器中，屏幕上的磷粉由一个电子束从上到下、从左到右的方式激发产生光亮。该电子束是由一个如图 3.2 所示的模拟视频信号调制生成。嵌入该模拟信号中的同步信号，决

定了电子束什么时候激亮磷粉，什么时候停止操作。这样电子束可以在下一行由右向左回程扫描，或者从下到上开始对下一帧视频场或帧信号进行扫描。这些同步信号如图 3.3 所示<sup>[36]</sup>。

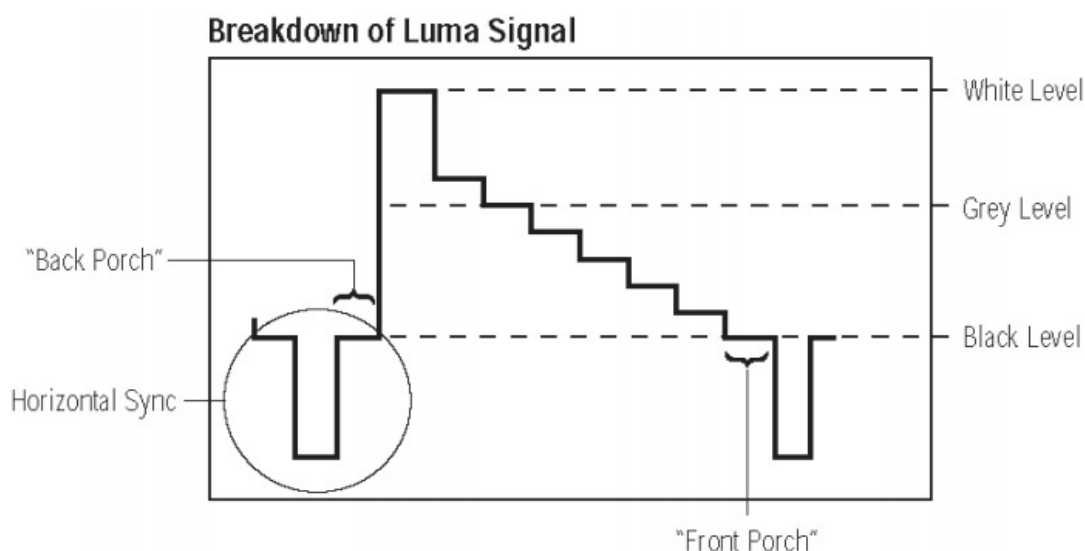


图 3.2 亮度信号的组成

图中：Breakdown of Luma Signal——亮度信号的分类，Back Porch——后沿，Horizontal sync——水平同步，White level——白色级，Grey Level——灰色级，Black Level——黑色级

HSYNC 是水平同步信号。它界定了视频帧每一行中（从左到右）有效视频的起始位置。水平消隐为电子枪从屏幕右侧回扫至下一行左侧的时间间隔。

VSYNC 是垂直同步信号。它定义了一个新的视频图像的起始位置（从上到下）。垂直消隐为电子枪从屏幕图像的右下角返回左上角所需的时间间隔。

FIELD 用于在隔行视频信号中区分出目前所显示的场。该信号并不适用于逐行扫描视频系统。

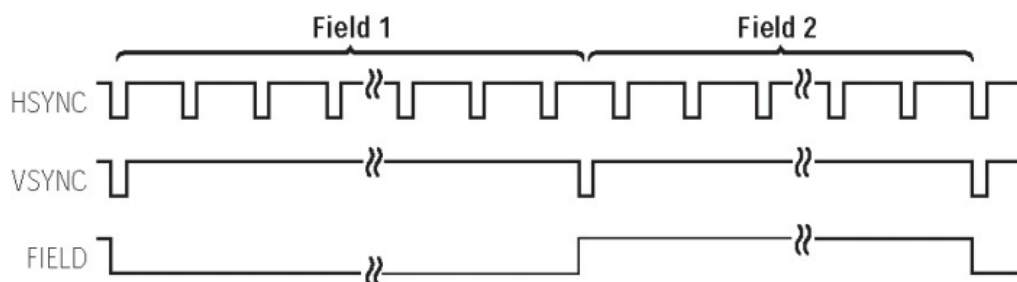


图 3.3 水平同步信号、垂直同步信号、场同步信号之间的时序关系

视频信息的传输起源于由黑到白的相关亮度显示，黑白电视系统也是这样产生的。在空间中的一个给定点处的电压水平则与该点图像的亮度水平相关。

当彩色电视出现后，它必须保证与黑白电视的后向兼容，因此彩色脉冲信息被添加到已有的亮度信号顶部，如图 3.4 所示。色彩信息也被称为色度。

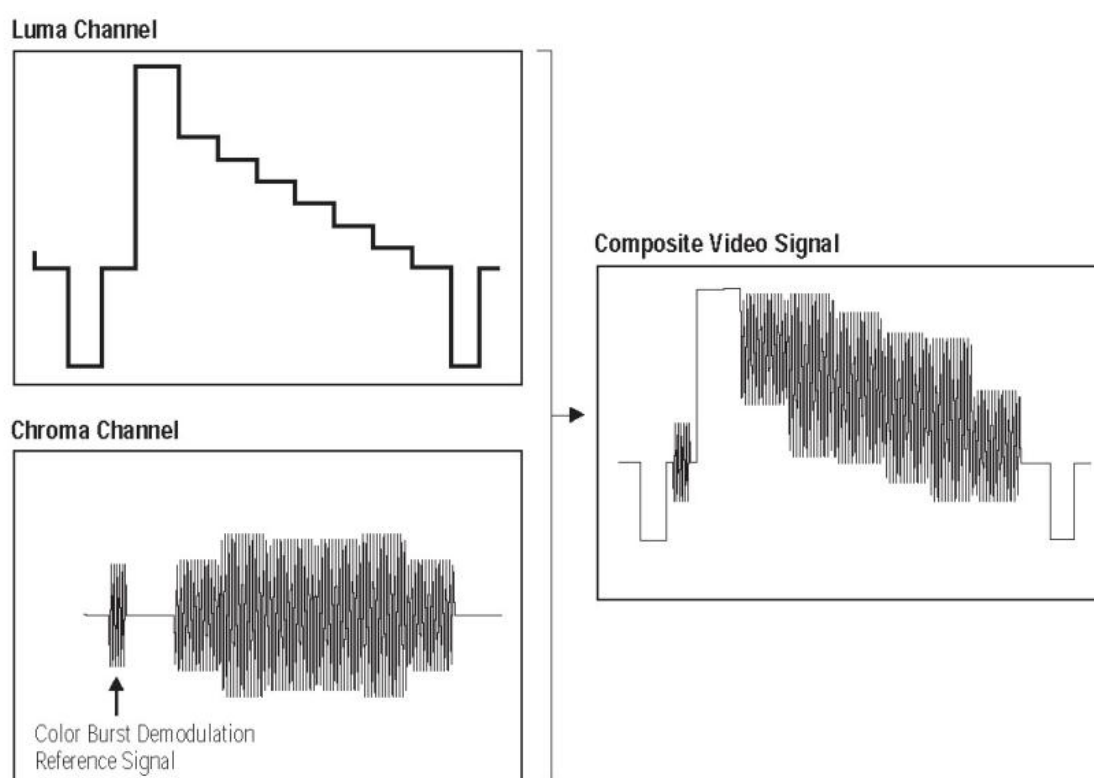


图 3.4 带色同步信号的模拟视频信号

图中：Luma Channle——亮度通道，Chroma Channel——色度通道，Composite Video signal——复合视频信号。Color Burst Demodulation Reference Signal——色彩脉冲解调参考信号。

2. 数字视频是指用二进制数字表示的视频信号，数字视频既可直接来源于数字摄像机（如 CCD 摄像机等），也可以将模拟视频信号经过数字处理变成数字视频信号。

彩色视频数字化分为复合编码和分量编码。复合编码是直接对彩色全电视信号进行 PCM 编码，分量编码是对亮度分量  $Y$  和色差分量  $\theta_Y$ 、 $C_R$ （或三基色  $R$ 、 $G$ 、 $B$ ）分别进行 PCM 编码。分量编码图像质量高，且信号便于三种电视制式之间进行节目交换，因此，分量编码得到了广泛的应用。目前几乎所有的数字视频系统均采用分量编码。RGB 到  $YC_B C_R$  的转换关系为<sup>[37]</sup>

$$\begin{pmatrix} Y \\ Cb \\ Cr \end{pmatrix} = \begin{pmatrix} \frac{77}{256} & \frac{150}{256} & \frac{29}{256} \\ -\frac{44}{256} & -\frac{87}{256} & \frac{231}{256} \\ \frac{131}{256} & -\frac{110}{256} & -\frac{21}{256} \end{pmatrix} \begin{pmatrix} R \\ G \\ B \end{pmatrix} \quad (3-1)$$

YCbCr 到 RGB 的转换关系为

$$\begin{pmatrix} R \\ G \\ B \end{pmatrix} = \begin{pmatrix} 1.0000 & 1.4020 & 0.0000 \\ 1.0000 & 0.0000 & 1.7720 \\ 1.0000 & -0.7140 & -0.3441 \end{pmatrix} \begin{pmatrix} Y \\ Cb - 128 \\ Cr - 128 \end{pmatrix} \quad (3-2)$$

模拟视频信号经过数字化处理后，就变成一帧帧数字图像组成的图像序列，即数字视频信号。每帧图像由  $N$  行、每行  $M$  个像素组成，共有  $M \times N$  个像素。利用人眼的视觉惰性，每秒连续播放 30 帧（帧频  $f_p$ ）以上，就能给人以较好的连续运动景物的感觉。每个像素用  $N_b$  比特表示，数字视频信号的信息传输速率为  $M \times N \times f_p \times N_b$ 。

例如，PAL 制彩色数字视频信号用 RGB 分量（ $N_b=3 \times 8=24\text{bit}$ ）表示时，帧频  $f_p=25$ （每秒 25 帧）， $M=576$ （每帧 576 行）， $N=720$ （每行 720 像素点），其信息传输速率为  $720 \times 576 \times 25 \times 24 \approx 249\text{Mbps}$ 。

为了便于国际节目交换及 625 行 PAL 制系统与 525 行 NTSC 制系统之间的兼容，1982 年 CCIR（国际无线电通信咨询委员会）制定了 CCIR601 数字视频标准，1993 年变更为国际电信联盟无线电通信部门 ITU-T BT.601 建议，它规定了对视频信号进行数字化编码的方法，它利用了 YCbCr 颜色空间，以更好地利用通道带宽。它建议将 4:2:2 YCbCr 作为广播视频的首选格式。同时也提供了同步信号（HSYNC, VSYNC, FIELD）和时钟信号，以便划定有效视频区的边界。图 3.5 示出了同步信号、时钟和数字信号之间典型的时序关系<sup>[38]</sup>。

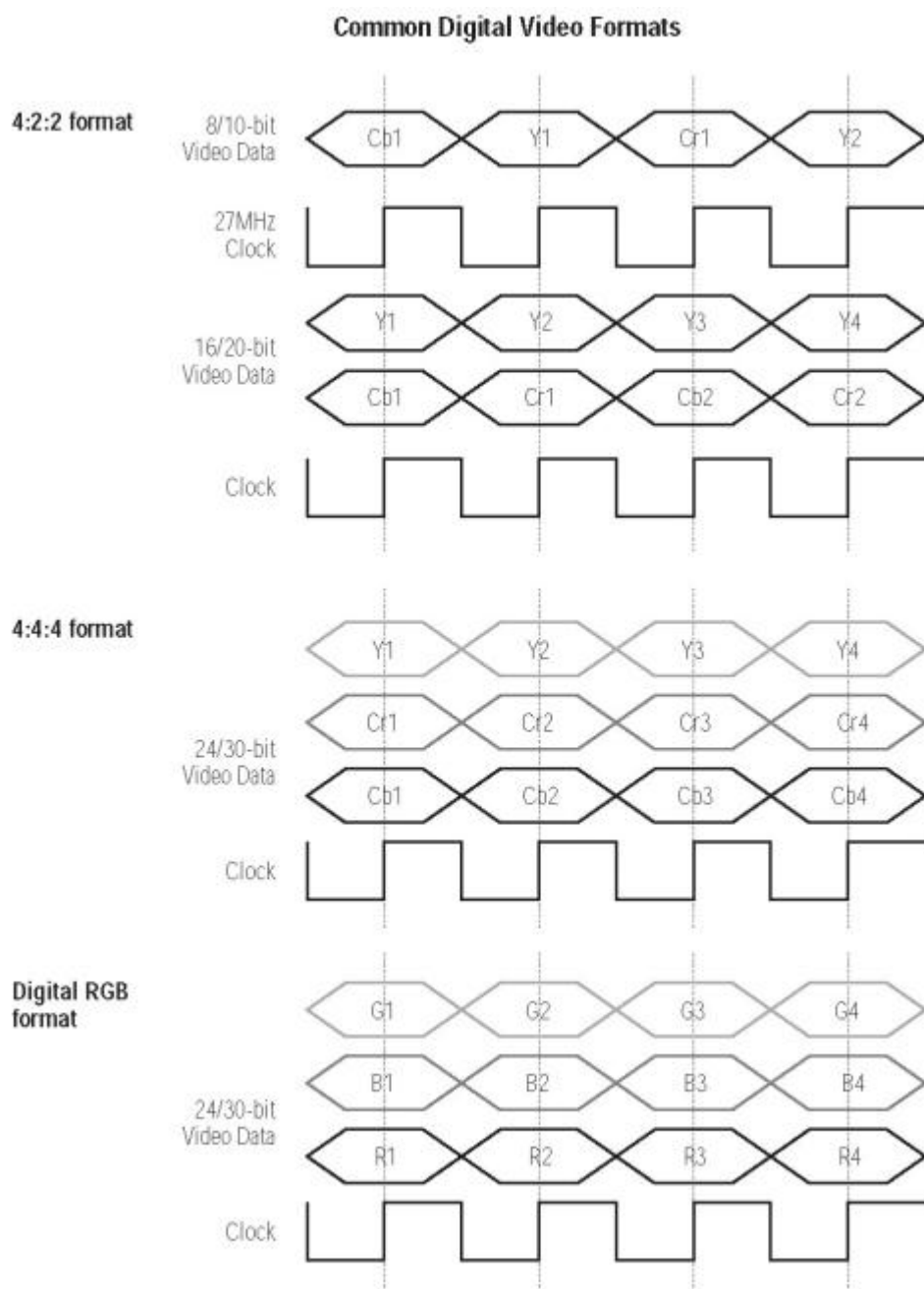


图 3.5 常见的数字视频格式的时序关系

图中: Video Data——视频数据, Clock——时钟信号, format——格式, Digital RGB format——数字 RGB 格式。Video Data——视频数据, Clock——时钟。

BT.601 规划了对视频进行数字编码的方法, 而 BT.656 则实际定义了实施 BT.601 所必需的物理接口和数据流。它同时定义了位并行和位串行模式。位并行模式只需要 27MHz 的时钟 (在 NTSC 30 帧/s 条件下) 以及 8 或 10 条连线 (具体取决于像素的分辨率)。所有的同步化信号都嵌入到数据流中, 因此无需额外添加硬件连线。

在 BT.656 标准中，水平（H）、垂直（V）和场（F）信号作为嵌入到视频数据流中的一串字节来发送，这一串字节构成了一个控制字。有效视频起点（SAV）和有效视频终点（EAV）信号指示了每行读入的数据单元的开始和结束。SAV 出现在 H 发生 1-0 切换时，EAV 出现在 H 发生 0-1 切换时。整个视频场由有效的视频+水平消隐（EAV 和 SAV 代码之间的空间）以及垂直消隐（V=1 的空间）组成。

视频的场从 F 位的切换开始。“奇数场”由 F=0 表示，而 F=1 则表示偶数场。逐行扫描的视频并不区分场 1 和场 2，而隔行扫描的视频则要求专门对每个场进行独立的处理，因为每个场交替的扫描行组合起来最终形成实际的视频图像。

图 3.6 为 ITU-R BT.656 的数字视频流特性<sup>【39】</sup>。

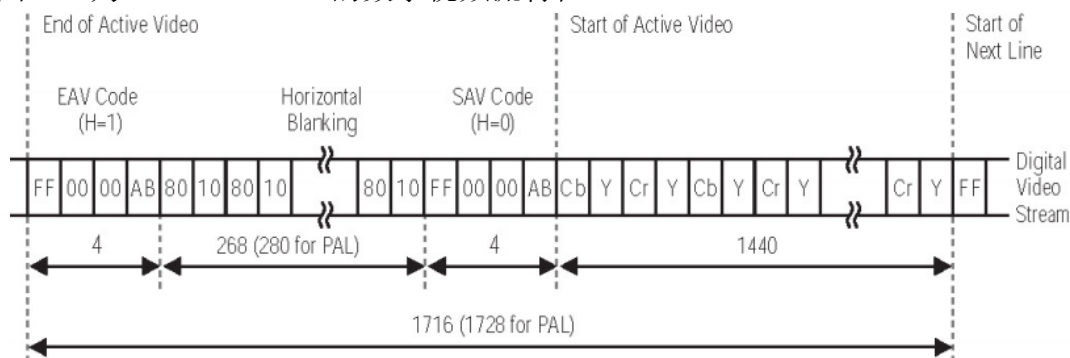


图 3.6 ITU-R BT.656 数据流

图中：End of active video—有效视频终点；horizontal blanking—水平消隐，Start of active video—有效视频起点，Start of next line—下一行的起点。Digital Video Stream—数字视频流。Control Byte—控制字节。

### 3.1.2 视频接口 PPI

ADSP-BF561 提供了 2 个 16 位的 Parallel Peripheral Interface(PPI0 和 PPI1)，他们可直接与并行 A/D 和 D/A 转换器、视频编码器和视频解码器以及其他通用外设连接。PPI 是半双工双向端口，包含多达 16 位的数据线。同时还包括一个专用的时钟引脚（PPI<sub>x</sub>\_CLK）、3 个帧同步引脚（PPI<sub>x</sub>\_FS1 用作 HSYNC 水平同步、PPI<sub>x</sub>\_FS2 用作 VSYNC 垂直同步和 PPI<sub>x</sub>\_FS3 用作 FIELD SYNC 场同步）以及 8 位专用的数据引脚。通过配置与 PPI 接口共用的 PF<sub>x</sub> 引脚，以获得额外的数据线。由于 2 个 8 位的采样数据可以被打包成一个单 16 位字，所以用 8 位数据线能够达到最高的数据量。

PPI 工作模式主要分为：（1）通用模式（General Purpose mode）；（2）ITU-R 656 模式（ITU-R 656 mode）。PPI 支持 ITU-R 656 输入模式，但不支持 ITU-R 656 的输出，

不过可以通过在存储区中设定整帧结构（包括有效视频、消隐和控制信息），并用无帧同步模式将数据从 PPI 口送出实现 ITU-R 656 的输出功能。

下图为 ITU-R 656 输入模式的硬件连接图<sup>[40]</sup>：

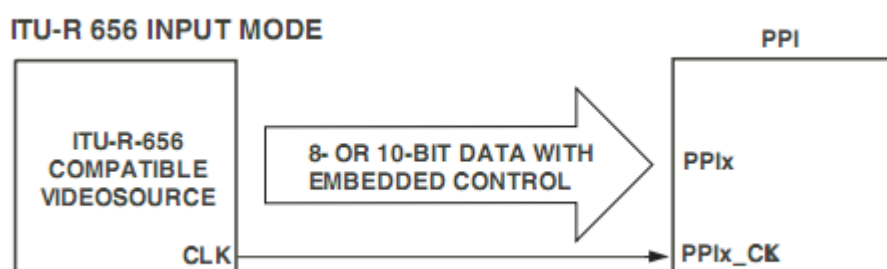


图 3.7 ITU-R 656 输入模式的硬件连接图

在此模式下，需要连接的仅是时钟频率（PPI<sub>x</sub>\_CLK）和并行数据线。PPI 接口通过扫描嵌入在数据流中的隐含信息，来检测传送开始的标志。

ITU-R BT.656 输入支持 3 种自模式：有效视频模式、垂直消隐模式和整场模式。通过配置 PPI 控制寄存器不同控制字即可实现上述模式，三种输入模式如图 3.8 所示：

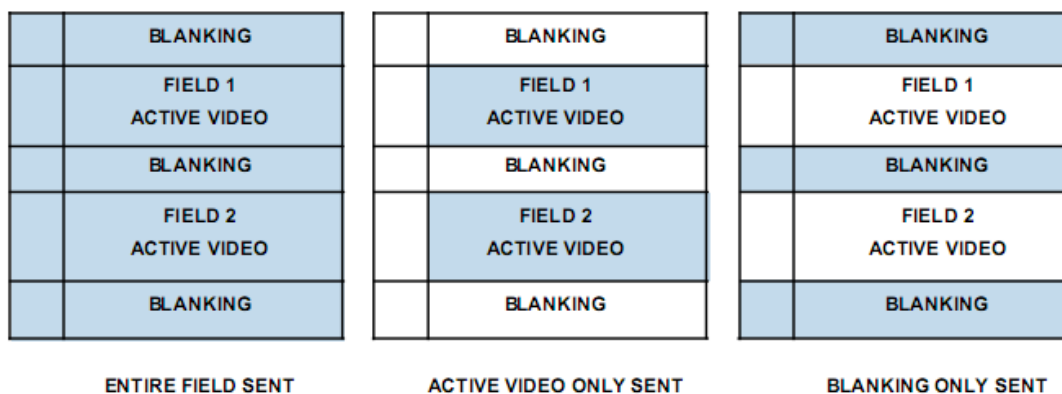


图 3.8 ITU-R BT.656 三种输入模式

### 3.1.3 视频采集多缓冲区处理技术

在视频输入与处理模块中，需要完成视频数据的存储和传输。本系统将经过 ADV7183B 解码的视频数据填充到 ADSP-BF561 处理器的视频帧中。当视频帧填满后，它会将视频数据传输至另一个外接编码芯片，以执行本地显示，或对数据进行处理及压缩等操作。为了确保不覆盖尚未处理完毕或未显示的像素和视频帧，视频应用基本

上都拥有多个缓冲区。当填充第一个视频帧时，设备驱动程序将在完全填满这个视频帧之后，继续填充下一个视频帧。第一个视频帧填满后，处理器可以放心地处理其中的数据，而不必担心会被新数据或像素改写。这个过程将不断循环往复，这个过程通常也称“乒乓缓冲”。

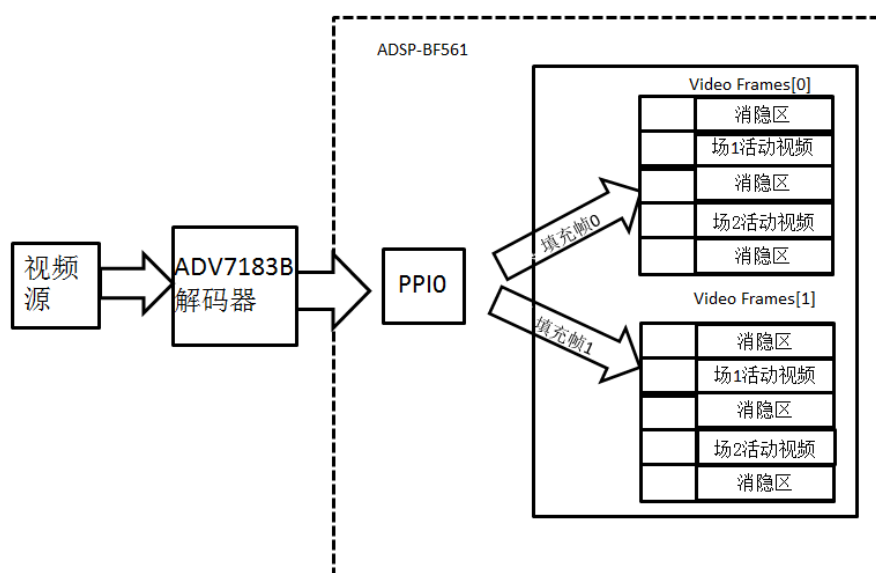


图 3.9 视频采集的多缓冲区处理技术

Blackfin 处理器 PPI 接口是负责处理视频信号的视频端口。PPI 不仅是一种并行外设接口，它还具备一些面向视频信号的出色特性，还可以支持高速并行转换器。PPI 是一个双向的半双工接口，在特定时刻既可执行视频输入，又可执行视频输出。PPI 接口支持 ITU 656 建议中规定的位并行模式。时钟信号和帧同步信号具备一定的信号极性可编程性。

PPI 接口拥有大量节省带宽的特性，可以通过配置选择仅接收 ITU 656 输入视频帧中的一部分信号。例如，用户可以选择仅接收有效视频信号而忽略消隐区域，这样一来既节省了 DMA 带宽，又减轻了 ADSP-BF561 处理器中的数据传输任务。应用 PPI 接口可以实现 ADV7183B 与 ADSP-BF561 直接的无缝连接。

### 3.1.4 硬件设计原理图

本系统中选用 ADV7183B 芯片作为视频解码器，充分利用了该芯片与 ADSP-BF561 之间的无缝连接的特点。根据选用视频标准 CCIR656 格式的 YCbCr 4:2:2 视频流输入，同步信号已嵌入在码流中，故无需选用外部的同步信号。本系统中，复合视频信号 CVBS 通过 ADV7183B 模拟视频输入口 AIN1 后，经过解码转换为 8 位数字视频流传



送到 BF561 上 PPI0 口的 D0-D7 端口。接口电路如图 3.10 所示：

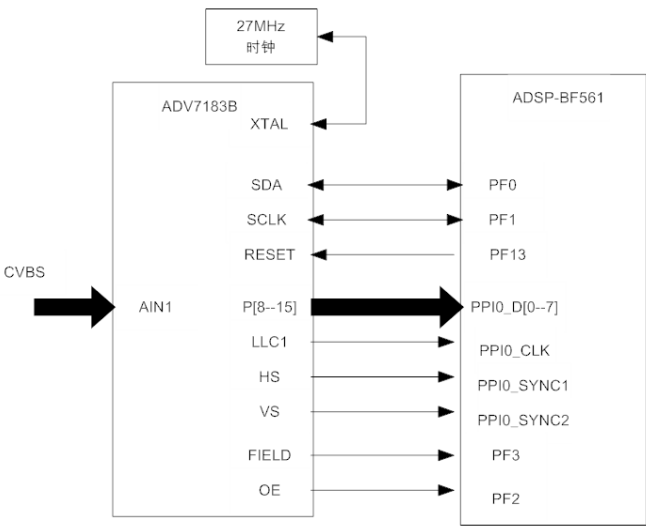


图 3.10 ADV7183 接口电路

系统硬件设计原理图如下所示：

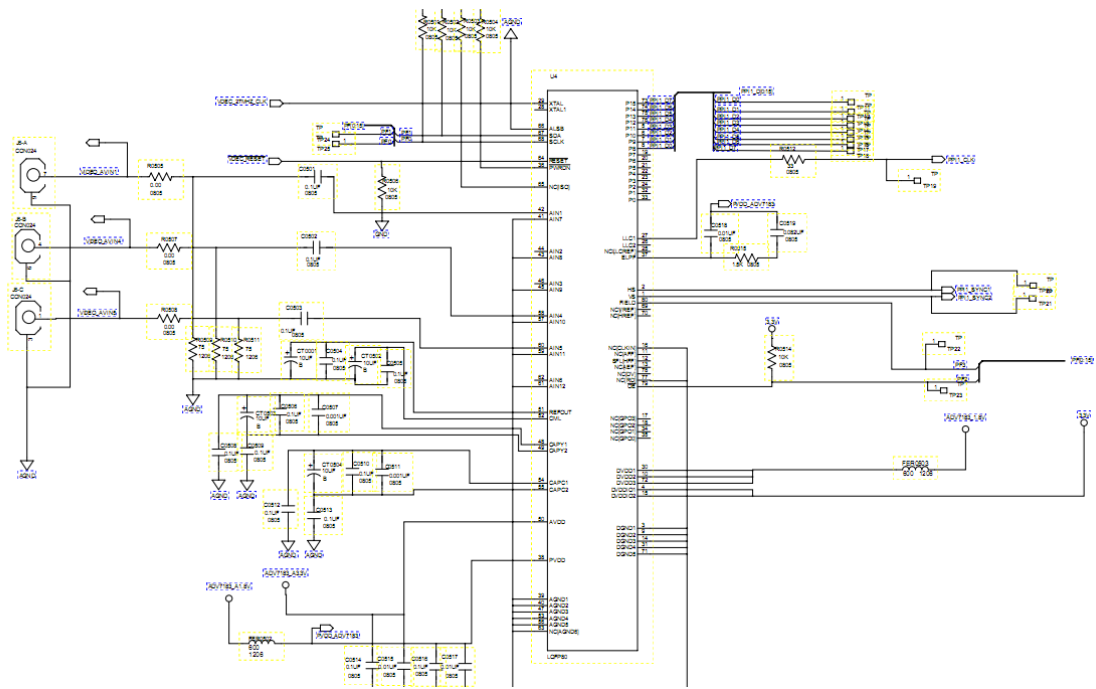


图 3.11 ADV7183B 视频解码电路

3.2 视频数据处理模块设计

3.2.1 SDRAM 及 FLASH 设计

DSP 芯片是视频数据处理的核心，它直接决定了系统处理视频数据的能力。本系统选用的是 ADI 公司的 BF561 处理器，它是针对多媒体和通信应用方面的一款高性能产品。该器件的核心由 2 枚独立且对称的 600MHz 高性能 Blackfin 处理器组成，每个内核包含 32KB 的 L1 指令内存 SRAM/Cache，64KB 的 L1 数据内存 SRAM/Cache，4KB 的 L1 中间结果暂存器内存，同时还有共享的 128KB 低延迟的 L2 内存。

对于视频数据处理过程中出现的大量中间数据，系统采用外扩 SDRAM 作为中间数据的缓冲器。本系统采用两片 16 位 32MB 容量的 SDRAM-MT48LC16M16A2，扩展为一片 32 位的 64MB 容量的 SDRAM。灵活实现了系统 16 位或 32 位的数据读写要求。将其连接在 BF561 同步存储空间 Bank0 上，地址范围是 0x00000000-0x40000000。如下图所示

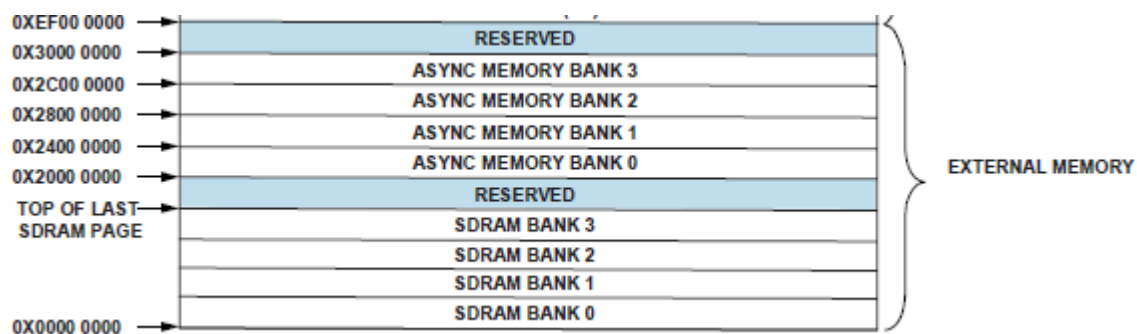


图 3.12 BF561 外存空间分布

DSP 与 SDRAM 的接口电路如图 3.13 所示。

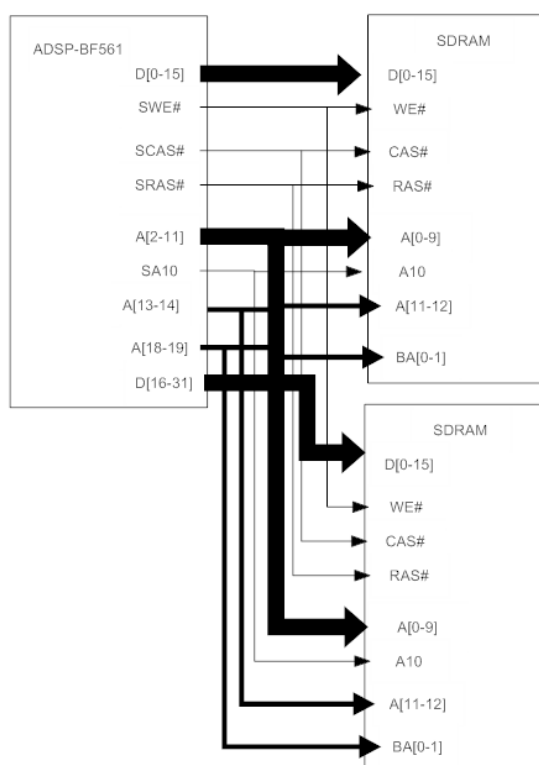


图 3.13 SDRAM 接口电路

为了使系统能够独立脱机运行，系统扩展了一片外部 Flash 用于存储程序代码以及完成代码引导。系统采用的是 M29W640D 型号 Flash, 其地址总线 22 位、数据宽度 16 位，以实现程序掉电不丢失而上电自动加载。DSP 与 Flash 的接口电路如图 3.14 所示。

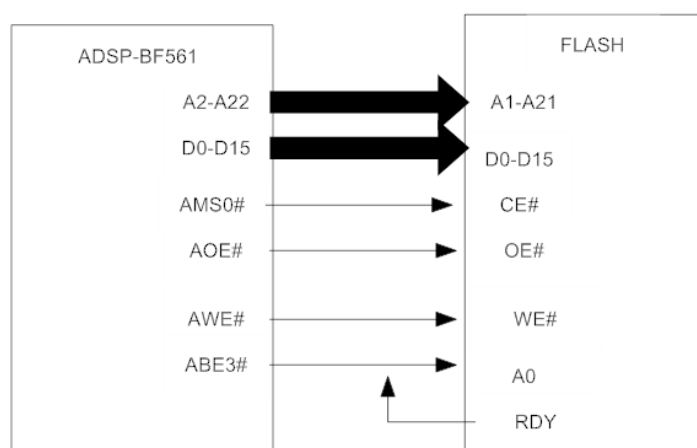


图 3.14 FLASH 接口电路

SDRAM 与 FLASH 的硬件原理图分别如图 3.15 和 3.16 所示：

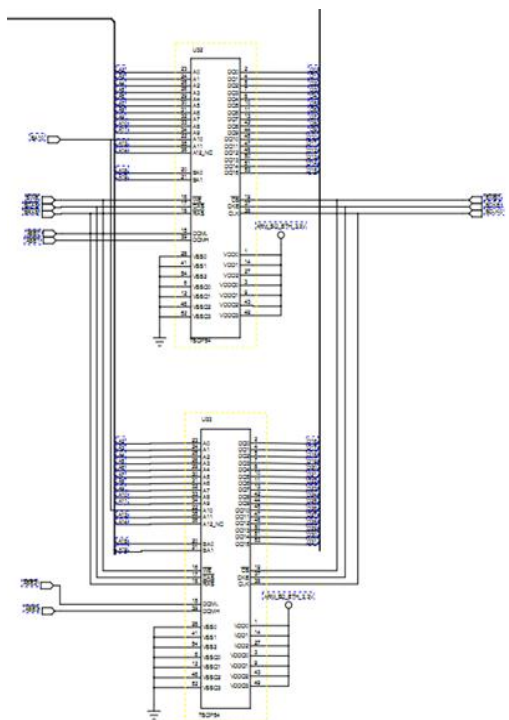


图 3.15 两片 SDRAM 电路

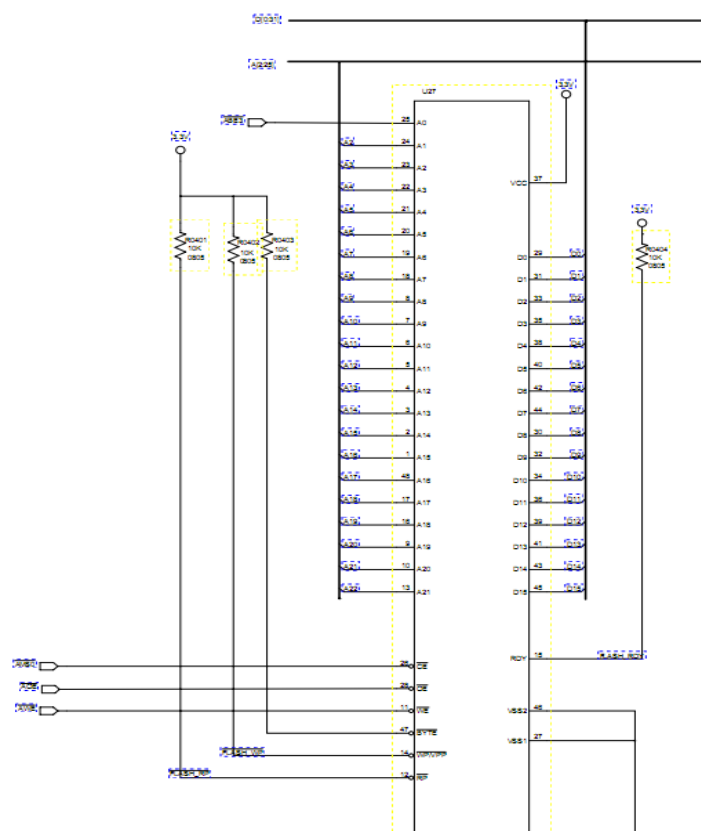


图 3.16 FLASH 电路

### 3.2.2 ADSP-BF561 双核技术

数字视频水印系统的核心部分还是在于如何将 ADV7183B 数字化的视频流进行处理，提取其中的水印信息。计算量相当庞大，以我们现有 PAL 制式标清视频格式为例计算，通过 PPI 接口过滤掉消隐视频后，有效视频一帧大小为 720X576，帧率为 25 帧每秒，这就要求该系统必须在 40ms 内完成视频数据接收、搬移、处理，最终提取有效的水印信息。这对系统核心处理单元 ADSP-BF561 的性能要求非常严格。

根据待检测视频的水印信息嵌入的算法，该单元根据嵌入水印信息逆向的方法，主要涉及到视频信号时域向频域转换的计算、水印信息特征值位置选择、特征值匹配去噪等，最终实现盲水印提取。大量的数据计算必须充分的利用 ADSP-BF561 的双核特征，为了合理的利用双核，达到实时处理，在软件设计上实现两个核的分工，核 A 主要负责视频数据的采集及小波变换，核 B 主要负责水印提取的相关处理工作，以及通过 USART 外设接口与 STM32F107 芯片进行通信。BF561 的核 A 及核 B 的分工如图 3.17 所示。

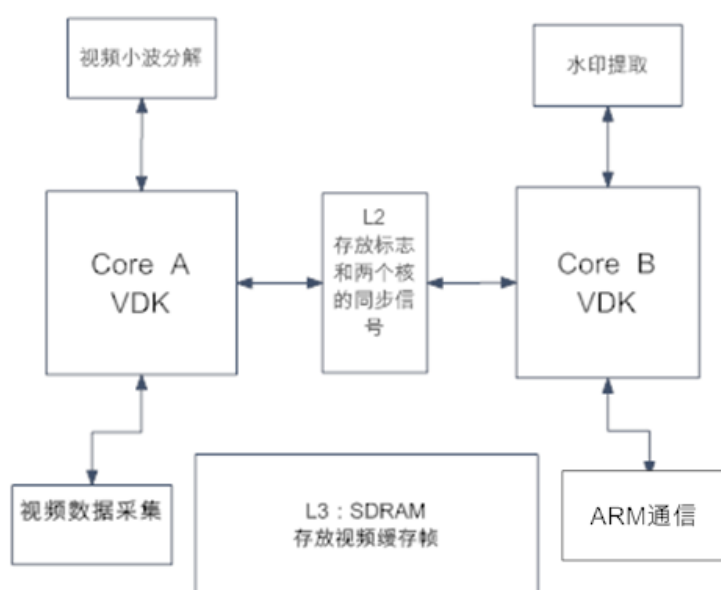


图 3.17 BF561 核 A 及核 B 的软件分工

核 A 与核 B 采用流水线方式。数据输入采用乒乓结构存储方式,一帧数据到齐后,通过中断启动核 A 进行小波变换,当小波变换结束后可通过旗语方式通知核 B。核 B 的数据处理后通过 SPI 接口与 ARM 进行通信,将处理提取的版权水印信息交给 ARM 进行事务管理。

结果根据上述设计思路,设计的总体软件流程如图 3.18。

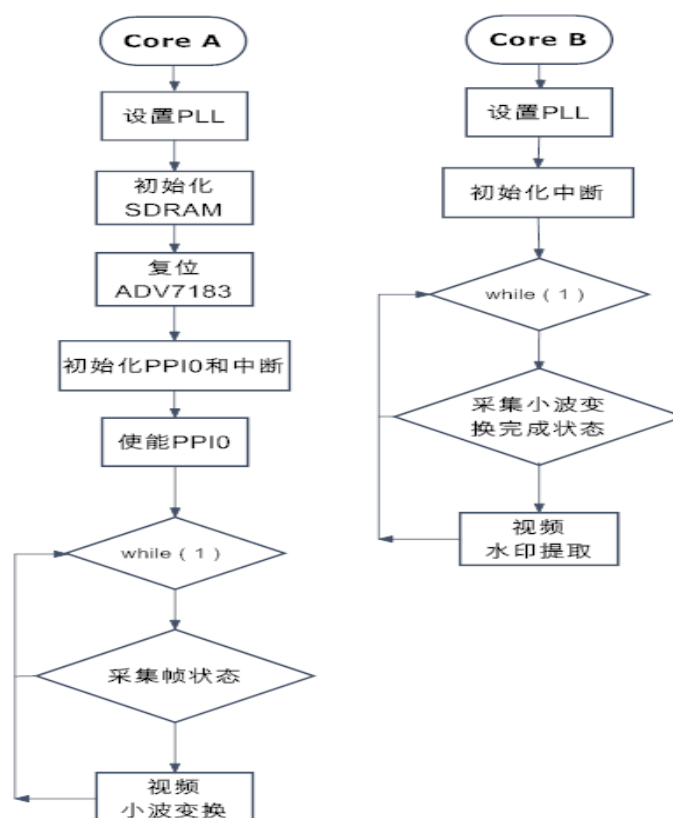


图 3.18 程序设计流程

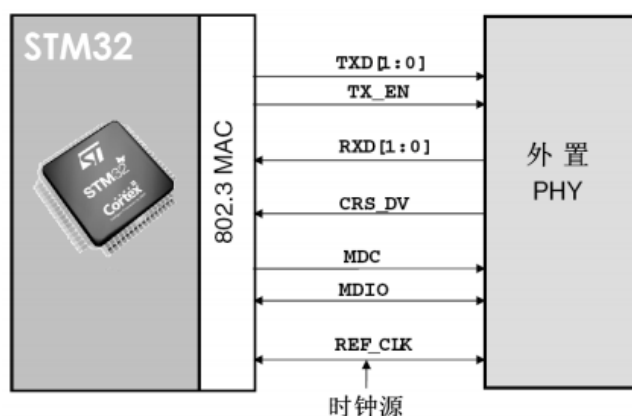
### 3.2.3 硬件设计原理图

ADSP-BF561 主要电路涉及了: 1、与视频解码芯片 PPI 连接电路(如图 3.10 所示); 2、自身外设电路; 3 与 STM32F107 串行通信电路等。其自身周围电路如下所示:



USB 电路本系统采取的是主机模式，其连接图如图 3.21 所示。本系统采用的 VBUS 电压来自板上 5V 供电。

图 3.21 USB 主机模式



其中，时钟源本系统采用的是外接 50M 时钟源。



STM32F107 电路主要包括：串口电路、USB 电路、网络电路、自身外设电路等。其电路如分别如下所示：

图 3.23 串口通信电路

图 3.24 USB 通信电路

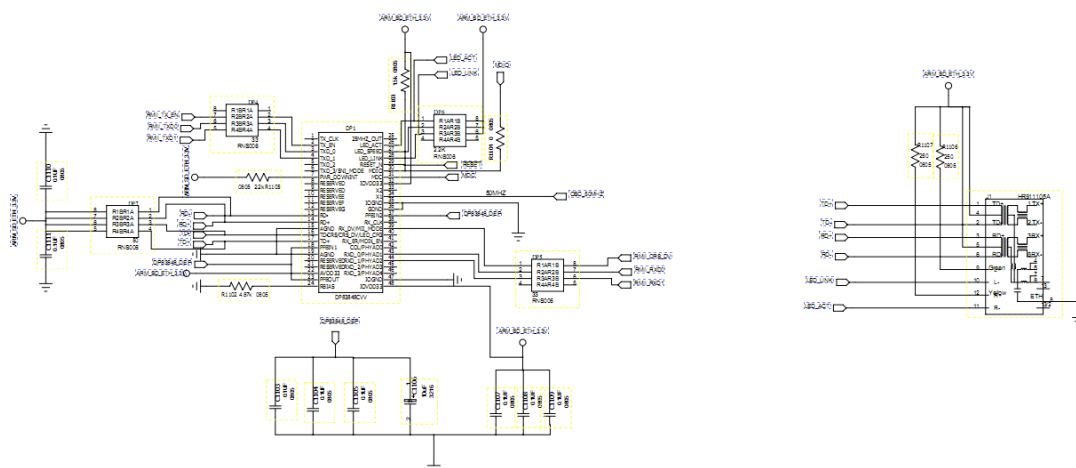


图 3.25 网络通信电路

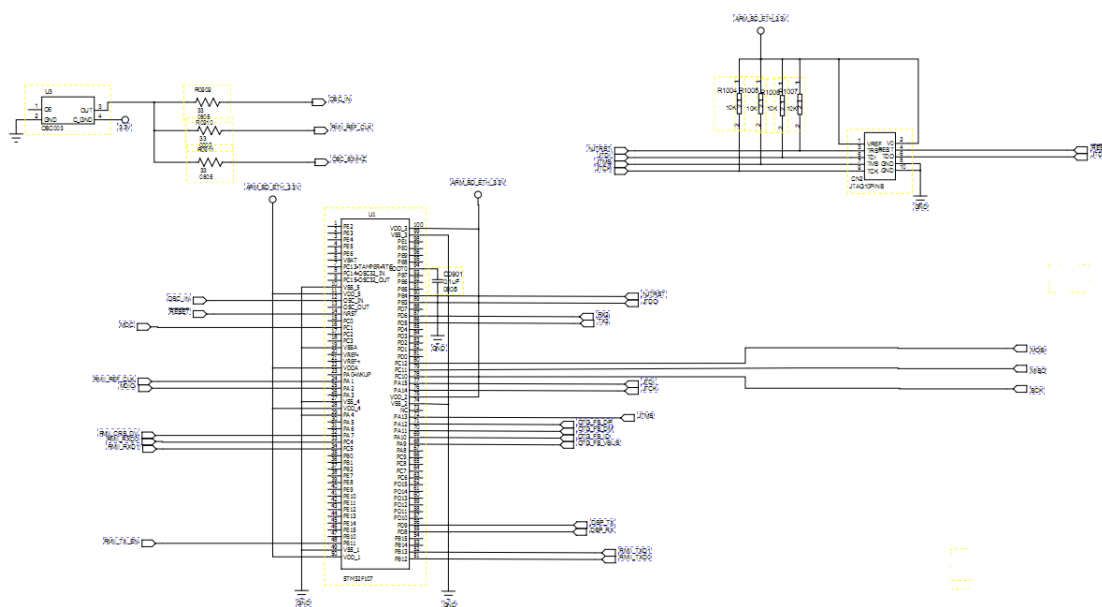


图 3.26 STM32F107 外设电路

### 3.4 电源设计

电源部分是任何一款嵌入式系统中非常重要的部分，它的设计好坏会直接影响到整个系统是否能够正常工作。本系统中 ADSP-BF561 芯片采用的是双供电，用不同的电压为其内核和 I/O 供电。BF561 内核供电+1.2V，I/O 电压为+3.3V。其他芯片都是采用+3.3V 工作电压，另外 ADV7183B 芯片还需+1.8V 供电。

本系统采用+5V 直流供电，电源模块采用 LT1764EQ-3.3 电源芯片-双输出低压差稳压芯片（LDO），将+5V 稳压成+3.3V。采用稳压芯片 LP38856EQ-1.2，将+3.3V 电

压稳压为+1.2V, 为 DSP 内核供电。对于 ADV7183B 所需的 1.8V 电压, 采用 AMS1117 系列稳压芯片中 1.8V 固定的稳压模块。图 3.27、图 3.28 分别为 LT1764 供电应用电路和 AMS1117 供电应用电路。

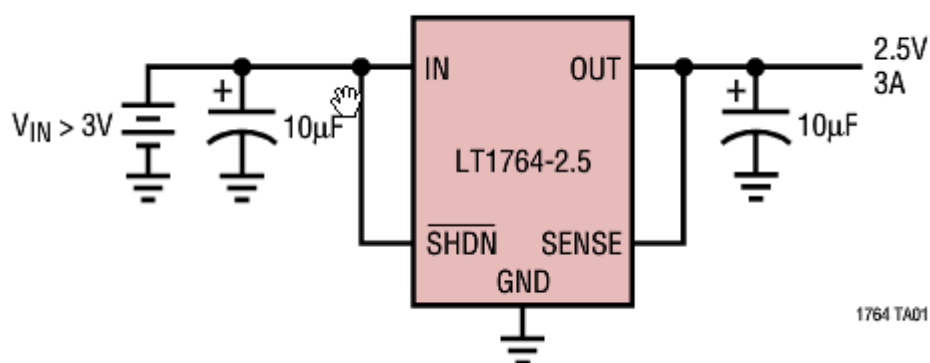


图 3.27 LT1764 典型应用电路

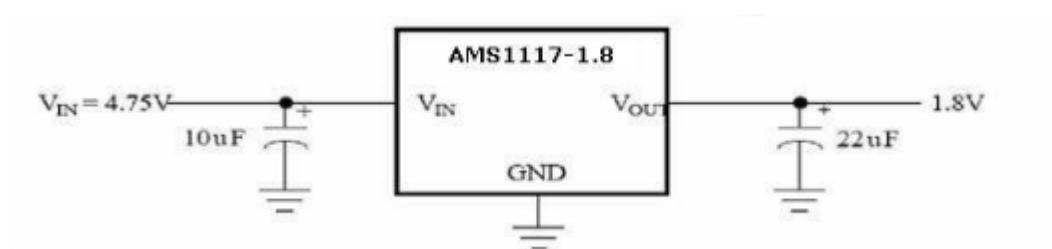


图 3.28 AMS1117 典型应用电路

本系统高度集成了数字模拟混合电路, 有效的电源滤波可以降低噪声和排除杂波的干扰。采用并联 0.1µF 电容, 滤除高频噪声。并联 10µF 电容滤除低频干扰。具体电路原理图如下所示:

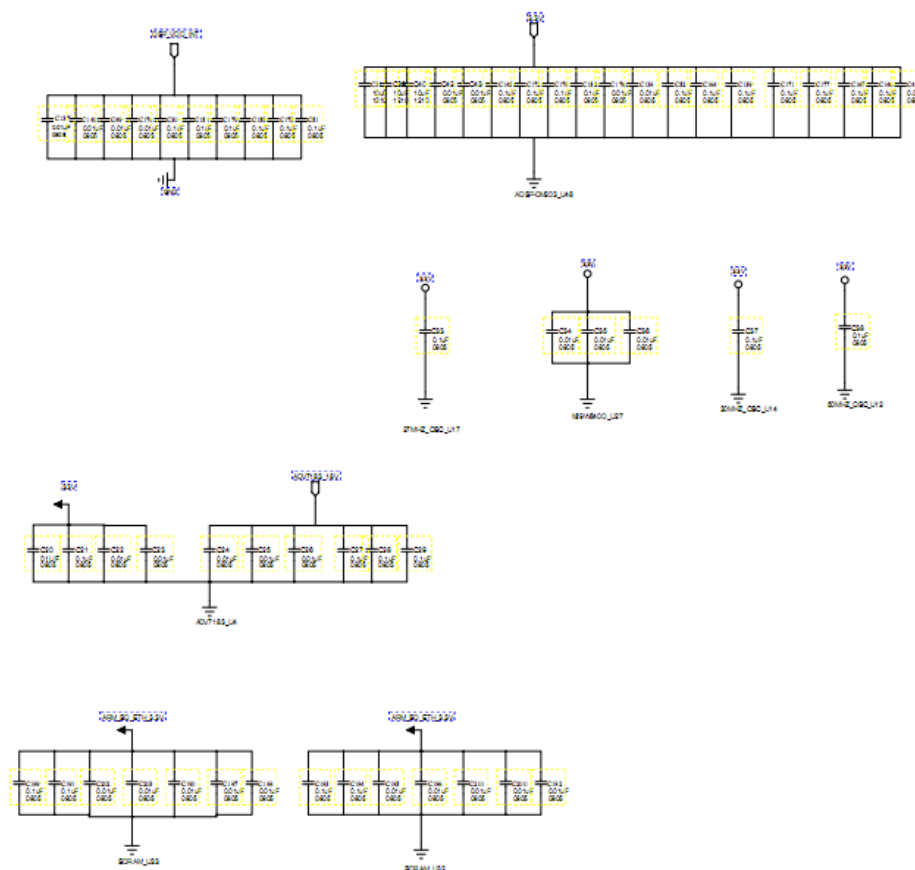


图 3.29 滤波电路图

### 3.5 PCB 设计及注意事项

PCB 设计之前，首先应该对整个 PCB 的设计有一个整体的规划，包括 PCB 的层叠设计，PCB 的布局等。在整个 PCB 设计过程中都必须考虑到 PCB 的抗干扰性和可靠性的问题，包括高速数字信号的信号完整性，数字模拟信号的分割，电路的电源和地的处理等。

#### 3.5.1 PCB 的层叠设计

复杂的数字电路中，采用多层设计可以起到提高信号质量、降低布线难度和增加系统的 EMC 等作用。层叠设计可以提供最短的回流路径，减小耦合面积，抑制差模干扰。在层叠设计中，分配专门的电源层和地层，并且地层和电源层紧耦合对抑制共模干扰有好处。本系统采用了 6 层板的层叠设计。其中包括电源层、地层及四层信号层。依次由顶层到地层分配顺序为：S1、GND、S2、S3、POWER、S4。如下图所示：

Name	Type	Thickness	Dielectric
	Coating	0	3.3
Top	Component	1.35	1
	Substrate	10	4.3
GND	Plane	1.35	4.3
	Substrate	10	4.3
S1	Routing	1.35	4.3
	Substrate	10	4.3
S2	Routing	1.35	4.3
	Substrate	10	4.3
POWER	Plane	1.35	4.3
	Substrate	10	4.3
Bottom	Component	1.35	1
	Coating	0	3.3

图 3.30 电路分层示意图

这种分配方式中，S1 即顶层是比较好的布线层，S2、S3 采用相互垂直的布线原则减少两层直接的干扰。由于 ADV7183B 芯片涉及模拟地的使用，本系统采用将地层分割的方法，将 GND 层分割一块 AGND，两者直接采用磁珠相连。

### 3.5.2 PCB 的布局设计

PCB 板的优化设计具体体现在布局和布线过程中，布局中一般要注意以下几点：

#### 1. 按功能模块布局

互联系多的元件就近放置，以尽可能缩短信号线长度。如 DSP 和 SDRAM，DSP 和 FLASH 之间的信号线较多，因此将它们就近放置。

产生时钟信号的芯片应该和接收时钟的芯片应放置在一起，尽可能缩短走线的长度，否则时钟信号线对它经过的芯片会产生反射干扰，导致信号畸变。时钟频率越高，干扰越大。本系统中 50MHz 的时钟信号靠近 STM32F107 芯片放置。

#### 2. 按电路的频率布局

将高速和低速电路分开，相关的元件分别集中在一起。

### 3.5.3 PCB 的抗干扰措施

在 PCB 板的设计中，抗干扰设计具有非常重要的作用。本系统在设计中主要采取了以下抗干扰措施：

#### 1. 本系统设计所需要的+5V、+3.3V、+1.8V、+1.2V 电压均是稳压电源输出，减

少了电源噪声干扰，在靠近电源进入电路板处安装电解电容滤波，减少电路由一个状态转换为另一个状态时，电源线上出现的尖峰电流噪声所带来的不良影响，滤除低频干扰。

2. 尽量加宽电源和地线宽度。由于系统器件所用电压不同，将电源平面分割为两大块，分别是 3.3V、1.2V。每一块电源面积都很大，电阻非常小，这样就较少了电压损失。

3. 本系统高度集成了数字模拟混合电路，有效的电源滤波可以降低噪声和排除杂波的干扰。采用并联 0.1 $\mu$ F 电容，滤除高频噪声。并联 10 $\mu$ F 电容滤除低频干扰。

4. 时钟信号依次靠近接收该时钟的芯片，以防对其他信号造成畸变干扰。本系统工作频率很高，对于接地点尽可能的使用多点接地法。

### 3.5 本章总结

本章首先介绍了视频的基础知识，详细阐述了模拟视频与数字视频的关系，及 CCIR601 数字视频标准。这是我们采集视频源的主要格式。

然后，根据本数字视频水印系统的三大模块组成，介绍了视频输入与视频编码中应用的 PPI 接口，及系统采集视频应用的“乒乓缓冲”技术。详细介绍了该模块的硬件原理图设计；介绍了视频数据处理模块的设计，主要强调了 ADSP-BF561 芯片与 SDRAM、FLASH 的无缝连接，详细描述了 DSP 双核的统一、协调工作。同时提供了该部分的硬件原理图部分；设计了水印信息管理模块，说明了 STM32F107 芯片与 DSP 及上位机的通信，并给出了该模块的硬件原理图。

最后，说明了系统整体电路的电源设计要求及 PCB 设计所注意的事项，并提供了相应解决的方法。

## 第 4 章 系统软件设计及算法验证

### 4.1 系统软件开发环境

#### 4.1.1 Visual DSP++集成开发环境

Visual DSP++是一个集成的开发调试环境 (Integrated Development and Debugging Environment, 简称 IDDE), 为 DSP 应用程序的开发提供了全面灵活的工程式管理。它是专门针对 AD 公司的两大系列 DSP 器件的一种使用方便的开发平台, 分定点、浮点两种。SHARC(浮点)型的支持 ADSP-21020、ADSP-2106X、ADSP-2116X、TigerSHARC 系列的各种产品, 定点型的支持 ADSP-218X、ADSP-219X、Blackfin 系列的各种产品<sup>[42]</sup>。

利用 Visual DSP++项目管理环境, 程序员可以在它上面可以完成程序的编辑、编译、调试和仿真等。图 4.1 显示了 Visual DSP++5.0 的开发环境。这个环境包括一个基于代数语法的易于使用的汇编器, 一个归档器 (库和库建立工具), 一个链接器, 一个加载器, 一个精确到时钟周期、指令级的模拟器, 一个 C/C++编译器和一个包括 DSP 和数学函数的 C/C++运行库。这些工具的最重要特点是 C/C++代码的有效性。编译器能有效地将 C/C++代码转换为 Blackfin DSP 的汇编代码。Blackfin DSP 体系结构的特点也提高了 C/C++代码的编译效率。Visual DSP++调试器有许多重要的特性。灵活的绘图功能使数据更加清楚, 这种用图形表示的用户数据使编程者可以快速的确定算法的性能, 算法越复杂, 这种性能在设计者的计划中就越重要, 它可以直接提高生产力。统计学的特性使编程者可以不用终止程序就能够得到处理器性能, 就像运行了中断一样。这种 VisualDSP++独有的特性使软件开发者不用中断程序的实时性就可以得到重要的代码执行情况, 从而在本质上使开发者可以找到软件速度和效率的瓶颈, 通过使用这个特性, 编程者可以集中改正这些影响程序性能的地方。用 Visual DSP++调试器调试 C/C++和汇编程序时, 程序员能够:

1. 查看混合的 C/C++和汇编代码 (混合源代码和目标信息)。
2. 插入断点。
3. 根据寄存器、存储器和堆栈设置条件断点。
4. 跟踪指令执行。
5. 对执行的程序进行线性或统计性能分析。

6. 对存储器进行 Fill、Dump 和绘图操作。
7. 执行源程序级调试。

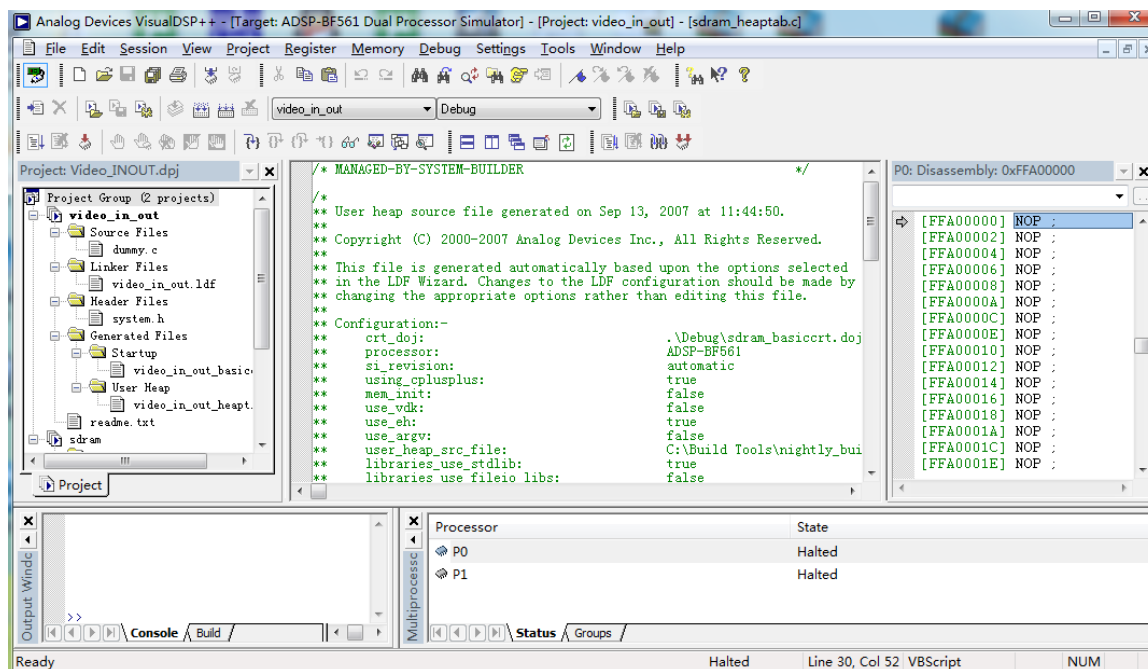


图 4.1 Visual DSP++5.0 开发环境

#### 4.1.2 RealView MDK 集成开发环境

Keil 是颇受业界欢迎的 51 单片机开发工具，它拥有流畅的用户界面与强大的仿真功能。ARM 将 Keil 公司收购之后，正式推出了针对 ARM 微控制器的开发工具 RealView Microcontroller Development Kit(简称 RealView MDK 或者 MDK)，它将 ARM 开发工具 RealView Development Suite(简称 RVDS)的编译器 RVCT 与 Keil 的工程管理、调试仿真工具集成在一起，是一款非常强大的 ARM 微控制器开发工具<sup>[43]</sup>。

它适合不同层次的开发者使用，包括专业的应用程序开发工程师和嵌入式软件开发的入门者。MDK 包含了工业标准的 Keil C 编译器、宏汇编器、调试器、实时内核等组件，支持所有基于 ARM 的设备，能帮助工程师按照计划完成项目。Keil ARM 开发工具集集成了很多有用的工具，正确的使用它们，可以有助于快速完成项目开发。

MDK 的最新版本是  $\mu$ Vision 4，可以开发基于 ARM7、ARM9、Cortex-M3 的微控制器应用程序，它易学易用且功能强大。如下图所示为 MDK 工作开发环境。



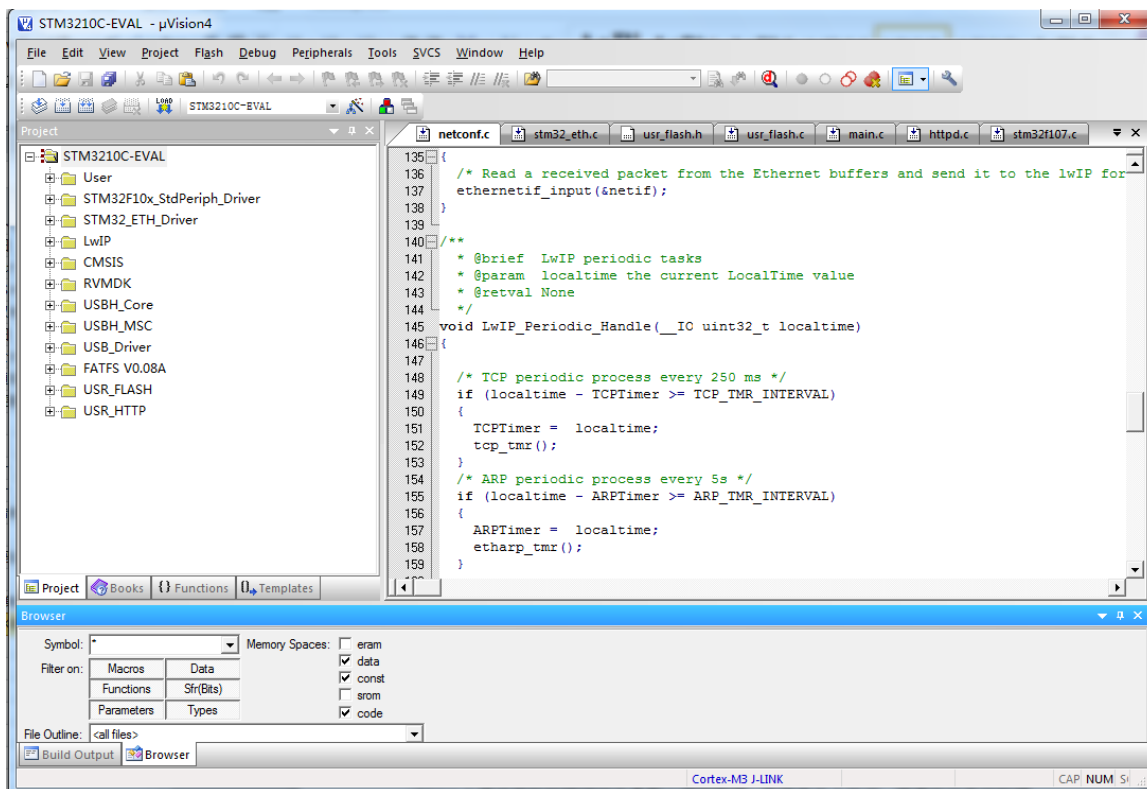


图 4.2 RealView MDK 集成开发环境

它主要的特点包括为<sup>[44]</sup>:

- µVision 4 集成了一个能自动配置工具选项的设备数据库;
- 工业标准的 RealView C/C++编译器能产生代码容量最小、运行速度最快的高效应用程序,同时它包含了一个支持 C++ STL 的 ISO 运行库;
- 集成在 µVision 4 中的在线帮助系统提供了大量有价值的信息,可加速应用程序开发速度;
- 包含大量的例程,帮助开发者如何快速配置 ARM 设备,以及如何开始应用程序的开发;
- µVision 4 集成开发环境能帮助工程人员开发稳健、功能强大的嵌入式应用程序;
- µVision 4 调试器能够精确地仿真整个微控制器,包括其片上外设,使得在没有目标硬件的情况下也能测试开发程序;
- 包含标准的微控制器和外部 Flash 设备的 Flash 编程算法;
- ULINK USB-JTAG 仿真器可以实现 Flash 下载和片上调试;
- RealView RL-ARM 具有网络和通信的库文件以及实时软件;

- 可使用第三方工具扩展  $\mu$ Vision 4 的功能;
- $\mu$ Vision 3 还支持 GNU 的编译器。

## 4.2 数字视频水印理论

### 4.2.1 人眼的视觉特性在水印技术中的应用

人类视觉系统 (HVS) 是人们经过长期对人眼某些视觉现象的观察, 并结合视觉生理、心理学等方面所建立的视觉评价系统。随着越来越多的研究者将人类视觉的特性应用到数字水印技术中来, 使数字水印技术的研究取得了很大的成就。

水印的嵌入过程可看成是在强背景 (原始图像) 上叠加一个弱信号 (水印), 只要信号的强度低于 HVS 的最小可察觉误差 JND (Just Noticeable Difference), HVS 就感觉不到水印信号的存在, 这就为水印的嵌入和检测工作提供了一个很好的研究方向。

Ban 等人提出, 先对原始图像进行小波变换, 然后将水印嵌入到基带中, 人的视觉对低频基带信号比较敏感。这种基于人类视觉系统的水印嵌入方法, 使得嵌入的水印有较好的鲁棒性<sup>[45]</sup>; Deepa Kundur 等人利用人类视觉的编码特性, 提出了水印信道的划分方法, 实现了尽可能最大能量的水印信息的嵌入<sup>[46]</sup>。N.Kaewkamnerd 和 K.R.Rao 等人在 DCT 域内用 HVS 的调制传递函数 (MTF) 来确定水印嵌入的位置和强度, 实现了 HVS 特性和水印技术的很好结合。实验证明, 该方法对常见的各种攻击具有鲁棒性<sup>[47]</sup>。

综上, 水印的嵌入过程中都利用了人类的视觉特性。对于图像处理来讲, 充分利用人类视觉系统的特性如: 频率敏感性、亮度敏感性、对比度遮掩性、边缘特性、纹理遮掩性等是非常重要的, 合理的运用这些特性, 对于增强图像水印的不可见性和稳健性具有重要的意义。

### 4.2.2 基于 DWT 域水印技术

数字水印的频域嵌入技术一直是最近几年研究的热点。DWT 域数字水印技术属于变换域水印算法中的一种, DWT 变换域数字水印算法的主要思想是在 DWT 变换域上选择中、低频系数叠加水印信息, 因为人眼的感觉主要集中在中、低频段, 攻击者破坏水印时, 不可避免地会引起图像质量的严重下降, 但是正常的图像处理却不会改变这部分数据。数字视频可以看成是由一系列连续的静止图像组成, 故目前大多数基于 DWT 的静止图像水印技术都可以应用于视频水印中。但是视频序列所具有的信息

量大、实时处理以及需要经过压缩编码等特点，使得针对视频水印技术的研究具有其特殊性<sup>[48]</sup>。

小波变换（DWT）具有特有的时频局部性等特性，与传统的 DFT、DCT 变换相比，它在非平稳信号分析方面的灵活性更强，对人眼的视觉特性的适应能力更强。目前是视频水印研究领域的重点。小波变换是时间和空间频率的局部化分析，既可高效地描述图像的平坦区域，又可以有效的表示图像信号的局部突变。通过伸缩和平移运算可以对信号进行多尺度细分析，可以聚焦到信号的任何细节。

本文采用的小波变换为第二代小波也称整数小波，提升方法既保持了原有的小波特性，又克服了平移伸缩不变性所带来的局限。提升方法不需要傅里叶分析的背景知识，与第一代小波方法相比计算复杂度减少了一半多。

为了使小波变换更加适合视频图像的处理，将一维情况推广到二维情况。图像数据作为二维离散数据给出，图像经过小波变换后被分割为四个频带：水平子代 HL、垂直子代 LH、低频子代 LL、高频子代 HH（第一个字母表示水平方向的频率，第二个字母表示垂直方向的频率）。以此类推，如果进行多级分解，可对 LL 子代继续进行二维离散小波变换。图像经过三层小波分解如图 4.3 所示。

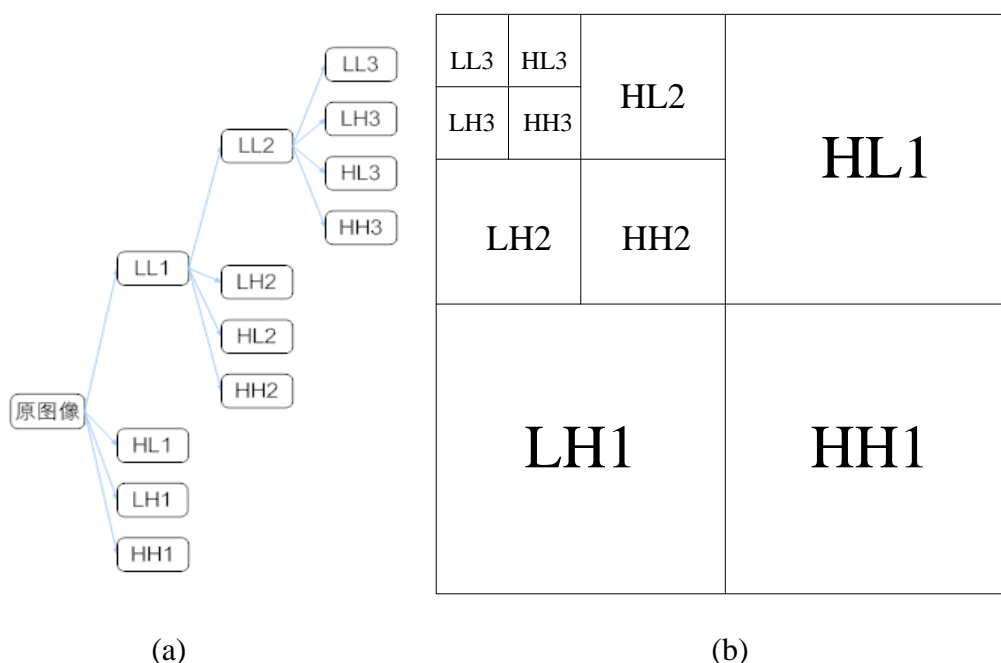


图 4.3 三层小波分解图

提升方法的基本思想是将 Mallat 算法中的小波滤波运算分解成提升的形式，由于

提升变换完全在空域进行变换，完成了对频域信号的分析，同时不需要使用傅立叶变换，具有提高计算速度，简化硬件实现结构等优点。与传统的小波变换相比，提升算法在硬件实现方面具有很多特有的优势<sup>[49]</sup>：

1. 原位运算，即不需要辅助存储器，原信号可被小波变换的结果覆盖。这样可以大大减少程序实现所需要的存储器开销，提高硬件系统性能，降低系统成本。

2. 计算速度更快。传统的小波变换采用是先进行滤波操作，再抽样，计算结果会有一半时无用的。提升小波算法采用的是先分离、后运算的实现结构，确保不会产生冗余计算，不仅可以提高结果的运算速度，还可以降低整个系统的功耗。

3. 不依赖傅里叶变换，只在空域就完成了小波变换，实现了对频域和信号的分析。将原有的高低通滤波器转化为一组具有可重复性的预测和更新步骤，简化了小波分解重构的实现结构，降低了运算复杂度。

4. 提升算法构造的小波逆变换可以很方便的由正变换得到，只需要将正变换预测和更新的次序颠倒，以及反转系数前的正负号即可。这样我可以很方便的得到逆变换的硬件实现结构。

5. 提升算法可以很方便的构造整数到整数的小波变换，减少由于浮点运算带来的计算量巨大和精度失真的问题，而且实现结构简单，简化了算法的实现复杂度。

提升算法给出了双正交小波简单而有效的构造方法，它使用了基本的多项式插补来获取信号的高频分量（ $\gamma$  系数），之后通过构建尺度函数来获取信号的低频分量（ $\lambda$  系数）。由于数据之间有某种相关性，可以将它用更为紧凑的格式来表示。也就是说，寻找原数据列的一个子集，使它能够表示原始信号所包含的信息。一个标准的提升算法包含三个步骤，即分裂、预测、更新<sup>[50]</sup>。

（1）分裂(Split)：将原信号  $x(n)$  分为两个互不相交子集，按其序号奇偶性将原信号  $x(n)$  分为奇数序列 odd:  $x(2n+1)$  和偶数序列 even:  $x(2n)$  两个子集，表示为：

$$\{x(2n), x(2n+1)\} = \text{Split}(x(n)) \quad (4-1)$$

（2）预测(Predict)：在基于原始数据相关性的基础上，用偶数序列  $x(2n)$  去预测奇数序列  $x(2n+1)$ ，而用  $x(2n+1)$  的值预测  $P(x(2n))$  之间的误差表示细节信号  $d(n)$ ，即：

$$d(n) = x(2n+1) - P(x(2n)) \quad (4-2)$$

（3）更新(Update)：为了使子数据集  $x(2n)$  维持原数据集  $x(n)$  具有相同的均值，因此必须进行修正数据。修正的思想是找出一个更好的子集数据  $c(n)$ ，使之保持原数据集的尺度特性，可以利用已计算的小波子集  $d(n)$  对  $x(2n)$  更新，即：

$$c(n) = x(2n) + U(d(n)) \quad (4-3)$$

如果对数据集  $c(n)$  也进行上面三步分解，经过一定次数的迭代之后，就可以得到原始信号  $x(n)$  的一个多级分解。提升算法的分解步骤如图 4.4 所示。

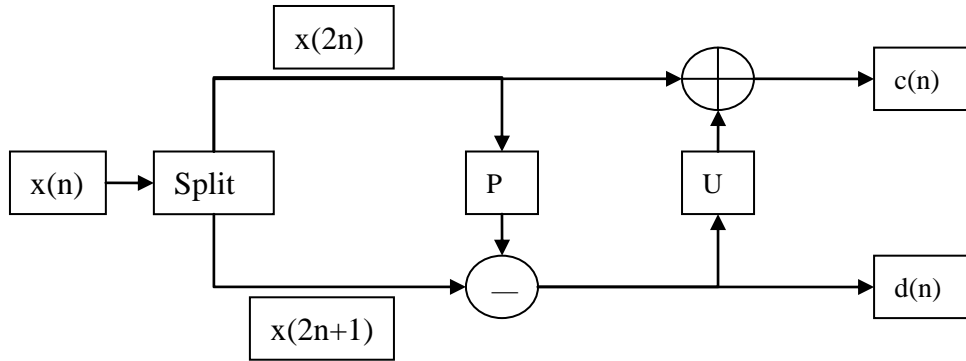


图 4.4 正向小波变换的提升算法

重构过程是分解过程的逆过程，也有三个步骤，重构过程如图 4.5 所示：

(1) 反更新：给定  $c(n)$  和  $d(n)$ ，通过下面更新公式恢复偶数序列。

$$x(2n) = c(n) - U(d(n)) \quad (4-4)$$

(2) 反预测：用反修正计算得到的  $x(2n)$  和给定的  $d(n)$ ，通过下面预测公式恢复奇数序列。

$$x(2n+1) = d(n) - P(x(2n)) \quad (4-5)$$

(3) 合并：通过反更新和反预测步骤，得到偶数和奇数序列，合并它们恢复原始信号，即：

$$x(n) = \text{Merge}(x(2n), x(2n+1)) \quad (4-6)$$

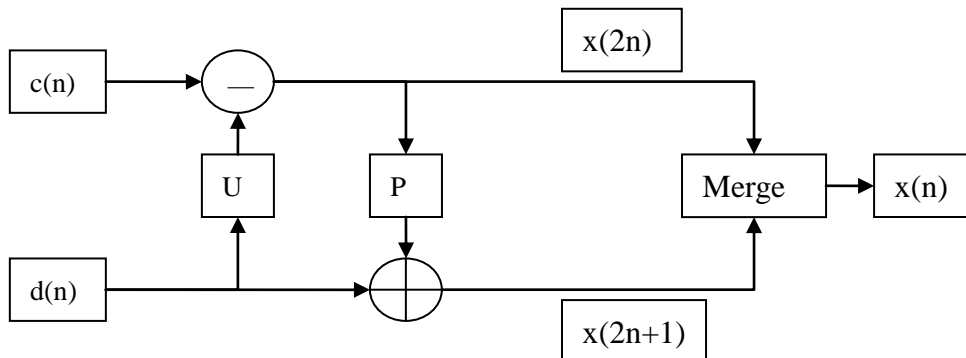


图 4.5 逆小波变换的提升算法

## 4.3 算法设计仿真与验证

### 4.3.1 视频水印算法设计

本算法采用局部分块小波变换，与常见的整帧视频进行小波变换相比，计算量大减小，同时每一块互相独立，可以实现并行处理。

1. 水印嵌入方案的实现过程：

(1) 图像分块：取出原始视频帧中的 Y 分量，并对 Y 分量按照  $16 \times 16$  大小进行分块，记为  $W_t$  ( $t=1, 2, 3, \dots, L$ )；根据密钥选择其中 100 个宏块作为水印嵌入的区域。

(2) DWT 变换：将选择的每个  $16 \times 16$  大小的宏块进行 haar 提升小波变换，得到每个小块在不同分辨率下的小波系数。

(3) 嵌入区域选择：选择其中的 LH3 区域的小波系数集  $K_{LH3}=\{K_{LH3}(1,1), K_{LH3}(1,2), K_{LH3}(2,1), K_{LH3}(2,2)\}$ 。找到系数集  $K_{LH3}$  中最大的小波系数，并记录其位置坐标。根据选定的最大系数  $K_{LH3}(i,j)$  映射区域为 LH2 中  $K_{LH2}(2i-1,2j-1), K_{LH2}(2i-1,2j), K_{LH2}(2i,2j-1), K_{LH2}(2i,2j)$ 。

(4) 嵌入水印：根据 (3) 中得到的 LH2 中的四个小波系数，取其对角线上的两个系数。若嵌入的水印符号为 1，则令  $|K_{LH2}(2i-1,2j-1)| \geq |K_{LH2}(2i,2j)|$ ；若嵌入的水印符号为 0，则令  $|K_{LH2}(2i-1,2j-1)| < |K_{LH2}(2i,2j)|$ ；

(5) IDWT 重构：完成步骤 (4) 后，将修改后的小波系数改写到每一个宏块的 LH2 区域中，然后进行分块逆小波变换，重新组合为新的带有水印的视频帧。

(6) 重复 (1) ~ (5)，直到所有的视频序列的图像帧都完成了水印嵌入。

2. 水印检测提取方案

本算法为盲水印提取算法，不需要原始的视频数据。水印提取检测的过程与水印嵌入的过程类似。只需修改将 (4) 改为：选择 LH2 中的四个小波系数，取其对角线上的两个系数。若  $|K_{LH2}(2i-1,2j-1)| \geq |K_{LH2}(2i,2j)|$ ，则提取的水印符号为 1；若  $|K_{LH2}(2i-1,2j-1)| < |K_{LH2}(2i,2j)|$ ，则提取的水印符号为 0。

### 4.3.2 算法性能评估

本算法测评过程为：选取一段预先嵌入水印信息的视频文件，其分辨率为标准 PAL 制，分辨率为  $720 \times 576$ ，先将视频由 PC 机加载到 DSP 内核中，根据以上水印

提取算法完成水印的提取并测试算法的其他各项功能。

### 1. 不可见性分析

本文采用峰值信噪比 PSNR 度量水印的不可见性，值越大，说明透明性越好。公式如下<sup>[51]</sup>：

$$PSNR = 10 \lg \frac{MN \max[\max(I^2)]}{\sum_{i=1}^M \sum_{j=1}^N [I(i, j) - I'(i, j)]^2} \quad (4-7)$$

其中， $I$  代表原始图像， $I'$  代表含水印的图像。

首先如图 4.6，图 4.7 所示，视频序列在嵌入水印后视觉无法感知水印的存在，在主观上判断，图像质量几乎没有下降。图 4.8 所示为计算 100 帧视频图像的峰值信噪比，图中 PSNR 值都在 40dB 以上<sup>[52]</sup>，客观上 PSNR 大于 30dB 既可以证明图像失真小，所以以上证明该算法具有良好的不可见性。



图 4.6 原始视频图像

图 4.7 嵌入水印后视频图像

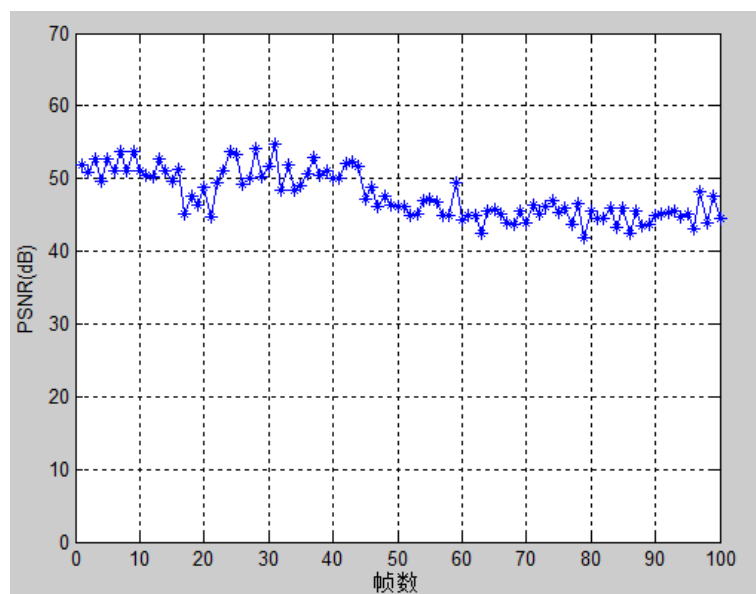


图 4.8 峰值信噪比检测曲线

## 2. 鲁棒性分析

为了检验该算法的鲁棒性，选取三个不同 YUV 视频文件、100 帧的视频片段进行实验。首先对嵌入后的视频图像不做任何的处理，直接提取水印，查看准确率。然后进行 MPEG-2 压缩编解码以后再提取水印，并查看准确率，与前面的准确率进行比较。实验结果如表 4-1 所示。

表 4-1 提取的准确率

视频名称	视频帧数	未经 MPEG-2 编解码 后提取的准确率	经过 MPEG-2 编解 码后提取的准确率
bus_cif.yuv	100	96	92
coastguard_cif.yuv	100	94	89
walk_cif.yuv	100	93	90

由表 4-1 的实验数据可知，本算法具有较高的水印提取准确率，并对 MPEG-2 压缩编解码具有很好的鲁棒性。

## 3. 实时性分析

系统的实时性分析主要体现在系统检测水印的时间，在 ADSP-BF561 集成开发系统中 Visual DSP++ 在线仿真算法运行，通过系统开发环境的 CYCLES 计数器按照周期计数统计。在一帧视频图像中提取分辨率  $160 \times 160$  的视频区域，图像花费的周期数



为 21535, 考虑到 ADSP-BF561 全速运行时内核时钟为 600MHz 计算<sup>[53]</sup>, 花费时间约为 35us, 完全满足实时性要求。通过考虑到 ADSP-BF561 的并行流水计算, 100 个宏块的计算互不影响, 更加减少了系统的处理时间。通过实验可知, 本算法完全满足视频实时性处理。

#### **4.4 本章总结**

本章首先介绍了基于 ADSP-BF561 及 STM32F107 集成开发环境的一些特点, 接着详细的介绍了本系统中采用的数字视频水印技术理论依据, 包括小波理论、整数小波变换、提升小波变换等原理。

然后基于该系统平台基础上, 设计了一套基于 DWT 域视频水印的算法, 并对该算法性能进行了评估实验。

## 第 5 章 总结与展望

### 5.1 论文总结

本文以基于 DSP+ARM 的数字水印检测系统的研制与开发为背景,围绕如何实现基于 DSP+ARM 的数字水印检测系统的设计,进行了深入的研究和探讨。通过对 DSP 硬件系统开发技术、ARM 硬件开发技术、视频解码技术、高速电路设计技术、DSP 软件设计的学习,研究并查阅了大量的相关的科技资料及相应芯片的数据手册,提出了以 DSP 为核心的数字水印检测系统的设计方案。该系统可以实时的进行视频数字水印的提取,经过大量测试结果表明,该系统结构先进,稳定性好,抗干扰能力强,可通过网络对系统进行控制与数字水印信息管理,数字水印认证可信度高,具有广泛的工程应用价值。

所做工作内容总结如下:

1. 通过对相关技术的学习和研究,对数字水印技术的原理、典型的视频水印算法、数字视频水印的应用有了一定的理解;通过对小波变换的基本原理、二维离散小波变换以及提升小波的学习,深刻理解了小波变换的结构和含义,并通过对小波域数字水印技术的分析,提出了一套基于 DWT 域的视频水印算法。

2. 开发了一套基于 DSP+ARM 的视频水印检测系统的硬件平台。详细介绍了系统中以 ADSP-BF561 为核心处理器的检测系统的方案设计、工作原理和实际电路组成。作为本系统核心算法处理器,DSP 芯片主要完成了对视频解码器 ADV7183B 的初始化,从 SDRAM 中读入视频数据,进行数据处理等功能。并研究了系统核心控制部分 STM32F107 芯片,该芯片主要完成了控制 DSP 工作状态、水印匹配及上位机通信等功能。

3. 负责完成了该系统硬件的调试工作,对整个系统硬件 PCB 元器件布局、布线、硬件调试等一系列问题进行了深入的探讨,提出了高速电路 PCB 设计方法及注意的问题。

## 5.2 未来工作展望

由于研究时间的限制，本系统主要针对标准清晰度广播视频进行了数字视频水印检测，在水印信息提取的实时性处理上取得了一定的成果，但是还有许多工作没有来得及完成和完善，有待于进一步的分析和研究，概况内容如下：

针对视频向高清晰度标准的发展，本数字视频水印系统应该支持高清视频处理，这样对视频解码芯片及 DSP 的内存和处理算法提出了更高的要求，硬件资源已显得捉襟见肘，有必要更好处理性能更高的 DSP 芯片及高清视频解码芯片。

系统提取的水印信息通过 USB 接口、网络接口、串口与上位机通信，下一步硬件平台需要进一步扩展，可以考虑增加更多的通信接口，例如无线网络模块、GSM 模块等。

进一步加强系统硬件的稳定性能，解决系统电源散热问题，可以选择使用开关电源替代现有的压差稳压芯片。

## 参考文献

- [1] 汪小帆,戴跃伟,茅耀斌.信息隐藏技术-方法与应用.机械工业出版社,2001.18~142
- [2] 马强 基于版权认证的数字盲水印算法研究[D]北京: 北京邮电大学.2007
- [3] [http://www.ce.cn/cysc/tech/07hlw/guonei/201101/24/t20110124\\_20755426.shtml](http://www.ce.cn/cysc/tech/07hlw/guonei/201101/24/t20110124_20755426.shtml).
- [4] [http://news.ifeng.com/mainland/detail\\_2011\\_06/18/7096036\\_0.shtml](http://news.ifeng.com/mainland/detail_2011_06/18/7096036_0.shtml).
- [5]Schyndel R G, Tirkel A Z, Osborne C F. A digital watermark. First IEEE International Image Processing Conference, 1994, 2: 86-90.
- [6] I. J. Cox, M. L. Miller, and A. L. McKellips, "Watermarking as Communications with Side Information", Proc. IEEE, vol. 87, no. 7, pp. 1999.
- [7] Cox I J, Miller M L, Bloom J 著, 王颖, 黄志蓓等译. 数字水印. 电子工业出版社. 2002.
- [8] 孙向阳. 视频水印算法及在多媒体传输中的应用技术[D]. 济南: 山东大学, 2009.
- [9] 堪志鹏. 视频水印技术研究[D]. 北京: 北方工业大学, 2008.
- [10] 杨义先, 钮心忻. 数字水印理论与技术[M]. 北京: 高等教育出版社, 2006.
- [11] 王炳锡. 数字水印技术[M]. 西安: 西安电子科技大学出版社, 2003.
- [12] Pitas.A Method for Signature Casting on Digital Image.In: Proc of International Conference on Image processing, 1996.3:215-218.
- [13] A.Hanjalic, GC.Langelar, P.M.BvanPoos-malen, J.Biemon and R.L Lagendijk. Imageand Video Databases: Restoration, Watermarking and Retrieval[C]. NewYork: Elsevier Science, 2000.
- [14] 韦英杰. 视频水印仿真系统设计及算法研究[M]. 西安: 西北大学, 2011
- [15] 钮心忻主编. 信息隐藏与数字水印. 北京: 北京邮电大学出版社, 2004.
- [16] D.Kundur, Multiresolution Digital Watermarking: Algorithms and Implications for Multimedia Signals.1999, Graduate Department of Electrical and Computer Engineering, University of Toronto: Canada: 1-11.
- [17] 刘振华, 尹萍. 信息隐藏技术及其应用. 科学出版社, 2002.11~35.
- [18] R.B. Wolfgang, C.I. Podilchuk, and E.J. Delp, "Perceptual Watermarks for Digital Images and Video", Proc. IEEE, vol. 87, no. 7, pp. 1999.
- [19] 刘丽. 安全视频水印关键技术与应用研究[D]. 成都: 西南交通大学, 2009.
- [20] 王利. 基于多重数字水印技术的版权保护管理系统[J]. 安徽建筑工业学院学报(自然科学版), 2008,(05) .

- [21] 冯云. 数字视频水印算法实现[D]. 吉林: 吉林大学, 2005.
- [22] 黄文才. 基于 MPEG-2 的视频水印的监播系统的研究[D]. 广州: 中山大学, 2006.
- [23] 徐炳文. 用于追踪用户的视频水印技术研究[D]. 上海: 上海交通大学, 2005.
- [24] Voloshynovskiy S, Pereira S, Thierry P, et al. Attacks on digital watermarks: Classification, estimation based attacks, and benchmarks. *IEEE Communications Magazine*. 2001, 39(8):pp:118-126.
- [25] 魏鹏. 基于 DSP 的数字视频水印技术的研究[D]. 福建: 福建师范大学, 2008.
- [26] 于立颖. 视频数字水印算法研究[D]. 西安: 西安电子科技大学, 2010.
- [27] 李煌. 基于 MPEG-2 的鲁棒视频水印方案[D]. 广州: 中山大学, 2010.
- [28] 王冉. 数字水印技术及其对广播电视行业的影响[J]. *中国数字电视*. 2008, 45(6):56-58.
- [29] 赵杰. 压缩域的视频水印算法及新实现方案的研究[D]. 北京: 北京理工大学, 2010.
- [30] 周幸福. 视频水印算法研究[D]. 北京: 北京理工大学, 2010.
- [31] Q.Li, C.Yuan and Y.Z.Zhong. Adaptive DWT-SVD Domain Image Watermarking Using Human Visual Model. *ICACT2007*:1947~1951.
- [32] 朱仲杰, 蒋刚毅, 郁梅, 吴训威. 基于运动矢量的视频图象数字水印算法. *电路与系统学报*, 2002, 7(3):58~61.
- [33] 楼展. 基于 Blackfin DSP 视频前后处理算法设计及优化[D]. 浙江: 浙江大学, 2006
- [34] Huang C H, Wu J L. A user attention based visible video watermarking scheme [J]. *International Conference on Informatics, Cybernetics and Systems*, 2003:12-15.
- [35] Mohanty S P, Guturu P, Kougianos E, Pati N. A novel invisible color image watermarking scheme using image adaptive watermark creation and robust insertion-extraction[C]. *ISM 2006-8th IEEE International Symposium on Multimedia*, San Diego, CA, United states, December 11-13, 2006:153-160.
- [36] Analog Devices, Inc. ADSP-BF561 Blackfin? Processor Hardware Reference. Revision 1.1, February 2007.
- [37] Analog Devices, Inc. ADSP-BF561 Blackfin Embedded Symmetric Multi-processor Data Sheet. August 2007.
- [38] Analog Devices, Inc. ADSP-BF561 Blackfin? Processor Programming Reference. Revision 1.3, September 2008.
- [39] Analog Devices, Inc. ADSP-BF561 EZ-KIT Lite? Evaluation System Manual. Revision 3.2, March 2008.
- [40] Analog Devices, Inc. ADV7183B Multiformat SDTV Video Decoder Data Sheet. July 2005.

- [41] Maxim, Inc. The MAX3222/MAX3232/MAX3237/MAX3241 Datasheet. 2007.
- [42] Analog Devices, Inc. Visual DSP++?5.0 User' s Guide. Revision 3.0, August 2007.
- [43] 高峰. 基于 DSP 的并行频域 OCT 图像预处理系统[D]. 天津: 天津大学. 2008.
- [44] 同伟锋. 基于 DSP+FPGA 的嵌入式视频采集系统设计[D]. 西安: 西安电子科技大学. 2009
- [45] www.eetchina.com. 嵌入式视频处理基本原理. 电子工程专辑. 2008.
- [46] The ITU Radiocommunication Assembly. ITU-R BT.656-4.
- [47] The ITU Radiocommunication Assembly. ITU-R BT.601-5.
- [48] Keith Jack. Video Demystified 3rd Edition. 2001.239-250.
- [49] 杨福生. 小波变换的工程分析及应用. 科学出版社, 1999.
- [50] J. Cox,M. L. Miller and J. A. Bloom.Digital watermarking Morgan Kaufman,17~24, 2002.
- [51] 宫兆前. 基于 DSP 的实时数字视频水印算法研究[D]. 北京: 北京理工大学. 2011.
- [52] 刑延超, 皇甫伟. 数字视频处理原理及 DSP 实现[M].北京: 电子工业出版社, 2011.12.88-111
- [53] <http://www.st.com/stonline/products/literature/ds/15274.pdf>.

## 攻读学位期间发表论文与研究成果清单

- [1]温英新, 高飞, 王特, 王沙沙.实时视频版权认证系统设计与实现[J].微计算机信息,2012,12.  
(已录用) .
- [2]王沙沙, 高飞, 温英新, 于静.基于 FPGA 的数字水印提取系统的设计[J].计算机应用,2012.12.  
(已录用) .

## 致谢

在论文即将完成之际，我首先要感谢我的导师高飞教授。感谢高老师在我攻读硕士期间在学术上给予我的悉心指导，为我提供一个良好的工作和学习环境以及实践锻炼的机会。高老师一丝不苟的工作作风、严谨的治学态度和对工作的无私奉献精神，深深地影响了我，使我受益匪浅。在此，谨向两年多来培养、帮助和关怀我的高老师致以由衷的敬意和诚挚的谢意。

我还要对苏广川教授表示最深的谢意。苏教授严谨的治学态度、独特的学术思维、一丝不苟的工作作风，让我满怀敬意，不管是研究生期间的科研工作，还是本论文写作过程中，苏老师都给我许多的帮助，提出了很多宝贵的意见。高老师和苏老师从论文选题、资料查阅到论文结构确定，一直到最后的论文终稿，都给予我悉心的指导。在此谨向两位老师致以诚挚的谢意和崇高的敬意。除了两位老师之外，我还要感谢沈英老师、聂青老师、薛艳明老师在这两年多时间里给我生活和学习上的帮助。

我还要感谢同一个实验室的孙成、宫兆前、王沙沙、于静、冀鹏飞等同学和朋友，他们在工作学习中给了我无私的帮助和支持。感谢他们在我漫长的学业生涯中，给予我的全力支持和全心照顾；感谢他们给予我战胜困难的勇气和决心；感谢他们为我做的一切。

感谢我的女友庄萌萌，感谢你在我最困难的时候不离不弃，安慰我、鼓励我、支持我。未来的日子希望与你继续并肩前行。

对父母的感谢自不能少，感谢你们从将我带到这个绚烂的世界，感谢你们对我的养育之恩，感谢你们对我生活和成长的关爱，感谢你们一直以来对我的支持。你们为我做了很多很多，而我现在没有办法从物质上去回报你们，但请相信我，你们永远都是我最重要的人，我会我这一生来回报你们对我的爱。

最后，衷心感谢在我之前人生中，给予我帮助和关心的所有人。