

Logos 系列产品 XAUI IP

用户指南

(UG022006,V1.1b)

(2022-01-05)

深圳市紫光同创电子有限公司

版权所有 侵权必究

文档版本修订记录

日期	文档版本	修订记录	适用 IP 及对应版本
2020-11-19	1.0	1. 初始版本。	V1.0
2021-05-17	1.1	<ol style="list-style-type: none"> 更新 HSST v1.1 为 v1.2, 更换例化界面截图; 更新 XAUI IP 的例化界面截图; 支持 PGL100H 芯片, 文中内容增加以 PGL50H 为例的说明; PCS 远端环回的配置说明更新; IP 生成文件中, 更新关于 HSST 的文件说明, 增加 uart_ctrl 和 reg_slave 模块的相关说明; 更新 Example Design 设计框图; 更新 Example Design 接口列表, 增加 PGL 100H 的接口说明。 	V1.1
2021-08-13	1.1a	<ol style="list-style-type: none"> 调整手册架构, 规范格式; 更新 XAUI IP 例化界面截图, 见“2.3.1 模块例化”; 增加资源利用说明, 参见“2.3.5 资源利用”; 更新 XAUI IP 的工程目录说明图, 参见“2.4.4 目录说明”; 增加“2.9 IP 调试手段”章节内容; 增加“第 3 章 附录”章节内容。 	V1.1a
2022-01-05	1.1b	<ol style="list-style-type: none"> 增加 V1.1b 版本对应的 IP 版本变更记录; 完善行文规范说明列表, 增加“推荐”类说明, 参见表 1-1; 更新 XAUI IP 系统框图, 完善 XGMII 接口标识, 完善 XAUI 相关描述, 删除 HSST 例化截图, 参见“2.2 IP 框图”; 完善模块例化相关描述, 更新 IP 选择路径截图, 参见“2.3.1.1 选择 IP”; 增加 Debug 信号接口, 同步更新 IP 接口框图和 XAUI 接口信号列表, 参见图 2-4、表 2-9; 更新 PDS 版本要求说明, 参见“推荐”; 完善 IP 配置参数说明列表, 增加“IP 配置界面默认值”列, 参见 	V1.1b

日期	文档版本	修订记录	适用 IP 及对应版本
		<p>表 2-2;</p> <p>8. 完善 IP 生成后输出文件描述, 参见表 2-3;</p> <p>9. 完善 IP 例化后的注意说明, 参见“注意”;</p> <p>10. 更新 IP 最大资源利用说明, 参见“2.3.5 资源利用”;</p> <p>11. 完善 Example Design 章节内容说明, 参见“2.4 Example Design”;</p> <p>12. 完善接口列表及寄存器列表相关描述, 更新单元格内文本格式, 规范标点使用, 参见“2.4.2 接口说明”、“2.5.1 XAUI IP 接口说明”、“2.6 IP 寄存器描述”;</p> <p>13. 更新说明与注意事项章节子标题, 完善相关描述, 参见“2.8 说明与注意事项”。</p>	

IP 版本变更记录

IP 版本	更新说明	发布时间
V1.0	1. PGL XAUI IP 初始版本。	2020-12-31
V1.1	1. HSST IP 版本升级至 v1.2; 2. 增加串口模块和 reg_slave 模块; 3. IP 包中 HSST IP 的文件夹结构更新; 4. IP 包中文件目录和文件位置更新。	2021-05-18
V1.1a	1. IP 的.idf 文件中包含 HSST 的文件。	2021-08-13
V1.1b	1. 升级 HSST 为 V1.3c 版本; 2. UG 更新。	2022-01-05

目录

文档版本修订记录	2
IP 版本变更记录	4
第 1 章 前言	10
1.1 关于本手册	10
1.2 手册行文规范	10
第 2 章 IP 使用指南	11
2.1 IP 简介	11
2.1.1 主要特征	11
2.1.2 适用器件及封装	12
2.2 IP 框图	12
2.3 IP 生成流程	12
2.3.1 模块例化	12
2.3.2 约束配置	16
2.3.3 运行仿真	16
2.3.4 综合与布局布线	16
2.3.5 资源利用	16
2.4 Example Design	17
2.4.1 设计框图	17
2.4.2 接口说明	17
2.4.3 模块说明	20
2.4.4 目录说明	22
2.4.5 测试方法	23
2.4.6 实例配置	25
2.4.7 实例仿真	26
2.5 IP 接口描述	26
2.5.1 XAUI IP 接口说明	26
2.5.2 XAUI IP 接口时序描述	32
2.5.3 寄存器管理接口	37
2.6 IP 寄存器描述	40
2.6.1 XAUI CORE 寄存器说明	40
2.6.2 HSST 寄存器说明	61
2.6.3 寄存器访问	61
2.7 典型应用	63
2.8 说明与注意事项	63
2.8.1 时钟约束	63
2.8.2 HSST 物理位置约束	63
2.8.3 工作模式	64
2.8.4 uart_ctrl 模块读写操作示例	69
2.9 IP 调试手段	70
第 3 章 附录	71
3.1 参考文档	71
3.2 术语表	71

3.3 缩略语表.....	72
3.4 声明.....	72
3.4.1 版权声明	72
3.4.2 免责声明	72

表目录

表 1-1 行文规范说明.....	10
表 2-1 XAUI IP 适用器件及封装	12
表 2-2 XAUI IP 配置参数说明	14
表 2-3 IP 生成后的输出文件	15
表 2-4 XAUI IP 基于适用器件的最大资源利用	16
表 2-5 Example design 接口列表	17
表 2-6 uart_ctrl 模块地址说明	21
表 2-7 reg_slave 模块寄存器说明	22
表 2-8 Debug Core 信号列表	24
表 2-9 XAUI 接口信号列表.....	26
表 2-10 XGMII character to PCS Code-Groups mapping.....	32
表 2-11 PCS Code-Groups to XGMII character mapping.....	33
表 2-12 XAUI Core 寄存器地址分配	41
表 2-13 10GBASE-X PCS/PMA 寄存器列表.....	41
表 2-14 PMA/PMD Control 1	42
表 2-15 PMA/PMD Status 1	43
表 2-16 PMA/PMD Identifier	43
表 2-17 PMA/PMD Speed Ability Register	43
表 2-18 PMA/PMD Devices in Package	44
表 2-19 10G PMA/PMD Control 2 Register	44
表 2-20 10G PMA/PMD Status 2.....	44
表 2-21 10GPMD Signal Receive OK Register	46
表 2-22 PMA/PMD Package Identifier Registers	46
表 2-23 PCS Control 1 Register	46
表 2-24 PCS Status 1 Register	47
表 2-25 PCS Device Identifier Registers.....	47
表 2-26 PCS Devices in Package Registers	47
表 2-27 PCS Speed Ability Register	48
表 2-28 PCS Devices in Package Registers	48
表 2-29 10G PCS Control 2 Register	48
表 2-30 PCS Status 2 Register	49
表 2-31 PCS Package Identifier Register	49
表 2-32 10GBASE-X Status Register	49
表 2-33 10GBASE-X Test Control Register	50
表 2-34 Vendor Specific Register.....	50
表 2-35 DTE XGXS 寄存器列表.....	51
表 2-36 DTE XS Control 1 Register	51
表 2-37 DTE XS Status 1 Register.....	52
表 2-38 DTE XS Device Identifier Register	52
表 2-39 DTE XS Speed Ability Register.....	53
表 2-40 DTE XS Devices in Package Registers.....	53
表 2-41 DTE XS Status 2 Register.....	53

表 2-42 DTE XS Package Identifier Register	54
表 2-43 DTE XS Lane Status Register	54
表 2-44 10G DTE XGXS Test Control Register	54
表 2-45 Vendor Specific Register.....	55
表 2-46 PHY XS 寄存器列表.....	55
表 2-47 PHY XS Control 1 Register	56
表 2-48 PHY XS Status 1 Register.....	56
表 2-49 PHY XS Device Identifier Register	57
表 2-50 PHY XS Speed Ability Register.....	57
表 2-51 PHY XS Devices in Package Registers.....	57
表 2-52 PHY XS Status 2 Register.....	57
表 2-53 PHY XS Package Identifier Register	58
表 2-54 PHY XS Lane Status Register	58
表 2-55 10G PHY XGXS Test Control Register	59
表 2-56 Vendor Specific Register.....	59
表 2-57 APB 接口映射地址	59
表 2-58 XAUI Core Loopback 端口配置	65
表 2-59 XAUI Core Loopback 寄存器配置	65
表 2-60 PMA 近端串行环回配置	65
表 2-61 PMA 近端并行环回配置	66
表 2-62 PCS 近端环回配置.....	67
表 2-63 PCS 远端环回配置.....	67
表 2-64 端口配置 Test Patterns 模式	69
表 2-65 寄存器配置 Test Patterns 模式	69

图目录

图 2-1 XAUI IP 系统框图	12
图 2-2 XAUI IP 选择路径	13
图 2-3 工程例化界面	13
图 2-4 XAUI IP 接口框图	14
图 2-5 配置 XAUI IP 参数界面	14
图 2-6 XAUI IP 生成报告界面	15
图 2-7 Example Design 系统框图	17
图 2-8 MDIO Disable 文件目录	23
图 2-9 Debug Core0 波形抓取	25
图 2-10 Debug Core1 波形抓取	25
图 2-11 用户数据接口映射图	32
图 2-12 用户发送正常数据示例 (/S/位于 Lane0)	33
图 2-13 用户发送正常数据示例 (/S/位于 Lane4)	34
图 2-14 用户发送错误码示例 (/E/位于 Lane1)	35
图 2-15 用户接收正常数据示例 (/S/位于 Lane0)	36
图 2-16 用户接收错误数据示例 (/E/位于 Lane1)	37
图 2-17 APB 基本读时序	38
图 2-18 APB 基本写时序	38
图 2-19 MDIO 写时序	39
图 2-20 MDIO 读时序	39
图 2-21 MDIO 地址设定时序	39
图 2-22 MDIO 读后地址自加时序	40
图 2-23 XAUI Core 寄存器地址分配	40
图 2-24 XAUI IP 工作模式示意图	64
图 2-25 Test Pattern 配置时序图	69

第1章 前言

本章讲述本手册的适用范围、手册结构及相关行文规范，帮助用户快速查找所需的信息。

1.1 关于本手册

本手册为紫光同创推出的 XAUI (10 Gigabit Attachment Unit Interface) IP 产品的用户指南，适用于 Logos 系列 FPGA 产品，内容主要包括 IP 使用指南及相关附录。通过本手册用户可以快速了解 XAUI IP 相关特性及使用方法。

1.2 手册行文规范

表 1-1 行文规范说明

文字	使用原则
注意	若用户忽略注意标志,可能会因误操作而带来一定的不良后果或者无法成功操作。
说明	提供给用户的说明和提示。
推荐	推荐给用户的设置和使用说明。

第2章 IP 使用指南

本章讲述 XAUI IP 相关使用指南, 内容包括 IP 简介、IP 框图、IP 生成流程、Example Design、IP 接口描述、IP 寄存器描述、典型应用、说明与注意事项、IP 调试手段。更多设计流程相关详细信息可以参见下述 PDS 帮助文档。

- *Pango_Design_Suite_Quick_Start_Tutorial*[1]
- *Pango_Design_Suite_User_Guide*[2]
- *IP_Compiler_User_Guide*[3]
- *Simulation_User_Guide*[4]

2.1 IP 简介

XAUI IP 是紫光同创基于 Logos 系列产品实现 10Gbps 高速通信而设计的一款 IP。在 10G 以太网系统中, 可以通过 XAUI 接口把数据链路层和物理层连接起来。用户可以通过公司 PDS (Pango Design Suite) 套件中的 IPC (IP Compiler) 工具完成 IP 模块的配置和生成。

2.1.1 主要特征

XAUI IP 是按照 IEEE802.3-2012 标准设计的 IP, 产品的主要特性如下。

- 支持 XGMII Style 用户接口;
- 支持 $4 \times 3.125\text{Gbps}$ 线速率;
- 支持独立通道的字节同步;
- 支持四通道间的字节对齐;
- 支持协议规定频偏范围 ($\pm 100\text{ppm}$) 的时钟补偿;
- 支持 APB 或 MDIO 管理接口;
- 支持环回及测试模式;
- 支持链路状态上报。

2.1.2 适用器件及封装

表 2-1 XAUI IP 适用器件及封装

适用器件	支持封装类型
PGL50H	ALL
PGL100H	ALL

2.2 IP 框图

XAUI IP 系统框图如图 2-1 所示，其中虚线所示为环回时的数据流向，关于环回配置方法请参见“2.8.3.1 环回模式”。

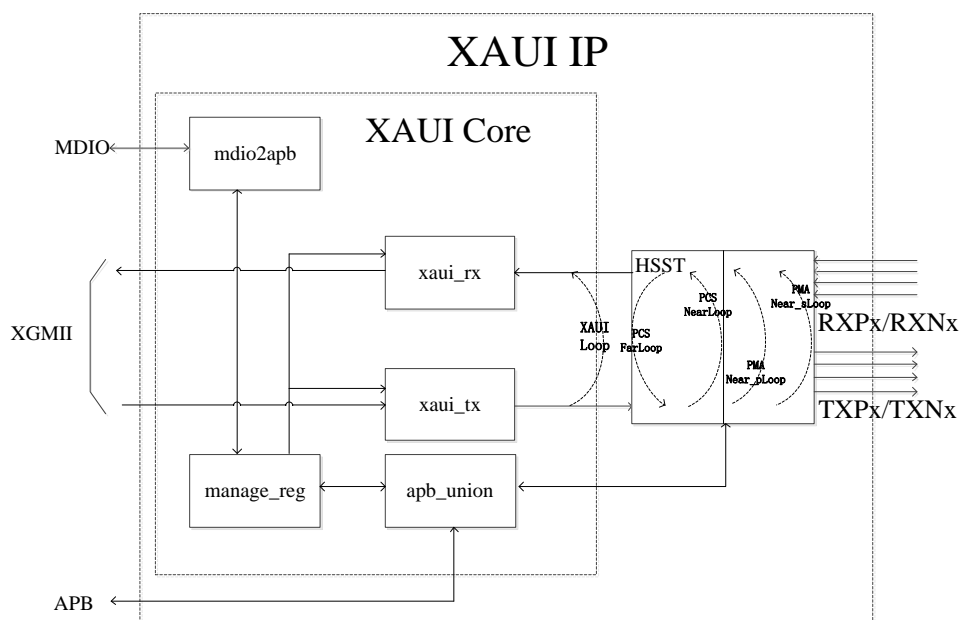


图 2-1 XAUI IP 系统框图

XAUI IP 由 XAUI Core 和 HSST 两部分组成，分为发送和接收两个方向。XAUI Core 完成 XGMII 数据与 PCS Code-Groups 之间的转换、管理接口实现等功能；HSST 完成编解码、串并转换、并串转换、时钟恢复、字节对齐、通道对齐、时钟补偿等功能。

2.3 IP 生成流程

2.3.1 模块例化

通过 IPC 工具可以完成 XAUI IP 的定制化配置，例化生成所需的 IP 模块。关于 IPC

工具的具体使用方法，请参见 *IP_Compiler_User_Guide*[3]。

XAUI IP 模块例化的主要操作步骤描述如下。

1. 选择 IP

打开 IPC 软件，在主窗口中点击 File->Update 打开 Update IP 对话框，添加对应版本的 IP 模型。

选择 FPGA 的器件类型之后 Catalog 界面可以显示已装载的 IP 模型，选取 System/Ethernet 目录下对应版本的 XAUI，IP 选择路径如图 2-2 所示。然后在右侧页面设置 Pathname 和 Instance Name 名称，工程例化界面如图 2-3 所示。

推荐：

PDS 建议使用 2021.1-SP6.2 及以上版本。

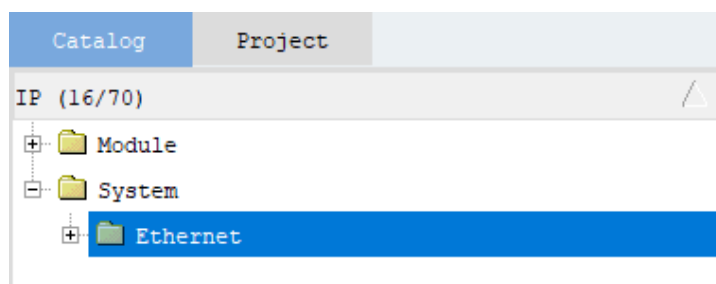


图 2-2 XAUI IP 选择路径

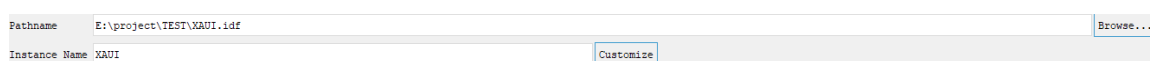


图 2-3 工程例化界面

2. 配置 IP 参数

IP 选择完成后点击 <Customize> 进入 XAUI IP 参数配置界面，左边 Symbol 为接口框图，如图 2-4 所示；右边为参数配置窗口，如图 2-5 所示。



表 2-2 XAUI IP 配置参数说明

3. 生成 IP

14/73

定设置的 XAUI IP 代码。生成 IP 的信息报告界面如图 2-6 所示。



图 2-6 XAUI IP 生成报告界面

成功生成 IP 后会在图 2-3 中指定的 Project 路径下输出表 2-3 所示文件。

表 2-3 IP 生成后的输出文件

输出文件 ¹	说明
<instance_name>.v	所生成 IP 的顶层.v 文件。
<instance_name>.idf	所生成 IP 的配置文件。
/rtl/*.v	所生成 IP 的明文 RTL 文件。
/rtl/ipml_hsst_xaui/	所生成 IP 的明文 RTL 文件，该文件夹存放着 HSST 模块的相关文件。
/rtl/synplify/*.vp	所生成 IP 的非明文 RTL 文件。
/sim_lib/ModelSim/*_sim.vp	所生成 IP 的非明文 RTL 文件，该文件只能用于 ModelSim 仿真。
/sim/modelsim/*.f	对生成的 Example Design 进行 ModelSim 仿真所需的.v 和.vp 文件列表。
/sim/modelsim/*.do	对生成的 Example Design 进行 ModelSim 仿真的 do 脚本文件和 do 波形文件。
/sim/modelsim/*.bat	对生成的 Example Design 进行 ModelSim 仿真的脚本。
/example_design/bench/ips1_xaui_dut_top_sim.v	DUT 层仿真的一些配置，如时钟、复位等。
/example_design/bench/ips1_xaui_dut_top_tb.v	DUT 层仿真 test bench。
/example_design/rtl/	Example Design 的顶层文件、DUT 层文件和设计中用到的其他模块文件，具体说明可参考本章 Example Design 的模块说明。
/pnr/core_only/<instance_name>.pds	所生成 IP 核的工程文件。
/pnr/core_only/<instance_name>.fdc	所生成 IP 核的约束文件。
/pnr/core_only/*.v	Core only 的顶层文件。
/pnr/example_design/pango_xaui_top.pds	Example Design 的工程文件。
/pnr/example_design/pango_xaui_top.fdc	Example Design 的约束文件。
/rev_1	综合报告默认输出路径（该文件夹仅在指定综合工具后才会生成）。
readme.txt	readme 文件，描述 IP 生成后，生成目录的结构。

¹ <instance_name>是用户输入的例化名；“*”为通配符，代替同一类型的文件。

2.3.2 约束配置

关于约束文件的具体配置方法，可以查阅 PDS 安装路径下相关帮助文档：*User_Constraint_Editor_User_Guide*[5]，*Physical_Constraint_Editor_User_Guide*[6]，*Route_Constraint_Editor_User_Guide*[7]。

2.3.3 运行仿真

XAUI IP 的仿真是基于 Example Design 的 Test Bench 进行的。有关 Example Design 的详细信息请参见“2.4 Example Design”。

关于 PDS 仿真功能及第三方仿真工具的更多详细信息，可以查阅 PDS 安装路径下相关帮助文档：*Pango_Design_Suite_User_Guide*[2]，*Simulation_User_Guide*[4]。

2.3.4 综合与布局布线

PDS 综合工具和布局布线工具的相关具体用法可以查阅 PDS 安装路径下的帮助文档。

注意：

IP 自带生成的.pds 文件和.fdc 文件仅供参考，使用时请根据实际的器件和管脚连接更改约束，具体请参见“2.8 说明与注意事项”。

2.3.5 资源利用

XAUI IP 基于适用器件的最大资源利用参见表 2-4。

表 2-4 XAUI IP 基于适用器件的最大资源利用

器件	IP 工作模式	最大资源利用			
		LUT	FF	HSST	USCM
PGL50H	MDIO Disable	2143	1744	1	2
	MDIO Enable	2249	1850	1	3
PGL100H	MDIO Disable	2144	1744	1	2
	MDIO Enable	2249	1850	1	3

信号名	引脚约束		I/O	说明
	PGL50H	PGL100H		
mdio 时钟和数据				
mdc_xaui	M5	AF16	In	MDIO Enable 时，mdio 的时钟输入，2MHz。
mdc_uart	M3	AC16	Out	MDIO Enable 时，串口模块产生的 mdio 时钟。
mdio_xaui	K1	Y21	Inout	MDIO Enable 时，mdio 的数据端口。
mdio_uart	M4	J13	Inout	MDIO Enable 时，串口模块的 mdio 数据端口。
UART 模块				
txd	F5	B3	Out	UART 发送数据。
rxid	G6	A2	In	UART 接收数据。
i_txd_b	J7	K3	In	仅调试使用（default：1）。
o_rxd_b	H8	P1	Out	仅调试使用。
uart_ctrl_sel	Y17	B2	In	需设置为 0。
用户端信号				
pin_cfg_en	Y14	B1	In	用户配置端口。 MDIO 使能时工作在 mdc 时钟域下； MDIO 不使能时工作在 free_clk 时钟域下。 1：配置端口有效（loop_back、test_pattern_enb、test_pattern_sel[1:0]）； 0：配置端口无效，使用内部寄存器进行模式配置。
loop_back	W15	C1	In	环回模式控制。 MDIO 使能时工作在 mdc 时钟域下； MDIO 不使能时工作在 free_clk 时钟域下。 1：工作在环回模式； 0：工作在正常模式。
test_pattern_enb	AB15	D2	In	Testpattern 测试模式使能端口，Testpattern 测试需要在链路成功建立后执行相关配置，才能进行测试。 MDIO 使能时工作在 mdc 时钟域下； MDIO 不使能时工作在 free_clk 时钟域下。 1：工作在 testpattern 模式； 0：工作在正常模式。
test_pattern_sel[1:0]	1:Y16 0:Y15	1:D1 0:M4	In	Testpattern 测试码型选择，Testpattern 测试需要在链路成功建立后执行相关配置，才能进行测试。 MDIO 使能时工作在 mdc 时钟域下； MDIO 不使能时工作在 free_clk 时钟域下。 11：Reserved； 10：Mix Frequency test pattern； 01：Low Frequency test pattern； 00：High Frequency test pattern。
HSST 端信号				
refclkp	CLK_0_P		In	参考时钟差分输入正端，HSST 专用管脚，频率 156.25MHz。

信号名	引脚约束		I/O	说明
	PGL50H	PGL100H		
refclkn	CLK_0_N		In	参考时钟差分输入负端，HSST 专用管脚，频率 156.25MHz。
P_L0RXP	R0_P		In	Channel 0 差分输入正端，HSST 专用管脚。
P_L0RXN	R0_N		In	Channel 0 差分输入负端，HSST 专用管脚。
P_L1RXP	R1_P		In	Channel 1 差分输入正端，HSST 专用管脚。
P_L1RXN	R1_N		In	Channel 1 差分输入负端，HSST 专用管脚。
P_L2RXP	R2_P		In	Channel 2 差分输入正端，HSST 专用管脚。
P_L2RXN	R2_N		In	Channel 2 差分输入负端，HSST 专用管脚。
P_L3RXP	R3_P		In	Channel 3 差分输入正端，HSST 专用管脚。
P_L3RXN	R3_N		In	Channel 3 差分输入负端，HSST 专用管脚。
P_L0TXP	T0_P		Out	Channel 0 差分输出正端，HSST 专用管脚。
P_L0TXN	T0_N		Out	Channel 0 差分输出负端，HSST 专用管脚。
P_L1TXP	T1_P		Out	Channel 1 差分输出正端，HSST 专用管脚。
P_L1TXN	T1_N		Out	Channel 1 差分输出负端，HSST 专用管脚。
P_L2TXP	T2_P		Out	Channel 2 差分输出正端，HSST 专用管脚。
P_L2TXN	T2_N		Out	Channel 2 差分输出负端，HSST 专用管脚。
P_L3TXP	T3_P		Out	Channel 3 差分输出正端，HSST 专用管脚。
P_L3TXN	T3_N		Out	Channel 3 差分输出负端，HSST 专用管脚。
Debug led 指示信号				
led0	C17	E1	Out	Debug 信号便于观察，指示 HSST 链路是否异常。 1：灯亮，HSST 链路异常； 0：灯暗，HSST 链路正常。
led1	D17	F2	Out	Debug 信号便于观察，指示 HSST 链路是否异常。 1：灯亮，HSST 链路正常； 0：灯暗，HSST 链路异常。
led2	C18	F1	Out	Debug 信号便于观察，指示 HSST 链路是否接收到数据。 1：灯亮，HSST 链路异常，至少有一个 lane 丢失数据； 0：灯暗，HSST 链路正常。
led3	C19	G1	Out	Debug 信号便于观察，指示 HSST 链路 cdr 是否异常。 1：灯亮，HSST 链路 cdr 正常； 0：灯暗，HSST 链路 cdr 异常。
led4	D18	H2	Out	用于指示 HSST 链路 sync 是否异常。 1：灯亮，HSST 链路 sync 正常； 0：灯暗，HSST 链路 sync 异常。
led5	D19	H1	Out	Debug 信号便于观察，指示 HSST 链路 deskew 是否异常。 1：灯亮，HSST 链路 deskew 正常； 0：灯暗，HSST 链路 deskew 异常。

信号名	引脚约束		I/O	说明
	PGL50H	PGL100H		
led6	A17	J1	Out	Debug 信号便于观察, 指示 HSST 链路 CTC 是否异常, fifo 出现空满。 1: 灯亮, HSST 链路 CTC 异常; 0: 灯暗, HSST 链路 CTC 正常。
led7	A18	K2	Out	Debug 信号便于观察, 指示 XAUI IP 接收是否出现 CRC 错误。 1: 灯亮, XAUI IP 接收出现 CRC 错误; 0: 灯暗, XAUI IP 接收未出现 CRC 错误。

注意:

- MDIO 时钟和数据只在参数配置界面勾选 “MDIO Enable”²时有效, 使用时 mdc_xaui 和 mdc_uart 连接, mdio_xaui 和 mdio_uart 连接;
- UART 接口仅调试时使用, 按照文中相关描述操作, 详细信息请参见 “2.4.3 模块说明”;
- Example Design 中 free_clk 的时钟频率固定为 100MHz。

2.4.3 模块说明

Example Design 的各个模块说明如下。

1. GTP_IOBUF 模块

将 mdi、mdo 转化为双向 IO 口 mdio。

2. Debug_core 模块

用于采集 HSST 的状态信号, 便于查看 HSST 的状态。

3. pkg_gen 模块

用于产生 Payload 为 Counter 数据类型的 MAC 帧。

4. pkg_chk 模块

用于对接收数据进行 CRC 校验检查。

² 详细配置方式请参见 “2.3.1.2 配置 IP 参数”。

5. uart_ctrl 模块

调试时使用的串口模块，波特率固定为 115200，用于接收 UART 的数据，以 APB 协议或者 MDIO 协议要求的数据格式输出。读写操作的地址为 24bit，数据为 32bit。

(1) 读写操作说明

- 读操作格式：“地址” + “0x72”；
- 写操作格式：“数据” + “地址” + “0x77”。

相关读写操作示例请参见“0

uart_ctrl 模块读写操作示例”。

(2) 地址说明

通过 uart_ctrl 模块访问寄存器时，地址说明如表 2-6 所示。

表 2-6 uart_ctrl 模块地址说明

地址位	说明
23	仅调试使用，设置为 0。
22	通过 APB 接口访问寄存器时设置为 0；通过 MDIO 接口访问寄存器时设置为 1。
21	通过 APB 接口访问寄存器时有效。 访问 reg_slave 模块时设置为 0；访问 IP 时设置为 1。
20:19	未使用，设置为 0。
18:0	IP 寄存器的地址（参见“2.6 IP 寄存器描述”）或者 reg_slave 内的寄存器地址（参见“表 2-7”）。

6. reg_slave 模块

调试时使用的寄存器模块，用于查看链路状态和产生一些控制信号，通过 APB 接口进行访问。寄存器地址说明如表 2-7 所示。

表 2-7 reg_slave 模块寄存器说明

寄存器地址	R/W	描述	默认值
0x8000	W	pkg_gen 模块发包控制使能。 0x80: 开始发包 (default); 0x00: 停止发包。	0x80
others	-	仅调试使用。	-

注：“-”表示无此参数。

说明：

使用本文 Example Design 中的串口模块访问 reg_slave 的寄存器控制发包时，开始发包：串口写入 0x0000008000800077；停止发包：串口写入 0x0000000000800077。

7. XAUI IP 模块

XAUI IP 模块，包含了 XAUI Core 和 HSST。

2.4.4 目录说明

以 MDIO Disable 为例 Example Design 工程目录如图 2-8 所示。

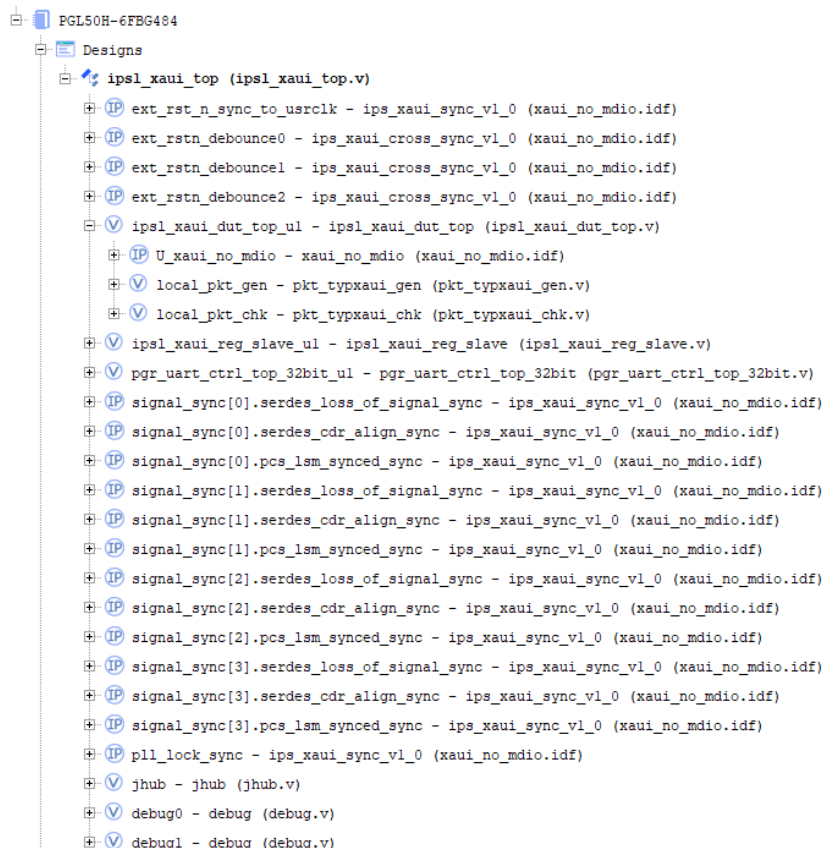


图 2-8 MDIO Disable 文件目录

- ipsl_xaui_top: 顶层文件;
- ipsl_xaui_dut_top_u1: DUT 层, 方便仿真测试;
- U_xaui_no_mdio: XAUI IP;
- local_pkt_gen: 发包器;
- local_pkt_chk: 收包器;
- pgr_uart_ctrl_top_32bit_u1: 串口模块;
- ipsl_xaui_reg_slave_u1: 寄存器模块;
- 其余为一些去抖、同步和 debug 模块。

2.4.5 测试方法

采用两块测试板³进行对接测试,通过 CRC 校验结果判断测试结果,通过 DebugCore 和 LED 监测链路状态。XAUI IP 相关配置方式请参见“2.4.6 实例配置”。

Example Design 中已加入 Debug_core 模块,可使用 PDS 软件中的 Fabric Debugger

3 PGL50H 测试板型号为 P02I50RD02_A0, PGL100H 测试板型号为 P02I100RD02_A0。

工具抓取发送端和接收端数据⁴，相关截图如图 2-9 和图 2-10 所示。用户可根据实际情况自行增减需要抓取的信号，Debug Core 信号列表如表 2-8 所示。

表 2-8 Debug Core 信号列表

DEBUG CORE signal	工程信号名	意义
CORE:0 MyFAL0		
TriggerPort0[0]	ctc_afifo_err	1: CTC 的 fifo 发生空满; 0: CTC 的 fifo 未发生空满。
TriggerPort0[1]	deskew_align_status	1: channel bounding 对齐; 0: channel bounding 未对齐。
TriggerPort0[2]	s_pll_lock	1: PLL 锁定; 0: PLL 未锁定。
TriggerPort0[6:3]	s_pcs_lsm_synced[3:0]	对应 4 个 lane, bit[0]代表 lane0, etc。 1: lane 同步正常; 0: lane 同步异常
TriggerPort0[10:7]	s_serdes_cdr_align[3:0]	对应 4 个 lane, bit[0]代表 lane0, etc。 1: CDR 锁定; 0: CDR 未锁定。
TriggerPort0[14:11]	s_serdes_loss_of_signal[3:0]	对应 4 个 lane, bit[0]代表 lane0, etc。 1: serdes 信号丢失; 0: serdes 信号正常。
TriggerPort0[15]	hsst_up	1: 链路正常; 0: 链路异常。
TriggerPort0[16]	hsst_fault	1: 链路异常; 0: 链路正常。
TriggerPort0[255:17]	未接工程信号	为 0。
CORE:1 MyFAL1		
TriggerPort0[0]	crc_ok	CRC 检验 ok, 时时信号。
TriggerPort0[1]	crc_err	CRC 检验 fail, 时时信号。
TriggerPort0[2]	rcving_data	数据指示。 1: 代表数据。
TriggerPort0[3]	crc_err_record	CRC 检验记录。 1: 发生过 CRC 错误; 0: 未发生 CRC 错误。
TriggerPort0[35:4]	rcving_cnt[31:0]	接收包计数。
TriggerPort0[67:36]	err_cnt[31:0]	CRC 错误包计数。
TriggerPort0[75:68]	xgmii_rxc[7:0]	接收数据控制信号指示。
TriggerPort0[139:76]	xgmii_rxd[63:0]	接收数据。
TriggerPort0[147:140]	xgmii_txc[7:0]	发送数据控制信号指示。
TriggerPort0[211:148]	xgmii_txd[63:0]	发送数据。

⁴ 根据 Example Design 的赋值情况抓取对应信号形成波形。

DEBUG CORE signal	工程信号名	意义
TriggerPort0[243:212]	tx_cnt[31:0]	发送包计数。
TriggerPort0[255:244]	未接工程信号	为 0。

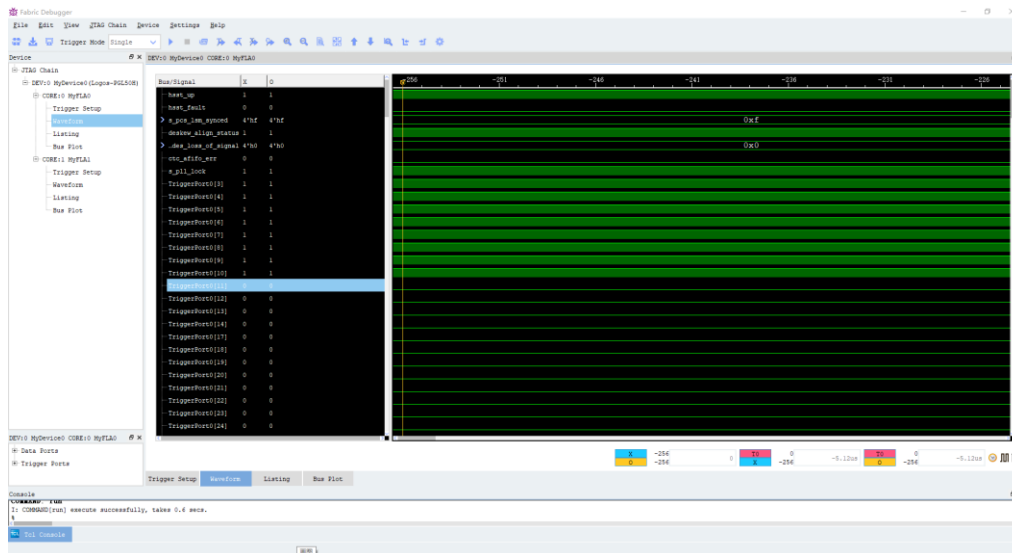


图 2-9 Debug Core0 波形抓取

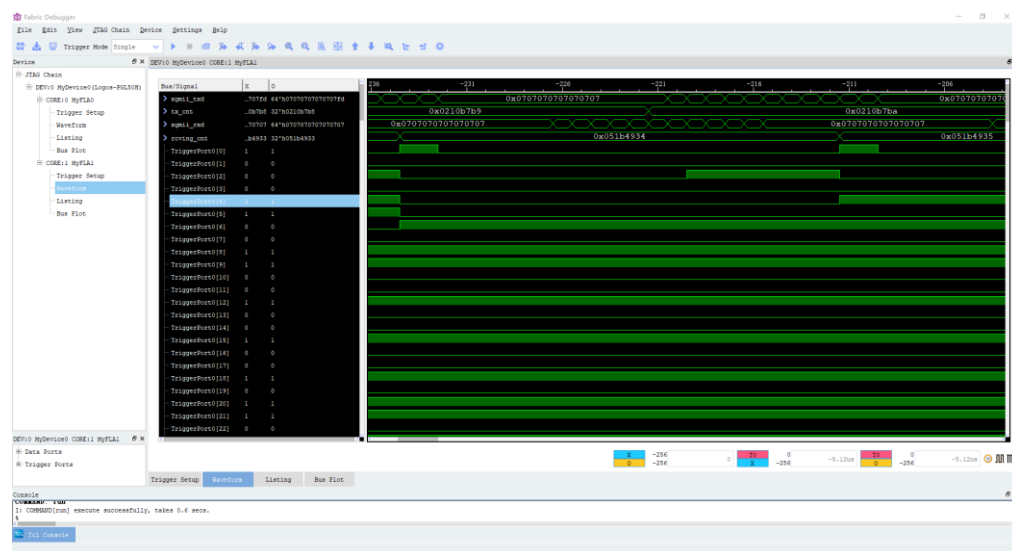


图 2-10 Debug Core1 波形抓取

2.4.6 实例配置

- 支持通过 APB 对 XAUI Core 进行寄存器读写访问。配置方式：在 IP 参数配置界面不勾选“MDIO Enable”，请参见“2.3.1 2 配置 IP 参数”。

- 支持通过 APB 在线配置寄存器实现环回的开启和关闭。配置方式请参见“2.8.3 1 环回模式”。
- 其他参数默认配置。

2.4.7 实例仿真

在 Windows 系统下，IP 生成后，在<project_path>/sim/modelsim 路径下，双击*.bat 文件⁵即可运行仿真，仿真工具采用 Modelsim10.1a。

2.5 IP 接口描述

2.5.1 XAUI IP 接口说明

表 2-9 XAUI 接口信号列表

信号名	I/O	说明
时钟和复位		
free_clk	In	输入时钟，作用于初始化逻辑和配置接口，10MHz~100MHz，同时也作为 APB 的时钟。
usrclk	Out	用户时钟，频率为 156.25M，来源 HSST_XAUI。
ext_rst_n	In	复位信号。 0: 复位; 1: 复位释放。
txlane_rst	In	HSST TX Lane 软复位，仅供调试用，此信号工作在 free_clk 时钟域下。 0: 复位释放; 1: 复位。
rxlane_rst	In	HSST RX Lane 软复位，仅供调试用，此信号工作在 free_clk 时钟域下。 0: 复位释放; 1: 复位。
hsst_cfg_rst_n	In	HSST 的动态配置接口信号。 0: 复位（复位后 HSST 的所有寄存器恢复到 Parameter 设置的初始值）; 1: 复位释放。
wtchdg_clr	In	看门狗计数器的清零信号，此信号工作在 free_clk 时钟域下。 1: 清零。
i_rstn	In	HSST 的逻辑复位。 0: 复位; 1: 复位释放。

⁵ IP 生成后的输出文件请参见表 2-3

信号名	I/O	说明
o_tx_rstn	Out	为高代表 HSST TX 方向复位完成, 可作用用户路基 TX 方向的复位, 低电平有效, 异步信号。
o_rx_rstn	Out	为高代表 HSST RX 方向复位完成, 可作用用户路基 RX 方向的复位, 低电平有效, 异步信号。
o_cfg_rstn	Out	XAUI core reg 的复位输出, 异步信号。
用户端信号		
xgmii_txd[63:0]	In	XGMII 发送数据, 来自用户端, 此信号工作在 usrcclk 时钟域下。
xgmii_txc[7:0]	In	XGMII 发送控制信号, 来自用户端, 此信号工作在 usrcclk 时钟域下。
xgmii_rxd[63:0]	Out	XGMII 接收接口数据, 输出到用户端, 此信号工作在 usrcclk 时钟域下。
xgmii_rxc[7:0]	Out	XGMII 接收控制信号, 输出到用户端, 此信号工作在 usrcclk 时钟域下。
pin_cfg_en	In	用户配置端口。 MDIO 使能时工作在 mdc 时钟域下; MDIO 不使能时工作在 free_clk 时钟域下。 1: 配置端口有效 (loop_back、test_pattern_enb、test_pattern_sel[1:0]); 0: 配置端口无效, 使用内部寄存器进行模式配置。
loop_back	In	环回模式控制。 MDIO 使能时工作在 mdc 时钟域下; MDIO 不使能时工作在 free_clk 时钟域下。 1: 工作在环回模式; 0: 工作在正常模式。
test_pattern_enb	In	Testpattern 测试模式使能端口。 MDIO 使能时工作在 mdc 时钟域下; MDIO 不使能时工作在 free_clk 时钟域下。 1: 工作在 testpattern 模式; 0: 工作在正常模式。
test_pattern_sel[1:0]	In	Testpattern 测试码型选择。 MDIO 使能时工作在 mdc 时钟域下; MDIO 不使能时工作在 free_clk 时钟域下。 11: Reserved; 10: Mix Frequency test pattern; 01: Low Frequency test pattern; 00: High Frequency test pattern。
HSST 端信号		
P_REFCKP	In	参考时钟差分输入正端, HSST 专用管脚, 频率为 156.25MHz。
P_REFCKN	In	参考时钟差分输入负端, HSST 专用管脚, 频率为 156.25MHz。
P_L0RXP	In	Channel 0 差分输入正端, HSST 专用管脚。
P_L0RXN	In	Channel 0 差分输入负端, HSST 专用管脚。

信号名	I/O	说明
P_L1RXP	In	Channel 1 差分输入正端, HSST 专用管脚。
P_L1RXN	In	Channel 1 差分输入负端, HSST 专用管脚。
P_L2RXP	In	Channel 2 差分输入正端, HSST 专用管脚。
P_L2RXN	In	Channel 2 差分输入负端, HSST 专用管脚。
P_L3RXP	In	Channel 3 差分输入正端, HSST 专用管脚。
P_L3RXN	In	Channel 3 差分输入负端, HSST 专用管脚。
P_L0TXP	Out	Channel 0 差分输出正端, HSST 专用管脚。
P_L0TXN	Out	Channel 0 差分输出负端, HSST 专用管脚。
P_L1TXP	Out	Channel 1 差分输出正端, HSST 专用管脚。
P_L1TXN	Out	Channel 1 差分输出负端, HSST 专用管脚。
P_L2TXP	Out	Channel 2 差分输出正端, HSST 专用管脚。
P_L2TXN	Out	Channel 2 差分输出负端, HSST 专用管脚。
P_L3TXP	Out	Channel 3 差分输出正端, HSST 专用管脚。
P_L3TXN	Out	Channel 3 差分输出负端, HSST 专用管脚。
状态信息		
hsst_fault	Out	链路状态信号, 高有效, 表示本地线路状态不稳定, 此信号为异步信号。
hsst_up	Out	链路状态信号, 高有效, 表示 HSST 已经处于正常的工作状态, 此信号为异步信号。
serdes_loss_of_signal[3:0]	Out	用于指示 lane 串行接收端信号是否丢失, 此信号为异步信号。 1: 信号丢失; 0: 信号正常。 bit[0]代表 lane0, etc。
serdes_cdr_align[3:0]	Out	高有效, 用于指示 lane 的 cdr 是否锁定, 此信号为异步信号。 1: cdr 锁定; 0: cdr 未锁定。 bit[0]代表 lane0, etc。
pll_lock	Out	指示 HSST 内 PLL 是否锁定, 此信号为异步信号。 1: PLL 锁定; 0: PLL 未锁定。 此信号为异步信号。
pcs_lsm_synced[3:0]	Out	指示 HSST 的 lane 是否完成同步, 此信号为异步信号。 1: lane 完成同步; 0: lane 未完成同步。 bit[0]代表 lane0, etc。
deskew_align_status	Out	指示 4 个通道之间是否对齐, 此信号为异步信号。 1: 4 个通道之间对齐; 0: 4 个通道之间未对齐。
ctc_afifo_err	Out	指示 HSST 的 CTC 的 afifo 是否空满, 此信号为异步信号。 1: CTC 的 afifo 发生空满; 0: CTC 的 afifo 未发生空满
APB 总线		

信号名	I/O	说明
p_cfg_enable	In	APB 接口的访问使能，此信号工作在 free_clk 时钟域下。 1: 使能; 0: 未使能。
p_cfg_write	In	APB 接口的读写选择信号，此信号工作在 free_clk 时钟域下。 1: 写操作; 0: 读操作。
p_cfg_addr[18:0]	In	APB 接口读写地址，此信号工作在 free_clk 时钟域下。
p_cfg_wdata[31:0]	In	APB 接口写数据，此信号工作在 free_clk 时钟域下。
p_cfg_rdata[31:0]	Out	APB 接口读数据，此信号工作在 free_clk 时钟域下。
p_cfg_ready	Out	APB 接口的读写 ready 输出，此信号工作在 free_clk 时钟域下。 1: 数据有效; 0: 数据无效。
p_cfg_sel	In	APB 接口的片选信号，选中后可以进行 APB 数据传输，此信号工作在 free_clk 时钟域下。 1: 选中; 0: 未选中。
MDIO 总线⁶		
mdc	In	MDIO 接口时钟信号，2MHz。
mdi	In	MDIO 输入数据。
phy_addr[4:0]	In	PHY 地址配置总线。
mdo	Out	MDIO 输出数据。
mdo_en	Out	MDIO 输出数据使能信号。
环回使能		
i_p_pcs_nearend_loop_0	In	对应 P_PCS_NEAREND_LOOP_0 接口，控制 lane0。 1: 使能; 0: 未使能。
i_p_pcs_farend_loop_0	In	对应 P_PCS_FAREND_LOOP_0 接口，控制 lane0。 1: 使能; 0: 未使能。
i_p_pma_nearend_ploop_0	In	对应 P_PMA_NEAREND_PLOOP_0 接口，控制 lane0。 1: 使能; 0: 未使能。
i_p_pma_nearend_sloop_0	In	对应 P_PMA_NEAREND_SLOOP_0 接口，控制 lane0。 1: 使能; 0: 未使能。
i_p_pcs_nearend_loop_1	In	对应 P_PCS_NEAREND_LOOP_1 接口，控制 lane1。 1: 使能; 0: 未使能。
i_p_pcs_farend_loop_1	In	对应 P_PCS_FAREND_LOOP_1 接口，控制 lane1。 1: 使能; 0: 未使能。

⁶ MDIO 接口只在参数配置界面勾选 MDIO Enable（参见“2.3.1.2 配置 IP 参数”）时显示。

信号名	I/O	说明
i_p_pma_nearend_ploop_1	In	对应 P_PMA_NEAREND_PLOOP_1 接口，控制 lane1。 1：使能； 0：未使能。
i_p_pma_nearend_sloop_1	In	对应 P_PMA_NEAREND_SLOOP_1 接口，控制 lane1。 1：使能； 0：未使能。
i_p_pcs_nearend_loop_2	In	对应 P_PCS_NEAREND_LOOP_2 接口，控制 lane2。 1：使能； 0：未使能。
i_p_pcs_farend_loop_2	In	对应 P_PCS_FAREND_LOOP_2 接口，控制 lane2。 1：使能； 0：未使能。
i_p_pma_nearend_ploop_2	In	对应 P_PMA_NEAREND_PLOOP_2 接口，控制 lane2。 1：使能； 0：未使能。
i_p_pma_nearend_sloop_2	In	对应 P_PMA_NEAREND_SLOOP_2 接口，控制 lane2。 1：使能； 0：未使能。
i_p_pcs_nearend_loop_3	In	对应 P_PCS_NEAREND_LOOP_3 接口，控制 lane3， 1：使能； 0：未使能。
i_p_pcs_farend_loop_3	In	对应 P_PCS_FAREND_LOOP_3 接口，控制 lane3。 1：使能； 0：未使能。
i_p_pma_nearend_ploop_3	In	对应 P_PMA_NEAREND_PLOOP_3 接口，控制 lane3。 1：使能； 0：未使能。
i_p_pma_nearend_sloop_3	In	对应 P_PMA_NEAREND_SLOOP_3 接口，控制 lane3。 1：使能； 0：未使能。
i_p_rx_polarity_invert_0	In	对应 P_RX_POLARITY_INVERT_0 接口，控制 lane0。 1：极性反转； 0：极性正常。
i_p_rx_polarity_invert_1	In	对应 P_RX_POLARITY_INVERT_0 接口，控制 lane1。 1：极性反转； 0：极性正常。
i_p_rx_polarity_invert_2	In	对应 P_RX_POLARITY_INVERT_0 接口，控制 lane2。 1：极性反转； 0：极性正常。
i_p_rx_polarity_invert_3	In	对应 P_RX_POLARITY_INVERT_0 接口，控制 lane3。 1：极性反转； 0：极性正常。

信号名	I/O	说明
Debug 信号⁷		
rx_d_no_k_l[3:0]	Out	低 32bit 中 not K 指示，每一位对应 8bit，1 代表当前 32bit 中含有 T 且当前位对应的 8bit 不为 K 或发生极性错误，此信号工作在 free_clk 时钟域下。
rx_d_no_k_h[3:0]	Out	高 32bit 中 not K 指示，每一位对应 8bit，1 代表当前 32bit 中含有 T 且当前位对应的 8bit 不为 K 或发生极性错误，此信号工作在 free_clk 时钟域下。
pcs_eop_l[3:0]	Out	低 32bit 包尾指示，1 代表当前是 T ，此信号工作在 free_clk 时钟域下。
pcs_eop_h[3:0]	Out	高 32bit 包尾指示，1 代表当前是 T ，此信号工作在 free_clk 时钟域下。
rx_d_is_ak_l[3:0]	Out	低 32bit 出现 T 之后不是 A 或 K 的错误，1 代表发生错误，此信号工作在 free_clk 时钟域下。
rx_d_is_ak_h[3:0]	Out	高 32bit 出现 T 之后不是 A 或 K 的错误，1 代表发生错误，此信号工作在 free_clk 时钟域下。
ctc0_status[2:0] ⁸	Out	Lane0 CTC afifo 的状态。
ctc1_status[2:0] ⁸	Out	Lane1 CTC afifo 的状态。
ctc2_status[2:0] ⁸	Out	Lane2 CTC afifo 的状态。
ctc3_status[2:0] ⁸	Out	Lane3 CTC afifo 的状态。
pcs_tx_d[63:0]	Out	XAUI TX 发送数据，此信号工作在 usrcclk 时钟域下。
pcs_tx_k[7:0]	Out	XAUI TX 发送控制码指示，此信号工作在 usrcclk 时钟域下。
pcs_tx_dispsel[7:0]	Out	XAUI TX 方向数据极性模式选择，低位控制低 8bit，高位控制高 8bit，此信号工作在 usrcclk 时钟域下。
pcs_tx_dispcntl[7:0]	Out	{pcs_tx_dispcntl[0], pcs_tx_dispsel[0]}为控制低 8bit 的一组信号，其他 bit 类似。 2'b00: 正常数据发送； 2'b01: 根据 IEEE 802.3 1000BASE-X specification 协议，实现帧尾第一个 I1/I2 的选择，满足条件下自动实现从 I2 到 I1 的替换； 2'b10: 强制 8b10b 编码极性为负； 2'b11: 强制 8b10b 编码极性为正。
pcs_rx_d_dly[63:0]	Out	RX 方向的接收数据，此信号工作在 usrcclk 时钟域下。
pcs_rx_k_dly[7:0]	Out	RX 方向控制码指示，此信号工作在 usrcclk 时钟域下。
pcs_rdispdec_er_dly[7:0]	Out	RX 方向是否出现极性错误或无效码，1 表示出现极性错误或无效码，此信号工作在 usrcclk 时钟域下。
s_xaui_core_rx_rst_n	Out	同步至 usrcclk 的 xaui core rx rst。
s_xaui_core_tx_rst_n	Out	同步至 usrcclk 的 xaui core tx rst。

⁷ Debug 信号说明中出现的|K|、|T|、|T|、|A|请参见 IEEE 802.3-2012 Specification[10]。

⁸ HSST 输出的状态指示信号，请参见《UG020013_Logos 系列 FPGA 高速串行收发器(HSST)用户指南》[8]。

2.5.2 XAUI IP 接口时序描述

XAUI IP 采用了 64 位用户数据接口，与协议 IEEE 802.3-2012 规定的 32 位 XGMII 映射关系如图 2-11 所示，这里列举 A、B 两种映射情况。

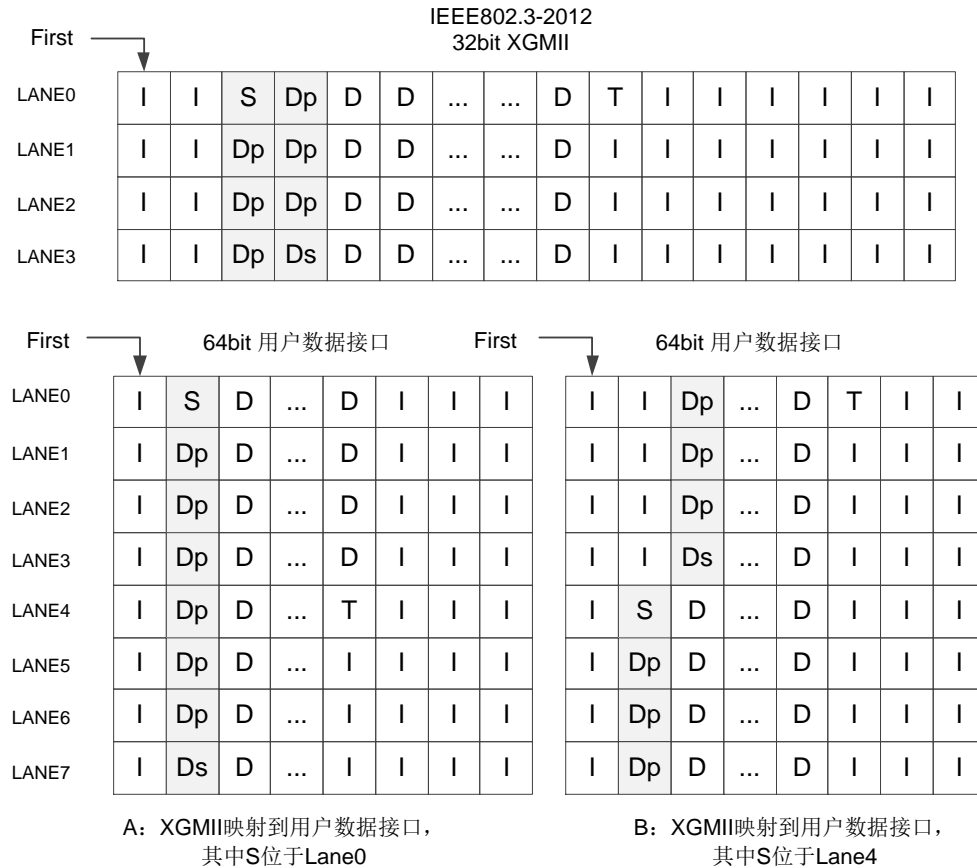


图 2-11 用户数据接口映射图

XAUI IP 中从 XGMII 接口到 PCS 接口的编码规则如表 2-10 和表 2-11 所示。

表 2-10 XGMII character to PCS Code-Groups mapping

XGMII TxC	XGMII TxD	PCS Code-Groups 8-bit value	Description
0	0x00 through 0xFF	0xXX	正常发送数据。
1	0x07	0xBC or 0x1C or 0x7C	Idle 序列中的 Idle 码。
1	0x07	0xBC	Terminate 中的 Idle 码。
1	0xFB	0xFB	Start, 起始码。
1	0xFD	0xFD	Terminate, 结束码。
1	0xFE	0xFE	Error, 错误码。
1	0x9C	0x9C	Sequency。

表 2-11 PCS Code-Groups to XGMII character mapping

XGMII RXC	XGMII RXD	PCS Code-Groups 8-bit value	Description
0	0x00 through 0xFF	0xXX	正常发送数据。
1	0x07	0xBC	/K/(Sync), 用于 Word Alignment。
1	0x07	0x7C	/A/(Align), 用于 Channel Bonding。
1	0x07	0x1C	/R/(Skip), 用于 CTC。
1	0xFB	0xFB	Start, 起始码。
1	0xFD	0xFD	Terminate, 结束码。
1	0xFE	0xFE	Error, 错误码。
1	0x9C	0x9C	Sequency。

1. 用户发送数据时序

(1) 正常数据

发送正常数据时，/S/必须位于 Lane0 或者 Lane4，/T/可以位于任意一个通道上，其后的通道以 XGMII Idle 填充。详细说明请参见 *IEEE 802.3-2012 specification (section 46.3.1)[9]*。发送正常数据时的时序示例如图 2-12、图 2-13 所示。

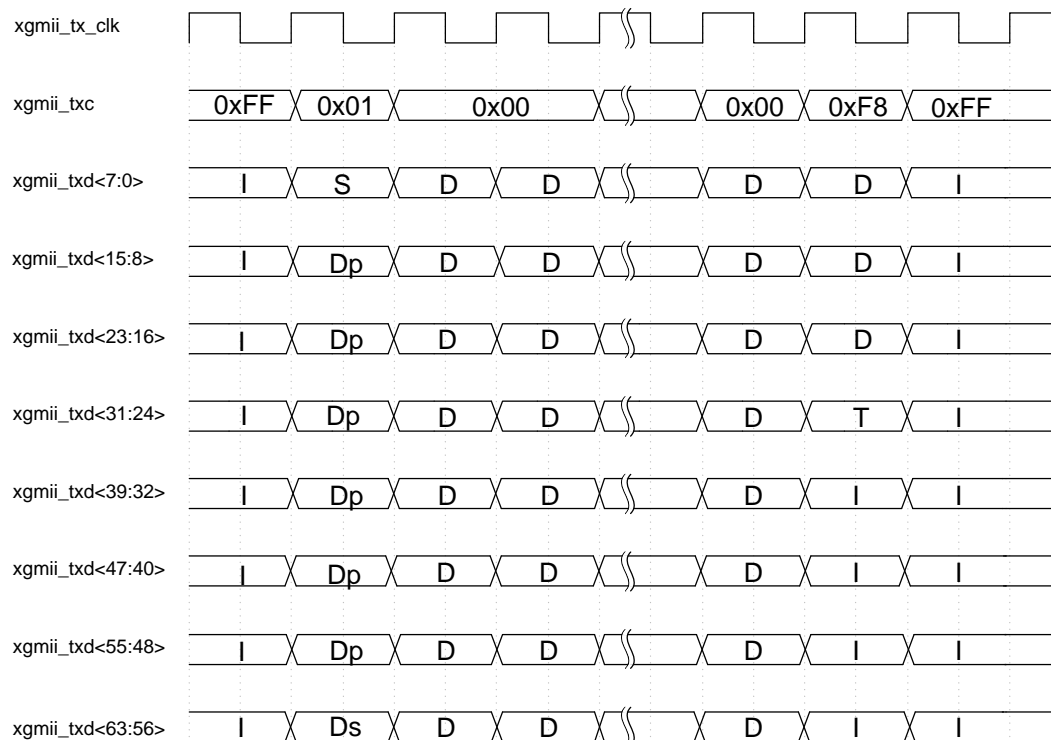


图 2-12 用户发送正常数据示例 (/S/位于 Lane0)

说明：

S: Start, 表示开始码。

Dp: Data Preamble, 表示一个内容为前导码形式的数据。

Ds: SFD (Start Frame Delimiter)。

D: Data, 表示一个数据。

T: Terminate, 表示结束码。

I: Idle, 表示 Idle 码。

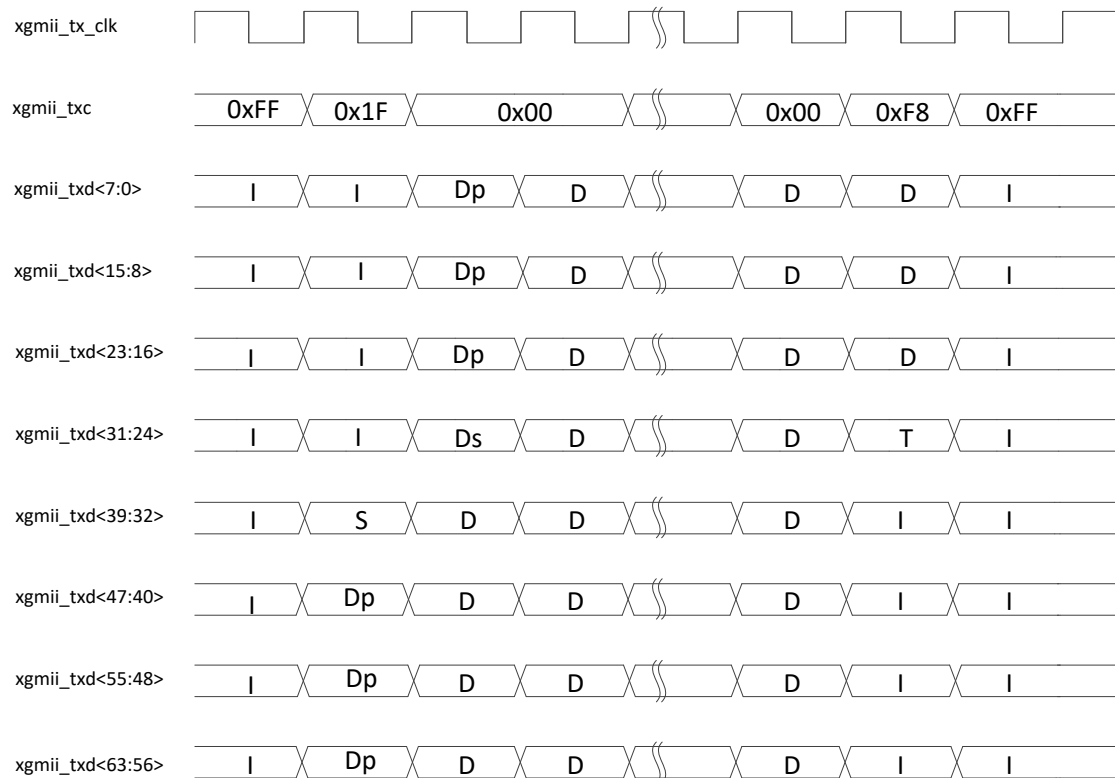


图 2-13 用户发送正常数据示例 (/S/位于 Lane4)

(2) 错误数据

发送错误数据时，错误码/E/可以位于任意一个 Lane 上。时序示例如图 2-14 所示，示例中/E/位于 Lane1。

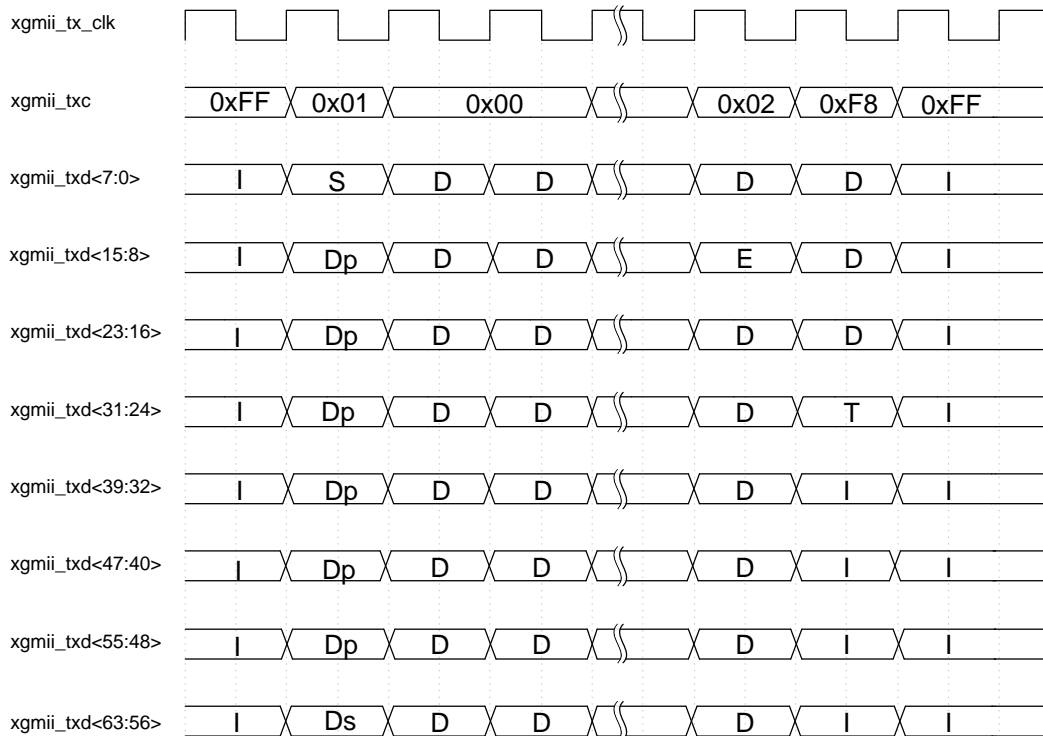


图 2-14 用户发送错误码示例（/E/位于 Lane1）

说明：

E: Error, 表示错误码。

2. 用户接收数据时序

(1) 正常数据

接收正常数据的时序和发送正常数据的时序类似，以 Start Character（S）为开头，/S/位于 Lane0 或 Lane4，以/T/为结尾，/T/可以位于任意一个 Lane 上。详细说明请参见 *IEEE 802.3-2012 specification (section 46.3.2)*[9]。接收正常数据时的时序示例如图 2-15 所示。

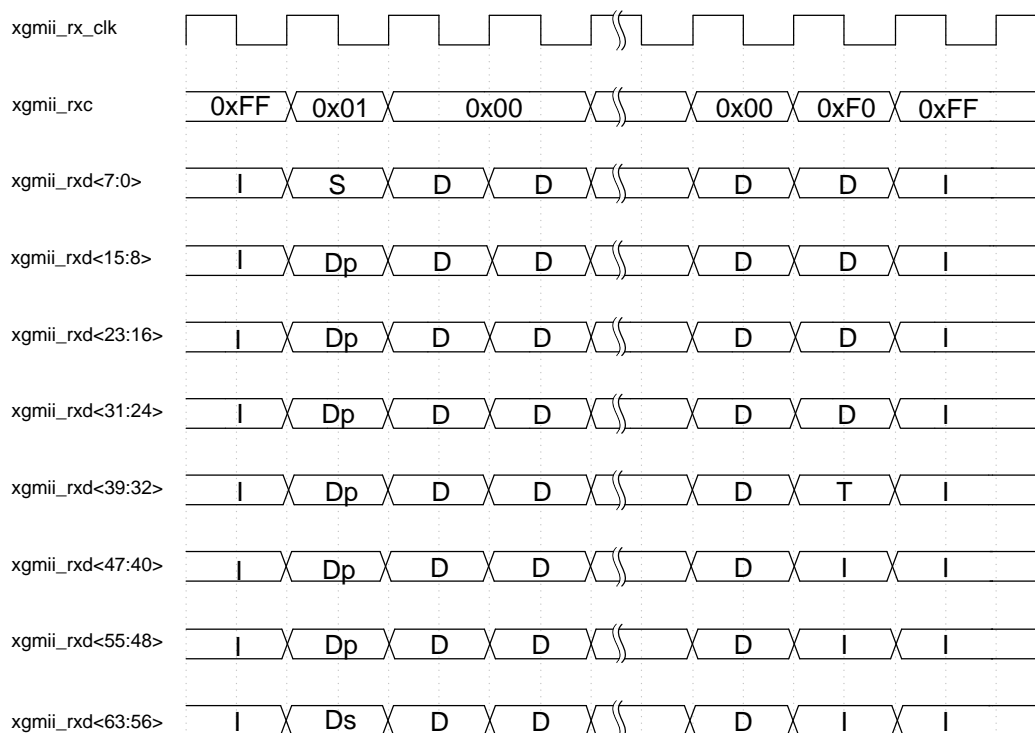


图 2-15 用户接收正常数据示例（/S/位于 Lane0）

(2) 错误数据

接收错误数据时，错误码/E/可以位于任意一个 Lane。图 2-16 是接收错误数据时的时序示例，示例中/E/位于 Lane 1。

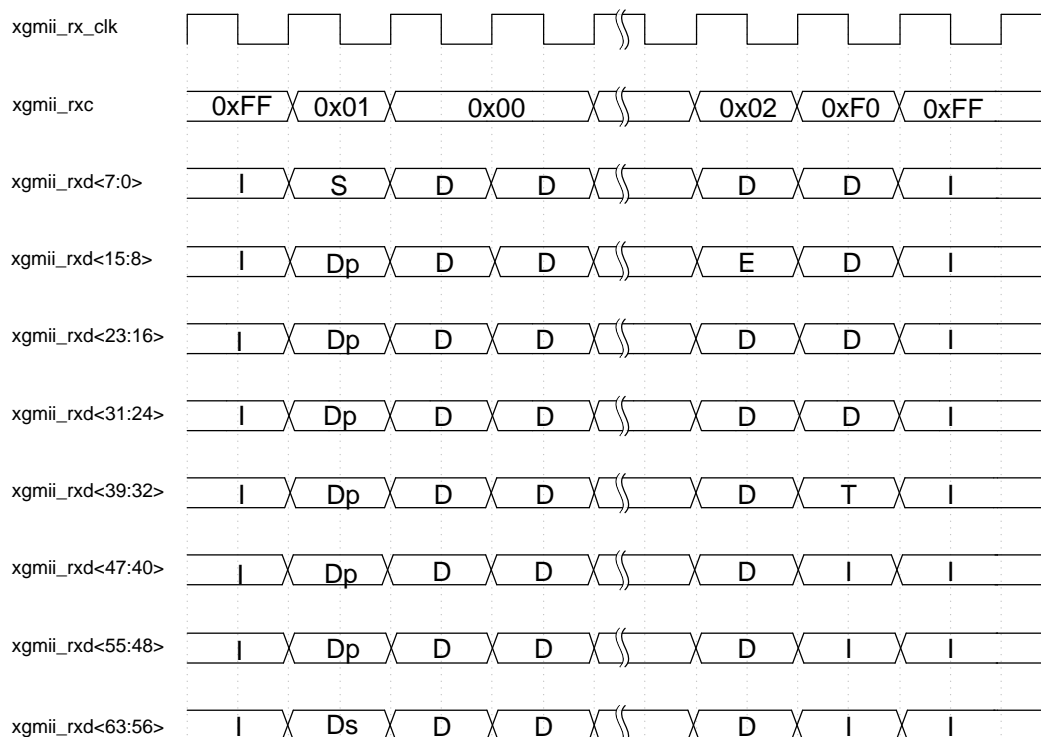


图 2-16 用户接收错误数据示例（/E/位于 Lane1）

2.5.3 寄存器管理接口

1. APB 操作时序

(1) APB 读时序

通过 APB 进行读操作时,首先拉高 p_cfg_sel 选中 APB 接口,同时拉高 p_cfg_enable 和拉低 p_cfg_write, 输入有效地址 p_cfg_addr 请求读取数据,持续 3 个 Cycle 后, p_cfg_ready 拉高,有效数据被读出,然后 p_cfg_enbale 拉低,一次读操作完成。

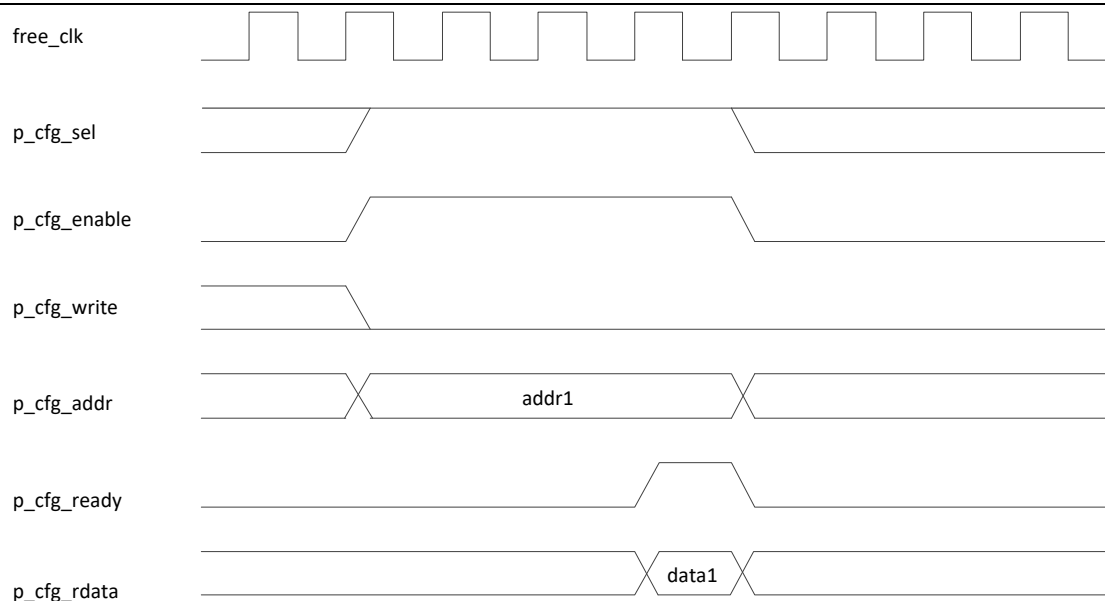


图 2-17 APB 基本读时序

(2) APB 写时序

通过 APB 进行读操作时,首先拉高 p_cfg_sel 选中 APB 接口,同时拉高 p_cfg_enable 和拉高 p_cfg_write, 输入有效地址 p_cfg_addr 请求写入数据,持续 1 个 Cycle 后, p_cfg_ready 拉高,有效数据被写入,然后 p_cfg_enbale 拉低,一次写操作完成。

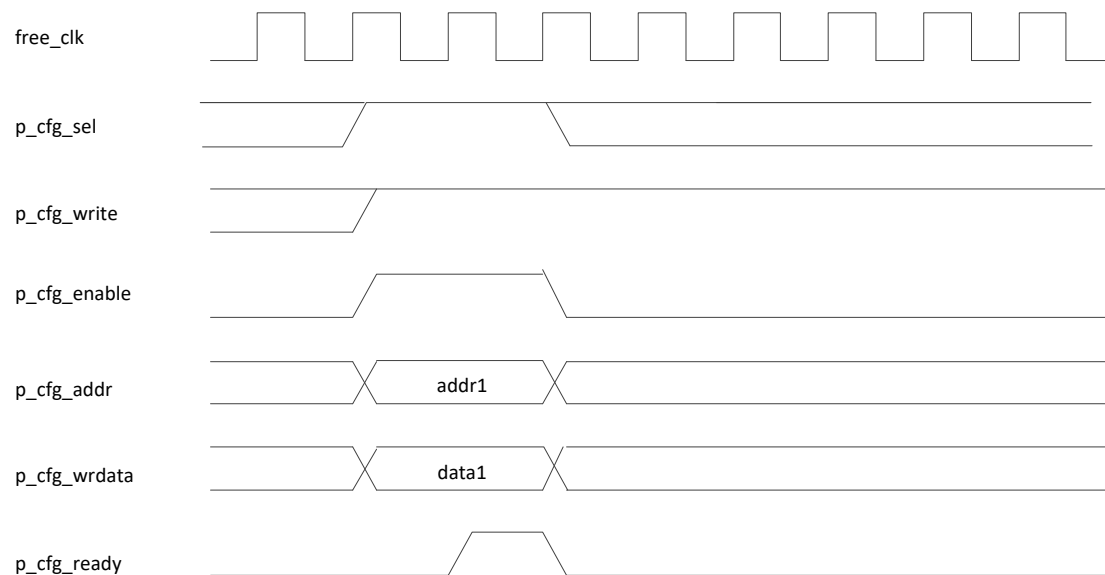


图 2-18 APB 基本写时序

2. MDIO 操作时序

(1) MDIO 写时序

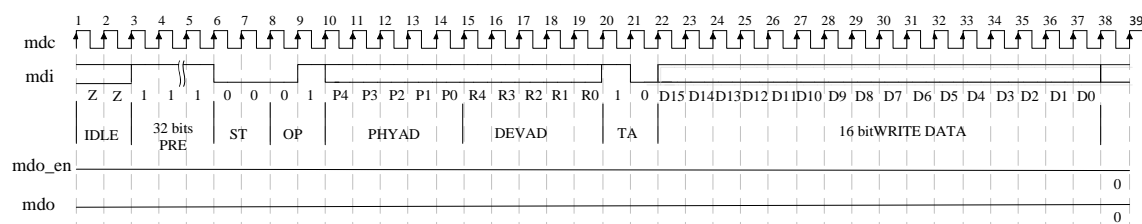


图 2-19 MDIO 写时序

(2) MDIO 读时序

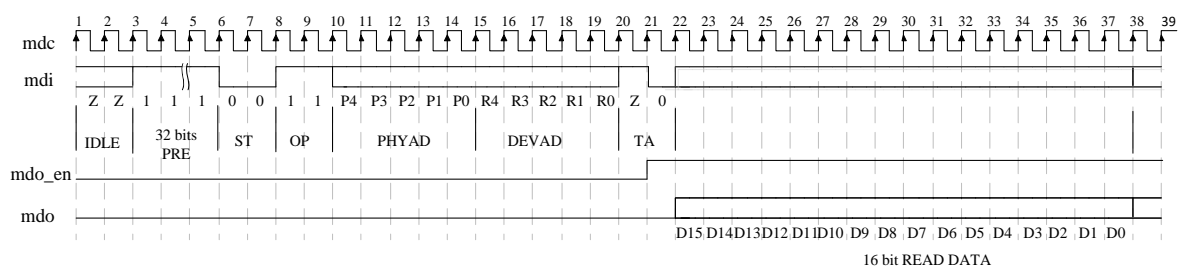


图 2-20 MDIO 读时序

(3) MDIO 地址设定时序

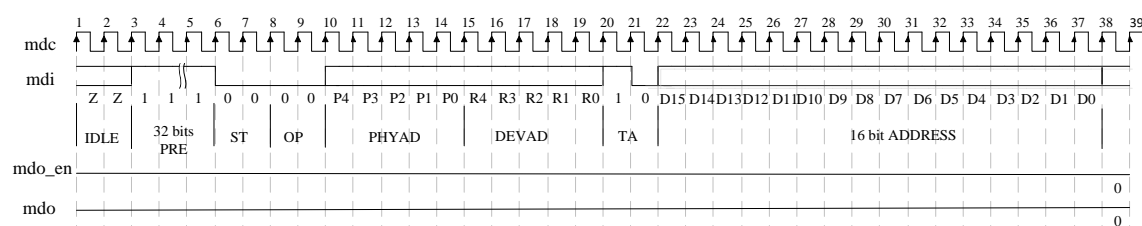


图 2-21 MDIO 地址设定时序

(4) MDIO 读后地址自加时序

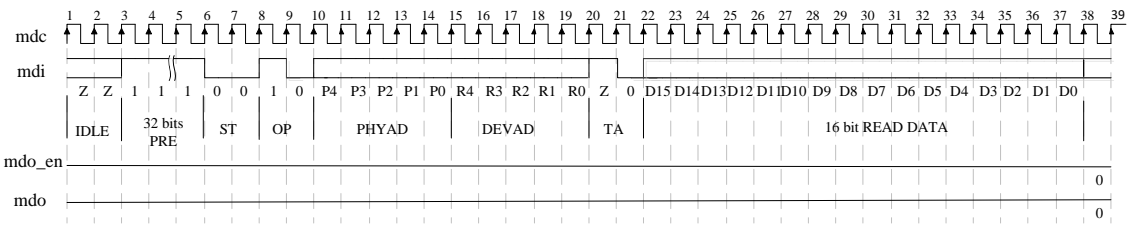


图 2-22 MDIO 读后地址自加时序

2.6 IP 寄存器描述

2.6.1 XAUI CORE 寄存器说明

XAUI Core 寄存器可以通过 MDIO 或 APB 接口来选择和配置，寄存器的地址映射会根据不同管理接口而改变，寄存器的定义如下所示，复位会将所有寄存器的值复位至默认值。

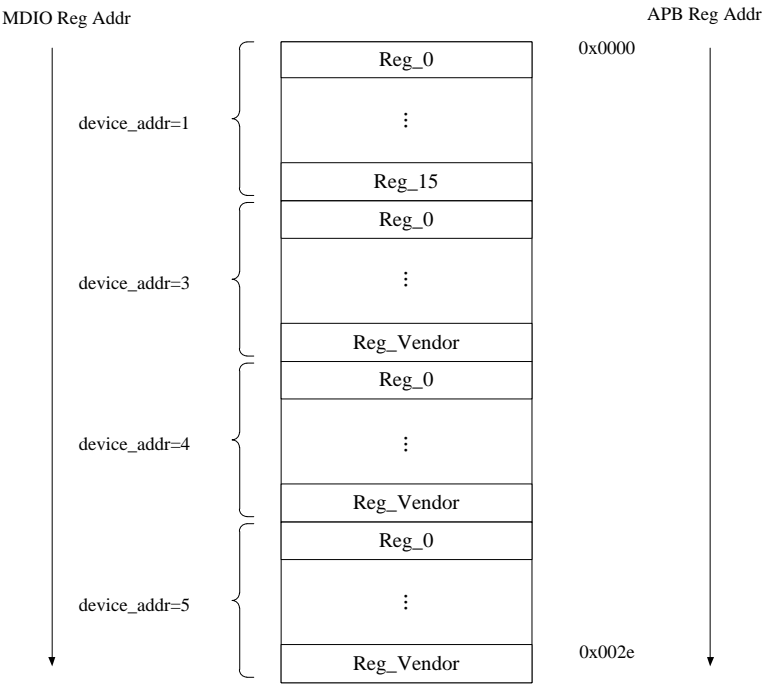


图 2-23 XAUI Core 寄存器地址分配

表 2-12 XAUI Core 寄存器地址分配

接口类型	地址分配
APB 接口	寄存器地址操作范围是 0x0000~0x002e。
MDIO 接口	与 IEEE 802.3-2012 clause 45 保持一致。

1. MDIO 管理接口

MDIO 为管理接口时，通过 device_addr 来识别对应的寄存器，如下所示。

(1) 10GBASE-X

当 XAUI 工作在 10GBASE-X PCS/PMA，即 device_addr 等于 1 和 3，寄存器详细列表如表 2-13 所示。

表 2-13 10GBASE-X PCS/PMA 寄存器列表

地址	寄存器
1.0	Physical Medium Attachment/Physical Medium Dependent (PMA/PMD) Control 1
1.1	PMA/PMD Status 1
1.2, 1.3	PMA/PMD Device Identifier
1.4	PMA/PMD Speed Ability
1.5, 1.6	PMA/PMD Devices in Package
1.7	10G PMA/PMD Control 2
1.8	10G PMA/PMD Status 2
1.9	Reserved
1.10	10G PMD Receive Signal OK
1.11 TO 1.13	Reserved
1.14, 1.15	PMA/PMD Package Identifier
1.16 to 1.65535	Reserved
3.0	PCS Control 1
3.1	PCS Status 1
3.2, 3.3	PCS Device Identifier
3.4	PCS Speed Ability
3.5, 3.6	PCS Devices in Package
3.7	10G PCS Control 2
3.8	10G PCS Status 2
3.9 to 3.13	Reserved
3.14, 3.15	Package Identifier
3.16 to 3.23	Reserved

地址	寄存器
3.24	10GBASE-X PCS Status
3.25	10GBASE-X Test Control
3.26 to 3.32767	Reserved
3.32768	Vendor Specific
3.32769 to 3.65535	Reserved

表 2-14 PMA/PMD Control 1

比特位	寄存器	描述	属性	默认值
1.0.15:14	Reserved	保留域段。	RO	0
1.0.13	Speed Selection	1.0.6 1.0.13 1 1 = bits 5:2 select speed 1 0 = 1000 Mb/s 0 1 = 100 Mb/s 0 0 = 10 Mb/s	RO	1
1.0.12:11	Reserved	保留域段。	RO	0
1.0.11	Power down(NA)	Logos 的 Power down 通过 APB 配置 HSST 寄存器来实现，此寄存器不工作。	RW	0
1.0.10:7	Reserved	保留域段。	RO	0
1.0.6	Speed Selection	1.0.6 1.0.13 1 1 = bits 5:2 select speed 1 0 = 1000 Mb/s 0 1 = 100 Mb/s 0 0 = 10 Mb/s	RO	1
1.0.5:2	Speed Selection	5 4 3 2 1 x x x = Reserved x 1 x x = Reserved 0 0 1 1 = 100Gb/s 0 0 1 0 = 40Gb/s 0 0 0 1 = 10PASS-TS/2BASE-TL 0 0 0 0 = 10Gb/s	RO	0
1.0.1:0	Reserved	保留域段。	RO	0
1.0.0	Loopback	1 = Enable loopback mode 0 = Disable loopback mode 与端口 loop_back 功能相同。	RW	0

表 2-15 PMA/PMD Status 1

比特位	寄存器	描述	属性	默认值
1.1.15:8	Reserved	保留域段	RO	0
1.1.7	Local Fault	1 = Fault condition detected 0 = Fault condition not detected 保持固定值 0。	RO	0
1.1.6:3	Reserved	保留域段。	RO	0
1.1.2	Receive Link Status	1 = PMA/PMD receive link up 0 = PMA/PMD receive link down 保持固定值 1。	RO	1
1.1.1	Power Down Ability	1 = PMA/PMD supports low-power mode 0 = PMA/PMD does not support low-power mode 保持固定值 1。	RO	1
1.1.0	Reserved	保留域段。	RO	0

表 2-16 PMA/PMD Identifier

比特位	寄存器	描述	属性	默认值
1.2.15:0	PMA/PMD Identifier	Organizationally Unique Identifier[3:18]	RO	0
1.3.15:10	PMA/PMD Identifier	Organizationally Unique Identifier[19:24]	RO	0
1.3.9:4	PMA/PMD Identifier	Manufacturer's Model Number	RO	0
1.3.3:0	PMA/PMD Identifier	Revision Number	RO	0

表 2-17 PMA/PMD Speed Ability Register

比特位	寄存器	描述	属性	默认值
1.4.15:1	Reserved	1 = PMA/PMD is capable of operating as 2BASE-TL 0 = PMA/PMD is not capable of operating as 2BASE-TL 保持固定值 0。	RO	0
1.4.0	10G Capable	1 = PMA/PMD is capable of operating at 10 Gb/s 0 = PMA/PMD is not capable of operating at 10 Gb/s 保持固定值 1。	RO	1

表 2-18 PMA/PMD Devices in Package

比特位	寄存器	描述	属性	默认值
1.5.15:6	Reserved	保留域段。	RO	0
1.5.5	DTE Extender Sublayer (XS) Present	1 = DTE XS present in package 0 = DTE XS not present in package	RO	0
1.5.4	PHY XS Present	1 = PHY XS present in package 0 = PHY XS not present in package	RO	0
1.5.3	PCS Present	1 = PCS present in package 0 = PCS not present in package	RO	1
1.5.2	WIS Present	1 = WIS present in package 0 = WIS not present in package	RO	0
1.5.1	PMA/PMD Present	1 = PMA/PMD present in package 0 = PMA/PMD not present in package	RO	1
1.5.0	Clause 22 Device Present	1 = Clause 22 registers present in package 0 = Clause 22 registers not present in package	RO	0
1.6.15	Vendor- specific Device 2 Present	1 = Vendor-specific device 2 present in package 0 = Vendor-specific device 2 not present in package	RO	0
1.6.14	Vendor-specific Device 1 Present	1 = Vendor-specific device 1 present in package 0 = Vendor-specific device 1 not present in package	RO	0
1.6.13:0	Reserved	保留域段。	RO	0

表 2-19 10G PMA/PMD Control 2 Register

比特位	寄存器	描述	属性	默认值
1.7.15:3	Reserved	保留域段。	RO	0
1.7.2:0	PMA/PMD Type Selection	The block always returns 100 for these bits and ignores writes. 10GBASE-X PMA/PMD.	RO	100

表 2-20 10G PMA/PMD Status 2

比特位	域段描述	说明	属性	默认值
1.8.15:14	Device Present	15 14 1 0 = Device responding at this address 1 1 = No device responding at this address 0 1 = No device responding at this address 0 0 = No device responding at this address	RO	10

比特位	域段描述	说明	属性	默认值
1.8.13	Transmit Local Fault Ability	1 = PMA/PMD has the ability to detect a fault condition on the transmit path 0 = PMA/PMD does not have the ability to detect a fault condition on the transmit path	RO	0
1.8.12	Receive fault ability	1 = PMA/PMD has the ability to detect a fault condition on the receive path 0 = PMA/PMD does not have the ability to detect a fault condition on the receive path	RO	0
1.8.11	Transmit Fault	1 = Fault condition on transmit path 0 = No fault condition on transmit path	RO	0
1.8.10	Receive Fault	1 = Fault condition on receive path 0 = No fault condition on receive path	RO	0
1.8.9	Reserved		RO	0
1.8.8	PMD transmit disable ability	1 = PMD has the ability to disable the transmit path 0 = PMD does not have the ability to disable the transmit path	RO	0
1.8.7	10GBASE-SR Ability	1 = PMA/PMD is able to perform 10GBASE-SR 0 = PMA/PMD is not able to perform 10GBASE-SR	RO	0
1.8.6	10GBASE-LR ability	1 = PMA/PMD is able to perform 10GBASE-LR 0 = PMA/PMD is not able to perform 10GBASE-LR	RO	0
1.8.5	10GBASE-ER ability	1 = PMA/PMD is able to perform 10GBASE-ER 0 = PMA/PMD is not able to perform 10GBASE-ER	RO	0
1.8.4	10GBASE-LX4 ability	1 = PMA/PMD is able to perform 10GBASE-LX4 0 = PMA/PMD is not able to perform 10GBASE-LX4	RO	1
1.8.3	10GBASE-SW ability	1 = PMA/PMD is able to perform 10GBASE-SW 0 = PMA/PMD is not able to perform 10GBASE-SW	RO	0
1.8.2	10GBASE-LW ability	1 = PMA/PMD is able to perform 10GBASE-LW 0 = PMA/PMD is not able to perform 10GBASE-LW	RO	0
1.8.1	10GBASE-EW Ability	1 = PMA/PMD is able to perform 10GBASE-EW 0 = PMA/PMD is not able to perform 10GBASE-EW	RO	0
1.8.0	PMA Loopback Ability	1 = PMA has the ability to perform a local loopback function 0 = PMA does not have the ability to perform a local loopback function	RO	1

表 2-21 10GPMDS Signal Receive OK Register

比特位	寄存器	描述	属性	默认值
1.10.15:5	Reserved	保留域段。	RO	0
1.10.4	PMD receive signal detect 3	1 = Signal detected on receive lane 3 0 = Signal not detected on receive lane 3 与端口 serdes_loss_of_signal[3]功能相同。	RO	0
1.10.3	PMD receive signal detect 2	1 = Signal detected on receive lane 2 0 = Signal not detected on receive lane 2 与端口 serdes_loss_of_signal[2]功能相同。	RO	0
1.10.2	PMD receive signal detect 1	1 = Signal detected on receive lane 1 0 = Signal not detected on receive lane 1 与端口 serdes_loss_of_signal[1] 功能相同。	RO	0
1.10.1	PMD receive signal detect 0	1 = Signal detected on receive lane 0 0 = Signal not detected on receive lane 0 与端口 serdes_loss_of_signal[0] 功能相同。	RO	0
1.10.0	Global PMD receive signal detect	1 = Signal detected on receive 0 = Signal not detected on receive	RO	0

表 2-22 PMA/PMD Package Identifier Registers

比特位	寄存器	描述	属性	默认值
1.15.15:0	PMA/PMD Package Identifier	The block always returns 0 for these bits.	RO	0
1.14.15:0	PMA/PMD Package Identifier	The block always returns 0 for these bits.	RO	0

表 2-23 PCS Control 1 Register

比特位	寄存器	描述	属性	默认值
3.0.15:14	Reserved	保留域段。	RO	0
3.0.13	Speed Selection	13 6 1 1 = bits 5:2 select speed 0 x = unspecified x 0 = unspecified	RO	1
3.0.12:7	Reserved	保留域段。	RO	0
3.0.6	Speed Selection	13 6 1 1 = bits 5:2 select speed 0 x = unspecified x 0 = unspecified	RO	1

比特位	寄存器	描述	属性	默认值
3.0.5:2	Speed selection	5 4 3 2 1 x x x = Reserved 0 1 1 x = Reserved 0 1 0 1 = Reserved 0 1 0 0 = 100Gb/s 0 0 1 1 = 40Gb/s 0 0 1 0 = 10/1Gb/s 0 0 0 1 = 10PASS-TS/2BASE-TL 0 0 0 0 = 10Gb/s	RO	0
3.0.1:0	Reserved	保留域段。	RO	0

表 2-24 PCS Status 1 Register

比特位	寄存器	描述	属性	默认值
3.1.15:8	Reserved	保留域段。	RO	0
3.1.7	Local Fault	1 = Fault condition detected 0 = No fault condition detected This bit is set to 1 whenever either of the bits 3.8.11, 3.8.10 are set to 1.	RO	0
3.1.6:3	Reserved	保留域段。	RO	0
3.1.2	PCS Receive Link Status	1 = The PCS receive link is up 0 = The PCS receive link is down 锁存低电平，读操作后恢复当前 link 状态。	RO LL	0
3.1.1	Power Down Ability	1 = PCS supports low-power mode 0 = PCS does not support low-power mode	RO	1
3.1.0	Reserved	保留域段。	RO	0

注：“LL”表示锁存低电平。

表 2-25 PCS Device Identifier Registers

比特位	寄存器	描述	属性	默认值
3.2.15:0	PCS Identifier	The block always returns 0 for these bits.	RO	0
3.3.15:0	PCS Identifier	The block always returns 0 for these bits.	RO	0

表 2-26 PCS Devices in Package Registers

比特位	寄存器	描述	属性	默认值
3.2.15:0	PCS Identifier	The block always returns 0 for these bits.	RO	0
3.3.15:0	PCS Identifier	The block always returns 0 for these bits.	RO	0

表 2-27 PCS Speed Ability Register

比特位	寄存器	描述	属性	默认值
3.4.15:1	Reserved	保留域段。	RO	0
3.4.0	10G Capable	1 = PCS is capable of operating at 10 Gb/s 0 = PCS is not capable of operating at 10 Gb/s	RO	1

表 2-28 PCS Devices in Package Registers

比特位	寄存器	描述	属性	默认值
3.6.15	Vendor-specific Device 2 Present	The block always returns 0 for these bits.	RO	0
3.6.14	Vendor-specific Device 1 Present	The block always returns 0 for these bits.	RO	0
3.6.13:0	Reserved	保留域段。	RO	0
3.5.15:6	Reserved	保留域段。	RO	0
3.5.5	DTE XS Present	1 = DTE XS present in package 0 = DTE XS not present in package	RO	0
3.5.4	PHY XS Present	1 = PHY XS present in package 0 = PHY XS not present in package	RO	0
3.5.3	PCS Present	1 = PCS present in package 0 = PCS not present in package	RO	1
3.5.2	WIS Present	1 = WIS present in package 0 = WIS not present in package	RO	0
3.5.1	PMA/PMD Present	1 = PMA/PMD present in package 0 = PMA/PMD not present in package	RO	1
3.5.0	Clause 22 device present	1 = Clause 22 registers present in package 0 = Clause 22 registers not present in package	RO	0

表 2-29 10G PCS Control 2 Register

比特位	寄存器	描述	属性	默认值
3.7.15:2	Reserved	保留域段。	RO	0
3.7.1:0	PCS Type Selection	The block always returns 01 for these bits and ignores writes.	RO	01

表 2-30 PCS Status 2 Register

比特位	寄存器	描述	属性	默认值
3.8.15:14	Device present	The block always returns 10.	RO	10
3.8.13:12	Reserved	保留域段。	RO	0
3.8.11	Transmit local fault	1 = Fault condition on Transmit path 0 = No fault condition on Transmit path 接固定值 0	RO	0
3.8.10	Receive local fault	1 = Fault condition on receive path 0 = No fault condition on receive path 锁存高电平，读操作后清零。	RO LH	0
3.8.9:3	Reserved	保留域段。	RO	0
3.8.2	10GBASE-W Capable	The block always returns 0 for this bit.	RO	0
3.8.1	10GBASE-X capable	1 = PCS is able to support 10GBASE-X PCS type 0 = PCS is not able to support 10GBASE-X PCS type	RO	1
3.8.0	10GBASE-R capable	The block always returns 0 for this bit.	RO	0

表 2-31 PCS Package Identifier Register

比特位	寄存器	描述	属性	默认值
3.14.15:0	Package Identifier	The block always returns 0 for these bits.	RO	0
3.15.15:0	Package Identifier	The block always returns 0 for these bits.	RO	0

表 2-32 10GBASE-X Status Register

比特位	寄存器	描述	属性	默认值
3.24.15:13	Reserved	The block always returns 0 for these bits.	RO	0
3.24.12	10GBASE-X Lane Alignment Status	1 = 10GBASE-X PCS receive lanes aligned 0 = 10GBASE-X PCS receive lanes not aligned	RO	0
3.24.11	Pattern Testing Ability	1 = 10GBASE-X PCS is able to generate test patterns 0 = 10GBASE-X PCS is not able to generate test patterns	RO	1
3.24.10:4	Reserved		RO	0

比特位	寄存器	描述	属性	默认值
3.24.3	Lane 3 sync	1 = Lane 3 is synchronized 0 = Lane 3 is not synchronized	RO	0
3.24.2	Lane 2 sync	1 = Lane 2 is synchronized 0 = Lane 2 is not synchronized	RO	0
3.24.1	Lane 1 sync	1 = Lane 1 is synchronized 0 = Lane 1 is not synchronized	RO	0
3.24.0	Lane 0 sync	1 = Lane 0 is synchronized 0 = Lane 0 is not synchronized	RO	0

表 2-33 10GBASE-X Test Control Register

比特位	寄存器	描述	属性	默认值
3.25.15:3	Reserved	保留域段	RO	0
3.25.2	Transmit Test Pattern Enable	1 = Transmit test pattern enable 0 = Transmit test pattern disabled	RW	0
3.25.1:0	Test pattern select	1 0 1 1 = Reserved 1 0 = Mixed-frequency test pattern 0 1 = Low-frequency test pattern 0 0 = High-frequency test pattern	RW	00

 表 2-34 Vendor Specific Register⁹

比特位	寄存器	描述	属性	默认值
3.32768.15:3	Reserved	保留域段	RO	0
3.32768.2	Force sync	XAUI Core loopback, PCS 远端并行环回模式使能时使用, 仅用于测试用途。 1: 强制 word align 锁定; 0: 使用 HSST 的 P_PCS_LSM_SYNCED[3:0]。	RW	0
3.32768.1	Force cdr	XAUI Core loopback, PCS 近端并行环回模式使能时使用, 仅用于测试用途。 1: 强制 cdr align 锁定; 0: 使用 HSST 的 P_RX_READY。	RW	0

⁹ HSST 相关信号的详细说明请参见《UG020013_Logos 系列 FPGA 高速串行收发器(HSST)用户指南》[8]。

比特位	寄存器	描述	属性	默认值
3.32768.0	Force loss signal	XAUI Core loopback, PCS 近端并行环回, PMA 近端串行环回模式使能时使用, 仅用于测试用途。 0: 强制 signal detect 为高; 1: signal detect 采用 HSST 的 P_RX_SIGDET_STATUS。	RW	1

(2) DTE XGXS

当 XAUI 工作在 DTE XGXS, 即 device_addr 等于 5, 详细列表如表 2-35 所示。

表 2-35 DTE XGXS 寄存器列表

地址	寄存器
5.0	DTE XS Control 1
5.1	DTE XS Status 1
5.2,5.3	DTE XS Device Identifier
5.4	DTE XS Speed Ability
5.5,5.6	DTE XS Devices in Package
5.7	Reserved
5.8	DTE XS Status 2
5.9 to 5.13	Reserved
5.14, 5.15	DTE XS Package Identifier
5.16 to 5.23	Reserved
5.24	10G DTE XGXS Lane Status
5.25	10G DTE XGXS Test Control
5.26 to 5.32767	Reserved
5.32768	Vendor Specific
5.32769 to 5.65535	Reserved

表 2-36 DTE XS Control 1 Register

比特位	寄存器	描述	属性	默认值
5.0.15	Reserved	保留域段。	RO	0
5.0.14	Loopback	1 = Enable loopback mode 0 = Disable loopback mode 与端口 loop_back 相同的功能。	RW	0
5.0.13	Speed Selection	1 = Operation at 10 Gbp/s and above 0 = Unspecified	RO	1

比特位	寄存器	描述	属性	默认值
5.0.12	Reserved	保留域段。	RO	0
5.0.11	Power down(NA)	Logos 的 Power down 通过 APB 配置 HSST 寄存器来实现，此寄存器不工作。	RW	0
5.0.10:7	Reserved	保留域段。	RO	0
5.0.6	Speed Selection	1 = Operation at 10 Gb/s and above 0 = Unspecified	RO	1
5.0.5:2	Speed Selection	5 4 3 2 1 x x x = Reserved x 1 x x = Reserved x x 1 x = Reserved 0 0 0 1 = Reserved 0 0 0 0 = 10Gb/s	RO	0
5.0.1:0	Reserved	保留域段。	RO	0

表 2-37 DTE XS Status 1 Register

比特位	寄存器	描述	属性	默认值
5.1.15:8	Reserved	保留域段。	RO	0
5.1.7	Local Fault	1 = Local fault detected 0 = No Local Fault detected This bit is set to 1 whenever either of the bits 5.8.11,5.8.10 are set to 1.	RO	0
5.1.6:3	Reserved	保留域段。	RO	0
5.1.2	DTE XS Receive Link Status	1 = The DTE XS receive link is up. 0 = The DTE XS receive link is down. 锁存低，读完后恢复到当前 Link 状态。	RO LL	0
5.1.1	Power Down Ability	固定值 1。	RO	1
5.1.0	Reserved	保留域段。	RO	0

注：“LL”表示锁存低电平，“LH”表示锁存高电平。

表 2-38 DTE XS Device Identifier Register

比特位	寄存器	描述	属性	默认值
5.2.15:0	DTE XS Identifier	固定值 0。	RO	0
5.3.15:0	DTE XS Identifier	固定值 0。	RO	0

表 2-39 DTE XS Speed Ability Register

比特位	寄存器	描述	属性	默认值
5.4.15:1	Reserved	保留域段。	RO	0
5.4.0	10G Capable	固定值 0。	RO	1

表 2-40 DTE XS Devices in Package Registers

比特位	寄存器	描述	属性	默认值
5.6.15	Vendor-specific Device 2 Present	固定值 0。	RO	0
5.6.14	Vendor-specific Device 1 Present	固定值 0。	RO	0
5.6.13:0	Reserved	保留域段。	RO	0
5.5.15:6	Reserved	保留域段。	RO	0
5.5.5	DTE XS Present	1 = DTE XS present in package 0 = DTE XS not present in package	RO	1
5.5.4	PHY XS Present	1 = PHY XS present in package 0 = PHY XS not present in package	RO	0
5.5.3	PCS Present	1 = PCS present in package 0 = PCS not present in package	RO	0
5.5.2	WIS Present	1 = WIS present in package 0 = WIS not present in package	RO	0
5.5.1	PMA/PMD Present	1 = PMA/PMD present in package 0 = PMA/PMD not present in package	RO	1
5.5.0	Clause 22 device present	1 = Clause 22 registers present in package 0 = Clause 22 registers not present in package	RO	0

表 2-41 DTE XS Status 2 Register

比特位	寄存器	描述	属性	默认值
5.8.15:14	Device Present	固定值 10。	RO	10
5.8.13:12	Reserved	保留域段。	RO	0
5.8.11	Transmit Local Fault	1 = Fault condition on Transmit path 0 = No fault condition on Transmit path 接固定值 0。	RO	0
5.8.10	Receive Local Fault	1 = Fault condition on receive path 0 = No fault condition on receive path 锁存高电平，读操作后清零。	RO LH	0
5.8.9:0	Reserved	保留域段。	RO	0

表 2-42 DTE XS Package Identifier Register

比特位	寄存器	描述	属性	默认值
5.15.15:0	DTE XS Package Identifier	固定值 0。	RO	0
5.14.15:0	DTE XS Package Identifier	固定值 0。	RO	0

表 2-43 DTE XS Lane Status Register

比特位	寄存器	描述	属性	默认值
5.24.15:13	Reserved	保留域段。	RO	0
5.24.12	DTE XGXS Lane Alignment Status	1 = DTE XGXS receive lanes aligned 0 = DTE XGXS receive lanes not aligned	RO	0
5.24.11	Pattern testing ability	固定值 1。	RO	1
5.24.10:4	Reserved	保留域段。	RO	0
5.24.3	Lane 3 Sync	1 = Lane 3 is synchronized; 0 = Lane 3 is not synchronized.	RO	0
5.24.2	Lane 2 Sync	1 = Lane 2 is synchronized; 0 = Lane 2 is not synchronized.	RO	0
5.24.1	Lane 1 Sync	1 = Lane 1 is synchronized; 0 = Lane 1 is not synchronized.	RO	0
5.24.0	Lane 0 Sync	1 = Lane 0 is synchronized; 0 = Lane 0 is not synchronized.	RO	0

表 2-44 10G DTE XGXS Test Control Register

比特位	寄存器	描述	属性	默认值
5.25.15:3	Reserved	保留域段。	RO	0
5.25.2	Transmit Test Pattern Enable	1 = Transmit test pattern enable 0 = Transmit test pattern disabled	RW	0
5.25.1:0	Test Pattern Select	11 = Reserved 10 = Mixed frequency test pattern 01 = Low frequency test pattern 00 = High frequency test pattern	RW	00

表 2-45 Vendor Specific Register¹⁰

比特位	寄存器	描述	属性	默认值
5.32768.15:3	Reserved	保留域段。	RO	0
5.32768.2	Force sync	XAUI Core loopback, PCS 远端并行环回模式使能时使用, 仅用于测试用途。 1: 强制 word align 锁定; 0: 使用 HSST 的 P_PCS_LSM_SYNCED[3:0]	RW	0
5.32768.1	Force cdr	XAUI Core loopback, PCS 近端并行环回模式使能时使用, 仅用于测试用途 1: 强制 cdr align 锁定; 0: 使用 HSST 的 P_RX_READY。	RW	0
5.32768.0	Force loss signal	XAUI Core loopback, PCS 近端并行环回, PMA 近端串行环回模式使能时使用, 仅用于测试用途 0: 强制 signal detect 为高; 1: signal detect 采用 HSST 的 P_RX_SIGDET_STATUS。	RW	1

(3) PHY XS

当 XAUI 工作在 PHY XS, 即 device_addr 等于 4, 详细列表如表 2-46 所示。

表 2-46 PHY XS 寄存器列表

地址	寄存器
4.0	PHY XS Control 1
4.1	PHY XS Status 1
4.2,4.3	PHY XS Device Identifier
4.4	PHY XS Speed Ability
4.5,4.6	PHY XS Devices in Package
4.7	Reserved
4.8	PHY XS Status 2
4.9 to 4.13	Reserved
4.14, 4.15	PHY XS Package Identifier
4.16 to 4.23	Reserved
4.24	10G PHY XGXS Lane Status
4.25	10G PHY XGXS Test Control
4.26 to 4.32767	Reserved
4.32768	Vendor Specific
4.32769 to 4.65535	Reserved

¹⁰ HSST 相关信号的详细描述请参见《UG020013_Logos 系列 FPGA 高速串行收发器(HSST)用户指南》[8]。

表 2-47 PHY XS Control 1 Register

比特位	寄存器	描述	属性	默认值
4.0.15	Reserved	保留域段。	RO	0
4.0.14	Loopback	1 = Enable loopback mode 0 = Disable loopback mode 与端口 loop_back 相同的功能。	RW	0
4.0.13	Speed Selection	1 = Operation at 10 Gbp/s and above 0 = Unspecified	RO	1
4.0.12	Reserved	保留域段。	RO	0
4.0.11	Power down(NA)	Logos 的 Power down 通过 APB 配置 HSST 寄存器来实现，此寄存器不工作。	RW	0
4.0.10:7	Reserved	保留域段。	RO	0
4.0.6	Speed Selection	1 = Operation at 10 Gb/s and above 0 = Unspecified	RO	1
4.0.5:2	Speed Selection	5 4 3 2 1 x x x = Reserved x 1 x x = Reserved x x 1 x = Reserved 0 0 0 1 = Reserved 0 0 0 0 = 10Gb/s	RO	0
4.0.1:0	Reserved	保留域段。	RO	0

表 2-48 PHY XS Status 1 Register

比特位	寄存器	描述	属性	默认值
4.1.15:8	Reserved	保留域段。	RO	0
4.1.7	Local Fault	1 = Local fault detected 0 = No Local Fault detected This bit is set to 1 whenever either of the bits 4.8.11,4.8.10 are set to 1.	RO	0
4.1.6:3	Reserved	保留域段。	RO	0
4.1.2	PHY XS Receive Link Status	1 = The PHY XS receive link is up 0 = The PHY XS receive link is down 锁存定电平，读完后恢复到实际的 Link 状态。	RO LL	0
4.1.1	Power Down Ability	固定值 1。	RO	1
4.1.0	Reserved	保留域段。	RO	0

注：“LL”表示锁存低电平。

表 2-49 PHY XS Device Identifier Register

比特位	寄存器	描述	属性	默认值
4.2.15:0	PHY XS Identifier	固定值 0。	RO	0
4.3.15:0	PHY XS Identifier	固定值 0。	RO	0

表 2-50 PHY XS Speed Ability Register

比特位	寄存器	描述	属性	默认值
4.4.15:1	Reserved	保留域段。	RO	0
4.4.0	10G Capable	固定值 0。	RO	1

表 2-51 PHY XS Devices in Package Registers

比特位	寄存器	描述	属性	默认值
4.6.15	Vendor-specific Device 2 Present	固定值 0。	RO	0
4.6.14	Vendor-specific Device 1 Present	固定值 0。	RO	0
4.6.13:0	Reserved	保留域段。	RO	0
4.5.15:6	Reserved	保留域段。	RO	0
4.5.5	DTE XS Present	1 = DTE XS present in package 0 = DTE XS not present in package	RO	0
4.5.4	PHY XS Present	1 = PHY XS present in package 0 = PHY XS not present in package	RO	1
4.5.3	PCS Present	1 = PCS present in package 0 = PCS not present in package	RO	0
4.5.2	WIS Present	1 = WIS present in package 0 = WIS not present in package	RO	0
4.5.1	PMA/PMD Present	1 = PMA/PMD present in package 0 = PMA/PMD not present in package	RO	1
4.5.0	Clause 22 device present	1 = Clause 22 registers present in package 0 = Clause 22 registers not present in package	RO	0

表 2-52 PHY XS Status 2 Register

比特位	寄存器	描述	属性	默认值
4.8.15:14	Device Present	固定值 10。	RO	10
4.8.13:12	Reserved	保留域段。	RO	0

比特位	寄存器	描述	属性	默认值
4.8.11	Transmit Local Fault	1 = Fault condition on Transmit path 0 = No fault condition on Transmit path 接固定值。	RO LH	0
4.8.10	Receive Local Fault	1 = Fault condition on receive path 0 = No fault condition on receive path 锁存高电平，读完后清零。	RO LH	0
4.8.9:0	Reserved	保留域段。	RO	0

表 2-53 PHY XS Package Identifier Register

比特位	寄存器	描述	属性	默认值
4.15.15:0	PHY XS Package Identifier	固定值 0。	RO	0
4.14.15:0	PHY XS Package Identifier	固定值 0。	RO	0

表 2-54 PHY XS Lane Status Register

比特位	寄存器	描述	属性	默认值
4.24.15:13	Reserved	保留域段。	RO	0
4.24.12	PHY XGXS Lane Alignment Status	1 = PHY XGXS receive lanes aligned 0 = PHY XGXS receive lanes not aligned	RO	0
4.24.11	Pattern testing ability	固定值 1。	RO	1
4.24.10:4	Reserved	保留域段。	RO	0
4.24.3	Lane 3 Sync	1 = Lane 3 is synchronized 0 = Lane 3 is not synchronized	RO	0
4.24.2	Lane 2 Sync	1 = Lane 2 is synchronized 0 = Lane 2 is not synchronized	RO	0
4.24.1	Lane 1 Sync	1 = Lane 1 is synchronized 0 = Lane 1 is not synchronized	RO	0
4.24.0	Lane 0 Sync	1 = Lane 0 is synchronized 0 = Lane 0 is not synchronized	RO	0

表 2-55 10G PHY XGXS Test Control Register

比特位	寄存器	描述	属性	默认值
4.25.15:3	Reserved	保留域段。	RO	0
4.25.2	Transmit Test Pattern Enable	1 = Transmit test pattern enable 0 = Transmit test pattern disabled	RW	0
4.25.1:0	Test Pattern Select	11 = Reserved 10 = Mixed frequency test pattern 01 = Low frequency test pattern 00 = High frequency test pattern	RW	00

表 2-56 Vendor Specific Register¹¹

比特位	寄存器	描述	属性	默认值
4.32768.15:3	Reserved		RO	0
4.32768.2	Force sync	XAUI Core loopback, PCS 远端并行环回模式使能时使用, 仅用于测试用途。 1: 强制 word align 锁定; 0: 使用 HSST 的 P_PCS_LSM_SYNCED[3:0]。	RW	0
4.32768.1	Force cdr	XAUI Core loopback, PCS 近端并行环回模式使能时使用, 仅用于测试用途。 1: 强制 cdr align 锁定; 0: 使用 HSST 的 P_RX_READY。	RW	0
4.32768.0	Force loss signal	XAUI Core loopback, PCS 近端并行环回, PMA 近端串行环回模式使能时使用, 仅用于测试用途。 0: 强制 signal detect 为高; 1: signal detect 采用 HSST 的 P_RX_SIGDET_STATUS。	RW	1

2. APB 管理接口

APB 为管理接口时, 寄存器地址映射如表 2-57 所示。

表 2-57 APB 接口映射地址

APB 地址	MDIO 地址	寄存器
0x0000	1.0	Physical Medium Attachment/Physical Medium Dependent (PMA/PMD) Control 1
0x0001	1.1	PMA/PMD Status 1

¹¹ HSST 相关信号的详细信息请参见《UG020013_Logos 系列 FPGA 高速串行收发器(HSST)用户指南》[8]。

APB 地址	MDIO 地址	寄存器
0x0002	1.2,1.3	PMA/PMD Device Identifier
0x0003	1.4	PMA/PMD Speed Ability
0x0004	1.5	PMA/PMD Devices in Package
0x0005	1.6	PMA/PMD Devices in Package
0x0006	1.7	10G PMA/PMD Control 2
0x0007	1.8	10G PMA/PMD Status 2
0x0008	1.9	Reserved
0x0009	1.10	10G PMD Receive Signal OK
Reserved	1.11 to 1.13	Reserved
0x000a	1.14, 1.15	PMA/PMD Package Identifier
Reserved	1.16 to 1.65535	Reserved
0x000b	3.0	PCS Control 1
0x000c	3.1	PCS Status 1
0x000d	3.2, 3.3	PCS Device Identifier
0x000e	3.4	PCS Speed Ability
0x000f	3.5,	PCS Devices in Package
0x0010	3.6	PCS Devices in Package
0x0011	3.7	10G PCS Control 2
0x0012	3.8	10G PCS Status 2
Reserved	3.9 to 3.13	Reserved
0x0013	3.14, 3.15	Package Identifier
Reserved	3.16 to 3.23	Reserved
0x0014	3.24	10GBASE-X PCS Status
0x0015	3.25	10GBASE-X Test Control
Reserved	3.26 to 3.32767	Reserved
0x0016	3.32768	Vendor Specific
Reserved	3.32769 to 3.65535	Reserved
0x0017	4.0	PHY XS Control 1
0x0018	4.1	PHY XS Status 1
0x0019	4.2,4.3	PHY XS Device Identifier
0x001a	4.4	PHY XS Speed Ability
0x001b	4.5	PHY XS Devices in Package
0x001c	4.6	PHY XS Devices in Package
0x001d	4.7	Reserved
0x001e	4.8	PHY XS Status 2
Reserved	4.9 to 4.13	Reserved
0x001f	4.14, 4.15	PHY XS Package Identifier
Reserved	4.16 to 4.23	Reserved
0x0020	4.24	10G PHY XGXS Lane Status
0x0021	4.25	10G PHY XGXS Test Control
Reserved	4.26 to 4.32767	Reserved
0x0022	4.32768	Vendor Specific

APB 地址	MDIO 地址	寄存器
Reserved	4.32769 to 4.65535	Reserved
0x0023	5.0	DTE XS Control 1
0x0024	5.1	DTE XS Status 1
0x0025	5.2,5.3	DTE XS Device Identifier
0x0026	5.4	DTE XS Speed Ability
0x0027	5.5	DTE XS Devices in Package
0x0028	5.6	DTE XS Devices in Package
0x0029	5.7	Reserved
0x002a	5.8	DTE XS Status 2
Reserved	5.9 to 5.13	Reserved
0x002b	5.14, 5.15	DTE XS Package Identifier
Reserved	5.16 to 5.23	Reserved
0x002c	5.24	10G DTE XGXS Lane Status
0x002d	5.25	10G DTE XGXS Test Control
Reserved	5.26 to 5.32767	Reserved
0x002e	5.32768	Vendor Specific
Reserved	5.32769 to 5.65535	Reserved

2.6.2 HSST 寄存器说明

HSST 的寄存器说明请参见《UG020013_Logos 系列 FPGA 高速串行收发器(HSST) 用户指南》[8]和 UG021004_Logos_HSST_IP_UserGuide[9]。

2.6.3 寄存器访问

XAUI IP 提供两种寄存器管理接口——APB 接口和 MDIO 接口，通过界面配置“MDIO Enable”选择是否开启 MDIO 接口。详细描述请参见“2.3.1 2 配置 IP 参数”。

1. MDIO 接口不使能

若配置 MDIO 接口不使能，XAUI IP 通过 APB 接口对 HSST 和 XAUI Core 的寄存器进行操作。

(1) HSST 寄存器访问

当 p_cfg_addr[18]为 0 时，操作 HSST 的寄存器。

- p_cfg_addr[17:2]为 HSST 的寄存器有效地址；
- p_cfg_rdata[7:0]和 p_cfg_wdata[7:0]为 HSST 寄存器有效数据。

(2) XAUI Core 寄存器访问

当 p_cfg_addr[18]为 1 时，操作读写 XAUI Core 的寄存器。

- p_cfg_addr[17:2]为 XAUI Core 的寄存器有效地址；
- p_cfg_rdata[15:0]和 p_cfg_wdata[15:0]为 XAUI Core 寄存器有效数据。

2. MDIO 接口使能

若配置 MDIO 接口使能，XAUI IP 通过 APB 接口访问 HSST 的寄存器，通过 MDIO 接口访问 XAUI Core 的寄存器。

(1) HSST 寄存器访问

XAUI IP 通过 APB 接口操作 HSST 的寄存器。

- 地址的最高位 p_cfg_addr[18]无效；
- p_cfg_addr[17:2]为 HSST 的寄存器有效地址；
- p_cfg_rdata[7:0]和 p_cfg_wdata[7:0]为 HSST 寄存器有效数据。

(2) XAUI Core 寄存器访问

XAUI IP 通过 MDIO 接口操作 XAUI Core 的寄存器。

3. APB 接口操作寄存器地址映射算法

地址映射举例说明如下：

- 若用户操作 HSST 的 0x8001 地址寄存器，则 p_cfg_addr[18]为 0，p_cfg_addr[17:2]为 0x8001，p_cfg_addr[1:0]为 00，得到映射后的地址 p_cfg_addr[18:0]为 0x020004。
- 若用户操作 XAUI Core 的 0x0003 地址寄存器，则 p_cfg_addr[18]为 1，p_cfg_addr[17:2]为 0x0003，p_cfg_addr[1:0]为 00，映射后的地址 p_cfg_addr[18:0]为 0x04000c。

2.7 典型应用

XAUI IP 的典型应用请参见“2.4 Example Design”。

2.8 说明与注意事项

2.8.1 时钟约束

在应用中，PDS 软件会自动将 HSST 输出的时钟 o_p_clk2core_tx_0 约束到区域时钟或者全局时钟上，需要关注 o_p_clk2core_tx_0 在 PDS 布线后的时钟路径是否满足设计意图。可以通过 PDS 软件对时钟属性进行约束，也可以通过编辑.fdc 文件的时钟属性来约束，编辑.fdc 的约束方法如下。其中，\$nameInst 为实际例化 IP 时的例化名。

将时钟 pcs0_clk 约束到全局时钟：

```
"define_attribute {t:ips1_xaui_dut_top_ul.U.$nameInst.ipml_xaui_hsst_ul.o_p_clk2core_tx_0} {PAP_CLOCK_ASSIGN} {GTP_CLKBUFG} "
```

将时钟 pcs0_clk 约束到区域时钟：

```
"define_attribute {t:ips1_xaui_dut_top_ul.U.$nameInst.ipml_xaui_hsst_ul.o_p_clk2core_tx_0} {PAP_CLOCK_ASSIGN} {GTP_CLKBUFG} "
```

2.8.2 HSST 物理位置约束

在应用中，需要根据实际单板通过 PDS 在.fdc 文件中对 HSST 物理约束。可以通过 PDS 软件对物理位置进行约束，也可以通过编辑.fdc 文件的物理位置来约束，编辑.fdc 约束方法如下。其中，\$nameInst 为实际例化 IP 时的例化名。

```
"define_attribute {i:ips1_xaui_dut_top_ul.U.$nameInst.ipml_xaui_hsst_ul.U.GTP_HSST_WRAPPER.U.GTP_HSST} {PAP_LOC} {HSST_88_340} "
```

2.8.3 工作模式

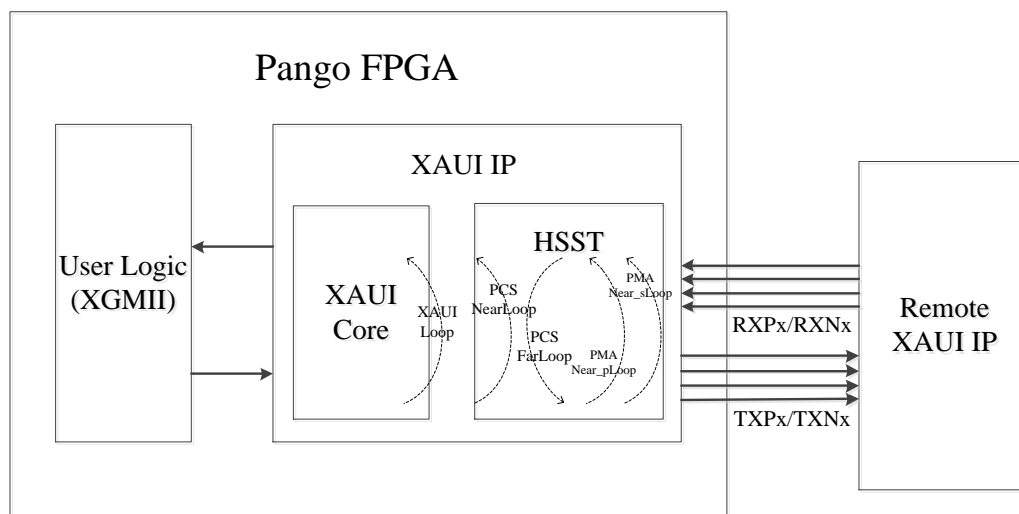


图 2-24 XAUI IP 工作模式示意图

XAUI IP 通过 HSST 的差分输入输出接口与其他模块进行通信，在此基础上还支持两种工作模式：环回模式和测试模式。

1. 环回模式

XAUI IP 支持五种环回模式：

- XAUI Core loopback
- PMA 近端串行环回
- PMA 近端并行环回
- PCS 远端环回
- PCS 近端环回

(1) XAUI Core loopback

该环回模式支持 2 种方式配置，分别是端口配置和寄存器配置。

表 2-58 XAUI Core Loopback 端口配置

配置项	配置说明
端口使能	pin_cfg_en=1, 使能端口配置。
环回配置	loop_back=1; XAUI Core 寄存器地址 3.32768.2:0 配置为 110。
不环回配置	loop_back=0; XAUI Core 寄存器地址 3.32768.2:0 配置为 001。

表 2-59 XAUI Core Loopback 寄存器配置

配置项		配置说明
寄存器使能		pin_cfg_en=0, 使能寄存器配置。
10GBASE-X	环回配置	XAUI Core 寄存器地址 1.0.0 配置 1; XAUI Core 寄存器地址 3.32768.2:0 配置为 110。
	不环回配置	XAUI Core 寄存器地址 1.0.0 配置 0; XAUI Core 寄存器地址 3.32768.2:0 配置为 001。
PHY XS	环回配置	XAUI Core 寄存器地址 4.0.14 配置 1; XAUI Core 寄存器地址 4.32768.2:0 配置为 110。
	不环回配置	XAUI Core 寄存器地址 4.0.14 配置 0; XAUI Core 寄存器地址 4.32768.2:0 配置为 001。
DTE XGXS	环回配置	XAUI Core 寄存器地址 5.0.14 配置 1; XAUI Core 寄存器地址 5.32768.2:0 配置为 110。
	不环回配置	XAUI Core 寄存器地址 5.0.14 配置 0; XAUI Core 寄存器地址 5.32768.2:0 配置为 001。

(2) PMA 近端串行环回

注意：

PMA 近端串行环回模式需要先确保对应寄存器的值设置正确，再使能环回端口。

表 2-60 PMA 近端串行环回配置

配置项	配置说明
10GBASE-X	环回配置 XAUI Core 寄存器地址 3.32768.2:0 为 001。
	不环回配置 XAUI Core 寄存器地址 3.32768.2:0 为 001。
PHY XS	环回配置 XAUI Core 寄存器地址 4.32768.2:0 为 001。

配置项		配置说明
PHY XS	不环回配置	XAUI Core 寄存器地址 4.32768.2:0 为 001。
DTE XGXS	环回配置	XAUI Core 寄存器地址 5.32768.2:0 为 001。
	不环回配置	XAUI Core 寄存器地址 5.32768.2:0 为 001。
端口使能	环回配置	i_p_pma_nearend_sloop_0=1 i_p_pma_nearend_sloop_1=1 i_p_pma_nearend_sloop_2=1 i_p_pma_nearend_sloop_3=1
	不环回配置	i_p_pma_nearend_sloop_0=0 i_p_pma_nearend_sloop_1=0 i_p_pma_nearend_sloop_2=0 i_p_pma_nearend_sloop_3=0

(3) PMA 近端并行环回

注意：

PMA 近端并行环回模式需要先确保对应寄存器的值设置正确，再使能环回端口。

表 2-61 PMA 近端并行环回配置

配置项		配置说明
10GBASE-X	环回配置	XAUI Core 寄存器地址 3.32768.2:0 为 010。
	不环回配置	XAUI Core 寄存器地址 3.32768.2:0 为 001。
PHY XS	环回配置	XAUI Core 寄存器地址 4.32768.2:0 为 010。
	不环回配置	XAUI Core 寄存器地址 4.32768.2:0 为 001。
DTE XGXS	环回配置	XAUI Core 寄存器地址 5.32768.2:0 为 010。
	不环回配置	XAUI Core 寄存器地址 5.32768.2:0 为 001。
端口使能	环回配置	i_p_pma_nearend_ploop_0=1 i_p_pma_nearend_ploop_1=1 i_p_pma_nearend_ploop_2=1 i_p_pma_nearend_ploop_3=1
端口使能	不环回配置	i_p_pma_nearend_ploop_0=0 i_p_pma_nearend_ploop_1=0 i_p_pma_nearend_ploop_2=0 i_p_pma_nearend_ploop_3=0

(4) PCS 近端环回

注意：

PCS 近端环回模式需要先确保对应寄存器的值设置正确，再使能环回端口在环回配置完成之后需要复位 HSST RX Lane。

表 2-62 PCS 近端环回配置

配置项		配置说明
10GBASE-X	环回配置	XAUI Core 寄存器地址 3.32768.2:0 为 010。
	不环回配置	XAUI Core 寄存器地址 3.32768.2:0 为 001。
PHY XS	环回配置	XAUI Core 寄存器地址 4.32768.2:0 为 010。
	不环回配置	XAUI Core 寄存器地址 4.32768.2:0 为 001。
DTE XGXS	环回配置	XAUI Core 寄存器地址 5.32768.2:0 为 010。
	不环回配置	XAUI Core 寄存器地址 5.32768.2:0 为 001。
端口使能	环回配置	i_p_pcs_nearend_loop_0=1 i_p_pcs_nearend_loop_1=1 i_p_pcs_nearend_loop_2=1 i_p_pcs_nearend_loop_3=1
	不环回配置	i_p_pcs_nearend_loop_0=0 i_p_pcs_nearend_loop_1=0 i_p_pcs_nearend_loop_2=0 i_p_pcs_nearend_loop_3=0

(5) PCS 远端环回

注意：

PCS 远端环回模式首先需要先确保对应寄存器的值设置正确，然后再使能环回端口。

表 2-63 PCS 远端环回配置

配置项		配置说明
10GBASE-X	环回配置	XAUI Core 寄存器地址 3.32768.2:0 为 001。 HSST 4 条 lane 的 PCS 寄存器偏移地址 0x000c 的[4:3]位配为 1。
	不环回配置	XAUI Core 寄存器地址 3.32768.2:0 为 001。

配置项		配置说明
PHY XS	环回配置	XAUI Core 寄存器地址 4.32768.2:0 为 001。 HSST 4 条 lane 的 PCS 寄存器偏移地址 0x000c 的[4:3]位配为 1。
	不环回配置	XAUI Core 寄存器地址 4.32768.2:0 为 001。
DTE XGXS	环回配置	XAUI Core 寄存器地址 5.32768.2:0 为 001。 HSST 4 条 lane 的 PCS 寄存器偏移地址 0x000c 的[4:3]位配为 1。
	不环回配置	XAUI Core 寄存器地址 5.32768.2:0 为 001。
端口使能	环回配置	i_p_pcs_farend_loop_0=1 i_p_pcs_farend_loop_1=1 i_p_pcs_farend_loop_2=1 i_p_pcs_farend_loop_3=1
	不环回配置	i_p_pcs_farend_loop_0=0 i_p_pcs_farend_loop_1=0 i_p_pcs_farend_loop_2=0 i_p_pcs_farend_loop_3=0

说明：

此模式要求链路上数据收发路径必须工作在同源时钟。通过配置 HSST 寄存器 PMA_REG_PLPBK_TXPCLK_EN==1 可以保证链路收发路径工作在同源时钟。例如：HSST 4 条 lane 的 PMA TX 寄存器偏移地址 0x005d 的第 2 位配为 0。

关于 HSST 寄存器配置的详细信息请参见《UG020013_Logos 系列FPGA 高速串行收发器(HSST) 用户指南》[8]的第三章 loopback 功能小节和 UG021004_Logos_HSST_IP_UserGuide[9]。

2. 测试模式

XAUI IP 支持发送 Test Patterns 用于系统调试，Test Patterns 符合 IEEE 802.3-2012 附录 48A 标准。

用户可以通过两种方式配置 XAUI IP 工作在测试模式：端口配置和寄存器配置。

(1) 端口配置

表 2-64 端口配置 Test Patterns 模式

端口配置值	描述
pin_cfg_en=1	XUAI Core 工作在端口配置模式，此时 APB 和 MDIO 接口配置无效。
test_pattern_enb=1	XAUI IP 工作在 Test Patterns 模式。
test_pattern_sel	Test Pattern 码型选择。 1 1 = Reserved; 1 0 = Mixed-frequency Test Pattern; 0 1 = Low-frequency Test Pattern; 0 0 = High-frequency Test Pattern。

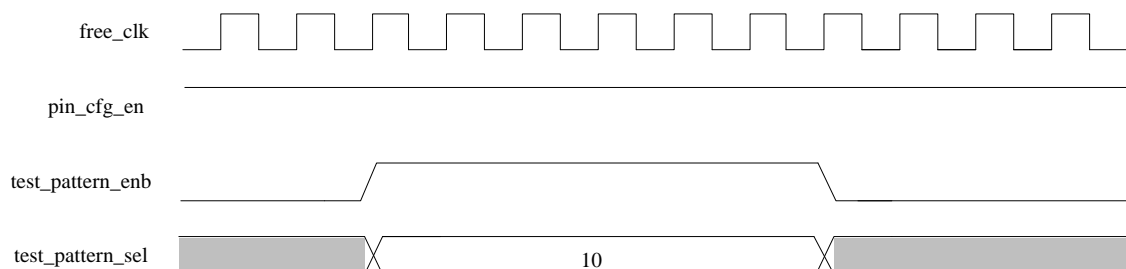


图 2-25 Test Pattern 配置时序图

(2) 寄存器配置

表 2-65 寄存器配置 Test Patterns 模式

配置寄存器地址	配置寄存器值	描述
3.25.2:0, 对应 10GBASE-X 4.25.2:0, 对应 DTE XGXS 5.25.2:0, 对应 PHY XS	0x4	工作在 Test Patterns 模式。 码型为 High-frequency Test Pattern。
	0x5	工作在 Test Patterns 模式。 码型为 Low-frequency Test Pattern。
	0x6	工作在 Test Patterns 模式。 码型为 Mixed-frequency Test Pattern。

2.8.4 uart_ctrl 模块读写操作示例

1. 读操作

读取地址 0x000001 的数据：“0x000001” + “0x72”，为 0x00000172。

2. 写操作

向地址 0x000001 写入 0x02：“0x00000002” + “0x000001” + “0x77”，为 0x0000000200000177。

2.9 IP 调试手段

Debug Core 和 LED 可以监测 XAUI IP 的链路状态, Debug Core 信号列表参见表 2-8, LED 指示信号列表参见表 2-5 中关于 Debug led 指示信号说明。

Example Design 中的 UART 可以读取 IP 中状态寄存器的值来监测链路状态, UART 模块的使用请参见“2.4.3 模块说明”。

第3章 附录

3.1 参考文档

- [1] Pango_Design_Suite_Quick_Start_Tutorial
- [2] Pango_Design_Suite_User_Guide
- [3] IP_Compiler_User_Guide
- [4] Simulation_User_Guide
- [5] User_Constraint_Editor_User_Guide
- [6] Physical_Constraint_Editor_User_Guide
- [7] Route_Constraint_Editor_User_Guide
- [8] UG020013_Logos 系列 FPGA 高速串行收发器(HSST)用户指南
- [9] UG021004_Logos_HSST_IP_UserGuide
- [10] IEEE 802.3-2012 Specification

3.2 术语表

A

APB Advanced Peripheral Bus

C

CDR Clock Data Recovery

CTC Clock Tolerance Compensation

H

HSST High Speed Serial Transceiver

M

MDIO Management Data Input/Output

P

PCS Physical Code Sublayer

PMA Physical Media Attachment

X

XAUI 10 Gigabit Attachment Unit Interface

XGMII 10 Gigabit Media Independent Interface

3.3 缩略语表

I

IPC IP Compiler

P

PDS Pango Design Suite

3.4 声明

3.4.1 版权声明

本文档版权归深圳市紫光同创电子有限公司所有,并保留一切权利。未经书面许可,任何公司和个人不得将此文档中的任何部分公开、转载或以其他方式披露、散发给第三方。否则,公司必将追究其法律责任。

3.4.2 免责声明

本文档仅提供阶段性信息,所含内容可根据产品的实际情况随时更新,恕不另行通知。如因本文档使用不当造成的直接或间接损失,本公司不承担任何法律责任。

本文档按现状提供，不负任何担保责任，包括对适销性、适用于特定用途或非侵权性的任何担保，和任何提案、规格或样品在他处提到的任何担保。本文档在此未以禁止反言或其他方式授予任何知识产权使用许可，不管是明示许可还是暗示许可。

公司保留任何时候在不事先声明的情况下对公司系列产品相关文档的修改权利。