

Logos 系列产品 HSST IP

用户指南

(UG021004,V1.4)

(2022-08-31)

深圳市紫光同创电子有限公司

版权所有 侵权必究

文档版本修订记录

| 日期 | 文档版本 | 修订记录 | 适用 IP 及对应版本 |
|------------|-------|---|--------------------|
| 2020-08-04 | V1.0 | 1. 初稿。 | V1.0 |
| 2020-09-14 | V1.1 | 2. 更新了参数描述； 3. 笔误、格式的修改。 | V1.1 |
| 2021-08-21 | V1.2 | 1. 第三章参数说明一节的表 5 Misc 页参数表中增加 RXPCS Align Timer(0~65535 cycles)配置参数的描述； 2. 第二章复位序列一节增加了复位序列对于 RX 侧 PCS Word Align 信号长时间不拉高的异常处理说明； 3. 更新 HSST IP 的界面截图； 4. 第六章可选接口说明一节的表 6 Misc 页可选接口参数表中增加 Powerdown Option Pins 配置参数的描述； 5. 第五章增加应用场景限制一节。 | V1.2, V1.2a, V1.2b |
| 2021-09-10 | V1.3 | 1. 更新 HSST IP 的界面截图； 2. 补充 IP 版本变更记录； 3. 更新文档版本修订记录，添加适用 IP，更新日期。 | V1.3, V1.3a |
| 2021-09-30 | V1.3b | 1. 增加 V1.3b 版本对应的 IP 版本变更记录； 2. 调整手册架构，规范格式； 3. 添加适用器件及封装，参见“2.1.2 适用器件及封装”； 4. 完善 IP 框图相关描述，增加复位序列相关标题描述，参见“2.2 IP 框图”； 5. 完善模块例化相关描述，更新 IP 选择界面截图，添加 PDS 版本要求，参见“2.3.1 模块例化”； 6. 增加 IP 界面配置参数默认值描述，参见“2.3.1.4 参数描述”； 7. 完善 IP 生成后输出文件描述，参见表 2-6； 8. 添加“2.3.5 资源利用”； 9. 增加“2.6 IP 寄存器描述”、“2.7 典型应用”、“2.9 IP 调试手段”相关说明； 10. 删除原应用场景限制说明内容，已修复相关应用限制。 | V1.3b |

| 日期 | 文档版本 | 修订记录 | 适用 IP 及对应版本 |
|-------------|-------|--|-------------|
| 2021-11-09 | V1.3c | <ol style="list-style-type: none"> 1. 增加 V1.3c 版本对应的 IP 版本变更记录； 2. 更新行文规范说明列表名称，参见表 1-1； 3. 更新配置参数列表名称，参见表 2-3、表 2-4、表 2-5、表 2-13； 4. 完善四 Lane 模式相关 Protocol 参数配置描述，参见表 2-3； 5. 完善 IP 输出文件列表，参见表 2-6； 6. 完善 Misc 页可选接口说明列表，增加参数“TX{0..3} External PLL Ready”、“RX{0..3} External PLL Ready”、“TX{0..3} Beacon Enable”、“RX{0..3} Polarity Invert”相关说明，参见表 2-13。 | V1.3c |
| 2021-12-27 | V1.3d | <ol style="list-style-type: none"> 1. 增加 V1.3d 版本对应的 IP 版本变更记录； 2. 完善参考文档相关交叉引用链接； 3. 更新 PDS 版本要求，参见“注意”说明。 | V1.3d |
| 2022-03-18- | V1.3e | <ol style="list-style-type: none"> 1. 增加 V1.3e 版本对应的 IP 版本变更记录； 2. 更新 PDS 版本要求，参见“注意”说明。 | V1.3e |
| 2022-08-31 | V1.4 | <ol style="list-style-type: none"> 1. 增加 V1.4 版本对应的 IP 版本变更记录； 2. 完善 RX{0..3} External PLL Ready 参数说明，参见表 2-7； 3. 更新 RX{0..3} Debug Bus 参数说明，完善对 i_loop_dbg 接口的描述，参见表 2-13； 4. 完善 Protocol and Rate 页配置中关于 CUSTOMERIZEDx2/x4 模式的说明，参见表 2-3； 5. 规范格式。 | V1.4 |

IP 版本变更记录

| IP 版本 | 更新说明 | 发布时间 |
|-------|---|------------|
| V1.0 | 1. 初始版本。 | 2020-08-06 |
| V1.1 | 1. 支持部分频点配置并完成仿真验证； 2. 完成频点 1.25/2.5/5G 上板验证； 3. 对 IP 进行了部分优化。 | 2020-09-16 |
| V1.2 | 1. 解除器件封装限制，缩短仿真时间； 2. 修复了参考时钟端口连接多个 PAD 的综合报错问题； 3. 优化了频率算法，使得 bonding 场景下 D 优先取 1。 | 2020-12-31 |
| V1.2a | 1. 生成参考约束文件支持 PGL100H 器件； 2. 更新了 PMA Detect 参数配置。 | 2021-04-16 |
| V1.2b | 1. IP 界面支持线速 3.125G，参考时钟为 62.5Mhz 的频点配置； 2. RX PMA Detect 参数信号检测阈值改为 75MV。 | 2021-08-21 |
| V1.3 | 1. IP 模块参数由配置参数间接传递改为直接映射； 2. IP 模块配置优化，路径分频比 D 值、PMA PRBS 位宽端口参数与寄存器值对应，PLL 锁定时间根据参考时钟自动调整； 3. IP 配置 UI 界面显示两个 62.5Mhz 时钟选项 Bug 修复。 | 2021-09-03 |
| V1.3a | 1. 修复 pnr 目录下 Example Design 示例工程不识别 wrapper 文件的错误。 | 2021-09-10 |
| V1.3b | 1. 修复 PLL0 参考时钟选择 diff_refclk1 端口时钟时，无法仿真的问题； 2. 修改 PLL0/1_TXPCLK_PLL_SEL 的计算方式，以及将该参数传递到 GTP，修复了仿真中 TXCLK 出现 x 状态的问题； 3. 当前应用场景均使用 RX_BRIDGE_FIFO，PCS_CHx_BYPASS_BRIDGE 更改为 “FALSE”，PCS_CHx_BYPASS_BRIDGE_FIFO 更改为 “FALSE”； 4. UG 更新。 | 2021-09-30 |
| V1.3c | 1. i_p_rx_polarity_invert_x、i_p_tx_beacon_en_x 端口控制与 i_debug_bus_x 参数解耦，独立控制； 2. 修复勾选 TX External PLL Ready 选项，没有放出 i_pll_lock_tx_x 端口的问题； 3. UG 更新。 | 2021-11-09 |
| V1.3d | 1. 修改 PMA_CHx_REG_CDR_PROP_GAIN 默认配置为 7，增加 CDR 的带宽，更好地跟踪输入信号的抖动； 2. UG 更新。 | 2021-12-27 |
| V1.3e | 1. 配合 GTP 修改，以下参数不再开放配置： PMA_CHx_REG_TX_AMP0， PMA_CHx_RX_ICTRL_SIGDET， PMA_CHx_REG_RX_SIGDET_VTH， PMA_CHx_REG_CDR_PROP_GAIN， 新版本必须与对应软件相匹配，参见“注意”； 2. UG 更新。 | 2022-03-18 |

| IP 版本 | 更新说明 | 发布时间 |
|-------|--|------------|
| V1.4 | <ol style="list-style-type: none"> 1. 修改 PMA_PLLx_REG_QPCURRENT 参数配置, PLL 中的鉴相器端口输入时钟频率 (Freqrefclk/Refclkdiv2) 为 60~70MHz 时, 将寄存器 PMA_PLLx_REG_QPCURRENT 配置值从 4'b0100 修改为 4'b0011; PLL 中的鉴相器端口输入时钟频率 (Freqrefclk/Refclkdiv2) 为 70~312.5MHz 时, 寄存器 PMA_PLLx_REG_QPCURRENT 配置值保持不变, 仍为 4'b0100; 2. UG 更新。 | 2022-08-31 |

目录

| | |
|------------------------------------|----|
| 文档版本修订记录 | 2 |
| IP 版本变更记录 | 4 |
| 第 1 章 前言 | 10 |
| 1.1 关于本手册 | 10 |
| 1.2 手册行文规范 | 10 |
| 第 2 章 IP 使用指南 | 11 |
| 2.1 IP 简介 | 11 |
| 2.1.1 主要特性 | 11 |
| 2.1.2 适用器件及封装 | 12 |
| 2.2 IP 框图 | 12 |
| 2.2.1 HSST | 13 |
| 2.2.2 APB 接口 | 13 |
| 2.2.3 复位序列 | 13 |
| 2.3 IP 生成流程 | 17 |
| 2.3.1 模块例化 | 17 |
| 2.3.2 约束配置 | 29 |
| 2.3.3 运行仿真 | 29 |
| 2.3.4 综合与布局布线 | 29 |
| 2.3.5 资源利用 | 30 |
| 2.4 Example Design | 30 |
| 2.4.1 设计框图 | 30 |
| 2.4.2 模块说明 | 31 |
| 2.4.3 实例配置 | 35 |
| 2.4.4 实例仿真 | 35 |
| 2.5 IP 接口描述 | 36 |
| 2.5.1 常用接口说明 | 36 |
| 2.5.2 可选接口说明 | 41 |
| 2.6 IP 寄存器描述 | 46 |
| 2.6.1 寄存器说明 | 47 |
| 2.6.2 寄存器访问 | 47 |
| 2.7 典型应用 | 47 |
| 2.8 说明与注意事项 | 47 |
| 2.8.1 RXPCS Align Timer 计算方法 | 47 |
| 2.8.2 时钟约束 | 48 |
| 2.8.3 物理位置约束 | 48 |
| 2.9 IP 调试手段 | 48 |
| 2.9.1 PLL LOCK 不成功 | 48 |
| 2.9.2 环回模式不成功 | 49 |
| 2.9.3 Word Align 不成功 | 49 |
| 第 3 章 附录 | 50 |
| 3.1 参考文档 | 50 |
| 3.2 术语表 | 50 |

| | |
|------------------|----|
| 3.3 缩略语表..... | 51 |
| 3.4 声明..... | 51 |
| 3.4.1 版权声明 | 51 |
| 3.4.2 免责声明 | 51 |

表目录

| | |
|--|----|
| 表 1-1 行文规范说明..... | 10 |
| 表 2-1 HSST IP 适用器件及封装 | 12 |
| 表 2-2 APB 地址映射 | 13 |
| 表 2-3 Protocol and Rate 页配置参数说明 | 20 |
| 表 2-4 Alignment and CTC 页配置参数说明 | 22 |
| 表 2-5 Misc 页配置参数说明..... | 24 |
| 表 2-6 IP 生成后的输出文件 | 26 |
| 表 2-7 参数描述列表..... | 27 |
| 表 2-8 HSST IP 基于适用器件的资源利用典型值..... | 30 |
| 表 2-9 8B10B 使能时的数据格式 | 32 |
| 表 2-10 64B66B_transparent 模式发送 Pattern | 33 |
| 表 2-11 64B67B_transparent 模式发送 Pattern..... | 34 |
| 表 2-12 常用接口列表..... | 36 |
| 表 2-13 Misc 页可选接口配置参数说明..... | 41 |

图目录

| | |
|---|----|
| 图 2-1 HSST IP 结构框图 | 12 |
| 图 2-2 Channel Bonding 场景 TX 时钟同步时序图..... | 14 |
| 图 2-3 Channel Bonding 场景 RX 对齐操作时序图 | 15 |
| 图 2-4 PLL 长时间不 LOCK 重新上电复位时序图..... | 15 |
| 图 2-5 RX Channel 无信号输入时的异常恢复时序图 | 16 |
| 图 2-6 CDR 长时间不 LOCK 的异常恢复时序图..... | 16 |
| 图 2-7 CDR LOCK 拉低的异常恢复时序图..... | 17 |
| 图 2-8 PCS Word Align 长时间未对齐的异常恢复时序图 | 17 |
| 图 2-9 HSST IP 选择路径界面 | 18 |
| 图 2-10 工程例化界面..... | 18 |
| 图 2-11 HSST IP 接口框图..... | 19 |
| 图 2-12 配置 HSST IP 参数界面 | 19 |
| 图 2-13 HSST IP 生成报告界面 | 25 |
| 图 2-14 HSST IP Example Design 框图 | 31 |

第1章 前言

本章讲述本手册的适用范围、手册结构及相关行文规范，帮助用户快速查找所需的信息。

1.1 关于本手册

本手册为紫光同创推出的 HSST (High Speed Serial Transceiver) IP 产品的用户指南。该 IP 基于 Logos 系列产品中 HSST 资源实现。本手册内容主要包括 IP 使用指南及相关附录。通过本手册用户可以快速了解 HSST IP 相关特性及使用方法。

1.2 手册行文规范

表 1-1 行文规范说明

| 文字 | 使用原则 |
|----|--------------------------------------|
| 注意 | 若用户忽略注意内容，可能会因误操作而带来一定的不良后果或者无法成功操作。 |
| 说明 | 提供给用户的说明和提示。 |

第2章 IP 使用指南

本章讲述 HSST IP 相关使用指南, 内容包括 IP 简介、IP 框图、IP 生成流程、Example Design、IP 接口描述、IP 寄存器描述、典型应用、说明与注意事项、IP 调试手段。更多设计流程相关详细信息可以参见下述 PDS 帮助文档。

- *Pango_Design_Suite_Quick_Start_Tutorial*[1]
- *Pango_Design_Suite_User_Guide*[2]
- *IP_Compiler_User_Guide*[3]
- *Simulation_User_Guide*[4]

2.1 IP 简介

HSST IP 是基于 Logos 系列产品中 HSST 资源实现的一款 IP, 可通过公司 PDS (Pango Design Suite) 套件中的 IPC (IP Compiler) 工具完成 IP 模块的配置和生成。

2.1.1 主要特性

HSST IP 支持的功能包括:

- 支持四条通道独立配置;
- 支持各通道独立配置“双工”、“仅发送”、“仅接收”、“关闭”四种工作模式;
- 支持标准协议 (GE/SGMII、PCIEx1/PCIEx2/PCIEx4、XAUI);
- 支持客户自定义协议;
- 支持 Line Rate 配置;
- 支持用户侧接口位宽配置;
- 支持 PLL 可配置;
- 支持参考时钟配置;
- 支持 8B10B 编解码使能配置;
- 支持 64B66B、64B67B 和 128B130B 透传模式配置;
- 支持 Word Alignment 使能配置及 COMMA 序列值配置;
- 支持 Channel Bonding 使能配置及 Bonding 序列值配置;
- 支持 CTC 使能配置及 CTC 操作序列值配置;

- 支持信号摆幅配置；
- 支持去加重配置；
- 支持接收端 AC/DC 耦合方式配置；
- 提供可参考的 HSST 复位序列。

2.1.2 适用器件及封装

表 2-1 HSST IP 适用器件及封装

| 适用器件 | 支持封装类型 |
|---------|--------|
| PGL50H | ALL |
| PGL100H | ALL |

2.2 IP 框图

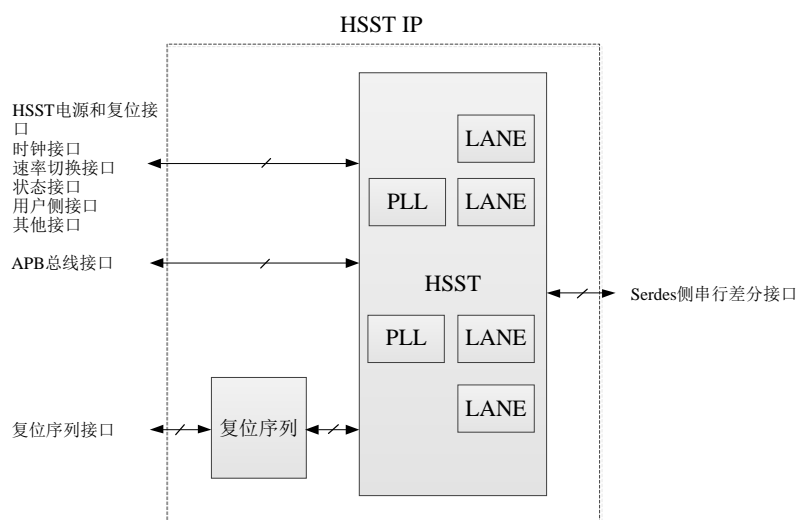


图 2-1 HSST IP 结构框图

HSST IP 包括 HSST 和复位序列，整体框图如图 2-1 所示。HSST 为器件自带的 HSST IP 硬核资源，HSST 内部包含 4 个 LANE 和 2 个 PLL；复位序列控制 HSST 上电、复位和速率切换的时序流程，具体功能请参见表 2-12 常用接口列表中的复位序列接口。

注意：

LANE 0、LANE1 只能由 PLL0 提供时钟；LANE 2、LANE3 可由 PLL0 或 PLL1 提供时钟。

2.2.1 HSST

HSST 具体功能请参见《UG020013_Logos 系列 FPGA 高速串行收发器(HSST)用户指南》[8]。

2.2.2 APB 接口

HSST IP 内部有 4 个 LANE 和 2 个 PLL, 用户可通过 APB 总线接口实现对所有 LANE 和 PLL 的访问。

LANE 或者 PLL 的寄存器地址映射如表 2-2 所示。

表 2-2 APB 地址映射¹

| Address Range | Register |
|---------------|---------------|
| 0x0000~0x0fff | PMA PLL 0 |
| 0x1000~0x1fff | PMA PLL 1 |
| 0x8000~0x8fff | PCS channel 0 |
| 0x9000~0x9fff | PMA channel 0 |
| 0xa000~0xafff | PCS channel 1 |
| 0xb000~0xbfff | PMA channel 1 |
| 0xc000~0xcfff | PCS channel 2 |
| 0xd000~0xdfff | PMA channel 2 |
| 0xe000~0xefff | PCS channel 3 |
| 0xf000~0xffff | PMA channel 3 |

2.2.3 复位序列

为便于用户使用 HSST, 提供了一个可参考的复位序列, 实现上电、复位和速率切换, 执行的时序请参见《UG020013_Logos 系列 FPGA 高速串行收发器(HSST)用户指南》[8]。

¹ 例如访问 RX 的 PMA LANE2 0x39 寄存器, 对应十六进制地址为 0xd039。

复位序列增加了 Channel Bonding 使能时的对齐操作、异常处理等功能，具体描述如下。

1. Channel Bonding

(1) TX Channel 时钟同步

用户使用 Channel Bonding 功能时，复位序列控制 P_LANE_SYNC 端口对 TX Channel 进行时钟同步；在端口 P_TX_LANE_PD 拉低之后执行，具体时序如图 2-2 所示。

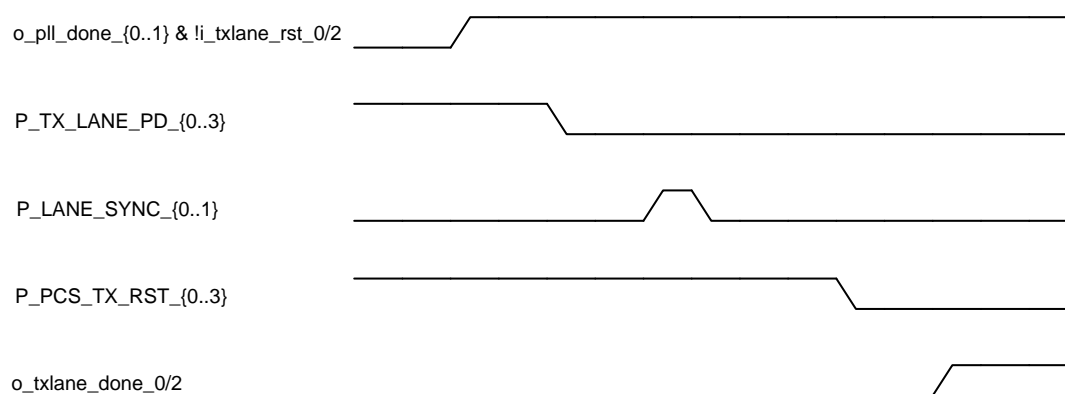


图 2-2 Channel Bonding 场景 TX 时钟同步时序图

(2) RX Channel 对齐复位

用户使用 Channel Bonding 功能或多 LANE 模式时，复位序列会对 RX Channel 进行对齐复位操作，用户通过控制 i_hsst_fifo_clr_{0..3} 端口或者由内部信号 fifo_clr_en_{0..3} 实现，时序如图 2-3 所示。

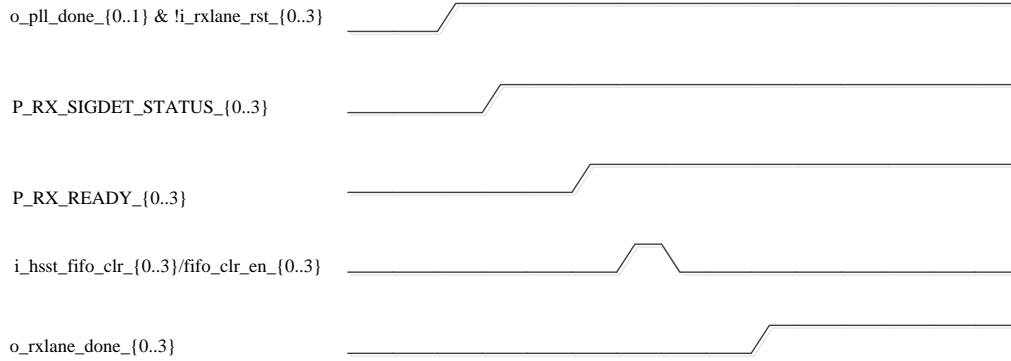


图 2-3 Channel Bonding 场景 RX 对齐操作时序图

2. Error Handle

(1) PLL LOCK 异常

复位序列增加了看门狗，会监控 PLL 的 LOCK 状态，当 PLL 长时间无法 LOCK 且到达看门狗阈值时，会重新对 PLL 执行上电复位操作，时序如图 2-4 所示。

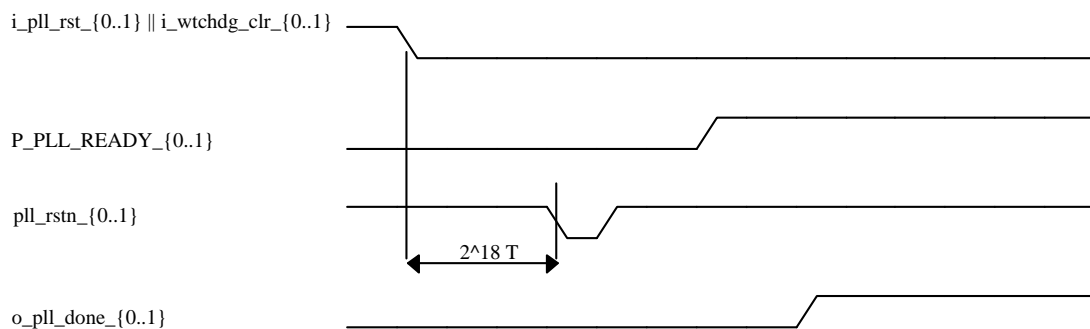


图 2-4 PLL 长时间不 LOCK 重新上电复位时序图²

(2) RX Channel 输入异常

正常工作过程中，当 RX Channel 没有数据输入或者信号丢失时，信号检测指示端口 P_RX_SIGDET_STATUS_{0..1} 会拉低，此时复位序列会重新对 RX PMA 执行复位解复位操作，时序如图 2-5 所示：

² T 表示 i_free_clk 的时钟周期，pll_rstn_{0..1} 是复位序列内部信号，拉低会启动对 PLL 执行重新上电复位流程，直到 PLL LOCK。

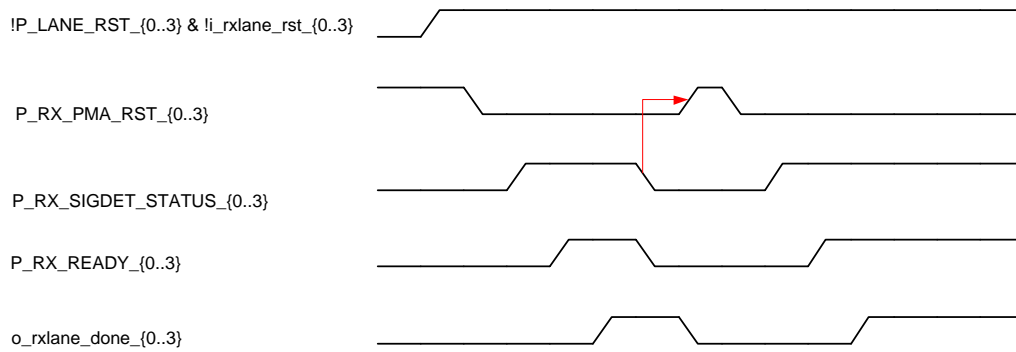


图 2-5 RX Channel 无信号输入时的异常恢复时序图

(3) RX Channel CDR LOCK 异常

当 RX Channel 的 CDR 长时间无法 LOCK 时，复位序列亦会重新对 RX PMA 执行复位解复位操作，时序如图 2-6 所示。

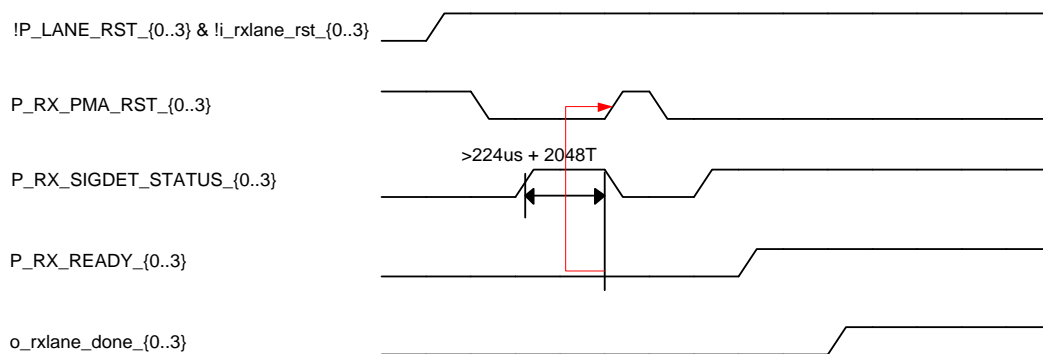


图 2-6 CDR 长时间不 LOCK 的异常恢复时序图

(4) CDR LOCK 异常拉低

正常工作过程中，当 RX Channel 的 CDR 完成指示信号 P_RX_READY_{0..3} 突然拉低时，复位序列亦会重新对 RX PMA 执行复位解复位操作，时序如图 2-7 所示：

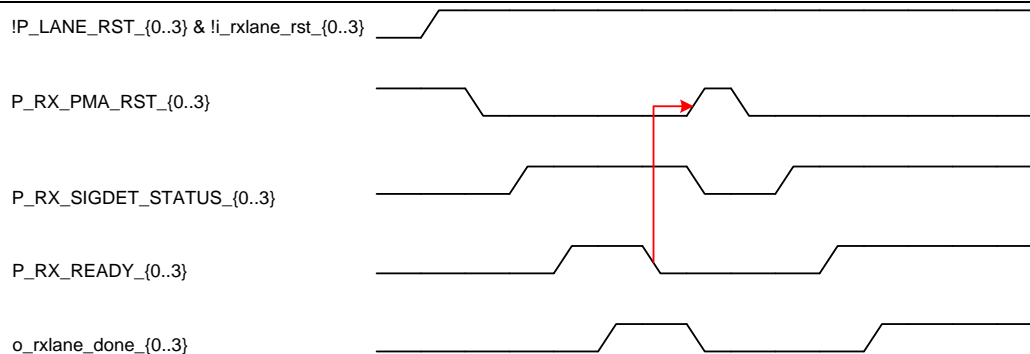


图 2-7 CDR LOCK 拉低的异常恢复时序图

(5) PCS Word Align 异常拉低

使能 RX Channel PCS 的 Word Align 功能时，若 Word Align 完成指示信号 $o_p_pcs_lsm_synced_{0..3}$ 为低且长时间未拉高，在达到 Word Align Timer 阈值时，复位序列亦会重新对 RX PMA 执行复位解复位操作，时序如图 2-8 所示。

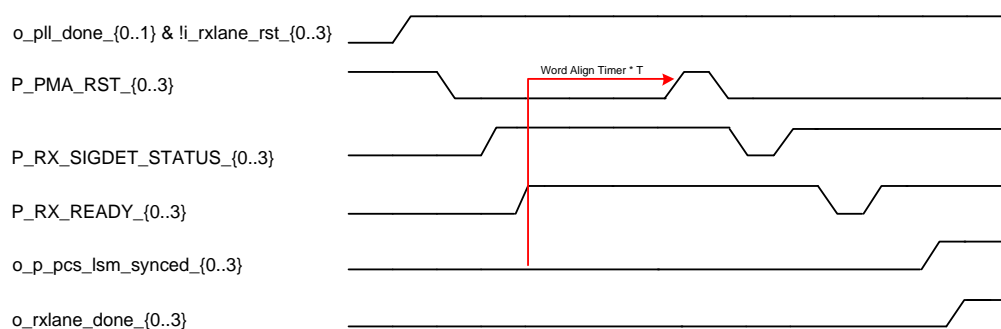


图 2-8 PCS Word Align 长时间未对齐的异常恢复时序图

2.3 IP 生成流程

2.3.1 模块例化

通过 IPC 工具可以完成 HSST IP 的定制化配置，例化生成所需的 IP 模块。关于 IPC 工具的具体使用方法，请参见 *IP_Compiler_User_Guide*[3]。

HSST IP 模块例化的主要操作步骤描述如下。

1. 选择 IP

打开 IPC，在主窗口中点击 File->Update 打开 Update IP 对话框，添加对应版本的 IP 模型。

选择 FPGA 的器件类型之后 Catalog 界面可以显示已装载的 IP 模型。选取 System/HSST 目录下对应的 IP 版本，IP 选择路径界面如图 2-9 所示。然后在右侧页面设置 Pathname 和 Instance Name 名称，工程例化界面如图 2-10 所示。

注意：

软件必须为 2021.1-SP7.2、2021.4-SP1、2022.1 及以上版本。

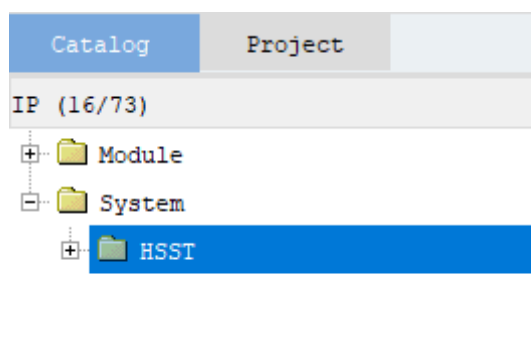


图 2-9 HSST IP 选择路径界面

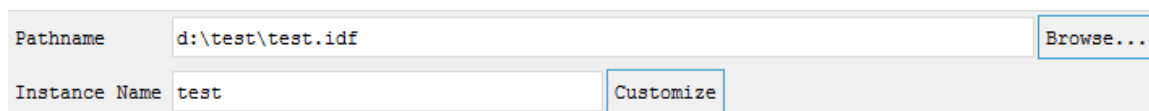


图 2-10 工程例化界面

2. 配置 IP 参数

IP 选择完成后点击 <Customize> 进入 HSST 参数设置界面，左边 Symbol 为接口框图，如图 2-11 所示；右边为参数配置窗口，如图 2-12 所示。

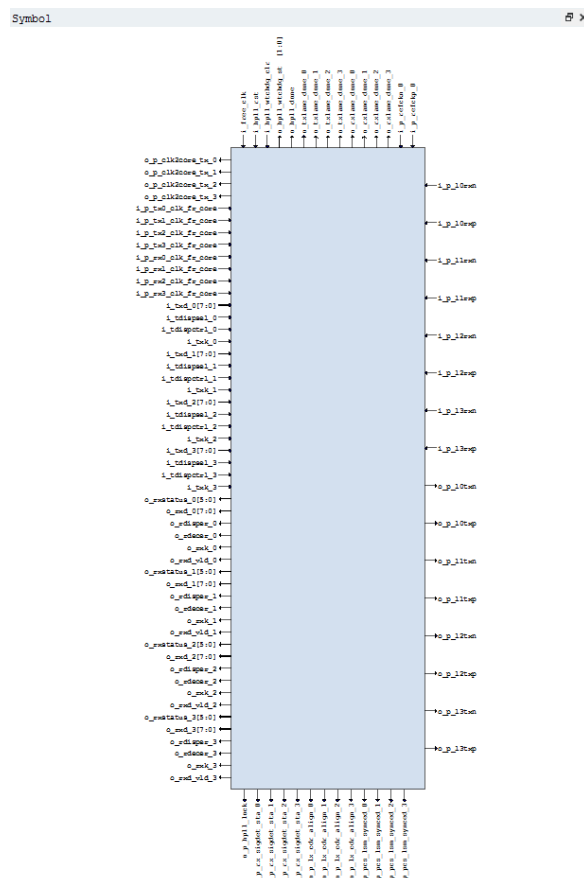


图 2-11 HSST IP 接口框图

图 2-12 配置 HSST IP 参数界面

参数配置分为三个页面，分别为 Protocol and Rate，Alignment and CTC 和 Misc。
HSST IP 配置参数描述如下。

(1) Protocol and Rate 页配置

表 2-3 Protocol and Rate 页配置参数说明

| 参数/配置选项 | 参数说明 |
|-------------------------------|---|
| Channel ENABLE | 选择 Channel 0~3 使能模式为 Fullduplex、TX_only、RX_only 或 DISABLE 当配置为 TX_only 模式，对应 Channel 的 RX 相关参数全部关闭； 当配置为 RX_only 模式，对应 Channel 的 TX 相关参数全部关闭； 当配置为 DISABLE 模式，对应 Channel 的相关参数全部关闭； |
| Protocol and Line Rate | |
| Protocol | 选择 Channel 0~3 协议模式为：GE、SGMII、PCIEx1、CUSTOMERIZEDx1 ³ 、PCIEx2、CUSTOMERIZEDx2 ³ 、XAUI、PCIEx4 或 CUSTOMERIZEDx4 ³ 。 上述可选协议模式，根据 1 条客户数据通道使用 SerDes 通道的数量可分为单 Lane 模式 ⁴ 、双 Lane 模式 ⁵ 、四 Lane 模式 ⁶ 三类。 注： CUSTOMERIZEDx2/x4 用于通道绑定场景，此时 TX 端串行数据同步输出，RX 端可以配置通道之间的数据对齐模式（Channel Bonding）； 当配置 Channel 0~1 为 CUSTOMERIZEDx2，两通道配置参数绑定，只能配置 Channel 0 参数，Channel 1 参数不可配置与 Channel 0 保持一致，Channel 2~3 配置为 CUSTOMERIZEDx2 同理； 当配置 Channel 0~3 为 CUSTOMERIZEDx4，四通道配置参数绑定，只能配置 Channel 0 参数，Channel 1/2/3 参数不可配置，与 Channel 0 保持一致。 |
| Protocol Default Setting | 选择 Channel 0~3 是否为协议固定配置，与 Protocol 配合使用： 当 Protocol 配置为 CUSTOMERIZEDx1/x2/x4 模式，Protocol Default Setting 固定不勾选； 当 Protocol 配置为 GE、SGMII、PCIEx1、PCIEx2、XAUI 或 PCIEx4 时，可以选择是否勾选 Protocol Default Setting；当勾选时，Protocol and Rate 页和 Alignment and CTC 页对应 Channel 的全部参数不可选择； |
| TX Line Rate(0.6~6.375Gbps) | 配置 Channel 0~3 TX 线速率，范围为 0.6~6.375Gbps； |
| RX Line Rate(0.6~6.375Gbps) | 配置 Channel 0~3 RX 线速率，范围为 0.6~6.375Gbps； |

3 CUSTOMERIZEDx1 表示单 Lane 的客户定制协议模式；CUSTOMERIZEDx2 表示双 Lane 的客户定制协议模式；CUSTOMERIZEDx4 表示四 Lane 的客户定制协议模式。

4 单 Lane 模式：1 条客户数据通道使用 1 条 SerDes，包括 GE、SGMII、PCIEx1、CUSTOMERIZEDx1。

5 双 Lane 模式：1 条客户数据通道使用 2 条 SerDes，包括 CUSTOMERIZEDx2、PCIEx2。

6 四 Lane 模式：1 条客户数据通道使用 4 条 SerDes，包括 XAUI、PCIEx4 或 CUSTOMERIZEDx4。

| 参数/配置选项 | 参数说明 |
|---|--|
| PCS Encoder/Decoder, Fabric Interface Data Width and Clock Frequency | |
| TX Encoder | 选择 Channel 0~3 TX 编码模式为 8B10B、64B66B_transparent、64B67B_transparent 或 Bypassed; |
| TX Fabric Data Width(Bits) | 选择 Channel 0~3 TX Fabric 数据位宽, 在保证 Fabric 时钟不大于 160MHz 的前提下: 当配置 8B10B 编码模式, 可选择数据位宽为 8/16/32bits; 当配置 64B66B_transparent 编码模式, 可选择数据位宽为 16/32bits; 当配置 64B67B_transparent 编码模式, 可选择数据位宽为 16/32bits; 当配置 Bypassed 编码模式, 可选择数据位宽为 8/10/16/20/32/40bits; |
| TX Fabric Clock Frequency | 显示 Channel 0~3 TX Fabric 时钟频率, 取决于 TX Line Rate、TX Encoder 和 TX Fabric Data Width 配置; |
| RX Decoder | 选择 Channel 0~3 RX 解码模式为 8B10B、64B66B_transparent、64B67B_transparent 或 Bypassed; |
| RX Fabric Data Width(Bits) | 选择 Channel 0~3 RX Fabric 数据位宽, 在保证 Fabric 时钟不大于 160MHz 的前提下: 当配置 8B10B 解码模式, 可选择数据位宽为 8/16/32bits; 当配置 64B66B_transparent 解码模式, 可选择数据位宽为 16/32bits; 当配置 64B67B_transparent 解码模式, 可选择数据位宽为 16/32bits; 当配置 Bypassed 解码模式, 可选择数据位宽 8/10/16/20/32/40bits; |
| RX Fabric Clock Frequency | 显示 Channel 0~3 RX Fabric 时钟频率, 取决于 RX Line Rate、RX Encoder 和 RX Fabric Data Width 配置; |
| PLL Configuration | |
| Use PLL Numbers | 选择使用 PLL 的个数, 1 或 2; 当选择 1 个时, Channel 0~3 均来自 PLL0, 不支持来源 PLL1; 当选择 2 个时, Channel 0~3 可配置来源 PLL0, Channel 2~3 可配置来源 PLL0 或 PLL1; |
| PLL Reference Clock source from | 选择 PLL 参考时钟, 可以选择: Diff_REFCK0: 选择来自差分时钟接口 i_p_refckn_0/i_p_refckp_0(P_REFCLKP_0/ P_REFCLKN_0)的时钟; Diff_REFCK1: 选择来自差分时钟接口 i_p_refckn_1/i_p_refckp_1(P_REFCLKP_1/ P_REFCLKN_1)的时钟; Fabric_REFCK0: 选择来自 i_p_pll_ref_clk_0(P_PLL_REF_CLK_0)的时钟; Fabric_REFCK1: 选择来自 i_p_pll_ref_clk_1(P_PLL_REF_CLK_1)的时钟; |
| PLL Reference Clock frequency(MHz) | 选择 PLL 参考时钟合法值; |

| 参数/配置选项 | 参数说明 |
|-------------------------------------|--|
| PLL1 Reference Clock source from | 选择 PLL1 参考时钟，当 Use PLL Number 配置为 2 时有效； Diff_REFCK0: 选择来自差分时钟接口 i_p_refckn_0/i_p_refckp_0(P_REFCLKP_0/ P_REFCLKN_0)的时钟； Diff_REFCK1: 选择来自差分时钟接口 i_p_refckn_1/i_p_refckp_1(P_REFCLKP_1/ P_REFCLKN_1)的时钟； Fabric_REFCK0: 选择来自 i_p_pll_ref_clk_0(P_PLL_REF_CLK_0)的时钟； Fabric_REFCK1: 选择来自 i_p_pll_ref_clk_1(P_PLL_REF_CLK_1)的时钟； |
| PLL1 Reference Clock frequency(MHz) | 选择 PLL1 参考时钟合法值，当 Use PLL Number 配置为 2 时有效； 当 Use The Same Reference clock 勾选时，该值须与 PLL0 保持一致， 若没有相同值，则取 0，并上报告警信息； |
| Use The Same Reference clock | 选择 PLL0 和 PLL1 是否使用相同参考时钟，当 Use PLL Number 配置为 2 时有效； 勾选：PLL0 和 PLL1 使用相同的参考时钟； 不勾选：PLL0 和 PLL1 的参考时钟独立配置； |
| Channel PLL source from | 选择 Channel 0~3 使用的 PLL，当 Use PLL Number 配置为 2 时有效； PLL0: 选择 PLL0 的输出时钟； PLL1: 选择 PLL1 的输出时钟； |

(2) Alignment and CTC 页配置

表 2-4 Alignment and CTC 页配置参数说明

| 参数/配置选项 | 参数说明 |
|-----------------------|---|
| Word Alignment | |
| Word Align Mode | 选择 Channel 0~3 Word Align 模式为： GE_MODE: 对应 PCS_CHx_ALIGN_MODE ⁷ =1GB； XAUI_MODE: 对应 PCS_CHx_ALIGN_MODE=10GB； RAPIDIO_MODE: 对应 PCS_CHx_ALIGN_MODE=RAPIDIO； CUSTOMERIZED_MODE: 对应 PCS_CHx_ALIGN_MODE=OUTSIDE; 此时， i_p_pcs_word_align_en_{0..3}(P_PCS_WORD_ALIGN_EN[3:0]) ⁸ 接口生效； Bypassed: 对应 PCS_CHx_BYPASS_WORD_ALIGN=TRUE; 仅在 RX Decoder 选择为 Bypassed 时才可以选择； |

7 统一描述约束: PCS_CHx_*为 HSST 参数，具体参见《UG020013_Logos 系列 FPGA 高速串行收发器(HSST)用户指南》[8]上的描述。

8 统一描述约束: 若 IP 管脚名称 i_x 或 o_x 后面紧跟(*), *表示对应的《UG020013_Logos 系列 FPGA 高速串行收发器(HSST)用户指南》[8]上的 HSST 管脚。

| 参数/配置选项 | 参数说明 |
|--------------------------------------|---|
| COMMA code-group select | 当 Word Align 模式没有选择 Bypassed 时, 选择 Channel 0~3 Word Align 的字节格式为 COMMA, K28.1, K28.5 或 K28.7; 或者选择 CUSTOMERIZED, 自定义 Word Align 的字节格式; |
| COMMA+ code-group(10bits) | 当 Word Align 的字节格式为 CUSTOMERIZED 时, 用来自定义 Channel 0~3 Word Align 的字节格式, 对应 PCS_CHx_COMMA_REG0, 和 PCS_CHx_COMMA_REG1 的反码; 定义的值需要是 10 比特二进制格式; |
| COMMA MASK(bin) | 当 Word Align 的字节格式为 CUSTOMERIZED 时, 用来自定义 Channel 0~3 Word Align 的字节格式, 对应 PCS_CHx_COMMA_MASK; 定义的值需要是 10 比特二进制格式; |
| Channel Bonding | |
| Channel Bonding Mode | 选择 Channel 0~3 Channel Bonding 模式为: XAUI_MODE: 对应 PCS_CHx_CEB_MODE=10GB; RAPIDIO_MODE: 对应 PCS_CHx_CEB_MODE=RAPIDIO_MODE; CUSTOMERIZED_MODE: 对应 PCS_CHx_CEB_MODE=OUTSIDE; 此时, i_p_pcs_mcb_ext_en_{0..3}(P_PCS_MCB_EXT_EN[3:0])接口生效; Bypassed: 对应 PCS_CHx_BYPASS_BONDING=TRUE; 当单 Lane 模式或 RX Decoder 选择 Bypassed 时, 固定为 Bypassed; |
| Channel Bonding Special Code Mode | 当 Channel Bonding 模式不是 Bypassed 时, 选择 Channel 0~3 Channel Bonding 模式的 A Pattern 模式; 可选择 1BYTE 或者 2BYTE; 对应 PCS_CHx_APATTERN_MODE; |
| Channel Bonding Special Code(bin) | 当 Channel Bonding 模式不是 Bypassed 时, 选择 Channel 0~3 Channel Bonding 模式的 K 码, 对应 PCS_CHx_A_REG; |
| Channel Bonding Range(UI) | 当 Channel Bonding 模式不是 Bypassed 时, 选择 Channel 0~3 Channel Bonding skew 范围, 对应 PCS_CHx_SEACH_OFFSET; |
| Clock Tolerance Compensation | |
| CTC Mode | 选择 Channel 0~3 增删 SKIP 字节的 CTC 模式为: GE: 按 1000GBASE-X 协议做 CTC 操作; XAUI: 按 XAUI 协议做 CTC 操作; PCIE_2BYTE: 按 PCIE 协议两字节做 CTC 操作; PCIE_4BYTE: 按 PCIE 协议四字节做 CTC 操作; CUSTOMERIZED_1BYTE: 可以定制一字节, 用于 CTC 操作; CUSTOMERIZED_2BYTE: 可以定制两字节, 用于 CTC 操作; CUSTOMERIZED_4BYTE: 可以定制四字节, 用于 CTC 操作; Bypassed: 对应 PCS_CHx_BYPASS_CTC=TRUE; 当 RX Decoder 选择 Bypassed 或 TX Fabric 与 RX Fabric 时钟频率不一致时, 固定为 Bypassed; |
| SKIP Byte#0(9bits) | 配置 Channel 0~3 第一个的 SKIP 字节; 表示解码后的数据, 9 比特二进制格式; 第 9bit 为 0 表示低 8bit 为数据字节, 为 1 表示低 8bit 为控制字节, 下同; |

| 参数/配置选项 | 参数说明 |
|--------------------|------------------------------|
| SKIP Byte#1(9bits) | 配置 Channel 0~3 第二个的 SKIP 字节; |
| SKIP Byte#2(9bits) | 配置 Channel 0~3 第三个的 SKIP 字节; |
| SKIP Byte#3(9bits) | 配置 Channel 0~3 第四个的 SKIP 字节; |

(3) Misc 页配置

表 2-5 Misc 页配置参数说明

| 参数/配置选项 | 参数说明 |
|---|---|
| Reset Sequence Config | |
| Reset Sequence | 选择是否是使能复位序列; |
| Free Clock frequency(10~100 MHz) | i_free_clk 的时钟频率配置; |
| RXPCS Align Timer(0~65535 cycles) | <p>当 Word Align Mode 未选择 Bypassed 时生效, 对应配置 Channel 0~3 中复位序列的 CHx_RXPCS_ALIGN_TIMER 参数;</p> <p>在上电过程中从 RX 侧检测到合法信号(即 o_p_lx_cdr_align_{0..3}=1)到 Word Align 同步成功(即 o_p_pcs_lsm_synced_{0..3}=1)的时间不能超过 RXPCS_ALIGN_TIMER 个 Free Clock 周期, 否则 RX 复位序列自动重启;</p> <p>当 Protocol Default Setting 没有被勾选, 且 Word Align Mode 未选择 Bypassed 时, 用户需要自己配置 RXPCS_ALIGN_TIMER 阈值, 配置范围为 0~65535;</p> |
| Channel Insertion Loss | |
| TX Post-Cursor Emphasis Enable | <p>选择 Channel 0~3 是否使能后标量配置 De-emphasis:</p> <p>不勾选: 不使用后标量方式配置 De-emphasis 值;</p> <p>勾选: 使用后标量方式配置 De-emphasis 值;</p> <p>对应参数 PMA_CHx_REG_TX_PD_POST;</p> |
| TX Post-Cursor De-emphasis Static Setting | <p>配置 Channel 0~3 的后标量 De-emphasis 推荐值;</p> <p>对应参数 PMA_CHx_REG_TX_DRV01_DAC0;</p> |
| TX FFE Dynamic Control | <p>选择 Channel 0~3 是否使能动态切换 De-emphasis;</p> <p>勾选: 通过 i_p_lx_deemp_ctl_{0..3}(P_TX_DEEMP) 接口切换 De-emphasis;</p> <p>不勾选: 不能切换 De-emphasis;</p> <p>i_p_lx_deemp_ctl_{0..3}为:</p> <p>00: 当前 TX De-emphasis 值为后标量 De-emphasis 推荐值;</p> <p>01: 当前 TX De-emphasis 值为后标量 TX Config Post1 推荐值;</p> |

| 参数/配置选项 | 参数说明 |
|--|---|
| TX Config Post1 | 配置 Channel 0~3 的 Post1 后标量去加重值, 当 TX FFE Dynamic Control 勾选时有效; 推荐配置值与后标量 De-emphasis 保持一致; 对应参数 PMA_CHx_REG_TX_DRV01_DAC1; |
| TX Config Post2 | 配置 Channel 0~3 的 Post2 后标量去加重值, 当 TX FFE Dynamic Control 勾选时有效; 推荐配置值与后标量 De-emphasis 保持一致; 对应参数 PMA_CHx_REG_TX_DRV01_DAC2; |
| PMA Receiver Front End Config | |
| RX Termination | 配置 Channel 0~3 PMA Receiver Front End 方式, 分别是: external DC, internal DC; external DC, internal AC; external AC, internal AC; external AC, internal DC; 对应参数 PMA_CHx_REG_RX_TERM_MODE_CTRL, 具体参见《UG020013_Logos 系列FPGA 高速串行收发器(HSST)用户指南》[8]; |
| APB Bus Enable | |
| APB Bus Enable | 选择是否使能 APB 总线接口; HSST IP 的 APB 命名规则为 i_xxx 或 o_xxx, 与《UG020013_Logos 系列FPGA 高速串行收发器(HSST)用户指南》[8]上描述的 HSST APB 接口一一对应; |
| Show HSST Optional Pins | |
| Show HSST Optional Pins | 选择是否显示 HSST IP 的可选接口, 具体参见“2.5.2 可选接口说明”; |
| Show Reset Sequence Optional Pins | |
| Show Reset Sequence Optional Pins | 选择是否显示复位序列相关的可选接口, 具体参见“2.5.2 可选接口说明”; |

3. 生成 IP

参数配置完成后, 点击左上角的 <Generate> 按钮, 即可生成相应于用户特定设置的 HSST IP 代码。生成 IP 的信息报告界面如图 2-13 所示。



图 2-13 HSST IP 生成报告界面

注意：

IP 自带生成的.pds 文件和.fdc 文件仅供参考，使用时请根据实际的管脚连接更改管脚约束。

成功生成 IP 后会在图 2-10 中指定的路径下输出表 2-6 所示文件。

表 2-6 IP 生成后的输出文件

| 输出文件 ⁹ | 说明 |
|---|--|
| \$instname.v | 所生成 IP 的顶层.v 文件。 |
| /rtl/ipml_hsst_\${instname}_wrapper_*.v | HSST 模块的顶层.v 文件。 |
| /rtl/ipml_hsst_rst/*.v | 复位序列相关全部.v 文件 |
| /example_design/*.v | 用于参考设计或者 IP 仿真的.v 文件 |
| /pnr/core_only/\$instname.pds | 所生成 IP 核的工程文件，作为用户工程的参考。 |
| /pnr/core_only/\$instname.fdc | 所生成 IP 核的约束参考文件，作为用户工程的参考。 |
| /pnr/example_design/pango_hsst_top.pds | Example Design 的工程文件，作为用户工程的参考 ¹⁰ 。 |
| /pnr/example_design/pango_hsst_top.fdc | Example Design 的约束参考文件，作为用户工程的参考。 |
| /sim/modelsim/pango_hsst_top_sim.do | 对生成的 Example Design 进行 ModelSim 仿真的 do 脚本文件。 |
| /sim/modelsim/pango_hsst_top_wave.do | 对生成的 Example Design 进行 ModelSim 仿真的 do 波形文件。 |
| /sim/modelsim/sim.bat | 对生成的 Example Design 进行 ModelSim 仿真的自动运行脚本；运行后生成仿真结果文件 vsim_inst_tb_top.log ¹¹ 。 |
| /sim/modelsim/pango_hsst_top_filelist.f | 对生成的 Example Design 进行 ModelSim 仿真所需的.v 文件列表。 |
| /rev_1 | 综合报告默认输出路径。（该文件夹仅在指定综合工具后才会生成） |
| readme.txt | readme 文件，描述 IP 生成后，生成目录的结构。 |

⁹ \$instname 是用户输入的例化名；“*”为通配符，代替同一类型的文件名。

¹⁰ 注：当前版本不支持使用外部 PLL 场景仿真。

¹¹ 注：当 IP 配置为非“双工”模式，或者 TX/RX 速率不一致，不支持仿真。

4. 参数描述

表 2-7 参数描述列表

| 页面 | 参数/配置选项 | 参数说明 | IP 配置界面默认值 |
|-------------------|--|-------------------------------|-------------|
| Protocol and Rate | Channel ENABLE | 配置通道工作模式 | Full duplex |
| | Protocol | 配置通道协议 | GE |
| | Protocol Default Setting | 配置是否使能默认配置 | 使能 |
| | TX Line Rate(0.6~6.375Gbps) | 配置通道 TX 线速 | 1.25Gbps |
| | RX Line Rate(0.6~6.375Gbps) | 配置通道 RX 线速 | 1.25Gbps |
| | TX Encoder | 配置通道 TX 编码模式 | 8B10B |
| | TX Fabric Data Width(Bits) | 配置通道 TX 用户侧数据位宽 | 8 |
| | TX Fabric Clock Frequency | 显示 TX 用户侧工作时钟频率 | 125MHz |
| | RX Decoder | 配置通道 RX 编码模式 | 8B10B |
| | RX Fabric Data Width(Bits) | 配置通道 RX 用户侧数据位宽 | 8 |
| | RX Fabric Clock Frequency | 显示 RX 用户侧工作时钟频率 | 125MHz |
| | Use PLL Numbers | 配置使用 PLL 的个数 | 1 |
| | PLL Reference Clock source from | 配置 PLL 参考时钟来源 | Diff_REFCK0 |
| | PLL Reference Clock frequency(MHz) | 选择 PLL 参考时钟合法值 | 125 |
| Alignment and CTC | Word Align Mode | 配置 COMMA 对齐场景下的同步状态机 | GE_MODE |
| | COMMA code-group select | 配置 Word align 对齐的控制字 | K28.5 |
| | COMMA+ code-group(10bits) | 配置自定义对齐控制字 | 0101111100 |
| | COMMA MASK(bin) | 配置是否屏蔽对齐字的域段 | 0000000000 |
| | Channel Bonding Mode | 配置通道的 Channel Bonding 模式 | Bypassed |
| | Channel Bonding Special Code(bin) | 配置 A Pattern Reg 值 | - |
| | Channel Bonding Range(UI) | 配置 Channel Bonding Deskew 范围值 | - |
| | CTC Mode | 配置 CTC 模式值 | GE |
| | SKIP Byte#0(9bits) | 配置第一个 SKP 字节 | 110111100 |
| | SKIP Byte#1(9bits) | 配置第二个 SKP 字节 | 001010000 |
| | SKIP Byte#2(9bits) | 配置第三个 SKP 字节 | 0 |
| | SKIP Byte#3(9bits) | 配置第四个 SKP 字节 | 0 |
| Misc | Reset Sequence | 配置是否是使能复位序列 | 使能 |
| | Free Clock frequency(10~100 MHz) | 配置复位序列工作时钟频率 | 100 |
| | RXPCS Align Timer(0~65535 cycles) | 配置 word align 使能情况下异常处理阈值 | 32767 |
| | TX Post-Cursor Emphasis Enable | 配置后标量去加重使能 | 不使能 |
| | TX Post-Cursor Emphasis Static Setting | 配置后标量去加重值 | 0 |
| | TX FFE Dynamic Control | 配置 TX FFE 功能 | 不使能 |

| 页面 | 参数/配置选项 | 参数说明 | IP 配置界面默认值 |
|----|------------------------------|--|--------------------------|
| | TX Config Post1 | 配置后标量 Config1 去加重值 | 0 |
| | TX Config Post2 | 配置后标量 Config2 去加重值 | 0 |
| | RX Termination Mode | 配置 RX 耦合方式 | external AC, internal DC |
| | APB Bus Enable | 配置 APB 总线接口 | 不使能 |
| | P_REFCK2CORE_{0..1} | 配置使能端口 P_REFCK2CORE_{0..1} | 不使能 |
| | TX{0..3}_CLK2_FR_CORE | 配置使能端口 TX{0..3}_CLK2_FR_CORE | 不使能 |
| | TX{0..3} External PLL Ready | 配置使能端口 i_pll_lock_tx_{0..3} | 不使能 |
| | TX{0..3} Swing Control | 配置使能端口 TX{0..3} Swing Control | 不使能 |
| | TX{0..3} ELECIdle Enable | 配置使能端口 TX{0..3} ELECIdle Enable | 不使能 |
| | TX{0..3} Beacon Enable | 配置使能端口 TX{0..3} Beacon Enable | 不使能 |
| | TX{0..3} Rate Channel Select | 配置使能端口 TX{0..3} Rate Channel Select | 不使能 |
| | RX{0..3} Rate Channel Select | 配置使能端口 RX{0..3} Rate Channel Select | 不使能 |
| | RX{0..3}_CLK2_FR_CORE | 配置使能端口 RX{0..3}_CLK2_FR_CORE | 不使能 |
| | RX{0..3} External PLL Ready | 配置使能端口 RX{0..3} i_pll_lock_rx{0..3} | 不使能 |
| | RX{0..3}_Hi-z Control | 配置使能端口 RX{0..3}_Hi-z Control | 不使能 |
| | RX{0..3} OOB Status | 配置使能端口 RX{0..3} OOB Status | 不使能 |
| | RX{0..3} Detection | 配置使能端口 RX{0..3} Detection | 不使能 |
| | RX{0..3} CLK Slip | 配置使能端口 RX{0..3}_CLK_SLIP | 不使能 |
| | RX{0..3} Polarity Invert | 配置使能端口 RX{0..3}Polarity Invert | 不使能 |
| | CH{0..3} Debug Bus | 配置使能端口 CH{0..3} Debug Bus | 不使能 |
| | PLL0 Reset | 配置使能端口 i_pll_rst0 | 使能 |
| | PLL1 Reset | 配置使能端口 i_pll_rst1 | 不使能 |
| | PLL0 WatchDog Clear | 配置使能端口 i_pll_wtchdg_clr0 | 使能 |
| | PLL1 WatchDog Clear | 配置使能端口 i_pll_wtchdg_clr1 | 不使能 |
| | PLL0 Status | 配置使能端口 i_pll_done_0 和 o_wtchdg_st0[1:0] | 使能 |
| | PLL1 Status | 配置使能端口 i_pll_done_1 和 o_wtchdg_st1[1:0] | 不使能 |
| | LANE{0..3} Powerdown Select | 配置使能端口 i_lane_pd_{0..3} | 不使能 |
| | TX{0..3} Reset | 配置使能端口 i_txlane_rst_{0..3} | 不使能 |
| | TX{0..3} Rate Change Select | 配置使能端口 i_tx_rate_chng_{0..3} | 不使能 |

| 页面 | 参数/配置选项 | 参数说明 | IP 配置界面默认值 |
|----|-----------------------------|---|------------|
| | RX{0..3} Reset | 配置使能端口 i_rxlane_rst_{0..3} | 不使能 |
| | RX{0..3} Rate Change Select | 配置使能端口 i_rx_rate_chng_{0..3} 和 i_rxckdiv_{0..3} | 不使能 |
| | RX{0..3} Debug Bus | 配置使能端口 i_hsst_fifo_clr_{0..3} 和 i_loop_dbg_{0..3}[2:0] | 不使能 |

注：“-”表示 IP 配置界面无该参数默认值。

2.3.2 约束配置

关于约束文件的具体配置方法，可以查阅 PDS 安装路径下相关帮助文档：*User_Constraint_Editor_User_Guide*[5]，*Physical_Constraint_Editor_User_Guide*[6]，*Route_Constraint_Editor_User_Guide*[7]。

2.3.3 运行仿真

HSST IP 的仿真是基于 Example Design 的 Test Bench 进行的。有关 Example Design 的详细信息请参见“2.4 Example Design”。

关于 PDS 仿真功能及第三方仿真工具的更多详细信息，可以查阅 PDS 安装路径下相关帮助文档：*Pango_Design_Suite_User_Guide*[2]，*Simulation_User_Guide*[4]。

2.3.4 综合与布局布线

PDS 综合工具和布局布线工具的相关具体用法可以查阅 PDS 安装路径下的帮助文档。

注意：

与 IP 一起产生的 Example Design 工程文件.pds 和管脚约束文件.fdc 存放在/pnr/example_design 目录下，需要根据实际使用的器件和 PCB 板的走线修改物理约束，具体请参见“2.8 说明与注意事项”。

2.3.5 资源利用

表 2-8 HSST IP 基于适用器件的资源利用典型值

| 器件 | 配置模式 | 资源利用典型值 | | | |
|---------|--------|---------|-----|------|------|
| | | LUT | FF | USCM | HSST |
| PGL50H | 1 HSST | 1352 | 913 | 8 | 1 |
| PGL100H | 1 HSST | 1352 | 913 | 8 | 1 |

2.4 Example Design

本节主要介绍基于 HSST IP 的 Example Design 设计方案。该方案通过将两个 HSST IP 对接，互发数据，对数据采用比特位比对的方式来验证接收侧数据是否正确。该方案可通过 APB 接口进行读写寄存器操作。

2.4.1 设计框图

图 2-14 为 HSST IP 的 Example Design 框图，采用了对接测试的方式；其中，instance_name 表示用户在图 2-10 界面的 Instance Name 设置的 IP 名称。

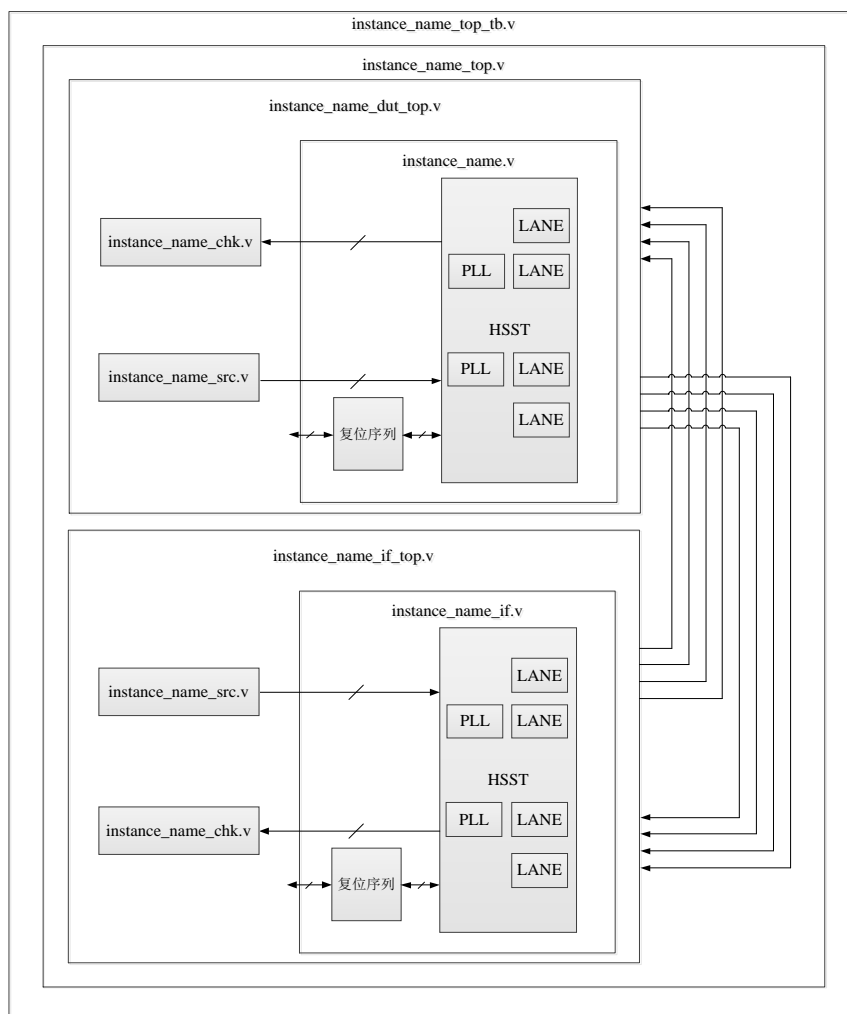


图 2-14 HSST IP Example Design 框图

2.4.2 模块说明

1. Instance_name.v 模块

根据用户在 IP 界面的配置值，生成的 IP 顶层.v 文件，包括 APB Bridge 和复位序列模块。

2. Instance_name_if.v 模块

该模块为 instance_name.v 的镜像模块，参数配置相同，不再阐述。

3. Instance_name_src.v 模块

激励生成模块，适配不同的位宽或编码模式。

(1) Bypassed 模式

当 TX Encoder 和 RX Decoder 设为 Bypassed 模式，不同的位宽构造不同的 0/1 均衡循环 Pattern。

- 8bit 对应循环 Pattern: i_txd_{0..3} 为 8'b01_000_111;
- 10bit 对应循环 Pattern: i_txd_{0..3} 为 10'b01_0000_1111;
- 16bit 对应循环 Pattern: i_txd_{0..3} 为 {2{8'b0001_0111}};
- 20bit 对应循环 Pattern: i_txd_{0..3} 为 {2{10'b00001_01111}};
- 32bit 对应循环 Pattern: i_txd_{0..3} 为 {4{8'b0101_0011}};
- 40bit 对应循环 Pattern: i_txd_{0..3} 为 {4{10'b00101_00111}}。

(2) 8B10B 模式

当 TX Encoder 和 RX Decoder 设为 8B10B 模式，编码前数据 i_txd_{0..3} 为 32bytes 格式，循环发送，具体数据格式如表 2-9 所示。

表 2-9 8B10B 使能时的数据格式

| 字节位置 | 字节内容 | 内容说明 |
|--|-------------|--|
| byte0~3 | a0_a1_a2_a3 | 当 Channel Bonding 使能有效时，a0= CHx_RXPCS_A_REG, 否则，a0=i0; a_{1..3}=i_{1..3}; |
| byte4~7 byte8~11 byte12~15 byte16~19 byte20~23 | i0_i1_i2_i3 | i0= CHx_RXPCS_COMMA_REG0; i1=D5.6 i2=i0 i3=i1 |

| 字节位置 | 字节内容 | 内容说明 |
|-----------|-------------|--|
| byte24~27 | s0_s1_s2_s3 | <p>s0= CHx_RXPCS_SKIP_REG0 s1= "GE" ? CHx_RXPCS_SKIP_REG1: "XAUI"? CHx_RXPCS_SKIP_REG0: "PCIE_2BYTE"? CHx_RXPCS_SKIP_REG1: "PCIE_4BYTE"? CHx_RXPCS_SKIP_REG1: "CUSTOMERIZED_1BYTE"? CHx_RXPCS_SKIP_REG0: "CUSTOMERIZED_2BYTE"? CHx_RXPCS_SKIP_REG1: "CUSTOMERIZED_4BYTE"? CHx_RXPCS_SKIP_REG1:D5.6 s2= "GE" ? CHx_RXPCS_SKIP_REG0: "XAUI"? CHx_RXPCS_SKIP_REG0: "PCIE_2BYTE"? CHx_RXPCS_SKIP_REG0: "PCIE_4BYTE"? CHx_RXPCS_SKIP_REG2: "CUSTOMERIZED_1BYTE"? CHx_RXPCS_SKIP_REG0: "CUSTOMERIZED_2BYTE"? CHx_RXPCS_SKIP_REG0: "CUSTOMERIZED_4BYTE"? CHx_RXPCS_SKIP_REG2: K28_5 s3= "GE" ? CHx_RXPCS_SKIP_REG1: "XAUI"? CHx_RXPCS_SKIP_REG0: "PCIE_2BYTE"? CHx_RXPCS_SKIP_REG1: "PCIE_4BYTE"? CHx_RXPCS_SKIP_REG3: "CUSTOMERIZED_1BYTE"? CHx_RXPCS_SKIP_REG0: "CUSTOMERIZED_2BYTE"? CHx_RXPCS_SKIP_REG1: "CUSTOMERIZED_4BYTE"? CHx_RXPCS_SKIP_REG3: D5.6 备注：条件语句判断值来自 CTC Mode（参见表 2-4）。</p> |
| byte28~31 | p0_p1_p2_p3 | Payload 字节，初始值为 1，向左移位操作。 |

(3) 64B66B_transparent 模式

当 TX Encoder 和 RX Decoder 设为 64B66B_transparent 模式, 循环发送 Pattern 如表 2-10。

表 2-10 64B66B_transparent 模式发送 Pattern

| 位宽 | i_txx_{0..3} | i_txd_{0..3} |
|-------|--------------|-------------------|
| 16bit | {2b'01} | {2{8'b1010_1010}} |
| 32bit | {2b'01} | {4{8'b1010_1010}} |

(4) 64B67B_transparent 模式

当 TX Encoder 和 RX Decoder 设为 64B67B_transparent 模式，循环发送 Pattern 如表 2-11。

表 2-11 64B67B_transparent 模式发送 Pattern

| 位宽 | i_txh_{0..3} | i_txd_{0..3} |
|-------|--------------|-------------------|
| 16bit | {3b'100} | {2{8'b1010_1010}} |
| 32bit | {3'b100} | {4{8'b1010_1010}} |

4. Instance_name_chk.v 模块

测试检测机制模块，适配不同的位宽或编码模式。

(1) Bypassed 模式

当 TX Encoder 和 RX Decoder 设为 Bypassed 模式，按发送 Pattern 格式做检测，实时上报 o_pl_err[3:0]。

(2) 8B10B 模式且 Channel Bonding 不使能

当 TX Encoder 和 RX Decoder 设为 8B10B 模式，且 Channel Bonding 不使能；首先定位 Payload 字节边界，然后判断 Payload 字节是否符合预期，实时上报 o_pl_err[3:0]。

(3) 8B10B 模式且 Channel Bonding 使能

当 TX Encoder 和 RX Decoder 设为 8B10B 模式，且 Channel Bonding 使能；在检测 Payload 字节的同时，对开启 Channel Bonding 功能的 Lane 之间做 Bit 级比对，确保 Lane 之间数据对齐成功，实时上报 o_pl_err[3:0]。

(4) 64B66B_transparent 模式

当 TX Encoder 和 RX Decoder 设为 64B66B_transparent 模式，收到第一个 rxh_start 信号后将同时刻的 rxh_{0..3} 和 rxd_{0..3} 拼接成 66bit 数据，然后根据理想情况 {2'b01, 4{8'b1010_1010}} 判断需要移位的位数并进行移；完成移位操作后在每个 rxh_vld_{0..3} 为 1 的时刻检测 rxh_{0..3} 是否为 2'b01 和 rxd_{0..3} 是否为 2{8'b1010_1010} 或 4{8'b1010_1010}，实时上报 o_pl_err[3:0]。

(5) 64B67B_transparent 模式

当 TX Encoder 和 RX Decoder 设为 64B67B_transparent 模式，收到第一个 rxh_start 信号后将同时刻的 rxh_{0..3} 和 rxd_{0..3} 拼接成 67bit 数据，根据理想情况 {3'b100, 4{8'b1010_1010}} 判断需要移位的位数并进行移位；完成移位操作后在每个 rxh_vld_{0..3} 为 1 时刻检测 rxh_{0..3} 是否为 3'b100 和 rxd_{0..3} 是否为 2{8'b1010_1010} 或 4{8'b1010_1010}，实时上报 o_pl_err[3:0]。

5. Instance_name_dut_top.v 模块

DUT 参考设计模块，在 IP 生成的 instance_name.v 的基础上加入了激励生成和错误检测模块。

6. Instance_name_if_top.v 模块

该模块为 instance_name_dut_top 的镜像模块，参数配置相同，不再阐述。

7. Instance_name_top.v 模块

对接模式顶层模块，在该模块实例化 instance_name_dut_top.v 和 instance_name_if_top.v，把数据差分端口连接起来；并提供了仿真所需的参考时钟 i_p_refckp_{0..1}，i_p_refckn_{0..1} 和 i_free_clk 时钟，实现 TX/RX 上电流程。

8. Instance_name_top_tb.v 模块

对接模式的 Testbench 模块，包括仿真加速、仿真时长设置和测试结果判断等功能。

2.4.3 实例配置

该 Example Design 参数配置根据 IP 界面的配置自动生成，勿需另外配置。

2.4.4 实例仿真

在 Windows 系统下，IP 生成后，在 <project_path>/sim/modelsim 路径下，双击 *.bat 文件（参见“2.3.1.3 生成 IP”）即可运行仿真。

2.5 IP 接口描述

2.5.1 常用接口说明

1. 时钟域说明

- `o_p_pll_lock_{0..1}`、`o_p_rx_sigdet_sta_{0..3}`、`o_p_lx_cdr_align_{0..3}`、`o_p_pcs_lsm_synced_{0..3}`、`o_p_pcs_rx_mcb_status_{0..3}`的驱动时钟在 HSST 内部生成，没有给到用户侧，将其视为异步信号处理；
- master 通道说明：四条通道 Channel Bonding 模式下，Channel0 是 master 通道；两条通道 Channel Bonding 模式下，Channel0 和 Channel1 Bonding 时 Channel0 是 master 通道；Channel2 和 Channel3 Bonding 时 Channel2 是 master 通道；
- rxclk 在 CTC 开启时来源对应 TX Channel 输出的时钟 `o_p_clk2core_tx`，在 Channel Bonding 功能开启，则来源 master 通道的 `o_p_clk2core_rx` 或 `o_p_clk2core_tx`（CTC 开启的场景），其余情况来源 RX Channel 输出的时钟 `o_p_clk2core_rx`；
- txclk 在 Channel Bonding 功能开启时均来源 master 通道 `i_p_tx_clk_fr_core`，不开启时，来自本通道的 `i_p_tx_clk_fr_core`。

2. 常用接口列表

表 2-12 常用接口列表¹²

| 接口名 | 时钟域 | 输入 / 输出 | 描述 |
|--------------------------------|-------------------------|---------|---|
| 复位序列接口 ¹³ | | | |
| <code>i_free_clk</code> | clock | 输入 | 用于复位序列逻辑的时钟，范围在 10~100MHz； |
| <code>i_pll_rst_{0..1}</code> | async | 输入 | 复位 PLL 及驱动的 TX/RX 通道，高有效； |
| <code>o_pll_done_{0..1}</code> | <code>i_free_clk</code> | 输出 | PLL 复位完成指示，高电平有效； 0：表示复位期间或 PLL 未完成 LOCK； 1：表示 PLL 完成 LOCK； |

¹² 此列表只描述常用接口，其他接口请参见“2.3.1.2 配置 IP 参数”、“2.3.1.4 参数描述”、“2.5.2 可选接口说明”；HSST IP 接口命名规则如下：

`i_*`表示输入接口，`o_*`表示输出接口；

命名中的{0..3}分别表示 0~3 的四个命名，如无特殊说明，分别对应 Channel 0~3，后面的参数命名遵循同样的规则。

¹³ 复位序列接口统一约束：输出信号全部为 `i_free_clk` 时钟域；如果没有特殊说明，输入信号会在复位序列逻辑内部做 `i_free_clk` 时钟域同步处理，用户需要保证寄存输入。附录复位序列可选接口也有相同的约束。

| 接口名 | 时钟域 | 输入 / 输出 | 描述 |
|--|-------------|---------|--|
| o_txlane_done_{0..3} | i_free_clk | 输出 | TX 侧复位完成指示，高电平有效，可作为用户逻辑的复位信号使用，在 bonding 情景下只使用 master 通道的指示信号即可； |
| o_tx_ckdiv_done_{0..3} | i_free_clk | 输出 | TX 侧速率切换完成指示，高电平有效，在 bonding 情景下只使用 master 通道的指示信号即可； |
| o_rxlane_done_{0..3} | i_free_clk | 输出 | RX 侧复位完成指示，高电平有效，可作为用户逻辑的复位信号使用，在 bonding 情景下只使用 master 通道的指示信号即可； |
| o_rx_ckdiv_done_{0..3} | i_free_clk | 输出 | RX 侧速率切换完成指示，高电平有效，在 bonding 情景下只使用 master 通道的指示信号即可； |
| HSST 电源和复位接口（在不使用复位序列的情形下有效，使用复位序列时被复位序列功能代替） | | | |
| i_p_lane_pd_{0..3} | async | 输入 | 对应 P_LANE_PD_{0..3} 接口； |
| i_p_pllpowerdown_{0..1} | async | 输入 | 对应 P_PLLPOWERDOWN ¹⁴ _{0..1} 接口； |
| i_p_tx_lane_pd_{0..3} | async | 输入 | 对应 P_TX_LANE_PD_{0..3} 接口； |
| i_p_rx_lane_pd_{0..3} | async | 输入 | 对应 P_RX_LANE_PD_{0..3} 接口； |
| i_p_lane_rst_{0..3} | async | 输入 | 对应 P_LANE_RST_{0..3} 接口； |
| i_p_pll_rst_{0..1} | async | 输入 | 对应 P_PLL_RST_{0..1} 接口； |
| i_p_tx_pma_rst_{0..3} | async | 输入 | 对应 P_TX_PMA_RST_{0..3} 接口； |
| i_p_pcs_tx_rst_{0..3} | async | 输入 | 对应 P_PCS_TX_RST_{0..3} 接口； |
| i_p_rx_pll_rst_{0..3} | async | 输入 | 对应 P_RX_PLL_RST_{0..3} 接口； |
| i_p_rx_pma_rst_{0..3} | async | 输入 | 对应 P_RX_PMA_RST_{0..3} 接口； |
| i_p_pcs_rx_rst_{0..3} | async | 输入 | 对应 P_PCS_RX_RST_{0..3} 接口； |
| APB 接口 | | | |
| i_p_cfg_clk | clock | 输入 | 对应 P_CFG_CLK 接口； |
| i_p_cfg_rst | i_p_cfg_clk | 输入 | 对应 P_CFG_RST 接口； |
| i_p_cfg_psel | i_p_cfg_clk | 输入 | 对应 P_CFG_PSEL 接口 |
| i_p_cfg_enable | i_p_cfg_clk | 输入 | 对应 P_CFG_ENABLE 接口； |
| i_p_cfg_write | i_p_cfg_clk | 输入 | 对应 P_CFG_WRITE 接口； |
| i_p_cfg_addr[15:0] | i_p_cfg_clk | 输入 | 对应 P_CFG_ADDR[15:0] 接口； |
| i_p_cfg_wdata[7:0] | i_p_cfg_clk | 输入 | 对应 P_CFG_WDATA[7:0] 接口； |
| o_p_cfg_rdata[7:0] | i_p_cfg_clk | 输出 | 对应 P_CFG_RDATA[7:0] 接口； |

14 P_*为 HSST 接口，具体参见《UG020013_Logos 系列 FPGA 高速串行收发器(HSST)用户指南》[8]上的描述，下同。

| 接口名 | 时钟域 | 输入 / 输出 | 描述 |
|------------------------------|-------------|---------|---|
| o_p_cfg_int | i_p_cfg_clk | 输出 | 对应 P_CFG_INT 接口; |
| o_p_cfg_ready | i_p_cfg_clk | 输出 | 对应 P_CFG_READY 接口; |
| 时钟接口 | | | |
| i_p_refckn_{0..1} | clock | 输入 | 对应 P_REFCLKP_{0..1}接口; |
| i_p_refckp_{0..1} | clock | 输入 | 对应 P_REFCLKP_{0..1}接口; |
| o_p_clk2core_tx_{0..3} | clock | 输出 | 对应 P_TCLK2FABRIC[3:0]接口; |
| i_p_tx{0..3}_clk_fr_core | clock | 输入 | 对应 P_TX{0..3}_CLK_FR_CORE 接口; |
| o_p_clk2core_rx_{0..3} | clock | 输出 | 对应 P_RCLK2FABRIC[3:0]接口; |
| i_p_rx{0..3}_clk_fr_core | clock | 输入 | 对应 P_RX{0..3}_CLK_FR_CORE 接口; |
| 状态接口 | | | |
| o_p_pll_lock_{0..1} | async | 输出 | 对应 P_PLL_READY_{0..1}接口; |
| o_p_rx_sigdet_sta_{0..3} | async | 输出 | 对应 P_RX_SIGDET_STATUS_{0..3}接口; |
| o_p_lx_cdr_align_{0..3} | async | 输出 | 对应 P_RX_READY_{0..3}接口; |
| o_p_pcs_lsm_synced_{0..3} | async | 输出 | 对应 P_PCS_LSM_SYNCED[3:0]接口; |
| o_p_pcs_rx_mcb_status_{0..3} | async | 输出 | 对应 P_PCS_RX_MCB_STATUS[3:0]接口; |
| Serdes 侧串行差分接口 | | | |
| i_p_l{0..3}rxn ¹⁵ | async | 输入 | 对应 P_RX_SDN{0..3}接口; |
| i_p_l{0..3}rxp | async | 输入 | 对应 P_RX_SDP{0..3}接口; |
| o_p_l{0..3}txn | async | 输出 | 对应 P_TX_SDN{0..3}接口; |
| o_p_l{0..3}txp | async | 输出 | 对应 P_TX_SDP{0..3}接口; |
| 用户侧接口 | | | |
| i_txd_{0..3}[x-1:0] | txclk | 输入 | 数据 TXD 接口, 其中 x 的值与参数 TX Fabric Data Width(Bits)一致, i_p_tx{0..3}_clk_fr_core 时钟域信号; |
| i_tdispse_l_{0..3}[x-1:0] | txclk | 输入 | 用于强制 8b10b 极性和从 I2 到 I1 的强制替换; |

¹⁵ 表示 HSST 串行差分输入输出端口, 命名不同, 含义一致。

| 接口名 | 时钟域 | 输入 / 输出 | 描述 |
|---------------------------|-------|---------|---|
| i_tdispctrl_{0..3}[x-1:0] | txclk | 输入 | <p>{i_tdispctrl_{0..3}, i_tdispsel_{0..3}}为</p> <p>2'b00: 正常数据发送</p> <p>2'b01: 根据 IEEE 802.3 1000BASE-X specification 协议, 实现帧尾第一个 I1/I2 的选择, 满足条件下自动实现从 I2 到 I1 的替换;</p> <p>2'b10: 强制 8b10b 编码极性为负;</p> <p>2'b11: 强制 8b10b 编码极性为正;</p> <p>接口只有当 TX Encoder 参数配置为 8B10B 才有效;</p> <p>当 TX Fabric Data Width(Bits)=8 时, x=1; 当 TX Fabric Data Width(Bits)=16 时, x=2, 其中第 0bit 对应 i_txd_{0..3}[7:0], 第 1bit 对应 i_txd_{0..3}[15:8]; 当 TX Fabric Data Width(Bits)=32 时, x=4, 其中第 0bit 对应 i_txd_{0..3}[7:0], 第 1bit 对应 i_txd_{0..3}[15:8], 第 2bit 对应 i_txd_{0..3}[23:16], 第 3bit 对应 i_txd_{0..3}[31:24];</p> |
| i_txk_{0..3}[x-1:0] | txclk | 输入 | <p>控制 TXK 接口, 只有当 TX Encoder 参数配置为 8B10B 才有效, 每一 bit 对应 8bits i_txd_{0..3}, 对应关系参见 i_tdispsel_{0..3}[x-1:0];</p> <p>1 表示 TXD 为 IEEE 802.3 1000BASE-X Specification 的 8b10b Special Code-groups;</p> <p>0 表示 TXD 为 IEEE 802.3 1000BASE-X Specification 的 8b10b Data Code-groups;</p> |
| i_txq_{0..3}[6:0] | txclk | 输入 | <p>控制 TXQ 接口, 只有当 TX Encoder 参数配置为 64B66B_transparent、64B67B_transparent 才有效;</p> <p>表示用户侧 Sequence counter 输入;</p> <p>其中, [5:0] 用于 64B66B_transparent, [6:0] 用于 64B67B_transparent;</p> |
| i_txh_{0..3}[2:0] | txclk | 输入 | <p>控制 TXH 接口, 只有当 TX Encoder 参数配置为 64B66B_transparent、64B67B_transparent 才有效;</p> <p>表示同步字输入;</p> <p>其中, [1:0] 用于 64B66B_transparent, [2:0] 用于 64B67B_transparent;</p> |
| o_rxstatus_{0..3}[2:0] | rxclk | 输出 | <p>用于 PCI Express PHY Interface (PIPE)接口的接收状态编码:</p> <p>3'b000: 正常结束数据;</p> <p>3'b001:CTC 模块执行了 SKIP add 操作;</p> <p>3'b010: CTC 模块执行了 SKIP delete 操作;</p> <p>3'b011:PCIe4byte 模式, 连续删除;</p> <p>3'b100:Bridge Over Flow;</p> <p>3'b101: CTC FIFO Over Flow;</p> <p>3'b110: CTC FIFO Under Flow;</p> <p>3'b111:Bridge Under Flow;</p> |

| 接口名 | 时钟域 | 输入 / 输出 | 描述 |
|-------------------------|-------|---------|--|
| o_rxd_{0..3}[x-1:0] | rxclk | 输出 | 数据接口 RXD 接口，其中 x 的值与参数 RX Fabric Data Width(Bits)一致，i_p_rx{0..3}_clk_fr_core 时钟域信号； |
| o_rdisper_{0..3}[x-1:0] | rxclk | 输出 | RDISP_ER 接口，只有当 RX Encoder 参数配置为 8B10B 才有效，每一 bit 对应 8bits i_rxd_{0..3}，对应关系参见 i_tdispsel_{0..3}[x-1:0]，高电平表示 8b10b Decoder 检测到 Invalid Disparity； |
| o_rdecer_{0..3}[x-1:0] | rxclk | 输出 | RDEC_ER 接口，只有当 RX Encoder 参数配置为 8B10B 才有效，每一 bit 对应 8bits i_rxd_{0..3}，对应关系参见 i_tdispsel_{0..3}[x-1:0]，高电平表示 8b10b Decoder 检测到 Invalid Code； |
| o_rxk_{0..3}[x-1:0] | rxclk | 输出 | RXK 接口，只有当 RX Encoder 参数配置为 8B10B 才有效，每一 bit 对应 8bits i_rxd_{0..3}，对应关系参见 i_tdispsel_{0..3}[x-1:0]， 1 表示 RXD 为 IEEE 802.3 1000BASE-X Specification 的 8b10b Special Code-Groups； 0 表示 RXD 为 IEEE 802.3 1000BASE-X Specification 的 8b10b Data Code-Groups； |
| o_rxd_vld_{0..3} | rxclk | 输出 | RXD_VLD 接口，只有当 RX Decoder 参数配置为 64B66B_transparent、64B67B_transparent 才有效，每一 bit 对应的 16bit 或 32bit i_rxd_{0..3}， 1 表示 RXD 数据有效； 0 表示 RXD 数据无效； |
| o_rxh_{0..3}[2:0] | rxclk | 输出 | RXH 接口，只有当 RX Decoder 参数配置为 64B66B_transparent、64B67B_transparent 才有效，每一 bit 对应的 16bit 或 32bit i_rxd_{0..3}， 表示同步字输出； 其中，[1:0] 对应 64B66B_transparent，[2:0] 对应 64B67B_transparent； |
| o_rxh_vld_{0..3} | rxclk | 输出 | RXH_VLD 接口，只有当 RX Decoder 参数配置为 64B66B_transparent、64B67B_transparent 才有效，每一 bit 对应 3bit o_rxh_{0..3}， 1 表示 RXH 数据有效； 0 表示 RXH 数据无效； |
| o_rxq_start_{0..3} | rxclk | 输出 | RXQ_START 接口，只有当 RX Decoder 参数配置为 64B66B_transparent、64B67B_transparent 才有效 1 表示 RXD 数据对应的 Sequence counter 为 0 的时刻； 0 表示 RXD 数据对应的 Sequence counter 不为 0 的时刻； |

2.5.2 可选接口说明

在 IP 的 Misc 页，还提供了勾选项用来选择 HSST 和复位序列的可选接口，具体见表 2-13。

表 2-13 Misc 页可选接口配置参数说明

| 参数/配置选项 | 参数说明 | 时钟域 |
|---------------------------------------|--|-------|
| HSST 可选接口 (HSST Optional Pins) | | |
| P_REFCK2CORE_{0..1} | 选择是否使能 o_p_refck2core_{0..1}(P_REFCK2CORE_{0..1})接口； | clock |
| TX{0..3}_CLK2_FR_CORE | 选择是否使能 i_tx{0..3}_clk2_fr_core(P_TCLK2_FR_CORE)_{0..3}接口； | clock |
| TX{0..3} External PLL Ready | 选择是否使能 i_pll_lock_tx_{0..3}接口。 | async |
| TX{0..3} Swing Control | 选择是否使能 i_p_lx_swing_ctl_0_{0..3}(P_TX_SWING_{0..3})接口； 当 i_p_lx_swing_ctl_0_{0..3}为： 1：表示摆幅值为 i_p_lx_margin_ctl_{0..3}[2:0]端口选择后的值的一半； 0：表示摆幅值为 i_p_lx_margin_ctl_{0..3}[2:0]端口选择后的值； 选择是否使能 i_p_lx_margin_ctl_{0..3}[2:0](P_TX_MARGIN_{0..3})[2:0]接口)； 当 i_p_lx_margin_ctl_{0..3}[2:0]为： x00：摆幅值对应参数 PMA_CH_REG_TX_AMP_DAC0； x01：摆幅值对应参数 PMA_CH_REG_TX_AMP_DAC1； x10：摆幅值对应参数 PMA_CH_REG_TX_AMP_DAC2； x11：摆幅值对应参数 PMA_CH_REG_TX_AMP_DAC3； others：Reserved。 | async |
| TX{0..3} ELECIDLE Enable | 选择是否使能 ELECIDLE 接口 i_p_lx_elecidle_en_{0..3}[1:0] (P_TDATA_{0..3}[45:44]) | async |

| 参数/配置选项 | 参数说明 | 时钟域 |
|------------------------------|---|-------|
| TX{0..3} Beacon Enable | 选择是否使能 Beacon 接口 i_p_tx_beacon_en_{0..3} (P_TX_BEACON_EN_{0..3}) | async |
| TX{0..3} Rate Channel Select | 选择是否使能 HSST TX 速率切换接口： i_p_tx_ckdiv_{0..3}[1:0](P_TX_RATE_{0..3}) 以下端口与 PLL{0..1}对应，详细参见 《UG020013_Logos 系列FPGA 高速串行收发器 (HSST)用户指南》[8] i_p_lane_sync_en_{0..1}(P_LANE_SYNC_EN_{0..1}) i_p_lane_sync_{0..1}(P_LANE_SYNC_{0..1}) i_p_rate_change_tclk_on_{0..1}(P_RATE_CHANGE_TCLK_ON_{0..1}) 当使能复位序列时，不可选； | async |
| RX{0..3} Rate Channel Select | 选择是否使能 HSST RX 速率切换接口： i_p_lx_rx_ckdiv_{0..3}[1:0](P_RX_RATE_{0..1}) 当使能复位序列时，不可选； | async |
| RX{0..3}_CLK2_FR_CORE | 选择是否使能 i_rx{0..3}_clk2_fr_core(P_RCLK2_FR_CORE)_{0..3} 接口； | clock |
| RX{0..3} External PLL Ready | 选择是否使能 i_pll_lock_rx_{0..3}接口。 | async |
| RX{0..3}_Hi-z Control | 选择是否使能 i_p_rx_highz_{0..3}(P_RX_HIGHZ_{0..3})接口； | async |
| RX{0..3} OOB Status | 选择是否使能 o_p_lx_oob_sta_{0..3}(P_LX_OOB_STA_{0..3})接口 | async |
| RX{0..3} Detection | 选择是否使能 Receiver Detect 接口： i_p_lx_rxdct_en_{0..3}(P_TX_RXDET_REQ_{0..3}) o_p_lx_rxdct_out_{0..3}(P_TX_RXDET_STATUS_{0..3}) | async |
| RX{0..3}_CLK_SLIP | 选择是否使能 i_p_pcs_word_align_en_{0..3}(P_PCS_WORD_ALIGN_EN[3:0])接口； | async |
| RX{0..3} Polarity Invert | 选择是否使能 i_p_rx_polarity_invert_{0..3}(P_RX_POLARITY_INVERT_{0..3})接口； | async |

| 参数/配置选项 | 参数说明 | 时钟域 |
|---|---|------------|
| CH{0..3} Debug Bus | 选择是否使能 5 种环回模式控制接口，分别是： i_p_pcs_nearend_loop_{0..3}(P_PCS_NEAREND_LOOP_{0..3})接口； i_p_pcs_farend_loop_{0..3}(P_PCS_FAREND_LOOP_{0..3})接口； i_p_pma_nearend_ploop_{0..3}(P_PMA_NEAREND_PLOOP_{0..3})接口； i_p_pma_nearend_sloop_{0..3}(P_PMA_NEAREND_SLOOP_{0..3})接口； i_p_pma_farend_ploop_{0..3}(P_PMA_FAREND_PLOOP_{0..3})接口； 具体配置方法参见《UG020013_Logos 系列FPGA 高速串行收发器(HSST)用户指南》[8]； | async |
| 复位序列可选接口（Reset Sequence Optional Pins） | | |
| PLL{0..1} Reset | 表示是否使能 i_pll_rst_{0..1}接口，仅作展示，用户不可选； i_pll_rst_{0..1}为复位序列的 PLL_{0..1}复位接口，高有效； | async |
| PLL{0..1} WatchDog Clear | 表示是否使能 i_wtchdg_clr_{0..1}接口，仅作展示，用户不可选； i_wtchdg_clr_{0..1}为复位序列内部看门狗清空信号，高有效，用于清零看门狗内部告警计数器，仅做调试使用； | i_free_clk |
| PLL{0..1} Status | 表示是否使能 o_wtchdg_st_{0..1}[1:0]和 o_pll_done_{0..1}接口； o_wtchdg_st_{0..1}[1:0]复位序列看门狗状态指示信号，仅做调试使用： 2'b00: 看门狗等待状态； 2'b10: 看门狗告警状态； 2'b01: 看门狗计数状态； o_pll_done_{0..1}为复位序列完成中间状态，高电平 ¹⁶ 有效，仅做调试使用； | i_free_clk |
| LANE{0..3} Powerdown Select | 选择是否使能 i_lane_pd_{0..3}接口； i_lane_pd_{0..3}为复位序列的通道掉电信号，高电平有效； | i_free_clk |

¹⁶ 高脉冲：维持一个时钟周期的高电平，其他时刻均为低电平，下同。

| 参数/配置选项 | 参数说明 | 时钟域 |
|-----------------------------|---|------------|
| RX{0..3} Reset | <p>选择是否使能 i_rxlane_rst_{0..3} 接口；</p> <p>i_rxlane_rst_{0..3} 为复位序列 RX 侧复位信号，高有效；</p> <p>当 CTC Mode（见参数说明）不是 Bypassed 时，由 i_txlane_rst_{0..3} 统一控制；</p> <p>当 Channel 0~3 为单 Lane 模式，i_rxlane_rst_{0..3} 独立控制 Channel 0~3；</p> <p>当 Channel 0~3 为四 Lane 模式，i_rxlane_rst_0 控制 Channel 0~3；</p> <p>当 Channel 0~1 为双 Lane 模式，i_rxlane_rst_0 控制 Channel 0~1；</p> <p>当 Channel 2~3 为双 Lane 模式，i_rxlane_rst_2 控制 Channel 2~3；</p> | async |
| RX{0..3} Rate Change Select | <p>选择是否使能复位序列的 i_rx_rate_chng_{0..3} 和 i_rxckdiv_{0..3}[1:0] 接口；</p> <p>i_rx_rate_chng_{0..3} 为复位序列速率切换使能，上升沿有效；当启动切速后 o_tx_ckdiv_done_{0..3} 拉高时，才能响应下一个上升沿启动切速，i_free_clk 时钟域信号；</p> <p>当 CTC Mode（见参数说明）不是 Bypassed 时，由 i_tx_rate_chng_{0..3} 统一控制 TX/RX 速率切换；</p> <p>当 Channel 0~3 为单 Lane 模式，i_rx_rate_chng_{0..3} 独立控制 Channel 0~3；</p> <p>当 Channel 0~3 为四 Lane 模式，i_rx_rate_chng_0 控制 Channel 0~3；</p> <p>当 Channel 0~1 为双 Lane 模式，i_rx_rate_chng_0 控制 Channel 0~1；</p> <p>当 Channel 2~3 为双 Lane 模式，i_rx_rate_chng_2 控制 Channel 2~3；</p> <p>当 Channel 0~3 有多条单 lane 或者双 lane 和单 lane 混合时，只有当工作的 Channel 对应的 o_rxlane_done_{0..3} 全部置 1 后，RX 侧才可以速率切换；</p> <p>i_rxckdiv_{0..3}[1:0] 与 P_RX_RATE[1:0] 含义一致，需要在 i_rx_rate_chng_{0..3} 上升沿到来前保持稳定，i_free_clk 时钟域信号；</p> | i_free_clk |

| 参数/配置选项 | 参数说明 | 时钟域 |
|--------------------|--|--|
| RX{0..3} Debug Bus | <p>选择是否使能 i_hsst_fifo_clr_{0..3} 和 i_loop_dbg_{0..3}[2:0] 接口、i_pcs_cb_rst_{0..3}；i_hsst_fifo_clr_{0..3} 仅在双 Lane 模式或者四 Lane 模式且 Channel Bonding Mode（见参数说明）为 Bypassed 时才有效，可以在 o_txlane_done_{0..3} 置起后，输入高脉冲控制清空 HSST RX PCS 的内部 FIFO；</p> <p>在双 lane 或者四 Lane 模式且 Channel Bonding Mode（见参数说明）不为 Bypassed，此时由复位序列内部信号 fifo_clr_en_{0..3} 替代；</p> <p>在复位序列使能时，i_loop_dbg_{0..3}[2:0] 用于环回配置，须配合《UG020013_Logos 系列 FPGA 高速串行收发器(HSST)用户指南》[8]定义的环回模式指导方法使用：</p> <p>i_loop_dbg{0..3}[0]位为 1 表示强制 IP 复位序列认为 sigdet 为高，但不影响正常的 sigdet 状态指示；一般用在（包括但不限于）近端并行环回和接收数据突发式传输等场景。</p> <p>i_loop_dbg{0..3}[1]位为 1 表示强制 IP 复位序列认为 cdr align 为高，但不影响正常的 cdr align 状态指示；一般用在（包括但不限于）近端并行环回和接收数据突发式传输等场景。</p> <p>i_loop_dbg{0..3}[2]位为 1 表示强制 IP 复位序列认为 word align 为高，但不影响正常的 word align 状态指示；一般用在（包括但不限于）使能 word align 但接收数据不包含同步头的测试数据等场景。</p> <p>非环回模式：配置为 3'b000</p> <p>PMA 远端并行环回：配置为 3'b000</p> <p>PMA 近端并行环回：配置为 3'b011</p> <p>PMA 近端串行环回：配置为 3'b000</p> <p>PCS 远端并行环回：配置为 3'b000</p> <p>PCS 近端并行环回：配置为 3'b011</p> <p>用户逻辑环回模式：配置为 3'b111</p> <p>i_pcs_cb_rst_{0..3} 可用于复位 Channel Bonding 模块，高电平有效；</p> | <p>i_hsst_fifo_clr_{0..3}，</p> <p>i_pcs_cb_rst_{0..3} 时钟域为</p> <p>i_free_clk，</p> <p>i_loop_dbg_{0..3}[2:0] 时钟域为 async</p> |

| 参数/配置选项 | 参数说明 | 时钟域 |
|-----------------------------|---|------------|
| TX{0..3} Reset | <p>选择是否使能 i_txlane_rst_{0..3}接口；</p> <p>i_txlane_rst_{0..3}为复位序列 TX 侧复位信号，高有效；</p> <p>当 Channel 0~3 为单 Lane 模式，i_txlane_rst_{0..3} 独立控制 Channel 0~3；</p> <p>当 Channel 0~3 为四 Lane 模式，i_txlane_rst_0 控制 Channel 0~3；</p> <p>当 Channel 0~1 为双 Lane 模式，i_txlane_rst_0 控制 Channel 0~1；</p> <p>当 Channel 2~3 为双 Lane 模式，i_txlane_rstn_2 控制 Channel 2~3；</p> <p>当有通道与双 Lane 模式的通道共用一个 PLL 时，必须同时进行复位操作</p> | async |
| TX{0..3} Rate Change Select | <p>选择是否使能复位序列的 i_tx_rate_chng_{0..3}，i_txckdiv_{0..3}[1:0]接口；</p> <p>i_tx_rate_chng_{0..3}速率切换使能，上升沿有效；</p> <p>当启动切速后 o_rx_ckdiv_done_{0..3}拉高时，才能响应下一个上升沿启动切速，i_free_clk 时钟域信号；</p> <p>当 Channel 0~3 为单 Lane 模式，i_tx_rate_chng_{0..3} 独立控制 Channel 0~3；</p> <p>当 Channel 0~3 为四 Lane 模式，i_tx_rate_chng_0 控制 Channel 0~3；</p> <p>当 Channel 0~1 为双 Lane 模式，i_tx_rate_chng_0 控制 Channel 0~1；</p> <p>当 Channel 2~3 为双 Lane 模式，i_tx_rate_chng_2 控制 Channel 2~3；</p> <p>i_txckdiv_{0..3}[1:0] 与 P_TX_RATE [1:0]含义一致，需要在 i_tx_rate_chng_{0..3}上升沿到来前保持稳定，i_free_clk 时钟域信号；</p> <p>来自相同 PLL 的 lane 须在同一时刻进行速率切换；</p> <p>当 2 条 lane 以上来自相同 PLL 时，若只对单条 lane 进行速率切换，须通过 APB 接口对不进行速率切换的 lane 执行屏蔽操作，具体参见《UG020013_Logos 系列 FPGA 高速串行收发器(HSST)用户指南》[8]；</p> | i_free_clk |

2.6 IP 寄存器描述

本节介绍 HSST IP 相关寄存器说明及访问方式。

2.6.1 寄存器说明

HSST 的寄存器说明请参见《UG020013_Logos 系列 FPGA 高速串行收发器(HSST) 用户指南》[8]。

2.6.2 寄存器访问

用户通过 APB 总线接口可实现对所有 LANE 和 PLL 的配置寄存器访问，请参见“2.2.2 APB 接口”。

2.7 典型应用

HSST IP 的典型应用请参见“2.4 Example Design”。

2.8 说明与注意事项

2.8.1 RXPCS Align Timer 计算方法

$$\begin{aligned}
 PCS_RCLK &= \frac{LINE_RATE \text{ Gbps} * 10^3}{INNER_WIDTH} \text{ MHz} \\
 TIME0 &= \left(JUMBO_FRAME_LEN * JUMBO_FRAME_NUM * 8 \right) * \frac{1}{PCS_RCLK} \Bigg/ INNER_WIDTH \\
 TIME1 &= \frac{1}{FREE_CLK} \\
 RXPCS \text{ Align Timer} &= \frac{TIME0}{TIME1} = \left(JUMBO_FRAME_LEN * JUMBO_FRAME_NUM * 8 \right) * \frac{1}{PCS_RCLK} \Bigg/ INNER_WIDTH \Bigg/ \frac{1}{FREE_CLK} \\
 &= \frac{\left(JUMBO_FRAME_LEN * JUMBO_FRAME_NUM * 8 \right) * \frac{1}{LINE_RATE \text{ Gbps} * 10^3} \Bigg/ INNER_WIDTH}{INNER_WIDTH} \Bigg/ \frac{1}{FREE_CLK} \\
 &= \frac{JUMBO_FRAME_LEN * JUMBO_FRAME_NUM * 8 * FREE_CLK}{LINE_RATE * 10^3}
 \end{aligned}$$

其中：

JUMBO_FRAME_LEN 表示一个巨型帧长度，单位为字节。

JUMBO_FRAME_NUM 表示巨型帧个数。

LINE_RATE 为线速率，单位是 Gbps。

FREE_CLK 是自由时钟，10~100MHz。

INNER_WIDTH 表示 HSST 的 PCS 内部数据位宽。

PCS_CLK 表示 HSST 的 PCS 内部工作时钟。

2.8.2 时钟约束

在应用中，PDS 软件会自动将 HSST 输出的时钟 o_p_clk2core_tx_{0..3}、o_p_clk2core_rx_{0..3} 约束到区域时钟或者全局时钟上，需要关注 o_p_clk2core_tx_{0..3}、o_p_clk2core_rx_{0..3} 在 PDS 布线后的时钟路径是否满足设计意图。可以通过 PDS 软件对时钟属性进行约束，也可以通过编辑.fdc 文件的时钟属性来约束。以本文的 Example Design 为例，编辑.fdc 的约束方法如下。

将时钟 o_p_clk2core_tx_{0..3} 约束到全局时钟：

```
define_attribute {t:U_INST.o_p_clk2core_tx_0} {PAP_CLOCK_ASSIGN} {GTP_CLKBUFG}  
define_attribute {t:U_INST.o_p_clk2core_tx_1} {PAP_CLOCK_ASSIGN} {GTP_CLKBUFG}  
define_attribute {t:U_INST.o_p_clk2core_tx_2} {PAP_CLOCK_ASSIGN} {GTP_CLKBUFG}  
define_attribute {t:U_INST.o_p_clk2core_tx_3} {PAP_CLOCK_ASSIGN} {GTP_CLKBUFG}
```

将时钟 o_p_clk2core_tx_{0..3} 约束到区域时钟：

```
define_attribute {t:U_INST.o_p_clk2core_tx_0} {PAP_CLOCK_ASSIGN} {GTP_CLKBUFR}  
define_attribute {t:U_INST.o_p_clk2core_tx_1} {PAP_CLOCK_ASSIGN} {GTP_CLKBUFR}  
define_attribute {t:U_INST.o_p_clk2core_tx_2} {PAP_CLOCK_ASSIGN} {GTP_CLKBUFR}  
define_attribute {t:U_INST.o_p_clk2core_tx_3} {PAP_CLOCK_ASSIGN} {GTP_CLKBUFR}
```

2.8.3 物理位置约束

在应用中，需要根据实际单板通过 PDS 在.fdc 文件中对 HSST 进行物理位置约束，可以通过 PDS 软件对物理位置进行约束，也可以通过编辑.fdc 文件的物理位置来约束。以本文的 Example Design 为例，编辑.fdc 的约束方法如下。

约束 HSST 物理位置方法：

```
define_attribute {i:U_INST.U_GTP_HSST_WRAPPER.U_GTP_HSST} {PAP_LOC} {HSST_88_340}
```

2.9 IP 调试手段

针对用户实例化 IP 遇到的常见问题，这里列出一些定位方法。

2.9.1 PLL LOCK 不成功

一般地，用户需要明确 HSST 的参考时钟来源，当出现 PLL LOCK 失败时，须先

进行时钟来源配置排查，保证配置和实际应用场景一致。

2.9.2 环回模式不成功

一般地，用户使用端口控制 HSST 进入环回模式，需在 IP 界面勾选 CH{0..3}_Debug_bus 和 RX{0..3}_Debug_bus 选项，如果出现环回数据流收发有问题，则须排查端口 i_loop_dbg_{0..3} 赋值是否符合要求，参见表 2-13。

2.9.3 Word Align 不成功

一般地，用户使能 HSST 的 Word Align 功能，当出现 Word Align 不成功时，首先排查 RX 接收数据流是否包含 COMMA 码，然后排查所包含 COMMA 码与 IP 界面配置 COMMA 码是否匹配，最后排查 Word Align Mode 配置。

其中，CUSTOMRIZED_MODE 表示 HSST 只完成边界对齐，需要 fabric 侧实现同步状态机，GE_MODE 适用 GE 协议，RAPIDIO_MODE 适用 RAPIDIO 协议，其他协议则配置 XAUI_MODE，参见表 2-4。

第3章 附录

3.1 参考文档

- [1] Pango_Design_Suite_Quick_Start_Tutorial
- [2] Pango_Design_Suite_User_Guide
- [3] IP_Compiler_User_Guide
- [4] Simulation_User_Guide
- [5] User_Constraint_Editor_User_Guide
- [6] Physical_Constraint_Editor_User_Guide
- [7] Route_Constraint_Editor_User_Guide
- [8] UG020013_Logos 系列 FPGA 高速串行收发器(HSST)用户指南

3.2 术语表

A

APB Advanced Peripheral Bus

C

CDR Clock Data Recovery

CTC Clock Tolerance Compensation

G

GE 1000BASE-X

H

HSST High Speed Serial Transceiver High Performance

P

PCIE PCI Express

S

SGMII Serial-GMII Specification

X

XAUI 10 Gigabit Attachment Unit interface

3.3 缩略语表

I

IPC IP Compiler

P

PDS Pango Design Suite

3.4 声明

3.4.1 版权声明

本文档版权归深圳市紫光同创电子有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此文档中的任何部分公开、转载或以其他方式披露、散发给第三方。否则，公司必将追究其法律责任。

3.4.2 免责声明

本文档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通

知。如因本文档使用不当造成的直接或间接损失，本公司不承担任何法律责任。

本文档按现状提供，不负任何担保责任，包括对适销性、适用于特定用途或非侵权性的任何担保，和任何提案、规格或样品在他处提到的任何担保。本文档在此未以禁止反言或其他方式授予任何知识产权使用许可，不管是明示许可还是暗示许可。

公司保留任何时候在不事先声明的情况下对公司系列产品相关文档的修改权利。