

# **Logos 系列产品 PCI Express IP**

## **用户指南**

**(UG022004,V1.3)**

**(2022-08-30)**

深圳市紫光同创电子有限公司

版权所有 侵权必究

## 文档版本修订记录

日期	文档版本	修订记录	适用 IP 及对应版本
2020-09-26	V1.0	1. 初始版本。	V1.0
2021-03-30	V1.1	1. 升级 V1_1 版本； 2. 增加“四、(二)”关于 MSI、MSI-X 接口状态描述； 3. 更新“四、(三).1”图 4； 4. 更新“四、(三).2”图 5； 5. 更新“四、(三).3”图 6； 6. 增加“四、(三).4”关于 Reference Clk Select 的描述； 7. 更新“四、(三).4”关于 Reference Clk 的描述； 8. 更新“六、(二)”AXI4-Stream Slave 操作时序图 14、图 18； 9. 增加“六、(二)”AXI4-Stream Slave 操作时序使用限制说明； 10. 增加“六、(三)”MSI 操作时序； 11. 增加“六、(四)”、“(四)”操作时序； 12. 增加“七、(六)”应用实例管脚约束声明。	V1.1
2021-09-29	V1.1a	1. 调整手册架构，规范格式； 2. 增加 IP 版本变更记录； 3. 完善模块例化相关描述，更新 IP 选择路径界面截图，参见“2.3.1 模块例化”； 4. 删除关于 Disable Completion Timeout、Completion Timeout 参数描述，完善 IP 界面配置参数默认值描述，参见“2.3.1.2 配置 IP 参数”； 5. 完善 IP 生成后相关输出文件描述，参见“2.3.1.3 生成 IP”； 6. 增加资源利用说明，参见“2.3.5 资源利用”； 7. 完善 ref_clk 作为 apb_clk 的相关说明，参见表 2-18； 8. 增加“2.7 典型应用”章节内容； 9. 补充 Max_Read_Request_Size 设置的最大值为 1024Bytes，参见“2.8.8 Max_Read_Request_Size 限制”； 10. 增加“2.8.9 AXI-Stream 接口与 PCIe TLP 对应关系说明”； 11. 增加“2.9 IP 调试手段”； 12. 增加“第 3 章 附录”章节相关内容。	V1.1a

日期	文档版本	修订记录	适用 IP 及对应版本
2022-01-20	V1.2	<ol style="list-style-type: none"> <li>1. 增加 V1.2 版本对应的 IP 版本变更记录；</li> <li>2. 完善 IP 特性相关描述，参见表 2-1；</li> <li>3. 更新配置参数说明列表，增加“IP 配置界面默认值”列，参见表 2-3；</li> <li>4. 完善 IP 生成后相关输出文件描述，参见表 2-4；</li> <li>5. 完善资源利用说明，参见“2.3.5 资源利用”；</li> <li>6. 完善 Example Design 框图及文字描述，参见“2.4 Example Design”；</li> <li>7. 完善“2.8.5 PCIe 推荐和支持的连接方式”章节内容；</li> <li>8. 完善附录，增加“3.2 术语表”、“3.3 缩略语表”章节相关内容。</li> </ol>	V1.2
2022-03-21	V1.2a	<ol style="list-style-type: none"> <li>1. 增加 V1.2a 版本对应的 IP 版本变更记录；</li> <li>2. 增加参考时钟频率可选的描述，参见表 2-1 和表 2-20；</li> <li>3. 更新 PDS 软件版本要求，参见“注意”；</li> <li>4. 增加 AXI4-Stream Back to Back Non-Posted 操作时序，参见“图 2-15 和图 2-21”；</li> <li>5. 完善“2.8.5 PCIe 推荐和支持的连接方式”章节内容。</li> </ol>	V1.2a
2022-08-30	V1.3	<ol style="list-style-type: none"> <li>1. 增加 V1.3 版本对应的 IP 版本变更记录；</li> <li>2. 完善 IP 配置界面默认值描述，参见表 2-3；</li> <li>3. 完善 AXI4-Stream Master 操作时序，参见图 2-14 和图 2-15。</li> </ol>	V1.3

## IP 版本变更记录

IP 版本	更新说明	发布时间
V1.0	1. 初始版本。	2020-09-30
V1.1	1. 修复 PCIE IP APB 接口无法配置 HSST 寄存器问题； 2. 增加 PCIE 配置界面 Maximum Link Speed 和 Target Link Speed 默认值关联； 3. 支持 PCIE IP 选择不同参考时钟； 4. 更正 HSST APB 复位； 5. 修正 UI 界面关于 16 进制数输入框没有 Min、Max 约束； 6. 修正 PCIe HSST ref_clk 例化不符合规范问题； 7. 更新 PCIe IP uart2apb 模块； 8. 更新 HSST PMA Detect 相关参数； 9. 修复 PCIe IP 链路小于 X4 时，部分信号位宽不匹配问题； 10. 修复 PCIe MAX_PAYLOAD_SIZE 配置失效问题； 11. 修正 PCIe IP 用户指南 AXIS-Slave 接口时序图； 12. UG 增加 PCIe MSI 操作时序； 13. 修复 PCIe Extended_tag 配置固接问题； 14. 增加 PGL100H 器件支持； 15. UI 界面更新； 16. UG 更新。	2021-03-31
V1.1a	1. 移除 UI 界面 Disable Completion Timeout 和 Completion Timeout 的可配置性与显示； 2. 将 HSST IP 的版本更新至 V1_3； 3. UG 更新。	2021-09-29
V1.2	1. 修改 HSST PMA 参数 CDR_PROP_GAIN 默认值； 2. UG 更新。	2022-01-20
V1.2a	1. 增加参考时钟频率可选为 125MHz 功能； 2. 将 HSST IP 的版本更新至 V1_3e； 3. 更新 PDS 软件版本要求； 4. UG 更新。	2022-03-21
V1.3	1. 修复寄存器初始配置问题； 2. 修正 Example Design 中 Lower Address 逻辑； 3. UG 更新。	2022-08-30

## 目录

文档版本修订记录 .....	2
IP 版本变更记录 .....	4
第 1 章 前言 .....	10
1.1 关于本手册 .....	10
1.2 手册行文规范 .....	10
第 2 章 IP 使用指南 .....	11
2.1 IP 简介 .....	11
2.1.1 主要特性 .....	11
2.1.2 适用器件 .....	13
2.2 IP 框图 .....	13
2.2.1 pcie_hard_ctrl .....	14
2.2.2 pcie_soft_phy .....	14
2.3 IP 生成流程 .....	14
2.3.1 模块例化 .....	14
2.3.2 约束配置 .....	21
2.3.3 运行仿真 .....	21
2.3.4 综合与布局布线 .....	22
2.3.5 资源利用 .....	22
2.4 Example Design .....	24
2.4.1 设计框图 .....	24
2.4.2 模块说明 .....	24
2.4.3 模块寄存器说明 .....	25
2.4.4 实例配置 .....	29
2.4.5 实例仿真 .....	29
2.5 IP 接口描述 .....	30
2.5.1 接口说明 .....	30
2.5.2 I/O 管脚列表说明 .....	31
2.5.3 APB 接口时序 .....	43
2.5.4 用户接口时序 .....	44
2.6 IP 寄存器描述 .....	48
2.6.1 Endpoint .....	48
2.6.2 Root Complex .....	71
2.7 典型应用 .....	73
2.8 说明与注意事项 .....	74
2.8.1 工作模式 .....	74
2.8.2 BAR Size 限制 .....	75
2.8.3 MSI-X 限制 .....	75
2.8.4 Lane Reversal 使用说明 .....	75
2.8.5 PCIe 推荐和支持的连接方式 .....	75
2.8.6 AXI-Stream Master 接口 3DW 使用说明 .....	76
2.8.7 Resizable BAR 使用说明 .....	76
2.8.8 Max_Read_Request_Size 限制 .....	77

2.8.9 AXI-Stream 接口与 PCIe TLP 对应关系说明 .....	77
2.9 IP 调试手段 .....	78
第 3 章 附录 .....	79
3.1 参考文档 .....	79
3.2 术语表 .....	79
3.3 缩略语表 .....	79
3.4 声明 .....	80
3.4.1 版权声明 .....	80
3.4.2 免责声明 .....	80

## 表目录

表 1-1 行文规范说明.....	10
表 2-1 PCIe IP 主要特性 .....	11
表 2-2 PCI Express IP 适用器件 .....	13
表 2-3 PCIe IP 配置参数说明 .....	16
表 2-4 PCIe IP 生成后的输出文件 .....	20
表 2-5 PCIe IP 基于适用器件的资源利用典型值 .....	23
表 2-6 Example Design 寄存器配置表 .....	25
表 2-7 apb_cmd_reg (offset+0x140) .....	25
表 2-8 apb_cmd_length (offset+0x150) .....	26
表 2-9 apb_cmd_l_addr (offset+0x160) .....	26
表 2-10 apb_cmd_h_addr (offset+0x170) .....	26
表 2-11 apb_cmd_data (offset+0x180) .....	26
表 2-12 dma_cmd_reg (bar1+0x100) .....	26
表 2-13 dma_cmd_l_addr (bar1+0x110) .....	27
表 2-14 dma_cmd_h_addr (bar1+0x120) .....	27
表 2-15 CFG_CORE_REG0 (Offset + 0x0).....	27
表 2-16 CFG_CORE_REG1 (Offset + 0x4).....	28
表 2-17 CFG_CORE_REG2 (Offset + 0x8).....	28
表 2-18 CFG_CORE_REG3 (Offset + 0xc).....	28
表 2-19 CFG_CORE_REG4 (Offset + 0x10).....	29
表 2-20 PCIe IP 管脚列表 .....	31
表 2-21 PCI Express IP Upstream 配置空间寄存器 .....	48
表 2-22 Device/Vendor ID REG (Offset = 000h).....	50
表 2-23 Command REG (Offset = 004h) .....	50
表 2-24 Status REG (Offset = 006h) .....	50
表 2-25 Class Code Revision ID REG (Offset = 008h).....	51
表 2-26 Header Type REG (Offset = 00eh).....	51
表 2-27 BAR0 REG(Offset = 010h).....	51
表 2-28 BAR1 REG(Offset = 014h).....	51
表 2-29 BAR2 REG(Offset = 018h).....	52
表 2-30 BAR3 REG(Offset = 01ch).....	52
表 2-31 BAR4 REG(Offset = 020h).....	53
表 2-32 BAR5 REG(Offset = 024h).....	53
表 2-33 SUB_ID REG (Offset = 02ch) .....	53
表 2-34 EXP_ROM_INIT REG (Offset = 030h) .....	54
表 2-35 CAP_PTR REG(Offset = 034h).....	54
表 2-36 INTR REG (Offset = 03ch).....	54
表 2-37 MSI_CAP_List REG (Offset = 050h) .....	55
表 2-38 MSI_Control REG (Offset = 052h).....	55
表 2-39 MSI_CAP_REG1 (Offset = 054h) .....	56
表 2-40 MSI_CAP_REG2 (Offset = 058h) .....	56
表 2-41 MSI_CAP_REG3 (Offset = 05ch) .....	56

表 2-42 MSI_CAP_REG4 (Offset = 060h) .....	57
表 2-43 MSI_CAP_REG5 (Offset = 064h) .....	57
表 2-44 PCIE_CAP_List REG (Offset = 070h) .....	57
表 2-45 PCIE_CAP REG (Offset = 072h) .....	58
表 2-46 Device_CAP REG (Offset = 074h) .....	58
表 2-47 Device_Control REG (Offset = 078h) .....	59
表 2-48 Device_Status REG (Offset = 07ah) .....	60
表 2-49 Link_CAP REG (Offset = 07ch) .....	61
表 2-50 Link_Control REG (Offset = 080h) .....	61
表 2-51 Link_Status REG (Offset = 082h) .....	62
表 2-52 Device_CAP2 REG (Offset = 094h) .....	63
表 2-53 Device_Control2 REG (Offset = 098h) .....	64
表 2-54 Device_Status2 REG (Offset = 09ah) .....	64
表 2-55 Link_CAP2 REG (Offset = 09ch) .....	65
表 2-56 Link_Control2 REG(Offset = 0a0h) .....	65
表 2-57 Link_Status2 REG (Offset = 0a2h) .....	65
表 2-58 MSI-X_CAP_List REG (Offset = 0b0h) .....	66
表 2-59 Message_Control REG (Offset = 0b0h) .....	66
表 2-60 MSI-X_Table_Offset REG (Offset = 0b4h) .....	66
表 2-61 MSI-X_PBA_Offset REG (Offset = 0b8h) .....	67
表 2-62 MSI-X_PBA_Offset REG (Offset = 0b8h) .....	67
表 2-63 Shadow 寄存器 .....	68
表 2-64 BAR0_MASK_REG (Offset = 011h) .....	68
表 2-65 BAR1_MASK_REG (Offset = 015h) .....	68
表 2-66 BAR2_MASK_REG (Offset = 019h) .....	69
表 2-67 BAR3_MASK_REG (Offset = 01dh) .....	69
表 2-68 BAR4_MASK_REG (Offset = 021h) .....	69
表 2-69 BAR0_MASK_REG (Offset = 025h) .....	69
表 2-70 EXP_ROM_BAR (Offset = 031h) .....	70
表 2-71 Port Logic 寄存器 .....	70
表 2-72 PORT_LINK_CTRL_OFF (Offset = 710h) .....	70
表 2-73 GEN2_CTRL_OFF (Offset = 80ch) .....	70
表 2-74 PCI Express IP Downstream 配置空间寄存器 .....	71
表 2-75 Root Control REG (Offset = 08ch) .....	73
表 2-76 Root Capabilities REG (Offset = 08eh) .....	73
表 2-77 推荐连接方式 .....	75
表 2-78 支持连接方式 .....	76
表 2-79 FMT[1:0]字端含义 .....	76
表 2-80 Resizable BAR 参数说明 .....	76
表 2-81 TLP Byte 位置说明 .....	77
表 2-82 AXI-Stream 与 4DW Header TLP 对应关系 .....	78
表 2-83 AXI-Stream 与 3DW Header TLP 对应关系 .....	78



## 图目录

图 2-1 PCI Express IP 功能示意图 .....	13
图 2-2 PCI Express IP 选择路径界面 .....	15
图 2-3 工程例化界面 .....	15
图 2-4 配置 PCI Express 参数界面 .....	15
图 2-5 PCIe IP 生成报告界面 .....	20
图 2-6 PCIe IP Example Design 框图 .....	24
图 2-7 PCIe IP 接口说明 .....	30
图 2-8 APB 基本读时序 .....	43
图 2-9 APB 基本写时序 .....	43
图 2-10 4DW Posted 操作时序 .....	44
图 2-11 3DW Posted 操作时序 .....	44
图 2-12 4DW Non-Posted 操作时序 .....	44
图 2-13 3DW Non-Posted 操作时序 .....	45
图 2-14 Completion 操作时序 .....	45
图 2-15 Back to Back Non-Posted 操作时序 .....	45
图 2-16 4DW Posted 操作时序 .....	46
图 2-17 3DW Posted 操作时序 .....	46
图 2-18 4DW Non-Posted 操作时序 .....	46
图 2-19 3DW Non-Posted 操作时序 .....	46
图 2-20 Completion 操作时序 .....	47
图 2-21 Back to Back Non-Posted 操作时序 .....	47
图 2-22 MSI 操作时序 .....	47
图 2-23 MSI-X 操作时序 .....	48
图 2-24 PCI Express Endpoint 模式示意图 .....	74
图 2-25 Root Port of PCI Express Root Complex 模式示意图 .....	74

## 第1章 前言

本章讲述本手册的适用范围、手册结构及相关行文规范，帮助用户快速查找所需的信息。

### 1.1 关于本手册

本手册为紫光同创推出的 PCI Express IP 的用户指南。该 IP 是 Logos 系列 FPGA 产品中用于实现 PCIe 协议而设计的 IP。本手册内容主要包括 IP 使用指南及相关附录。通过本手册用户可以快速了解 PCI Express IP 相关特性及使用方法。

### 1.2 手册行文规范

表 1-1 行文规范说明

文字	使用原则
注意	若用户忽略注意内容，可能会因误操作而带来一定的不良后果或者无法成功操作。
说明	提供给用户的说明和提示。

## 第2章 IP 使用指南

本章讲述 PCI Express IP 相关使用指南，内容包括 IP 简介、IP 框图、IP 生成流程、Example Design、IP 接口描述、IP 寄存器描述、说明与注意事项。更多设计流程相关详细信息可以参见下述 PDS 帮助文档。

- *Pango\_Design\_Suite\_Quick\_Start\_Tutorial*[1]
- *Pango\_Design\_Suite\_User\_Guide*[2]
- *IP\_Compiler\_User\_Guide*[3]
- *Simulation\_User\_Guide*[4]

### 2.1 IP 简介

PCI Express IP 是 Logos 系列 FPGA 产品中用于实现 PCIe 协议而设计的 IP, 可通过公司 PDS ( Pango Design Suite) 套件中的 IPC (IP Compiler ) 工具完成 IP 模块的配置和生成。

#### 2.1.1 主要特性

Logos 系列 PCI Express IP 是按照 *PCI Express® Base Specification Revision 2.1*[8] 协议和 *PHY Interface for the PCI Express™ Architecture Version 2.00*[12] (数据通路扩展为 32 bits) 协议实现的 IP。主要特性参见表 2-1。

表 2-1 PCIe IP 主要特性

功能特性	特性说明
支持配置 Device Type	PCI Express Endpoint
	Legacy PCI Express Endpoint
	Root Port of PCI Express Root Complex
支持配置 Max Link Width	x1
	x2
	x4
支持配置 Max Link Speed	2.5GT/s
	5GT/s
支持选择 Reference Clk 频率 <sup>1</sup>	100MHz
	125MHz

<sup>1</sup> IP 界面的该配置项仅作用于 PLL0。

功能特性	特性说明
支持 Upconfigure Capable	-
支持 Debug 接口	-
支持通过 Apb 动态配置 PCIe Configuration Space	-
支持 Receive Queue Management	
支持 Lane Reversal	-
支持 Force No Scrambling	-
支持配置 ID	支持配置 Vendor ID
	支持配置 Device ID
	支持配置 Revision ID
	PCI Express Endpoint、Legacy PCI Express Endpoint 支持配置 Subsystem Vendor ID
	PCI Express Endpoint、Legacy PCI Express Endpoint 支持配置 Subsystem ID
	支持配置 Classcode
支持 BAR 配置	PCI Express Endpoint、Legacy PCI Express Endpoint 支持配置 6 个 BAR
	Root Port of PCI Express Root Complex 仅支持配置 BAR0、BAR1
	PCI Express Endpoint 支持配置为 Memory BAR
	Legacy PCI Express Endpoint、Root Port of PCI Express Root Complex 支持配置为 Memory、IO BAR
	支持 32bit BAR
	32bit BAR 支持配置大小为 256 Byte -2G Byte
	BAR0、BAR2、BAR4 支持 64bit BAR
	64bit BAR 支持 Prefetchable
	64bit BAR 支持配置大小为 256 Byte -8E Byte
	支持 Expansion ROM BAR
	Expansion ROM BAR 支持配置大小为 2K Byte -16M Byte
支持配置 Max Payload Size	128 Byte
	256 Byte
	512 Byte
	1024 Byte
支持配置 Extended Tag Field 与 Extended Tag Default	-
支持 Atomic 事务	-
RC 时支持设置 Read Completion Boundary	-
支持配置 Target Link Speed	-
RC 时支持设置 CRS Software Visibility	-
支持设置 ECRC Generation Capable	-

功能特性	特性说明
默认使能 ECRC Check Capable	-
支持 INIT 中断	PCI Express Endpoint、Legacy PCI Express Endpoint 只支持 INTA Root Port of PCI Express Root Complex 支持 INTA、INTB、INTC、INTD
支持 MSI 中断	支持 64-bit Address MSI 中断 支持 Multiple Message Capable: 1、2、4、8、16、32 个 Vectors 支持 Per Vector Masking Capable
支持 MSIx 中断	支持配置 Table Size 、Offset 与 BIR 支持配置 PBA Offset 与 BIR

注：“-”表示无该项说明。

## 2.1.2 适用器件

表 2-2 PCI Express IP 适用器件

适用器件	支持封装类型
PGL50H	ALL
PGL100H	ALL

## 2.2 IP 框图

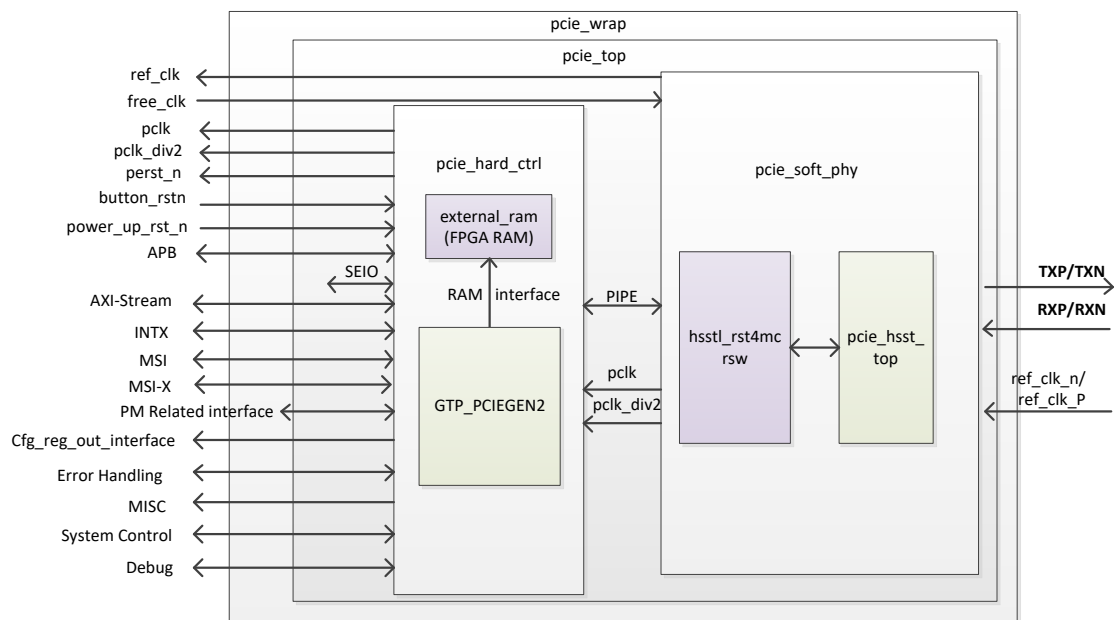


图 2-1 PCI Express IP 功能示意图

PCI Express IP 主要由 pcie\_hard\_ctrl 和 pcie\_soft\_phy 两部分组成。

### 2.2.1 pcie\_hard\_ctrl

pcie\_hard\_ctrl 用于实现协议相关的 Transaction Layer、Data Link Layer 及 Physical Layer (MAC)三层的主要功能。

- external\_ram：用于实现 PCIe 的 RCV\_HEAD\_RAM、RCV\_DATA\_RAM、RETRY\_DATA\_RAM 功能；
- GTP\_PCIEGEN2：用于实现 PCIe 主要功能。

### 2.2.2 pcie\_soft\_phy

pcie\_soft\_phy 包含 HSST 及相应的复位序列。

- hsst\_rst4mcsw：HSST 复位序列；
- pcie\_hsst\_top：HSST 顶层。

## 2.3 IP 生成流程

### 2.3.1 模块例化

通过 IPC 工具可以完成 PCI Express IP 的定制化配置，例化生成所需的 IP 模块。关于 IPC 工具的具体使用方法，请参见 *IP\_Compiler\_User\_Guide*[3]。

PCI Express IP 模块例化的主要操作步骤描述如下。

#### 1. 选择 IP

打开 IPC，在主窗口中点击 File->Update 打开 Update IP 对话框，添加对应版本的 IP 模型。

选择 FPGA 的器件类型之后 Catalog 界面可以显示已装载的 IP 模型。选取 System/PCIe 目录下对应版本的 PCI Express，IP 选择路径界面如图 2-2 所示。然后在右侧页面设置 Pathname 和 Instance Name 名称，工程例化界面如图 2-3 所示。

---

注意：

软件必须为 2021.1-SP7.2、2021.4-SP1、2022.1 及以上版本。

---

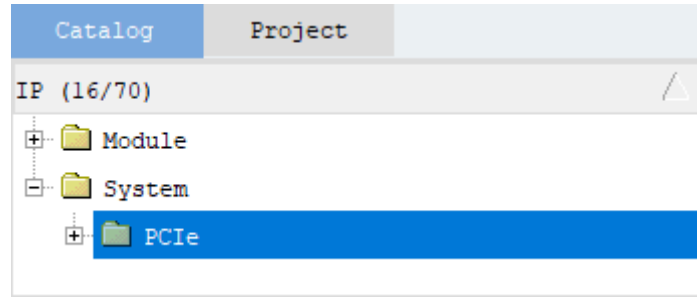


图 2-2 PCI Express IP 选择路径界面

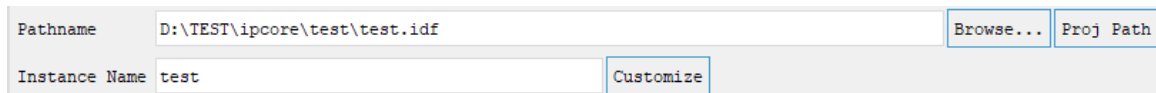


图 2-3 工程例化界面

## 2. 配置 IP 参数

IP 选择完成后点击 <Customize> 进入 PCI Express 参数设置界面，参数配置窗口如下图所示，IP 配置参数说明参见表 2-3。

PCIe Basic Settings

Device Type: PCI Express Endpoint

Maximum Link Width: X1 Maximum Link Speed: 2.5 GT/s

Reference Clk: 100 MHz Reference Clk Select: ref\_clk1

☒ Upconfigure Capable  
☐ Enable Lane Reversal  
☐ Disable Scrambling  
☒ Dynamic Configuration for PCIe  
☐ Enable Receive Queue Management  
☒ Enable Debug Ports  
☒ Enable Configuration Out Ports  
☐ Enable Credit Ports

PCIe ID Settings

Vendor ID: 0755 Range'h0-FFFF

Device ID: 0755 Range'h0-FFFF

Revision ID: 00 Range'h0-FF

Subsystem Vendor ID: 0000 Range'h0-FFFF

Subsystem ID: 0000 Range'h0-FFFF

Class Code Settings

Base Class Code: 05 Range'h0-FF

Sub Class Code: 80 Range'h0-FF

Programming Interface: 00 Range'h0-FF

Base Address Registers Settings

☒ BAR0 Enable ☒ BAR1 Enable  
 BAR0 Type: 32bit Memory BAR1 Type: 32bit Memory  
 BAR0 Size: 8 Kilobytes BAR1 Size: 4 Kilobytes  
☒ BAR2 Enable ☐ BAR3 Enable

图 2-4 配置 PCI Express 参数界面

表 2-3 PCIe IP 配置参数说明

选项区域	参数/配置选项	参数说明	IP 配置界面默认值
PCIe Basic Settings	Device Type	选择 PCIe 设备类型	PCI Express Endpoint
	Maximum Link Width	设置 PCIe 设备支持的最大链路宽度	X1
	Maximum Link Speed	配置 PCIe 设备支持的最大链路速率	2.5 GT/s
	Reference Clk	选择参考时钟	100 MHz
	Reference Clk Select	选择参考时钟来源	ref_clk1
	Upconfigure Capable	Upconfigure Capable 使能选项 勾选：打开 Upconfigure Capable 功能 不勾选：关闭 Upconfigure Capable 功能	勾选
	Enable Lane Reversal	Lane Reversal 使能选项 勾选：打开自动 Lane Reversal 功能 不勾选：关闭自动 Lane Reversal 功能	不勾选
	Disable Scrambling	加解扰使能选项 勾选：关闭加解扰 不勾选：打开加解扰	不勾选
	Dynamic Configuration for PCIe	PCIe 配置空间寄存器动态读写接口（APB 接口）使能选项 勾选：打开动态读写 PCIe 配置空间寄存器功能 不勾选：关闭动态读写 PCIe 配置空间寄存器功能	勾选
	Enable Receive Queue Management	用户接口接收 Buffer 管理接口使能选项 勾选：使用用户接口接收 Buffer 管理接口 不勾选：不使用用户接口接收 Buffer 管理接口	不勾选
	Enable Debug Ports	Debug 接口使能选项 勾选：使用 Debug 接口 不勾选：不使用 Debug 接口	勾选
	Enable Configuration Out Ports	配置空间信息输出接口使能选项（仅在使能 Debug 接口时有效） 勾选：使用 Configuration Out 接口 不勾选：不使用 Configuration Out 接口	勾选
	Enable Credit Ports	对端 Credit 信息使能选项（仅在使能 Debug 接口时有效） 勾选：使用 Credit 信息接口 不勾选：不使用 Credit 信息接口	不勾选
PCIe ID Settings	Vendor ID	设置 Vendor ID	0755
	Device ID	设置 Device ID	0755
	Revision ID	设置 Revision ID	00
	Subsystem Vendor ID	设置 Subsystem Vendor ID RC 模式时无效	0000
	Subsystem ID	设置 Subsystem ID RC 模式时无效	0000



选项区域	参数/配置选项	参数说明	IP 配置界面默认值
Class Code Settings	Base Class Code	设置 Base Class Code RC 模式时固定为 06	05
	Sub Class Code	设置 Sub Class Code RC 模式时固定为 00	80
	Programming Interface	设置 Programming Interface RC 模式时固定为 00	00
Base Address Registers Settings	BAR0 Enable	BAR0 使能选项 勾选: Enable BAR0 不勾选: Disable BAR0	勾选
	BAR0 Type	BAR0 类型设置 可选为: 32bit Memory 32bit IO 64bit Prefetchable Memory 64bit Non-Prefetchable Memory 其中 EP 时不可选 32bit IO	32bit Memory
	BAR0 Size	BAR0 大小设置 32bit Memory、32bit IO 时: 可选范围为 256 Byte-2G Byte 64bit Prefetchable Memory、64bit Non-Prefetchable Memory 时: 可选范围为 256 Byte-8E Byte	8 Kilobytes
	BAR1 Enable	BAR1 使能选项 勾选: Enable BAR1 不勾选: Disable BAR1	勾选
	BAR1 Type	BAR1 类型设置 可选为: 32bit Memory 32bit IO 其中 EP 时不可选 32bit IO	32bit Memory
	BAR1 Size	BAR1 大小设置 可选范围为 256Byte-2G Byte	4 Kilobytes
	BAR2 Enable	BAR2 使能选项 勾选: Enable BAR2 不勾选: Disable BAR2	勾选
	BAR2 Type	BAR2 类型设置 可选为: 32bit Memory 32bit IO 64bit Prefetchable Memory 64bit Non-Prefetchable Memory 其中 EP 时不可选 32bit IO	64bit Non-Prefetchable Memory

选项区域	参数/配置选项	参数说明	IP 配置界面默认值
	BAR2 Size	BAR2 大小设置: 32bit Memory、32bit IO 时: 可选范围为 256Byte-2G Byte 64bit Prefetchable Memory、64bit Non-Prefetchable Memory 时: 可选范围为 256Byte-8E Byte	8 Kilobytes
	BAR3 Enable	BAR3 使能选项 勾选: Enable BAR3 不勾选: Disable BAR3	不勾选
	BAR3 Type	BAR3 类型设置 可选为: 32bit Memory 32bit IO 其中 EP 时不可选 32bit IO	32bit Memory
	BAR3 Size	BAR3 大小设置 可选范围为 256 Byte -2G Byte	256 Bytes
	BAR4 Enable	BAR4 使能选项 勾选: Enable BAR4 不勾选: Disable BAR4	不勾选
	BAR4 Type	BAR4 类型设置 可选为: 32bit Memory 32bit IO 64bit Prefetchable Memory 64bit Non-Prefetchable Memory 其中 EP 时不可选 32bit IO	32bit Memory
	BAR4 Size	BAR4 大小设置 32bit Memory、32bit IO 时: 可选范围为 256 Byte-2G Byte 64bit Prefetchable Memory、64bit Non-Prefetchable Memory 时: 可选范围为 256 Byte-8E Byte	256 Bytes
	BAR5 Enable	BAR5 使能选项 勾选: Enable BAR5 不勾选: Disable BAR5	不勾选
	BAR5 Type	BAR5 类型设置 可选为: 32bit Memory 32bit IO 其中 EP 时不可选 32bit IO	32bit Memory
	BAR5 Size	BAR5 大小设置 可选范围为 256 Byte-2G Byte	256 Bytes

选项区域	参数/配置选项	参数说明	IP 配置界面默认值
	Expansion ROM Enable	Expansion ROM 使能选项 勾选: Enable Expansion ROM 不勾选: Disable Expansion ROM	不勾选
	Expansion ROM Size	Expansion ROM 大小设置 可选范围为 2KB-16MB	2 Kilobytes
Device Capabilities Settings	Max Payload Size	选择 PCIe 支持的 Max Payload Size	128 Bytes
	Extended Tag Field	Extended Tag Field 使能选项 勾选: Enable Extended Tag Field (IP 最大支持 64 个 Tag) 不勾选: Disable Extended Tag Field (IP 最大支持 32 个 Tag)	勾选
	Extended Tag Default	Extended Tag Default 使能选项 勾选: Enable Extended Tag Field 不勾选: Disable Extended Tag Field	勾选
Device Capabilities2 Settings	Atomic Enable	Atomic 使能选项 勾选: Enable Atomic (支持 AtomicOp) 不勾选: Disable Atomic (不支持 AtomicOp)	不勾选
Link Control Settings	Read Completion Boundary	配置 Link Control Register[3] (仅 RC 可配置) 其余固定为 128 Byte	128 byte
Link Control2 Settings	Target Link Speed	配置 Link Control 2 Register[3:0] 仅 5 GT/s 可配置	2.5 GT/s
Root Capabilities Settings	CRS Software Visibility	配置 Root Capabilities Register [0] 仅 RC 可配置	不勾选
Advanced Error Capabilities Settings	ECRC Generation Capable	配置 Advanced Error Capabilities and Control Register[5]	不勾选
	ECRC Check Capable	配置 Advanced Error Capabilities and Control Register[7]	勾选
Legacy Interrupt Settings	INTX Enable	INTX 使能选项: 勾选: Enable INTX 不勾选: Disable ITNX	不勾选
	Interrupt Pin	选择 INTX 中断 PIN (仅使能 INTX Enable 时有效) EP、Legacy EP: 仅支持 INTA、INTB RC: 支持全部的 INTA、INTB、INTC、INTD	INTA
MSI Interrupt Settings	MSI Enable	MSI Capability 使能选项 勾选: Enable MSI Capability 不勾选: Disable MSI Capability	不勾选
	64bit Address Capable	MSI 64bit Address Capable 使能选项 勾选: 支持 64bit Address MSI 不勾选: 不支持 64bit Address MSI	不勾选
	Multiple Message Capable	选择支持 MSI 向量数量	1 Vector

选项区域	参数/配置选项	参数说明	IP 配置界面默认值
	Per-Vector Masking Capable	MSI Per-Vector Masking Capable 使能选项 勾选：支持 Per-Vector Masking Capable 不勾选：不支持 Per-Vector Masking Capable	不勾选
MSIx Interrupt Settings	MSIx Enable	MSI-X Capability 使能选项 勾选：Enable MSI-X Capability 不勾选：Disable MSI-X Capability	不勾选
	Table Size	配置 MSI-X Table 大小	0x1
	Table Offset	配置 MSI-X Table Offset	0x0
	Table BIR	配置 MSI-X Table 映射 BAR 位置	BAR0
	PBA Offset	配置 MSI-X PBA Offset	0x0
	PBA BIR	配置 MSI-X PBA 映射 BAR 位置	BAR0

### 3. 生成 IP

参数配置完成后点击左上角的 <Generate> 按钮，即可生成用户设置的 PCIe IP。生成 IP 的信息报告界面如图 2-5 所示。



图 2-5 PCIe IP 生成报告界面

#### 注意：

IP 自带生成的.pds 文件和.fdc 文件仅供参考，使用时请根据实际的管脚连接更改管脚约束。

成功生成 IP 后会在步骤 1 中指定的 Instance 路径下输出输出表 2-4 所示文件。

表 2-4 PCIe IP 生成后的输出文件

输出文件 <sup>2</sup>	说明
\$instname.v	所生成 IP 的顶层.v 文件。
\$instname.idf	所生成 IP 的配置文件。
/rtl/*.v	所生成 IP 的 RTL 代码文件。

<sup>2</sup> \$instname 是用户输入的例化名；“\*”为通配符，代替同一类型的文件名。

输出文件 <sup>2</sup>	说明
/rtl/ pcie_ext_ram/*.v	所生成 IP 的明文 RTL 文件，该文件存放着用于实现 PCIe 的 RCV_HEAD_RAM、RCV_DATA_RAM、RETRY_DATA_RAM 功能的 RAM 模块。
/rtl/ pcie_hsst/*.v	所生成 IP 的明文 RTL 文件，该文件夹存放着 HSSTLP 模块。
/rtl/ pcie_pipe/*.v	所生成 IP 的明文 RTL 文件，该文件存放着 HSSTLP 复位序列。
<project_path>/sim/modelsim/*.f	对生成的 Example Design 进行 ModelSim 仿真所需的.v 文件列表。
/sim/modelsim/*.do	对生成的 Example Design 进行 ModelSim 仿真的 do 脚本文件和 do 波形文件。
/sim/modelsim/*.bat	对生成的 Example Design 进行 ModelSim 仿真的脚本。
/example_design/bench/ pango_pcie_top_tb.v	Example Design 的顶层文件的 tb 文件。
/example_design/bench/ pango_pcie_top.v	Example Design 的顶层文件。
/example_design/bench/ pango_pcie_top_sim.v	用于仿真对接的 Example Design 的顶层文件。
/example_design/bench/ ipsl_pcie_wrap_\$ version_sim.v	用于仿真对接的 IP 顶层文件。
/example_design/rtl/*.v	Example Design 设计用到的一些模块文件和顶层文件，具体说明请参见“2.4 Example Design”。
/pnr/core_only/<instance_name>.pds	所生成 IP 核的工程文件。
/pnr/core_only/<instance_name>.fdc	所生成 IP 核的约束文件。
/pnr/example_design/ pango_pcie_top.pds	Example Design 的工程文件。
/pnr/example_design/ pango_pcie_top.fdc	所生成 Example_Design 的约束文件。
/rev_1	综合报告默认输出路径。(该文件夹仅在指定综合工具后才会生成)。
readme.txt	readme 文件，描述 IP 生成后，生成目录的结构。

### 2.3.2 约束配置

关于约束文件的具体配置方法，可以查阅 PDS 安装路径下相关帮助文档：*User\_Constraint\_Editor\_User\_Guide*[5]，*Physical\_Constraint\_Editor\_User\_Guide*[6]，*Route\_Constraint\_Editor\_User\_Guide*[7]。

### 2.3.3 运行仿真

PCI Express IP 的仿真是基于 Example Design 的 Test Bench 进行的。有关 Example

Design 的详细信息请参见“2.4 Example Design”。

关于 PDS 仿真功能及第三方仿真工具的更多详细信息，可以查阅 PDS 安装路径下相关帮助文档：*Pango\_Design\_Suite\_User Guide*[2]，*Simulation\_User\_Guide*[4]。

### 2.3.4 综合与布局布线

PDS 综合工具和布局布线工具的相关具体用法可以查阅 PDS 安装路径下的帮助文档。

---

#### 注意：

与 IP 一起产生的 Example Design 工程文件.pds 和管脚约束文件.fdc 存放在/pnr/example\_design 目录下，需要根据实际使用的器件和 PCB 板的走线修改物理约束，具体请参见“2.8 说明与注意事项”。

---

### 2.3.5 资源利用

PCIe IP 基于适用器件的资源利用典型值参见表 2-5。

表 2-5 PCIe IP 基于适用器件的资源利用典型值

器件	配置模式		资源利用典型值						
			LUT	FF	DRAM	HSST	PLL	PCIE	USCM
PGL50H	PCI Express Endpoint	Gen1、x1	795	702	16	1	0	1	0
		Gen2、x1	800	702	16	1	0	1	0
		Gen1、x2	996	839	16	1	0	1	0
		Gen2、x2	1004	839	16	1	0	1	0
		Gen1、x4	1333	1097	16	1	0	1	0
		Gen2、x4	1335	1098	16	1	0	1	0
	Legacy PCI Express Endpoint	Gen1、x1	795	702	16	1	0	1	0
		Gen2、x1	802	701	16	1	0	1	0
		Gen1、x2	1002	837	16	1	0	1	0
		Gen2、x2	1005	837	16	1	0	1	0
		Gen1、x4	1349	1096	16	1	0	1	0
		Gen2、x4	1338	1096	16	1	0	1	0
	PCI Express Root Complex	Gen1、x1	793	701	16	1	0	1	0
		Gen2、x1	796	701	16	1	0	1	0
		Gen1、x2	1005	839	16	1	0	1	0
		Gen2、x2	1003	838	16	1	0	1	0
		Gen1、x4	1337	1097	16	1	0	1	0
		Gen2、x4	1343	1096	16	1	0	1	0
PGL100H	PCI Express Endpoint	Gen1、x1	795	702	16	1	0	1	0
		Gen2、x1	800	702	16	1	0	1	0
		Gen1、x2	996	839	16	1	0	1	0
		Gen2、x2	1004	839	16	1	0	1	0
		Gen1、x4	1333	1097	16	1	0	1	0
		Gen2、x4	1335	1098	16	1	0	1	0
	Legacy PCI Express Endpoint	Gen1、x1	795	702	16	1	0	1	0
		Gen2、x1	802	701	16	1	0	1	0
		Gen1、x2	1002	837	16	1	0	1	0
		Gen2、x2	1005	837	16	1	0	1	0
		Gen1、x4	1349	1096	16	1	0	1	0
		Gen2、x4	1338	1096	16	1	0	1	0
	PCI Express Root Complex	Gen1、x1	793	701	16	1	0	1	0
		Gen2、x1	796	701	16	1	0	1	0
		Gen1、x2	1005	839	16	1	0	1	0
		Gen2、x2	1003	838	16	1	0	1	0
		Gen1、x4	1337	1097	16	1	0	1	0
		Gen2、x4	1343	1096	16	1	0	1	0

## 2.4 Example Design

本节介绍 PCIe IP 基于 Root Complex 和 Endpoint 对接的 Example Design 方案。该方案分别实例化一个 Root Complex 类型的 PCIe IP 和一个 Endpoint 类型的 PCIe IP，对接进行自协商，协商成功后 RC 通过发送 TLP 包实现 DMA 或者 PIO 操作。

### 2.4.1 设计框图

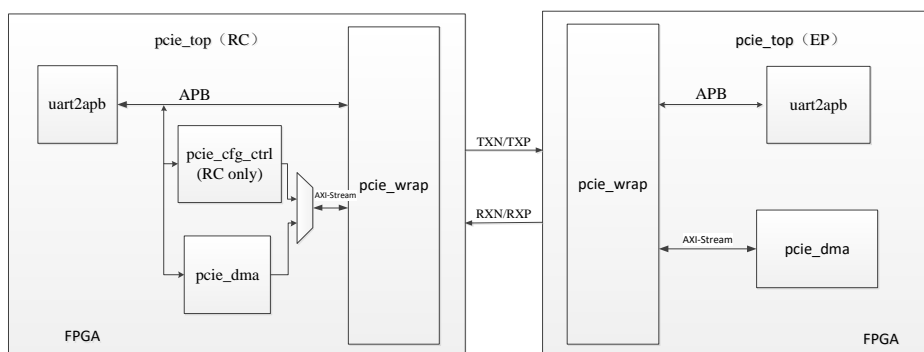


图 2-6 PCIe IP Example Design 框图

### 2.4.2 模块说明

#### 1. pcie\_top 模块

Example Design 顶层。

#### 2. uart2apb 模块

接口转换模块，将串口转为标准 APB 接口。

#### 3. pcie\_cfg\_ctrl 模块

仅在 RC 侧有效，根据用户通过 APB 接口的配置产生符合 AXI-Stream 接口时序的 Cfg TLP 包，完成对 EP 的配置。具体寄存器配置详见“2.4.3 3 CFG\_CTRL (Offset = 0x4000)”。

#### 4. pcie\_dma 模块

DMA 控制模块，根据配置产生符合 AXI-Stream 接口时序的 TLP 包，完成 DMA 控制功能。具体寄存器配置详见“2.4.3 2 DMA\_CTRL (Offset=0x3000)”。



## 5. pcie\_wrap 模块

PCIe IP 顶层。

### 2.4.3 模块寄存器说明

Example Design 相关的模块寄存器参见表 2-6

表 2-6 Example Design 寄存器配置表

Base Addr	寄存器名称
0x3000	DMA_CTRL_REG
0x4000	CFG_CORE_REG
0x7000	DBI_CORE_REG

#### 1. APB2DBI (Offset = 0x7000)

APB 接口转 DBI 接口，通过 DBI 接口对 PCIe 硬核进行功能配置。

#### 2. DMA\_CTRL (Offset=0x3000)

##### (1) RC 端

表 2-7 apb\_cmd\_reg (offset+0x140)

Bits	名称	访问类型	描述
7:0	Reserved	Reserved	Must be 0
8	User_Data_Flag	W/R	配置 MWr TLP 包中 Data 的来源 1: 使用用户自定义的数据组包, (仅支持 1DW) 0: 使用 BAR 中数据组包 Default: 0
15:9	Reserved	Reserved	无
16	ADDR_64	W/R	配置地址长度类型, 默认 32bit 地址 0: 32bit 1: 64bit Default: 0
23:17	Reserved	Reserved	无
24	FMT	W/R	配置 TLP 包类型 0: MRd 1: MWr Default: 0
31:25	Reserved	Reserved	无

表 2-8 apb\_cmd\_length (offset+0x150)

Bits	名称	访问类型	描述
bit	Name	Access	Description
9: 0	Length	W/R	配置 TLP 包的长度 <sup>3</sup>
31:10	Reserved	Reserved	无

表 2-9 apb\_cmd\_l\_addr (offset+0x160)

Bits	名称	访问类型	描述
bit	Name	Access	Description
1:0	Reserved	Reserved	无
31:2	ADDR_L	W/R	MEM 访问的地址低 30 位 Default: 0

表 2-10 apb\_cmd\_h\_addr (offset+0x170)

Bits	名称	访问类型	描述
bit	Name	Access	Description
31:0	ADDR_H	W/R	MEM 访问的地址高 32 位 Default: 0

表 2-11 apb\_cmd\_data (offset+0x180)

Bits	名称	访问类型	描述
31:0	USER_DATA	W/R	配置用户数据，用于配置 EP 的 DMA_REG

## (2) EP 端

表 2-12 dma\_cmd\_reg (bar1+0x100)

Bits	名称	访问类型	描述
9:0	Length	Reserved	P2P WR/RD Length <sup>4</sup>
16	ADDR_64	W/R	配置地址长度类型 0: 32bit 1: 64bit Default: 0

<sup>3</sup> 实际生效的长度为{ apb\_cmd\_length[9: 0]+1} DW。

<sup>4</sup> 实际生效的 Length 为{ dma\_cmd\_reg [9: 0]+1} DW。

Bits	名称	访问类型	描述
23:15	Reserved	Reserved	无
24	FMT	W/R	配置 TLP 包类型 0: MRd 1: MWr Default: 0
31:25	Reserved	Reserved	无

表 2-13 dma\_cmd\_l\_addr (bar1+0x110)

Bits	名称	访问类型	描述
1:0	Reserved	Reserved	无
31:2	ADDR_L	W/R	MEM 访问的地址低 30 位 Default: 0

表 2-14 dma\_cmd\_h\_addr (bar1+0x120)

Bits	名称	访问类型	描述
31:0	ADDR_H	W/R	MEM 访问的地址高 32 位 Default: 0

### 3. CFG\_CTRL (Offset = 0x4000)

表 2-15 CFG\_CORE\_REG0 (Offset + 0x0)

Bits	名称	访问类型	描述
0	FMT	W/R	配置 TLP 包类型 0: RD FMT=3'b000 1: WR FMT=3'b010 Default: 0
1	TYPE	W/R	配置 Type 类型 0: TYPE0 type=5'b00100 1: TYPE1 type=5'b00101 Default: 0
5:2	FBE	W/R	配置 First BE Default: 4'b0000
7:6	Reserved	Reserved	无
15:8	TAG	W/R	配置 TAG Default: 8'h0

Bits	名称	访问类型	描述
16	CPL_RCV	W1C	Cpl 接收 Flag, 指示接收到 Cpl TLP
19:17	CPL_STATUS	W1C	接收到 Cpl 的类型 000: Successful Completion (SC) 001: Unsupported Request (UR) 010: Configuration Request Retry Status (CRS) 100: Completer Abort (CA) Others: Reserved
23:20	Reserved	Reserved	无
24	TX_EN	W/R	Cfg Request 发送使能 Default: 0
31:25	Reserved	Reserved	无

表 2-16 CFG\_CORE\_REG1 (Offset + 0x4)

Bits	名称	访问类型	描述
15:0	REQ_ID	W/R	配置 Requester ID Default: 15'h00
31:16	DES_ID	W/R	配置目标 ID 字段

表 2-17 CFG\_CORE\_REG2 (Offset + 0x8)

Bits	名称	访问类型	描述
9:0	REG_NUM	W/R	配置 Cfg REG_NUM Default: 0x0
23:10	Reserved	Reserved	无
24	CFG_CTRL_EN	W/R	该 Bit 为 1 时: CFG_CTRL 可以使用 axis_master
31:25	Reserved	Reserved	无

表 2-18 CFG\_CORE\_REG3 (Offset + 0xc)

Bits	名称	访问类型	描述
31:0	DATA	W/R	CFG 的发送 DATA 字段 default: 0x0

表 2-19 CFG\_CORE\_REG4 (Offset + 0x10)

Bits	名称	访问类型	描述
31:0	RDATA	R	CFG 的 Read DATA 字段 Cfg rd 时此字段保存的为接收到的 DATA default: 0x0

## 4. 配置过程

Example Design 配置过程详见<instance\_name>/example\_design/bench/ pango\_ pcie\_top\_tb.v<sup>5</sup>文件。

### 2.4.4 实例配置

该方案需要使用 APB 进行配置空间寄存器的配置，并且对 BAR 的设置有要求，使用 IPC 默认配置即可支持。

### 2.4.5 实例仿真

在 Windows 系统下，IP 生成后，在<project\_path>/sim/modelsim 路径下，双击\*.bat 文件<sup>4</sup>即可运行仿真。

<sup>5</sup> IP 生成后的输出文件请参见表 2-4。

### 2.5.1 接口说明

图 2-7 PCIe IP 接口说明

本文档所列端口及参数均为 Example Design 及 IP 所应用端口与参数，如有其他功能、端口或者参数的需求，请咨询 FAE/AE。

## 2.5.2 I/O 管脚列表说明

表 2-20 PCIe IP 管脚列表

端口	I/O	位宽	描述
free_clk	I	1	用于复位序列逻辑时钟，50MHz
pclk	O	1	PCIe内核工作时钟（由HSST提供） 2.5GT/S: 125MHz 5GT/S: 250MHz
pclk_div2	O	1	用户接口时钟（由HSST提供） 2.5GT/S: 62.5MHz 5GT/S: 125MHz
button_rst_n	I	1	复位信号，低有效，异步复位，按键复位，仅调试用
power_up_rst_n	I	1	复位信号，低有效，异步复位，来自插槽PERST#
perst_n	I	1	复位信号，低有效，异步复位，来自插槽PERST#
ref_clk	O	1	free_clk Bypass输出（用于apb_clk）
core_rst_n	O	1	硬核输出的复位信号，供用户逻辑使用，pclk_div2时钟域，低有效
<b>System Control</b>			
smlh_link_up	O	1	1: PHY Link up, pclk_div2时钟域
rdlh_link_up	O	1	1: DLL Link up, pclk_div2时钟域
smlh_ltssm_state	O	5	5'h00: DETECT_QUIET 5'h01: DETECT_ACT 5'h02: POLL_ACTIVE 5'h03: POLL_COMPLIANCE 5'h04: POLL_CONFIG 5'h05: PRE_DETECT_QUIET 5'h06: DETECT_WAIT 5'h07: CFG_LINKWD_START 5'h08: CFG_LINKWD_ACCEPT 5'h09: CFG_LANENUM_WAI 5'h0A: FG_LANENUM_ACCEPT 5'h0B: CFG_COMPLETE 5'h0C: CFG_IDLE 5'h0D: RCVRY_LOCK 5'h0E: RCVRY_SPEED 5'h0F: RCVRY_RCVRCFG 5'h10: RCVRY_IDLE 5'h11: L0 5'h12: L0S 5'h13: L123_SEND_EIDLE 5'h14: L1_IDLE 5'h15: L2_IDLE 5'h16: L2_WAKE

端口	I/O	位宽	描述
			5'h17: DISABLED_ENTRY 5'h18: DISABLED_IDLE 5'h19: DISABLED 5'h1A: LPBK_ENTRY 5'h1B: LPBK_ACTIVE 5'h1C: LPBK_EXIT 5'h1D: LPBK_EXIT_TIMEOUT 5'h1E: HOT_RESET_ENTRY 5'h1F: HOT_RESET
pcs_nearend_loop	I	4	控制HSST 在PCS进行近端环回 1: Enable 0: Disable
pma_nearend_ploop	I	4	控制HSST 在PMA进行近端并行环回 1: Enable 0: Disable
pma_nearend_sloop	I	4	控制HSST 在PMA进行近端串行环回 1: Enable 0: Disable
<b>Configuration Signals</b>			
cfg_pbus_num	O	8	设备当前获取的 Bus Num
cfg_pbus_dev_num	O	5	设备当前获取的 Device Num
cfg_max_rd_req_size	O	3	The value of the Max_Read_Request_Size field in the Device Control register.[14:12]
cfg_bus_master_en	O	1	The state of the bus master enable bit in the PCI-compatible Command register.
cfg_max_payload_size	O	3	The value of the Max_Payload_Size field in the Device Control register[7:5]
cfg_ext_tag_en	O	1	When enabled, controller supports up to 8-bit tag values.
cfg_rcb	O	1	The value of the RCB bit in the Link Control register[3]
cfg_mem_space_en	O	1	The state of the Memory Space Enable bit in the PCI-compatible Command register[1]
cfg_pm_no_soft_rst	O	1	This is the value of the No Soft Reset bit in the Power Management Control and Status Register
cfg_crs_sw_vis_en	O	1	Indicates the value of the CRS Software Visibility enable bit in the Root Control register
cfg_no_snoop_en	O	1	Contents of the “Enable No Snoop” field in the Device_Control register[11]
cfg_relax_order_en	O	1	Contents of the “Enable Relaxed Ordering” field in the Device_Control register[4]
cfg_tph_req_en	O	2	The 2-bit TPH Requester Enabled field of each TPH Requester Control register.
cfg_pf_tph_st_mode	O	3	Steering Tag Mode of Operation for Physical Function



端口	I/O	位宽	描述
cfg_atomic_req_en	O	1	The AtomicOp Requester Enable field of the Device Control 2 register[6].
cfg_atomic_egress_block	O	1	The AtomicOp Egress Blocking field of the Device Control 2 register.
rbar_ctrl_update	O	1	Indicates that a resizable BAR control register has been updated
PHY Diff Signals			
ref_clk_n	I	1	HSSTHP 差分参考时钟信号，100MHz/125MHz
ref_clk_p	I	1	
rxn	I	4	HSSTHP 差分接收信号
rxp	I	4	
txn	O	4	HSSTHP 差分发送信号
txp	O	4	
APB Interface			
p_sel	I	1	对应标准 APB 协议 PSELx
p_strb	I	4	对应标准 APB 协议 PSTRB
p_addr	I	16	对应标准 APB 协议 PADDR
p_wdata	I	32	对应标准 APB 协议 PWDATA
p_ce	I	1	对应标准 APB 协议 PENABLE
p_we	I	1	对应标准 APB 协议 PWRITE
p_rdy	O	1	对应标准 APB 协议 PREADY
p_rdata	O	32	对应标准 APB 协议 PRDATA
AXI Master Interface			
axis_master_tvalid	O	1	对应标准 AXI4-Stream 协议 TVALID
axis_master_tready	I	1	对应标准 AXI4-Stream 协议 TREADY
axis_master_tdata	O	128	对应标准 AXI4-Stream 协议 TDATA
axis_master_tkeep	O	4	DW enable 信号 <sup>6</sup> 为 1 代表对应的 DW 数据有效； axis_master_tkeep[3] control axis_master_tdata[127:96]; axis_master_tkeep[2] control axis_master_tdata[95:64]; axis_master_tkeep[1] control axis_master_tdata[63:32]; axis_master_tkeep[0] control axis_master_tdata[31:0];
axis_master_tlast	O	1	对应标准 AXI4-Stream 协议 TLAST
axis_master_tuser	O	8	Sideband information transmitted alongside axis_master_tdata: 0: radm_trgt1_tlp_abort (Indicates to your application to drop the TLP because of malformed TLP on TRGT1, ECRC error, or completion lookup failures) 1: radm_trgt1_dllp_abort (Indicates to your application to drop the TLP on TRGT1 because of a Data Link Layer error such as LCRC or otherwise) 2: radm_trgt1_ecrc_err (Indicates to your application to drop

<sup>6</sup> 与 AXIS 标准的区别是这里一个 Bit 对应了 4 个 Byte 的 Enable。

端口	I/O	位宽	描述
			<p>the TLP because of an ECRC error in the received TLP on TRGT1)</p> <p>3: radm_trgt1_cpl_last: Indicates the last completion TLP of a split completion transaction.</p> <p>[6:4] : radm_trgt1_in_membar_range[2:0] (Indicates which of the configured BARs contains the target address in the received TLP)</p> <p>3' b0: bar0...</p> <p>3' b1: bar1</p> <p>3' b2: bar2</p> <p>3' b3: bar3</p> <p>3' b4: bar4</p> <p>3' b5: bar5</p> <p>7: radm_trgt1_rom_in_range (Indicates that the target address in the received TLP in range of the expansion ROM)</p>
trgt1_radm_pkt_halt	I	3	<p>Halts the transfer of packets from individual queues. There is one bit of trgt1_radm_pkt_halt for each TLP type for each configured VC:</p> <p>Bit 0: Halt posted TLPs for VC0 mwr</p> <p>Bit 1: Halt non-posted TLPs for VC0 mrd</p> <p>Bit 2: Halt CPL TLPs for VC0</p>
radm_grant_tlp_type	O	6	<p>Indicates that a particular VC and type transaction has been granted to output from the receive queue. There is one bit for each TLP type for each configured VC:</p> <p>Bit [1:0] : Grant posted TLPs for VC0</p> <p>Bit [3:2] : Grant non-posted TLPs for VC0</p> <p>Bit [5:4] : Grant CPL TLPs for VC0</p>
pm_xtlh_block_tlp	O	1	Indicates that your application must stop generating new outgoing request TLPs due to the current power management state
<b>AXI Slave Interface</b>			
axis_slave0/1/2_tready	O	1	对应标准 AXI4-Stream 协议 TVALID
axis_slave0/1/2_tvalid	I	1	对应标准 AXI4-Stream 协议 TREADY
axis_slave0/1/2_tdata	I	128	对应标准 AXI4-Stream 协议 TDATA
axis_slave0/1/2_tlast	I	1	对应标准 AXI4-Stream 协议 TLAST
axis_slave0/1/2_tuser	I	1	<p>Sideband information transmitted alongside axis_slave_tdata:</p> <p>Bit 0: client0/1/2_tlp_bad_eot, Indicates that the current TLP must be nullified.</p>
<b>Interrupt</b>			
cfg_int_disable	O	1	When high a functions ability to generate INTx messages is Disabled
sys_int	I	1	When sys_int goes from low to high, the controller generates an Assert_INTx Message

端口	I/O	位宽	描述
inta_grt_mux	O	1	EP: 0->1 : The signal indicates that the controller sent an Assert_INTA Message to the upstream device. 1->0 : The signal indicates that the controller sent an Deassert_INTA Message to the upstream device. RC: 0->1: The signal indicates that the controller received an Assert_INTA Message from the downstream device 1->0: The signal indicates that the controller received an Deassert_INTA Message from the downstream device
intb_grt_mux	O	1	EP: Not used RC: 0->1: The signal indicates that the controller received an Assert_INTB Message from the downstream device 1->0: The signal indicates that the controller received an Deassert_INTB Message from the downstream device
intc_grt_mux	O	1	EP: Not used RC: 0->1: The signal indicates that the controller received an Assert_INTC Message from the downstream device 1->0: The signal indicates that the controller received an Deassert_INTC Message from the downstream device
intd_grt_mux	O	1	EP: Not used RC: 0->1: The signal indicates that the controller received an Assert_INTD Message from the downstream device 1->0: The signal indicates that the controller received an Deassert_INTD Message from the downstream device
ven_msi_req	I	1	Request from your application to send an MSI/MSI-X when MSI/MSI-X is enabled 1: MSI/MSI-X Request active 0: MSI/MSI-X Request inactive
ven_msi_tc	I	3	Traffic Class of the MSI request, valid when ven_msi_req is asserted.
ven_msi_vector	I	5	Used to modulate the lower five bits of the MSI Data register when multiple message mode is enabled.
ven_msi_grant	O	1	One-cycle pulse that indicates that the controller has accepted the request to send an MSI
cfg_msi_pending	I	32	Indication from application about which functions have a pending associated message.
cfg_msi_en	O	1	Indicates that MSI is enabled (INTx message is not sent) 1: MSI Capability enable 0: MSI Capability disable

端口	I/O	位宽	描述
msix_addr	I	64	The address value for the MSI-X
msix_data	I	32	The data value for the MSI-X
cfg_msix_en	O	1	The MSI-X Enable bit of the MSI-X Control register in the MSI-X Capability structure 1: MSI-X Capability enable 0: MSI-X Capability disable
cfg_msix_func_mask	O	1	The function Mask bit of the MSI-X Control register in the MSI-X Capability structure
cfg_link_auto_bw_mux	O	1	cfg_link_auto_bw_int when legacy int is used, cfg_link_auto_bw_msi when MSI is enabled. Only for RC
cfg_bw_mgt_mux	O	1	cfg_bw_mgt_int when legacy int is used, cfg_bw_mgt_msi when MSI is enabled. Only for RC
cfg_pme_mux	O	1	cfg_pme_int when legacy int is used, cfg_pme_msi when MSI is enabled.
cfg_aer_rc_err_mux	O	1	cfg_aer_rc_err_int: when MSI is NOT enabled. Otherwise used as cfg_aer_rc_err_msi
<b>Error Handling</b>			
radm_cpl_timeout	O	1	Indicates that the completion TLP for a request has not been received within the expected time window
cfg_send_cor_err_mux	O	1	EP: cfg_send_cor_err Sent Correctable Error. RC : radm_correctable_err, One-clock-cycle pulse that indicates that the controller received an ERR_COR message.
cfg_send_nf_err_mux	O	1	EP: radm_nonfatal_err, Sent Non-Fatal Error RC: One-clock-cycle pulse that indicates that the controller received an ERR_NONFATAL message
cfg_send_f_err_mux	O	1	EP: radm_fatal_err, Sent Fatal Error RC: One-clock-cycle pulse that indicates that the controller received an ERR_FATAL message.
cfg_sys_err_rc	O	1	System error detected
<b>Debug Interface</b>			
dyn_debug_info_sel	I	4	动态 debug_info_mux 选择
app_ras_des_sd_hold_lts sm	I	1	Hold and release LTSSM. For as long as this signal is '1', the controller stays in the current LTSSM.
app_ras_des_tba_ctrl	I	2	Controls the start/end of time based analysis. You must only set the pins to the required value for the duration of one clock cycle. 2'b00: No action 2'b01: Start 2'b10 : End. This setting is only used when the TIME_BASED_DURATION_SELECT field of

端口	I/O	位宽	描述
			TIME_BASED_ANALYSIS_CON-TROL_REG is set to "manual control". 2'b11: Reserved
radm_idle	O	1	RADM activity status signal
radm_q_not_empty	O	1	Level indicating that the receive queues contain TLP header/data.
radm_qoverflow	O	1	Pulse indicating that one or more of the P/NP/CPL receive queues have overflowed
diag_ctrl_bus	I	2	Diagnostic Control Bus, 01: Insert LCRC error by inverting the LSB of LCRC 10: Insert ECRC error by inverting the LSB of ECRC
debug_info_mux	O	133	dyn_debug_info_sel = 0: MSI [31:0] cfg_msi_mask[31:0] [95:32] cfg_msi_addr[63:0] [127:96] cfg_msi_data[31:0] 128 cfg_msi_64 [131:129] cfg_multi_msi_en[2:0] 132 cfg_msi_ext_data_en  dyn_debug_info_sel =1: MSI-X [10:0] cfg_msix_table_size[10:0] [13:11] cfg_msix_table_bir[2:0] [42:14] cfg_msix_table_offset[28:0] [45:43] cfg_msix_pba_bir[2:0] [74:46] cfg_msix_pba_offset[28:0]  dyn_debug_info_sel =2: TX debug &DL debug 0 xadm_no_fc_credit[NVC-1:0] 1 xadm_tlp_pending 2 xadm_had_enough_credit[NVC-1:0] 3 xdlh_notexpecting_ack 4 xdlh_xmt_pme_ack 5 xdlh_nodllp_pending [14:6] rfcgen_incr_amt[8:0] 15 rfcgen_incr_enable [17:16] rfcgen_fctype[1:0] 18 xdlh_xtlh_halt 19 xtlh_xdlh_badeot 20 xtlh_xdlh_eot 21 xtlh_xdlh_sot [26:22] active_grant[NCL+2-1:0] [31:27] grant_ack[NCL+2-1:0] [36:32] fc_cds_pass[(NCL+2)*NVC-1:0]

端口	I/O	位宽	描述
			[41:37] arb_reqs[NCL+2-1:0] 42 xmlh_xdlh_halt [44:43] xdlh_xmlh_sdp[1:0] [46:45] xdlh_xmlh_stp[1:0] [48:47] xdlh_xmlh_eot[1:0] [60:49] rdlh_xdlh_req_acknack_seqnum[11:0] 61 rdlh_xdlh_req2send_nack 62 rdlh_xdlh_req2send_ack_due2dup 63 rdlh_xdlh_req2send_ack [75:64] rdlh_xdlh_rcvd_acknack_seqnum[11:0] 76 rdlh_xdlh_rcvd_ack 77 rdlh_xdlh_rcvd_nack 78 cfg_link_retrain 79 rtlh_req_link_retrain 80 xdlh_smlh_start_link_retrain 81 rdlh_rtlh_tlp_dv [83:82] rdlh_rtlh_tlp_eot[1:0] [85:84] rdlh_rtlh_tlp_sot[1:0] 86 ecrc_err_asserted 87 lcrc_err_asserted  dyn_debug_info_sel =3: 0 unexpected_cpl_err 1 cpl_ca_err 2 cpl_ur_err 3 flt_q_cpl_last 4 flt_q_cpl_abort 5 cpl_mlf_err [8:6]flt_q_header_cpl_status[2:0] [10:9] flt_q_header_destination[1:0] 11 form_filt_ecrc_err 12 form_filt_malform_tlp_err 13 form_filt_dllp_err 14 form_filt_eot [16:15] form_filt_dwen[NW-1:0] 17 form_filt_dv 18 form_filt_hv [20:19] rmlh_rdlh_pkt_err[NW-1:0] 21 rmlh_rdlh_pkt_dv [23:22] rmlh_rdlh_pkt_edb[NW-1:0] [25:24] rmlh_rdlh_pkt_end[NW-1:0] [27:26] rmlh_rdlh_tlp_start[NW-1:0] [29:28] rmlh_rdlh_dllp_start[NW-1:0]

端口	I/O	位宽	描述
			[31:30] rmlh_rdlh_nak[NW-1:0] [35:32] smlh_lanes_rcving[NL-1:0] 36 rmlh_rcvd_eidle_set 37 rmlh_rcvd_idle0 38 rmlh_rcvd_idle1 39 smlh_rcvd_lane_rev 40 smlh_ts_link_num_is_k237 41 rmlh_deskew_alignment_err 42 smlh_ts_lane_num_is_k237 43 smlh_ts2_rcvd 44 smlh_ts1_rcvd 45 smlh_ts_rcv_err 46 smlh_inskip_rcv  dyn_debug_info_sel =4: [48:0] cxpl_debug_info[63:0] [64:49] cxpl_debug_info_ei[15:0] [67:65] pm_curnt_state[2:0] 68 pm_sel_aux_clk 69 en_muxd_aux_clk_g 70 en_radm_clk_g 71 link_req_rst_not 72 pm_req_core_rst 73 pm_req_phy_rst 74 pm_req_sticky_rst 75 pm_req_non_sticky_rst  dyn_debug_info_sel =5: [7:0]cfg_int_pin[7:0] [43:8] cfg_rbar_size[35:0] 44 cfg_br_ctrl_serren 45 xdlh_replay_timeout_err 46 xdlh_replay_num_rlover_err 47 rdlh_bad_dllp_err 48 rdlh_bad_tlp_err 49 rdlh_prot_err 50 rtlh_fc_prot_err 51 rmlh_rcvd_err 52 int_xadm_fc_prot_err 53 radm_unexp_cpl_err 54 radm_rcvd_cpl_ur 55 radm_rcvd_cpl_ca 56 radm_rcvd_req_ca

端口	I/O	位宽	描述
			57 radm_rcvd_req_ur 58 radm_ecrc_err 59 radm_mlf_tlp_err 60 radm_rcvd_cpl_poisoned 61 radm_rcvd_wreq_poisoned 62 cfg_sys_err_rc_cor 63 cfg_sys_err_rc_nf 64 cfg_sys_err_rc_f  dyn_debug_info_sel =6: 0 cdm_lbc_ack [4:1]lbc_cdm_wr[3:0] 5 lbc_cdm_cs [37:6] lbc_cdm_data[31:0] [69:38] lbc_cdm_addr[31:0]  dyn_debug_info_sel =7: 0 smlh_eidle_inferred_in_l0: Level: Detect EI Infer 1 rmlh_rcvd_err: Pulse: Receiver Error 2 smlh_rx_rcvry_req: Level: Rx Recovery Request 3 smlh_timeout_nfts: Level: FTS Timeout 4 rmlh_framing_err: Pulse: Framing Error 5 rmlh_deskew_alignment_err: Level: Deskew Error 6 rdllh_bad_tlp_err_pertlp : Pulse: BAD TLP 7 rdllh_lcrc_tlp_err_pertlp : Pulse: LCRC Error 8 rdllh_bad_dllp_err_perdllp: Pulse: BAD DLLP 9 xdlh_replay_num_rlover_err: Pulse: Replay_Num Rollover 10 xdlh_replay_timeout_err: Pulse: Replay Timeout 11 rdllh_rcvd_nack_perdllp: Pulse: Rx Nak DLLP 12 xdlh_nak_sent: Pulse: Tx Nak DLLP 13 xdlh_retry_req: Pulse: Retry TLP 14 rtlh_req_link_retrain: Level: FC Timeout [16:15] cfg_poisoned_tlp: Pulse: Poisoned TLP [18:17] cfg_ecrc_tlp_err: Pulse: ECRC Error [20:19] cfg_ur_tlp: Pulse: Unsupported Request [22:21] cfg_ca_tlp: Pulse: Completer Abort [24:23] cfg_cpl_timeout[1:0]: Pulse: Completion Timeout 25 smlh_l0_to_recovery: Pulse: L0 to Recovery Entry 26 smlh_l1_to_recovery: Pulse: L1 to Recovery Entry 27 smlh_in_l0s: Level: Tx L0s Entry 28 smlh_in_rl0s: Level: Rx L0s Entry 29 pm_asnak: Level: ASPM L1 reject



端口	I/O	位宽	描述
			30 smlh_in_l1: Level: L1 Entry 31 pm_in_l11: Level: L1.1 Entry 32 pm_in_l12: Level: L1.2 Entry 33 pm_in_l1_short: Level: L1 short duration 34 pm_in_l1_cpm: Level: L1 Clock PM (L1 with REFCLK removal/PLL Off) 35 pm_in_l1_abort: Level: L1.2 abort 36 smlh_in_l23: Level: L2 Entry 37 smlh_spd_change: Pulse: Speed Change 38 smlh_lwd_change: Pulse: Link width Change 39 xdlh_ack_sent: Pulse: Tx Ack DLLP 40 xdlh_update_fc_sent: Pulse: Tx Update FC DLLP 41 rdlh_rcvd_ack_perdlp: Pulse: Rx Ack DLLP 42 rtlh_rcvd_ufc_perdlp: Pulse: Rx Update FC DLLP 43 rdlh_nulified_tlp_err_pertlp : Pulse: Rx Nullified TLP 44 xtlh_xadm_restore_enable: Pulse: Tx Nullified TLP 45 rdlh_duplicate_tlp_err_pertlp: Pulse: Rx Duplicate TLP 46 xtlh_tx_memwr_evt: Pulse: Tx Memory Write 47 xtlh_tx_memrd_evt: Pulse: Tx Memory Read 48 xtlh_tx_cfgwr_evt: Pulse: Tx Config Write 49 xtlh_tx_cfgrd_evt: Pulse: Tx Config Read 50 xtlh_tx_iowr_evt: Pulse: Tx IO Write 51 xtlh_tx_iord_evt: Pulse: Tx IO Read 52 xtlh_tx_cplwod_evt: Pulse: Tx Completion wo data 53 xtlh_tx_cplwd_evt: Pulse: Tx Completion w data 54 xtlh_tx_msg_evt: Pulse: Tx Message 55 xtlh_tx_atmcp_evt: Pulse: Tx AtomicOp 56 xtlh_tx_tlpwprefix_evt: Pulse: Tx TLP with Prefix 57 rtlh_rx_memwr_evt: Pulse: Rx Memory Write 58 rtlh_rx_memrd_evt: Pulse: Rx Memory Read 59 rtlh_rx_cfgwr_evt: Pulse: Rx Config Write 60 rtlh_rx_cfgrd_evt: Pulse: Rx Config Read 61 rtlh_rx_iowr_evt: Pulse: Rx IO Write 62 rtlh_rx_iord_evt: Pulse: Rx IO Read 63 rtlh_rx_cplwod_evt: Pulse: Rx Completion wo data 64 rtlh_rx_cplwd_evt: Pulse: Rx Completion w data 65 rtlh_rx_msg_evt: Pulse: Rx Message TLP 66 rtlh_rx_atmcp_evt: Pulse: Rx Atomic 67 rtlh_rx_tlpwprefix_evt: Pulse: Rx TLP with Prefix 68 xtlh_tx_ccix_tlp_evt: Pulse: Tx CCIX TLP 69 rtlh_rx_ccix_tlp_evt: Pulse: Rx CCIX TLP 82:70 cdm_ras_des_ec_info_l0[12:0] 95:83 cdm_ras_des_ec_info_l1[12:0]

端口	I/O	位宽	描述
			108:96 cdm_ras_des_ec_info_l2[12:0] 121:109 cdm_ras_des_ec_info_l3[12:0] 128:122 cdm_ras_des_tba_info_common[6:0]  dyn_debug_info_sel =8: [4:0]pm_master_state[4:0]: Level: PM Internal State (Master) [8:5]pm_slave_state[3:0]: Level: PM Internal State (Slave) [15:9] rmlh_framing_err_ptr[6:0]: Pulse: 1st Framing Error Pointer [16] smlh_lane_reversed: Level: Lane Reversal Operation [17] pm_pme_resend_flag: Pulse: PME Re-Send flag [33:18] smlh_ltssm_variable [15:0]: Level: LTSSM Variable [36:34] ltssm_powerdown[1:0]: Level: PIPE: Power Down [44:37] latched_ts_nfts[7:0]: Level: Latched NFTS [46:45] rdlh_dlcntnl_state [1:0]: Level: DLCM [47] rdlh_vc0_initfc1_status: Level: Init-FC Flag1 VC0 [48] rdlh_vc0_initfc2_status: Level: Init-FC Flag2 VC0 [60:49] rdlh_curnt_rx_ack_seqnum[11:0]: Level: Rx ACK SEQ# [72:61] xdlh_curnt_seqnum [11:0]: Level: Tx TLP SEQ# 85:73 cdm_ras_des_sd_info_l0[12:0] 98:86 cdm_ras_des_sd_info_l1[12:0] 111:99 cdm_ras_des_sd_info_l2[12:0] 124:112 cdm_ras_des_sd_info_l3[12:0]  dyn_debug_info_sel =9: 119:0 cdm_ras_des_sd_info_v0[239:120]  dyn_debug_info_sel =10: 119:0 cdm_ras_des_sd_info_v0[119:0]
<b>MISC</b>			
cfg_ido_req_en	O	1	ID-Based Ordering Requests Enabled
cfg_ido_cpl_en	O	1	ID-Based Ordering Completions Enabled
xadm_ph_cdts	O	8	The amount of posted header buffer space currently available at the receiver at the other end of the link
xadm_pd_cdts	O	12	The amount of posted data buffer space currently available at the receiver at the other end of the link
xadm_nph_cdts	O	8	The amount of non-posted header buffer space currently available at the receiver at the other end of the link
xadm_npd_cdts	O	12	The amount of non-posted data buffer space currently available at the receiver at the other end of the link
xadm_cplh_cdts	O	8	The amount of completion header buffer space currently available at the receiver at the other end of the link

端口	I/O	位宽	描述
xadm_cpld_cdts	O	12	The amount of completion data buffer space currently available at the receiver at the other end of the link

### 2.5.3 APB 接口时序

#### 1. APB 读时序

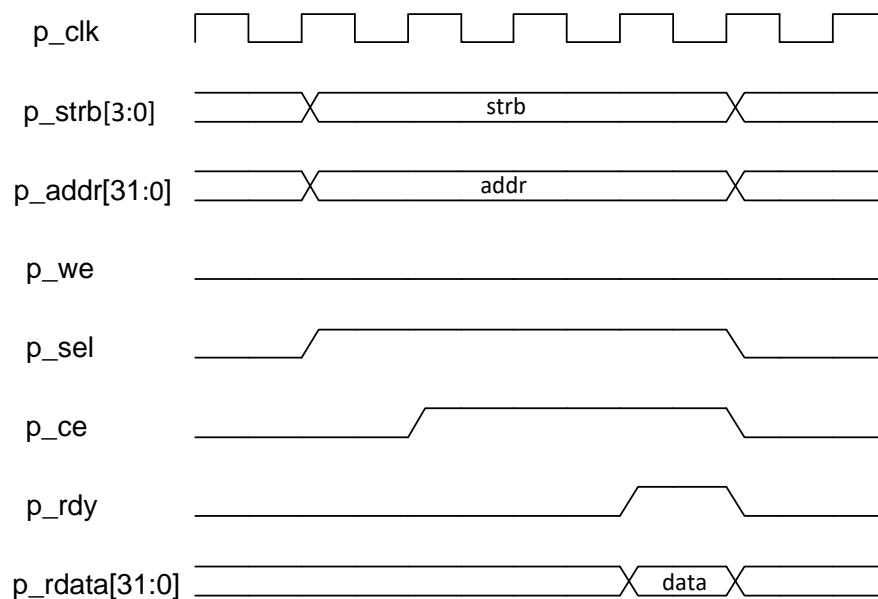


图 2-8 APB 基本读时序

#### 2. APB 写时序

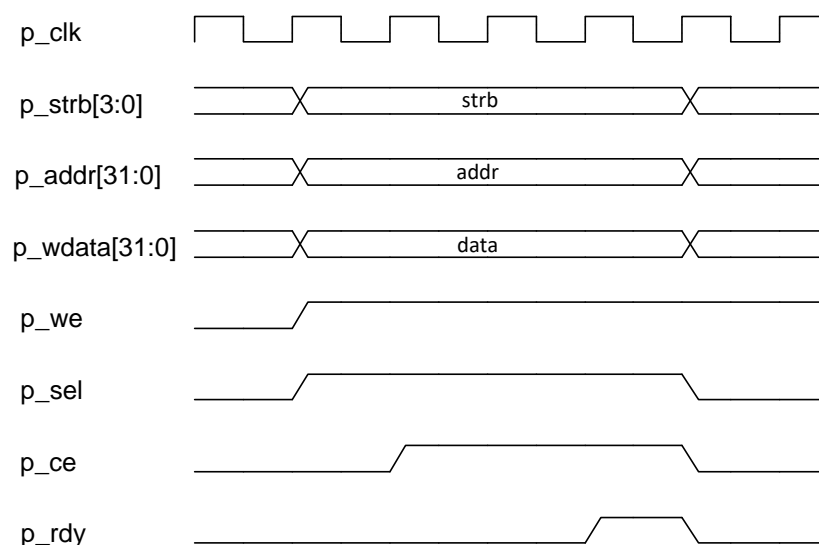


图 2-9 APB 基本写时序

## 2.5.4 用户接口时序

### 1. AXI4-Stream Master 操作时序

3DW 场景请参见“2.8.6 AXI-Stream Master 接口 3DW 使用说明”。

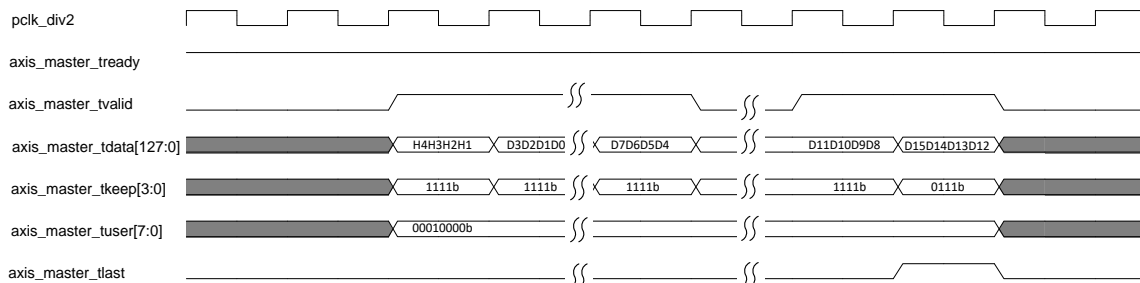


图 2-10 4DW Posted 操作时序

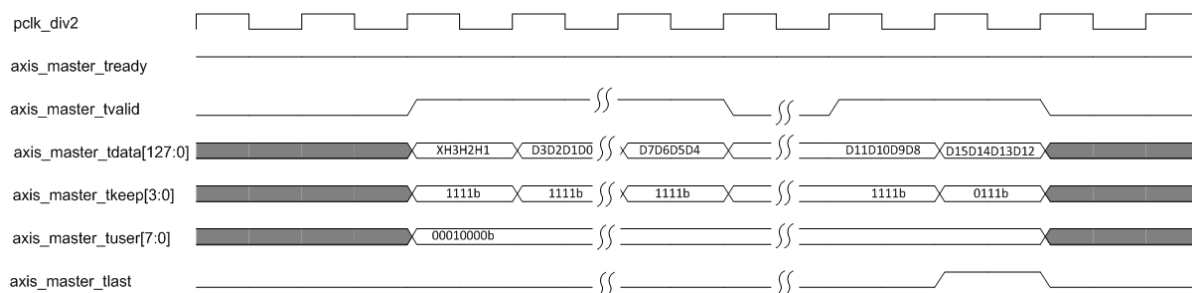


图 2-11 3DW Posted 操作时序

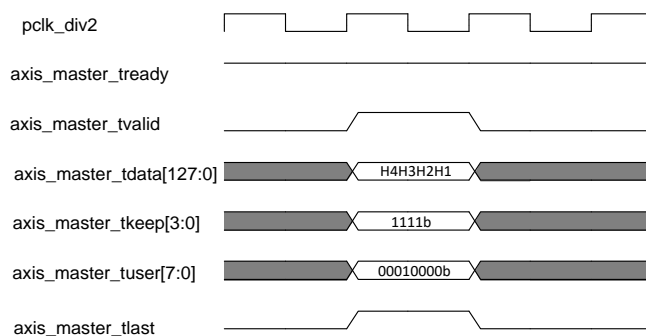


图 2-12 4DW Non-Posted 操作时序

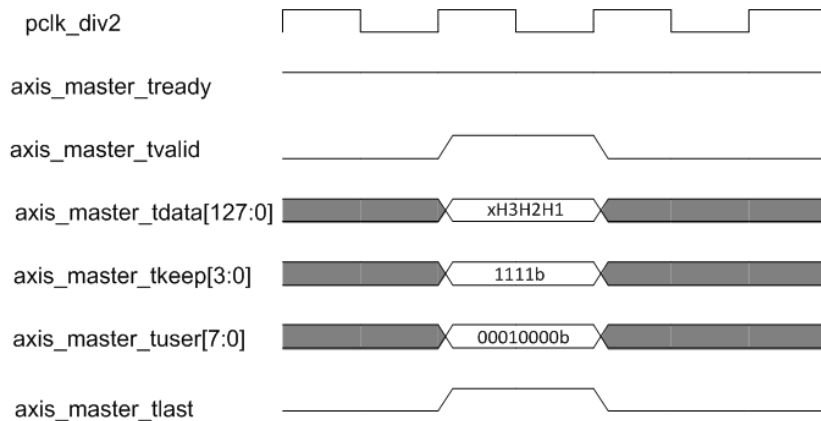


图 2-13 3DW Non-Posted 操作时序

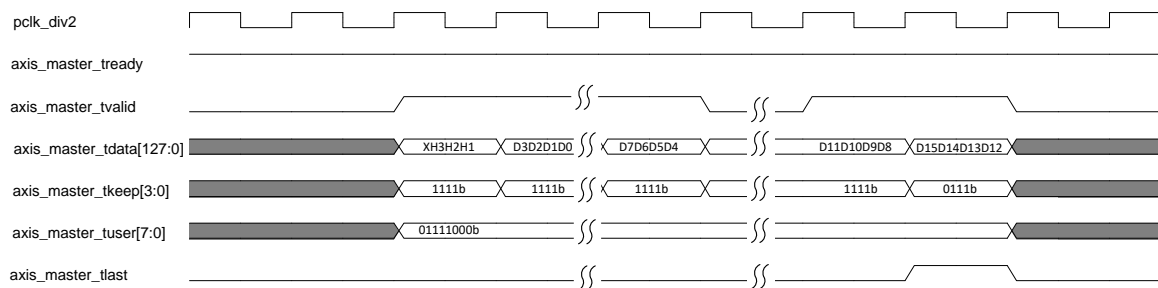


图 2-14 Completion 操作时序

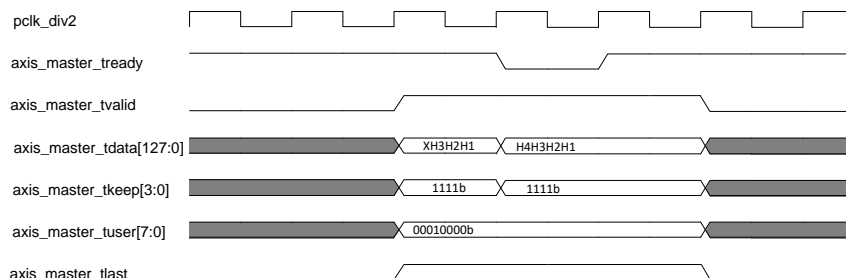


图 2-15 Back to Back Non-Posted 操作时序

## 2. AXI4-Stream Slave 操作时序

一旦启动发送数据，axis\_slave0/1/2\_tvalid 需要保持高电平，一直到最后一个数据传输完毕（axis\_slave0/1/2\_tlast 高脉冲）才能拉低。

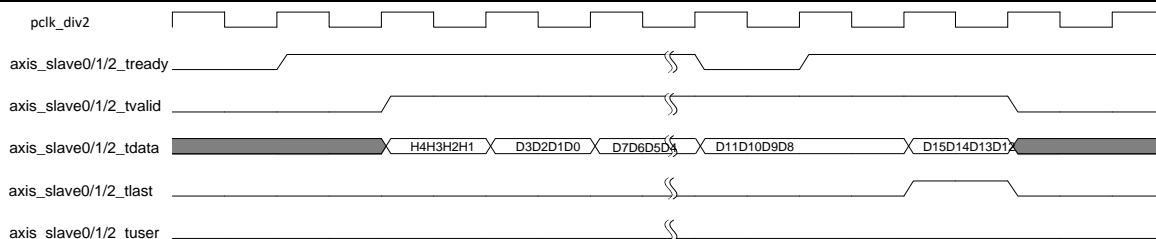


图 2-16 4DW Posted 操作时序

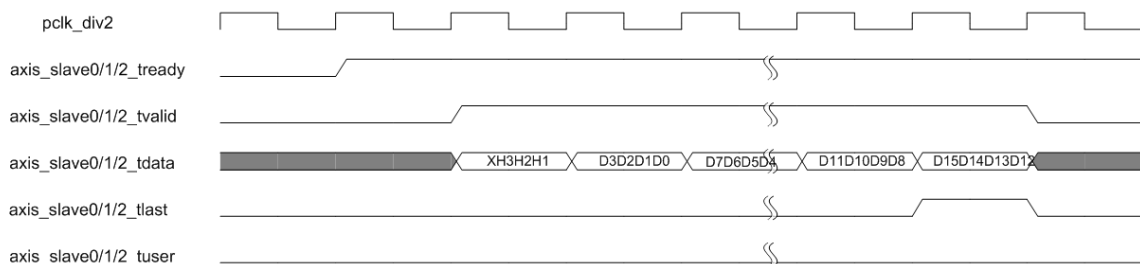


图 2-17 3DW Posted 操作时序

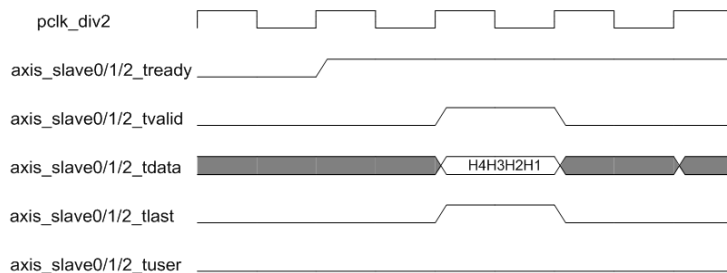


图 2-18 4DW Non-Posted 操作时序

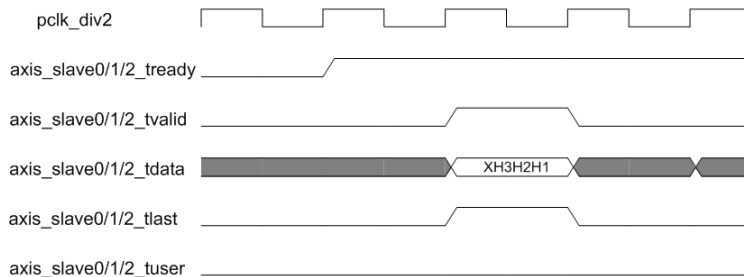


图 2-19 3DW Non-Posted 操作时序

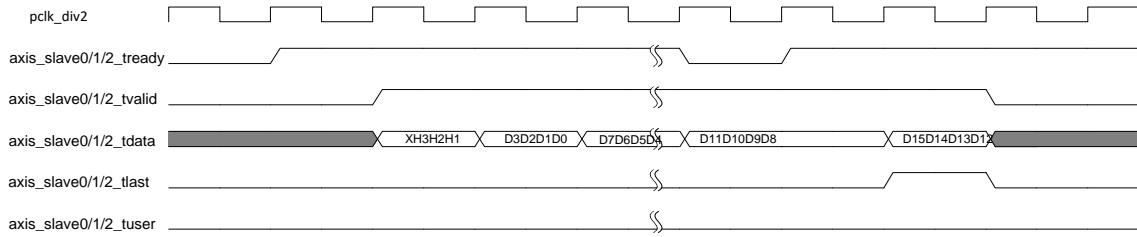


图 2-20 Completion 操作时序

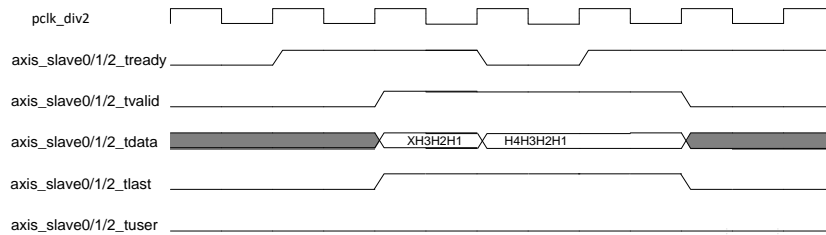


图 2-21 Back to Back Non-Posted 操作时序

### 3. MSI 操作时序

发起 MSI 请求前需要确保 MSI Capability 已经开启，并且 `cfg_msi_en` 为高电平。

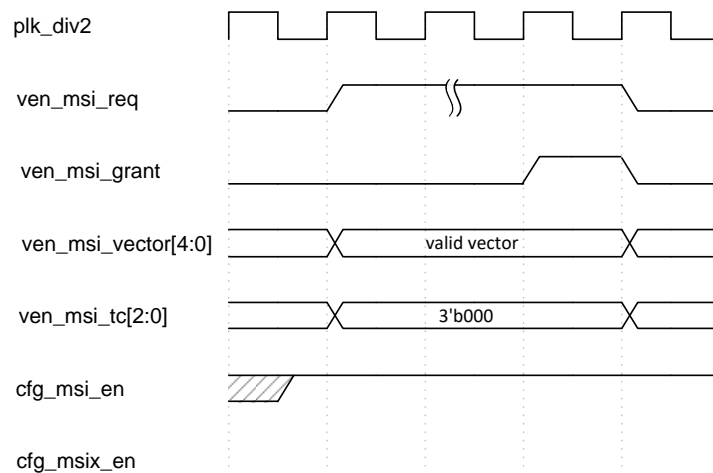


图 2-22 MSI 操作时序

### 4. MSI-X 操作时序

发起 MSI-X 请求前需要确保 MSI-X Capability 已经开启，并且 `cfg_msix_en` 为高电平。

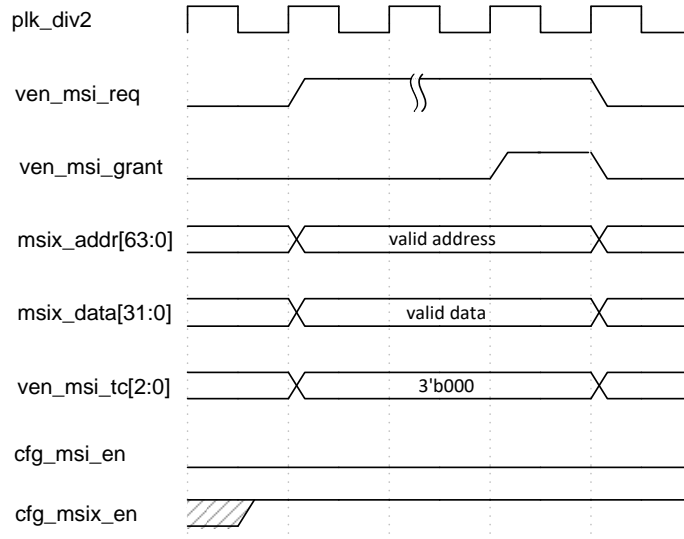


图 2-23 MSI-X 操作时序

## 2.6 IP 寄存器描述

### 2.6.1 Endpoint

PCI Express Endpoint、Legacy PCI Express Endpoint 相关寄存器描述如下。

#### 1. 配置空间寄存器

表 2-21 PCI Express IP Upstream 配置空间寄存器

PCI Express Configuration Space				
31	16	15	0	Address
Device ID		Vendor ID		000h
Status		Command		004h
Class Code			RevID	008h
BIST	Header	Lat Timer	Cache Ln	00Ch
Base Address Register 0				010h
Base Address Register 1				014h
Base Address Register 2				018h
Base Address Register 3				01Ch
Base Address Register 4				020h
Base Address Register 5				024h
Cardbus CIS Pointer				028h
Subsystem ID		Subsystem Vendor ID		02Ch
Expansion ROM Base Address				030h
Reserved			CapPtr	034h



PCI Express Configuration Space				
31	16	15	0	Address
Reserved				038h
Max Lat	Min Gnt	Intr Pin	Intr Line	03Ch
Reserved				040h
				044h
				048h
				04Ch
MSI Control		Next Cap Pointer	Cap ID	050h
Message Address [31:0]				054h
Message Address [63:32]				058h
Reserved		Message Data		05Ch
Mask Bits				060h
Pending Bits				064h
Reserved				068h
Reserved				06Ch
PE Cap		Next Cap Pointer	Cap ID	070h
Device Capabilities				074h
Device Status		Device Control		078h
Link Capabilities				07Ch
Link Status		Link Control		080h
Reserved				084h
				088h
				08Ch
				090h
Device Capabilities 2				094h
Device Status 2		Device Control 2		098h
Link Capabilities 2				09Ch
Link Status 2		Link Control 2		0A0h
Reserved				0A4h
				0A8h
				0ACh
Message Control		Next Pointer	Capability ID	0B0h
Table Offset			Table BIR	0B4h
PBA Offset			PBA BIR	0B8h
Reserved				...
Advanced Error Capabilities and Control Register				118h

### (1) Device/Vendor ID REG

表 2-22 Device/Vendor ID REG (Offset = 000h)

Bits	名称	复位值	访问类型	描述
15:0	Vendor ID	0x 16C3	R/W	Vendor ID
31:16	Device ID	0x ABCD	R/W	Device ID

### (2) Command REG

表 2-23 Command REG (Offset = 004h)

Bits	名称	复位值	访问类型	描述
0	IO Space Enable	0	R/W	1: 接收 IO 类请求 0: 不接收 IO 类请求
1	MEM Space Enable	0	R/W	1: 接收 MEM 类请求 0: 不接受 MEM 类请求
2	Bus Master Enable	0	R/W	1: 可以发送 MEM /IO 类请求 0: 不可以发送 MEM /IO 类请求
9:3	Reserved	0x0	RO	保留
10	Interrupt Disable	0	R/W	1:Disable INTx 中断 0:Enable INTx 中断
15:11	Reserved	0x0	RO	保留

### (3) Status REG

表 2-24 Status REG (Offset = 006h)

Bits	名称	复位值	访问类型	描述
2:0	Reserved	0	RO	保留
3	Interupt Status	0	RO	为高时表示 INTx 中断触发
4	Capabilities List	1	RO	置 1
15:5	Reserved	0x0	RO	保留

#### (4) Class Code Revision ID REG

表 2-25 Class Code Revision ID REG (Offset = 008h)

Bits	名称	复位值	访问类型	描述
7:0	Revision ID	0x01	R/W	Revision ID
31:8	Class Code	0x000000	R/W	Class Code

#### (5) Header Type REG

表 2-26 Header Type REG (Offset = 00eh)

Bits	名称	复位值	访问类型	描述
6:0	Header Type	0x00	RO	无
7	Multi-Function Device	0	RO	0: 只支持单个 Function

#### (6) BAR0 REG

表 2-27 BAR0 REG(Offset = 010h)

Bits	名称	复位值	访问类型	描述
0	Memory Space Indicator	0	R/W	1: IO 0: MEM
2:1	Type	2'b10	R/W	00: 分配 32 位地址 10: 分配 64 位地址 11,01: 保留
3	Prefetchable	1	R/W	通过 BAR 来访问内存空间时需要将该位置高
31:4	Base Address	28'h000000	RO	基地址

#### (7) BAR1 REG

表 2-28 BAR1 REG(Offset = 014h)

Bits	名称	复位值	访问类型	描述
0	Memory Space Indicator	0	R/W	1: IO 0: MEM
2:1	Type	2'b0	R/W	00: 分配 32 位地址 10: 分配 64 位地址

Bits	名称	复位值	访问类型	描述
				11,01: 保留
3	Prefetchable	0	R/W	通过 BAR 来访问内存空间时需要将该位置高
31:4	Base Address	28'h000000	RO	基地址

## (8) BAR2 REG

表 2-29 BAR2 REG(Offset = 018h)

Bits	名称	复位值	访问类型	描述
0	Memory Space Indicator	0	R/W	1: IO 0: MEM
2:1	Type	2'b10	R/W	00: 分配 32 位地址 10: 分配 64 位地址 11,01: 保留
3	Prefetchable	1	R/W	通过 BAR 来访问内存空间时需要将该位置高
31:4	Base Address	28'h000000	RO	基地址

## (9) BAR3 REG

表 2-30 BAR3 REG(Offset = 01ch)

Bits	名称	复位值	访问类型	描述
0	Memory Space Indicator	0	R/W	1: IO 0: MEM
2:1	Type	2'b00	R/W	00: 分配 32 位地址 10: 分配 64 位地址 11,01: 保留
3	Prefetchable	0	R/W	通过 BAR 来访问内存空间时需要将该位置高
31:4	Base Address	28'h000000	RO	基地址

## (10) BAR4 REG

表 2-31 BAR4 REG(Offset = 020h)

Bits	名称	复位值	访问类型	描述
0	Memory Space Indicator	0	R/W	1: IO 0: MEM
2:1	Type	2'b00	R/W	00: 分配 32 位地址 10: 分配 64 位地址 11,01: 保留
3	Prefetchable	0	R/W	通过 BAR 来访问内存空间时需要将该位置高
31:4	Base Address	28'h000000	RO	基地址

## (11) BAR5 REG

表 2-32 BAR5 REG(Offset = 024h)

Bits	名称	复位值	访问类型	描述
0	Memory Space Indicator	1	R/W	1: IO 0: MEM
2:1	Type	2'b00	R/W	00: 分配 32 位地址 10: 分配 64 位地址 11,01: 保留
3	Prefetchable	0	R/W	通过 BAR 来访问内存空间时需要将该位置高
31:4	Base Address	28'h000000	RO	基地址

## (12) SUB\_ID REG

表 2-33 SUB\_ID REG (Offset = 02ch)

Bits	名称	复位值	访问类型	描述
15:0	Subsystem Vendor ID	0x0000	R/W	Subsystem Vendor ID
31:16	Subsystem ID	0x0000	R/W	Subsystem ID

### (13) EXP\_ROM\_INIT REG

表 2-34 EXP\_ROM\_INIT REG (Offset = 030h)

Bits	名称	复位值	访问类型	描述
0	E_ROM_enable	0	R/W	1: Expansion ROM 可用 0: Expansion ROM 不可用
10:1	Reserved	0	RO	保留
31:11	Base Address	0	RO	基地址

### (14) CAP\_PTR REG

表 2-35 CAP\_PTR REG(Offset = 034h)

Bits	名称	复位值	访问类型	描述
7:0	CAP_POINT	0x40	RO	Capabilities Pointer

### (15) INTR REG

表 2-36 INTR REG (Offset = 03ch)

Bits	名称	复位值	访问类型	描述
7:0	INTR_LINE	0xFF	RO	存储中断信息
15:8	INTR_PIN	1	RO	0:不支持 Interrupt Pin 1: INTA 2: INTB 3: INTC 4: INTD 5~FF: 保留
23:16	Min Gnt	0	RO	PCIE 协议不使用(置0)
31:24	Max Lat	0	RO	PCIE 协议不使用(置0)

## (16) MSI\_CAP\_List REG

表 2-37 MSI\_CAP\_List REG (Offset = 050h)

Bits	名称	复位值	访问类型	描述
7:0	Capability ID	0x05	RO	Capability ID
15:8	Next Capability Pointer	0x70	RO	Next Capability Pointer

## (17) MSI\_Control REG

表 2-38 MSI\_Control REG (Offset = 052h)

Bits	名称	复位值	访问类型	描述
0	MSI Enable	0	R/W	0: Disable MSI 1: Enable MSI
3:1	Multiple Message Capable	3'b101	R/W	表示 EP 支持多少个 Message 000b 1 001b 2 010b 4 011b 8 100b 16 101b 32 110b Reserved 111b Reserved
6:4	Multiple Message Enable	3'b0	R/W	RC 可以根据 Multiple Message Cap 的值, 给 EP 分配具体的 Message 个数, 该数值小于等于 Multiple Message Capable 000b 1 001b 2 010b 4 011b 8 100b 16 101b 32 110b Reserved 111b Reserved
7	64-bit Address Capable	1	R/W	0: 只支持 32-bit Address 1: 支持 64-bit Address
8	Per-Vector Masking Capable	1	RO	0: 不使用 Masking 和 Pending 1: 使用 Masking 和 Pending
15:9	Reserved	0	RO	保留

### (18) MSI\_CAP\_REG1

表 2-39 MSI\_CAP\_REG1 (Offset = 054h)

Bits	名称	复位值	访问类型	描述
31:0	MSI_CAP_REG1	0x0	RO	Message Address[31:0]

### (19) MSI\_CAP\_REG2

表 2-40 MSI\_CAP\_REG2 (Offset = 058h)

Bits	名称	复位值	访问类型	描述
31:0	MSI_CAP_REG2	0x0	RO	MSI_Control REG[7]为 0 时： 只支持 32-bit Address [15:0]: Message Data [31:16] : 保留 MSI_Control REG[7]为 1 时： 支持 64-bit Address [31:0] : Message Address[63:32]

### (20) MSI\_CAP\_REG3

表 2-41 MSI\_CAP\_REG3 (Offset = 05ch)

Bits	名称	复位值	访问类型	描述
31:0	MSI_CAP_REG3	0x0	RO	MSI_Control REG[7]为 0 时： 只支持 32-bit Address [31:0] : Mask Bits MSI_Control REG[7]为 1 时： 支持 64-bit Address [15:0] : Message Data [31:16] : 保留



### (21) MSI\_CAP\_REG4

表 2-42 MSI\_CAP\_REG4 (Offset = 060h)

Bits	名称	复位值	访问类型	描述
31:0	MSI_CAP_REG4	0x0	RO	MSI_Control REG[7]为 0 时： 只支持 32-bit Address [31:0] : Pending Bits MSI_Control REG[7]为 1 时： 支持 64-bit Address [31:0] : Mask Bits

### (22) MSI\_CAP\_REG5

表 2-43 MSI\_CAP\_REG5 (Offset = 064h)

Bits	名称	复位值	访问类型	描述
31:0	MSI_CAP_REG5	0x0	RO	MSI_Control REG[7]为 0 时： 只支持 32-bit Address [31:0] : 保留 MSI_Control REG[7]为 1 时： 支持 64-bit Address [31:0] : Pending Bits

### (23) PCIE\_CAP\_List REG

表 2-44 PCIE\_CAP\_List REG (Offset = 070h)

Bits	名称	复位值	访问类型	描述
7:0	Capability ID	0x10	RO	Capability ID
15:8	Next Capability Pointer	0xB0	RO	Next Capability Pointer

## (24) PCIE \_CAP REG

表 2-45 PCIE \_CAP REG (Offset = 072h)

Bits	名称	复位值	访问类型	描述
3:0	Capability Version	02h	RO	固定值为 02h
7:4	Device/Port Type	0	RO	0000b : PCI Express Endpoint 0001b : Legacy PCI Express Endpoint 0100b : Root Port of PCI Express Root Complex 0101b : Upstream Port of PCI Express Switch 0110b : Downstream Port of PCI Express Switch 其他 : 保留
8	Slot Implemented	0	RO	1: Connected to a Slot 0: Not Connected to a Slot
13:9	Interrupt Message Number	0	RO	Interrupt Message Number
15:14	Reserved	0	RO	保留

## (25) Device\_CAP REG

表 2-46 Device\_CAP REG (Offset = 074h)

Bits	名称	复位值	访问类型	描述
2:0	Max_Payload_Size Supported	3'b011	RO	000b: 128 Byte 001b: 256 Byte 010b: 512 Byte 011b: 1024 Byte Others: 保留
4:3	Phantom Functions Supported	2'b10	RO	00b: 不采用 Phantom Functions 01b: Function Number 中的最低位用于 Phantom Functions 10b: Function Number 中的低两位用于 Phantom Functions 11b: Function Number 全用于 Phantom Functions
5	Extended Tag Field Supported	1	RO	0b: 5-bit Tag field supported 1b: 8-bit Tag field supported Others 保留
8:6	Endpoint L0s Acceptable	3'b011	RO	000b: Maximum of 64 ns

Bits	名称	复位值	访问类型	描述
	Latency			001b: Maximum of 128 ns 010b: Maximum of 256 ns 011b: Maximum of 512 ns 100b: Maximum of 1 $\mu$ s 101b: Maximum of 2 $\mu$ s 110b: Maximum of 4 $\mu$ s 111b: No Limit
11:9	Endpoint L1 Acceptable Latency	3'b111	RO	000b: Maximum of 1 $\mu$ s 001b: Maximum of 2 $\mu$ s 010b: Maximum of 4 $\mu$ s 011b: Maximum of 8 $\mu$ s 100b: Maximum of 16 $\mu$ s 101b: Maximum of 32 $\mu$ s 110b: Maximum of 64 $\mu$ s 111b: No Limit
31:12	Reserved	0x1	RO	Reserved

## (26) Device\_Control REG

表 2-47 Device\_Control REG (Offset = 078h)

Bits	名称	复位值	访问类型	描述
0	Correctable Error Reporting Enable	0	RO	用于控制发送 ERR_COR Messages
1	Non-Fatal Error Reporting Enable	0	RO	用于控制发送 ERR_NONFATAL Messages
2	Fatal Error Reporting Enable	0	RO	用于控制发送 ERR_FATAL Messages
3	Unsupported Request Reporting Enable	0	RO	Signaling of Unsupported Requests
4	Enable Relaxed Ordering	1	RO	1: 支持 Relaxed Ordering 0: 不支持 Relaxed Ordering
7:5	Max_Payload_Size	3'b0	RO	000b: 128 Byte 001b: 256 Byte 010b: 512 Byte 011b: 1024Byte 100b: 2048 Byte 101b: 4096 Byte 110b: Reserved 111b: Reserved

Bits	名称	复位值	访问类型	描述
8	Extended Tag Field Enable	1	RO	1: 可以使用 8bit Tag 0: 不可以使用 8bit Tag
9	Phantom Functions Enable	0	RO	1: 可以使用 Phantom Functions 0: 不可以使用 Phantom Functions
10	AUX Power PM Enable	0	RO	1: 允许 AUX Power 0: 不允许 AUX Power
11	Enable No Snoop	0	RO	1: 允许 No Snoop 0: 不允许 No Snoop
14:12	Max_Read_Request_Size	3'b10	RO	000b: 128 Byte 001b: 256 Byte 010b: 512 Byte 011b: 1024 Byte 100b: 2048 Byte 101b: 4096 Byte 110b: Reserved 111b: Reserved
15	Bridge Enable	0	RO	1: 允许回复 CRS 0: 不允许回复 CRS

## (27) Device\_Status

表 2-48 Device\_Status REG (Offset = 07ah)

Bits	名称	复位值	访问类型	描述
0	Correctable Error Detected	0	RO	为 1 时表示发现 Correctable Errors
1	Non-Fatal Error Detected	0	RO	为 1 时表示发现 Non-Fatal Error
2	Fatal Error Detected	0	RO	为 1 时表示发现 Fatal Error
3	UR Detected	0	RO	为 1 时表示发现 Unsupported Request
4	AUX Power Detected	1	RO	为 1 时表示需要 AUX Power
5	Transactions Pending	0	RO	为 1 时表示未收到与发送的 NP 对应的 CPL
15:6	Reserved	0x0	RO	保留

## (28) Link\_CAP REG

表 2-49 Link\_CAP REG (Offset = 07ch)

Bits	名称	复位值	访问类型	描述
3:0	Supported Link Speeds	4'b10	R/W	0001b: 2.5 GT/s 0010b: 5.0 GT/s and 2.5 GT/s 其他: 保留
9:4	Maximum Link Width	6'b100	R/W	000000b: Reserved 000001b: x1 000010b: x2 000100b: x4 Others: Reserved
11:10	ASPM Support	2'b10	RO	00b: Reserved 01b: L0s 10b: Reserved 11b: L0s and L1
14:12	L0s Exit Latency	3'b111	RO	000b: Less than 64 ns 001b: 64 ns to less than 128 ns 010b: 128 ns to less than 256 ns 011b: 256 ns to less than 512 ns 100b: 512 ns to less than 1 $\mu$ s 101b: 1 $\mu$ s to less than 2 $\mu$ s 110b: 2 $\mu$ s-4 $\mu$ s 111b: More than 4 $\mu$ s
17:15	L1 Exit Latency	3'b111	RO	000b: Less than 1 $\mu$ s 001b: 1 $\mu$ s to less than 2 $\mu$ s 010b: 2 $\mu$ s to less than 4 $\mu$ s 011b: 4 $\mu$ s to less than 8 $\mu$ s 100b: 8 $\mu$ s to less than 16 $\mu$ s 101b: 16 $\mu$ s to less than 32 $\mu$ s 110b: 32 $\mu$ s-64 $\mu$ s 111b: More than 64 $\mu$ s
31:24	Port Number	0	RO	Port Number

## (29) Link\_Control REG

表 2-50 Link\_Control REG (Offset = 080h)

Bits	名称	复位值	访问类型	描述
1:0	ASPM Control	0	RO	00b: Disabled 01b: L0s Entry Enabled

Bits	名称	复位值	访问类型	描述
				10b: L1 Entry Enabled 11b: L0s and L1 Entry Enabled
2	Reserved	0	RO	保留
3	RCB	0	RO	0b: 64 Byte 1b: 128 Byte
4	Link Disable	0	RO	Reserved on Endpoints
5	Retrain Link	0	RO	Reserved for Endpoints
6	Common Clock Configuration	0	RO	1: Common Reference Clock 0: Asynchronous Reference Clock
7	Extended Synch	0	RO	When Set, this bit forces the transmission of additional Ordered Sets when exiting the L0s state and when in the Recovery state
8	Enable Clock Power Management	0	RO	0b: Clock power management is disabled and device must hold CLKREQ# signal low. 1b: When this bit is Set, the device is permitted to use CLKREQ# signal to power manage Link clock according to protocol defined in appropriate form factor specification.
9	Hardware Autonomous Width Disable	0	RO	When Set, this bit disables hardware from changing the Link width
10	Link Bandwidth Management Interrupt Enable	0	RO	When Set, this bit disables hardware from changing the Link width
11	Link Autonomous Bandwidth Interrupt Enable	0	RO	When Set, this bit enables the generation of an interrupt to indicate that the Link Bandwidth Management Status bit has been Set.
15:12	Reserved	0	RO	保留

### (30) Link\_Status REG

表 2-51 Link\_Status REG (Offset = 082h)

Bits	名称	复位值	访问类型	描述
3:0	Current Link Speed	4'b1	RO	0001b: 2.5GT/s 0010b: 5.0GT/s 其他: 保留
9:4	Link Width	6'b1	RO	000000b: Reserved 000001b: x1

Bits	名称	复位值	访问类型	描述
				000010b: x2 000100b: x4 001000b: x8 001100b: x12 010000b: x16 100000b: x32
10	Undefined	0	RO	未定义
11	Link Training	0	RO	1: LTSSM 处于 Cfg/Recovery 状态 0: LTSSM 退出 Cfg/Recovery 状态
12	Slot Clock Cfg	1	RO	1: 运用平台提供的参考时钟 0: 运用独立时钟
13	DLL Link Active	0	RO	1: DLCMSM 处于 DL_Active 状态。 0: DLCMSM 未处于 DL_Active 状态
14	Link Bandwidth Management Status	0	RO	对于 Endpoint 来说该位保留
15	Link Autonomous Bandwidth Status	0	RO	为 1 时表示自动修改了速率或者链路宽度

### (31) Device\_CAP2 REG

表 2-52 Device\_CAP2 REG (Offset = 094h)

Bits	名称	复位值	访问类型	描述
3:0	Completion Timeout Ranges Supported	4'hf	R/W	0000b : Completion Timeout programming not supported – the Function must implement a timeout value in the range 50 $\mu$ s to 50 ms. 0001b: Range A 0010b: Range B 0011b: Ranges A and B 0110b: Ranges B and C 0111b: Ranges A, B, and C 1110b: Ranges B, C and D 1111b: Ranges A, B, C, and D
4	Completion Timeout Disable Supported	1	R/W	为 1 时不采用 CPL timeout 机制
5	Reserved	0x0	RO	保留
6	AtomicOp Routing Supported	0x0	RO	1: 支持 AtomicOp Routing 0: 不支持 AtomicOp Routing
7	32-bit AtomicOp Completer	0x1	RO	1: 支持 32-bit AtomicOp Completer

Bits	名称	复位值	访问类型	描述
	Supported			0 : 不支持 32-bit AtomicOp Completer
8	64-bit AtomicOp Completer Supported	0x1	RO	1: 支持 64-bit AtomicOp Completer 0 : 不支持 64-bit AtomicOp Completer
9	128-bit CAS Completer Supported	0x1	RO	1: 支持 128-bit CAS Completer 0: 不支持 128-bit CAS Completer
31:10	Reserved	0x4	RO	保留

### (32) Device\_Control2 REG

表 2-53 Device\_Control2 REG (Offset = 098h)

Bits	名称	复位值	访问类型	描述
3:0	CPL Timeout Value	4'h0	RO	0000b: 50 $\mu$ s to 50 ms 0001b: 50 $\mu$ s to 100 $\mu$ s 0010b: 1 ms to 10 ms 0101b: 16 ms to 55 ms 0110b: 65 ms to 210 ms 1001b: 260 ms to 900 ms 1010b: 1 s to 3.5 s 1101b: 4 s to 13 s 1110b: 17 s to 64
4	CPL Timeout Disable	0	RO	为 1 时不采用 CPL Timeout 机制
5	ARI Forwarding Enable	0	RO	为 1 时, Enable ARI Forwarding
6	AtomicOp Requester Enable	0	RO	为 1 时, 允许发送原子操作的请求
8	IDO Request Enable	0	RO	为 1 时, 允许 IDO Request
9	IDO Completion Enable	0	RO	为 1 时, 允许 IDO Completion
10	LTR Mechanism Enable	0	RO	为 1 时, 允许 LTR 机制
14: 11	Reserved	0x0	RO	保留
15	End-End TLP Prefix Blocking	0	RO	0: Forwarding Enabled 1: Forwarding Blocked

### (33) Device\_Status2 REG

表 2-54 Device\_Status2 REG (Offset = 09ah)

Bits	名称	复位值	访问类型	描述
15:0	Reserved	0	RO	保留



### (34) Link\_CAP2 REG

表 2-55 Link\_CAP2 REG (Offset = 09ch)

Bits	名称	复位值	访问类型	描述
31:0	Reserved	0x6	RO	保留

### (35) Link\_Control2 REG

表 2-56 Link\_Control2 REG(Offset = 0a0h)

Bits	名称	复位值	访问类型	描述
3:0	Target Link Speed	0x2	R/W	0001b: 2.5GT/s 0010b: 5GT/s 其他: 保留
4	Enter Compliance	0	RO	为 1 时表示 force 设备进入 Compliance 模式
5	Hw_Auto Speed Disable	0	RO	为 1 时表示 PCIe 设备不能改变当前已经协商好的 PCIe 链路宽度, 除非为了修正 PCIe 链路中已经出现错误的 Lane
6	Selectable De-emphasis	0	RO	1b: -3.5 dB 0b: -6 dB
10	Enter Modified Compliance	0	RO	该信号为 1 时, 在 LTSSM 状态机处于 Polling 时发送 Modified Compliance Pattern
11	Comppliance SOS	0	RO	当该信号为 1 时, LTSSM 发送 SKP Ordered Sets
12	Compliance De-emphasis	0	RO	1b: -3.5 dB 0b: -6 dB

### (36) Link\_Status2 REG

表 2-57 Link\_Status2 REG (Offset = 0a2h)

Bits	名称	复位值	访问类型	描述
0	De-emphasis Level	1	RO	在 5GT/s 情况下 1: -3.5dB 0: -6dB 在 2.5GT/s 情况下保持为 0
15:1	Reserved	0x0	RO	保留

### (37) MSI-X \_CAP\_List REG

表 2-58 MSI-X \_CAP\_List REG (Offset = 0b0h)

Bits	名称	复位值	访问类型	描述
7:0	Capability ID	0x11	RO	Capability ID
15:8	Next Pointer	0x0	RO	Next Capability Pointer

### (38) Message\_Control REG

表 2-59 Message\_Control REG (Offset = 0b0h)

Bits	名称	复位值	访问类型	描述
10:0	Table Size	0x80	RO	System software reads this field to determine the MSI-X Table Size N, which is encoded as N-1. For example, a returned value of “00000000011” indicates a table size of 4.
13:11	Reserved	0x0	RO	保留
14	Function Mask	0x0	RO	1: All of the vectors associated with the function are masked, regardless of their per-vector Mask bit states. 0: Each vector’s Mask bit determines whether the vector is masked or not.
15	MSI-X Enable	0x0	RO	0: Disable MSI-X 1: Enable MSI-X

### (39) MSI-X \_Table\_Offset REG

表 2-60 MSI-X \_Table\_Offset REG (Offset = 0b4h)

Bits	名称	复位值	访问类型	描述
2: 0	Table BIR	0x2	RO	Indicates which one of a function’s Base Address registers, located beginning at 10h in Configuration Space, is used to map the function’s MSI-X Table into Memory Space. BIR Value Base Address register 0 10h 1 14h 2 18h 3 1Ch 4 20h

Bits	名称	复位值	访问类型	描述
				5 24h 6 Reserved 7 Reserved
31:3	Table Offset	0x0	RO	Used as an offset from the address contained by one of the function's Base Address registers to point to the base of the MSI-X Table. The lower 3 Table BIR bits are masked off (set to zero) by software to form a 32-bit QWORD-aligned offset.

#### (40) MSI-X\_PBA\_Offset REG

表 2-61 MSI-X\_PBA\_Offset REG (Offset = 0b8h)

Bits	名称	复位值	访问类型	描述
2: 0	PBA BIR	0x2	RO	Indicates which one of a function's Base Address registers, located beginning at 10h in Configuration Space, is used to map the function's MSI-X PBA into Memory Space. The PBA BIR value definitions are identical to those for the MSI-X Table BIR.
31:3	PBA Offset	0x800	RO	Used as an offset from the address contained by one of the function's Base Address registers to point to the base of the MSI-X PBA. The lower 3 PBA BIR bits are masked off (set to zero) by software to form a 32-bit QWORD-aligned offset.

#### (41) MSI-X\_PBA\_Offset REG

表 2-62 MSI-X\_PBA\_Offset REG (Offset = 0b8h)

Bits	名称	复位值	访问类型	描述
4: 0	Reserved	0x0	RO	保留
5	ECRC Generation Capable	0x0	RO	1: 设备具备生成 ECRC 的能力 0: 设备不具备生成 ECRC 的能力
6	ECRC Generation Enable	0x0	RO	1: Enable ECRC Generation 0: Disable ECRC Generation
7	ECRC Check Capable	0x0	RO	1: 设备具备 Check ECRC 的能力 0: 设备不具备 Check ECRC 的能力
8	ECRC Check Enable	0x0	RO	1: Enable ECRC Check 0: Disable ECRC Check

Bits	名称	复位值	访问类型	描述
31:9	Reserved	0x0	RO	保留

## 2. Shadow 寄存器

表 2-63 Shadow 寄存器

PCI Express Shadow Register				
31	16	15	0	Address
BAR0_MASK_REG				011h
BAR1_MASK_REG				015h
BAR2_MASK_REG				019h
BAR3_MASK_REG				01Dh
BAR4_MASK_REG				021h
BAR5_MASK_REG				025h
EXP_ROM_BAR_MASK_REG				031h

### (1) BAR0\_MASK\_REG

表 2-64 BAR0\_MASK\_REG (Offset = 011h)

Bits	名称	复位值	访问类型	描述
0	BAR0_ENABLED	0x1	WO	BAR0 Enable
31:1	BAR0_MASK	0x7fff_ffff	WO	BAR0 MASK

### (2) BAR1\_MASK\_REG

表 2-65 BAR1\_MASK\_REG (Offset = 015h)

Bits	名称	复位值	访问类型	描述
0	BAR1_ENABLED	0x1	WO	BAR1 Enable
31:1	BAR1_MASK	0x3f	WO	BAR1 MASK

**(3) BAR2\_MASK\_REG**

表 2-66 BAR2\_MASK\_REG (Offset = 019h)

Bits	名称	复位值	访问类型	描述
0	BAR2_ENABLED	0x1	WO	BAR2 Enable
31:1	BAR2_MASK	0x7fff_ffff	WO	BAR2 MASK

**(4) BAR3\_MASK\_REG**

表 2-67 BAR3\_MASK\_REG (Offset = 01dh)

Bits	名称	复位值	访问类型	描述
0	BAR3_ENABLED	0x1	WO	BAR3 Enable
31:1	BAR3_MASK	0x3f	WO	BAR3 MASK

**(5) BAR4\_MASK\_REG**

表 2-68 BAR4\_MASK\_REG (Offset = 021h)

Bits	名称	复位值	访问类型	描述
0	BAR4_ENABLED	0x1	WO	BAR4 Enable
31:1	BAR4_MASK	0x3fff_ffff	WO	BAR4 MASK

**(6) BAR5\_MASK\_REG**

表 2-69 BAR0\_MASK\_REG (Offset = 025h)

Bits	名称	复位值	访问类型	描述
0	BAR5_ENABLED	0x1	WO	BAR5 Enable
31:1	BAR5_MASK	0x7f	WO	BAR5 MASK

## (7) EXP\_ROM\_BAR\_MASK

表 2-70 EXP\_ROM\_BAR (Offset = 031h)

Bits	名称	复位值	访问类型	描述
0	ROM_BAR_ENABLED	0x1	WO	Expansion ROM Bar Mask Register Enabled
31:1	ROM_MASK	0x7fff_ffff	WO	Expansion ROM Mask

## 3. Port Logic 寄存器

表 2-71 Port Logic 寄存器

PCI Express Port Logic Registers				
31	16	15	0	Address
PORT_LINK_CTRL_OFF				710h
GEN2_CTRL_OFF				80ch

### (1) PORT\_LINK\_CTRL\_OFF

表 2-72 PORT\_LINK\_CTRL\_OFF (Offset = 710h)

Bits	名称	复位值	访问类型	描述
0	Reserved	0x0	RO	保留
1	SCRAMBLE_DISABLE	0x0	R/W	Scramble Disable
15:2	Reserved	0x0	RO	保留
21:16	LINK_CAPABLE	0x7	R/W	0x1 (X1): x1 0x3 (X2) : x2 0x7 (X4) : x4
31:22	Reserved	0x0	RO	保留

### (2) GEN2\_CTRL\_OFF

表 2-73 GEN2\_CTRL\_OFF (Offset = 80ch)

Bits	名称	复位值	访问类型	描述
7:0	Reserved	0x0	RO	保留
12:8	NUM_OF_LANES	0x4	R/W	0x1: 1 lane 0x2: 2 lanes

				0x3: 3 lanes 0x4: 4 lanes
15:13	Reserved	0x0	RO	保留
16	AUTO_LANE_FLIP_CTRL_EN	0x1	R/W	Enable Auto Flipping of the Lanes
31:17	Reserved	0x0	RO	保留

## 2.6.2 Root Complex

PCI Express Root Complex 相关配置空间寄存器描述如下。

表 2-74 PCI Express IP Downstream 配置空间寄存器

PCI Express Configuration Space					
31	16		15	0	Address
Device ID			Vendor ID		000h
Status			Command		004h
Class Code				RevID	008h
BIST	Header	Lat Timer	Cache Ln	00Ch	
Base Address Register 0					010h
Base Address Register 1					014h
Secondary Latency Timer	Subordinate Bus Number	Secondary Bus Number	Primary Bus Number	018h	
Secondary Status		I/O Limit	I/O Base	01Ch	
Memory Limit		Memory Base			020h
Prefetchable Memory Limit		Prefetchable Memory Base			024h
Prefetchable Base Upper 32 Bits					028h
Prefetchable Limit Upper 32 Bits					02Ch
I/O Limit Upper 16 Bits		I/O Base Upper 16 Bits			030h
Reserved				CapPtr	034h
Expansion ROM Base Address					038h
Bridge Control		Intr Pin	Intr Line	03Ch	
Reserved					040h
					044h
					048h
					04Ch
MSI Control		Next Cap Pointer	Cap ID	050h	
Message Address [31:0]					054h
Message Address [63:32]					058h

PCI Express Configuration Space				
31	16	15	0	Address
Reserved		Message Data		05Ch
Mask Bits				060h
Pending Bits				064h
Reserved				068h
Reserved				06Ch
PE Cap		Next Cap Pointer	Cap ID	070h
Device Capabilities				074h
Device Status		Device Control		078h
Link Capabilities				07Ch
Link Status		Link Control		080h
Slot Capabilities				084h
Slot Status		Slot Control		088h
Root Capabilities		Root Control		08Ch
Root Status				090h
Device Capabilities 2				094h
Device Status 2		Device Control 2		098h
Link Capabilities 2				09Ch
Link Status 2		Link Control 2		0A0h
Reserved				0A4h
				0A8h
				0ACh
Message Control		Next Pointer	Capability ID	0B0h
Table Offset			Table BIR	0B4h
PBA Offset			PBA BIR	0B8h
Reserved				...
Advanced Error Capabilities and Control Register				118h



## 1. Root Control REG

表 2-75 Root Control REG (Offset = 08ch)

Bits	名称	复位值	访问类型	描述
3:0	Reserved	02h	RO	保留
4	CRS Software Visibility Enable	0	RO	1: enables the Root Port to return Configuration Request Retry Status (CRS) Completion Status to software
15:5	Reserved	0	RO	保留

## 2. Root Capabilities REG

表 2-76 Root Capabilities REG (Offset = 08eh)

Bits	名称	复位值	访问类型	描述
0	CRS Software Visibility	0	RO	1: indicates that the Root Port is capable of returning Configuration Request Retry Status (CRS) Completion Status to software
15:1	Reserved	0	RO	保留

## 2.7 典型应用

PCIe IP 的典型应用请参见“2.4 Example Design”。

## 2.8 说明与注意事项

### 2.8.1 工作模式

#### 1. PCI Express Endpoint、Legacy PCI Express Endpoint 模式

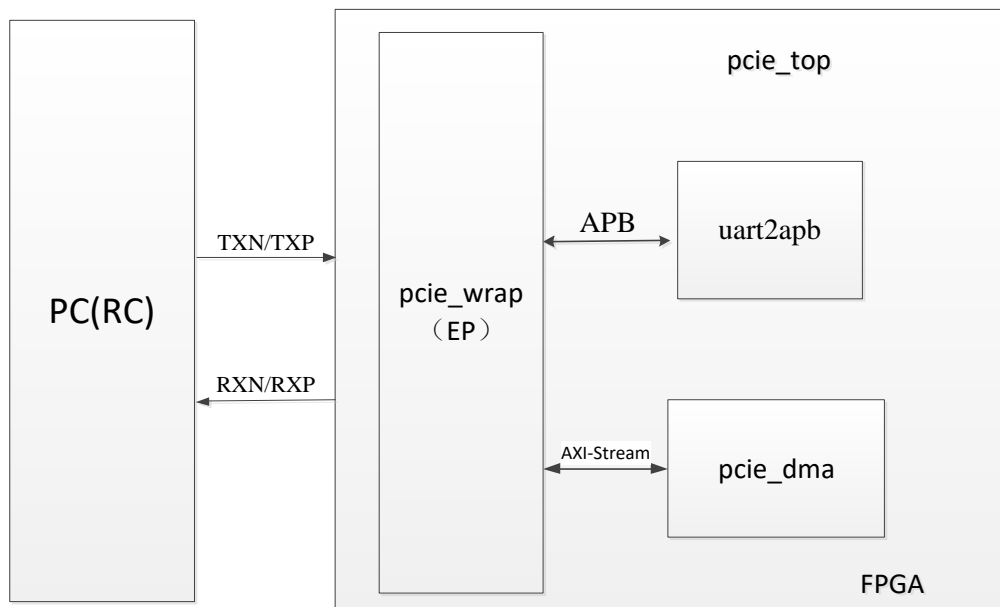


图 2-24 PCI Express Endpoint 模式示意图

#### 2. Root Port of PCI Express Root Complex 模式

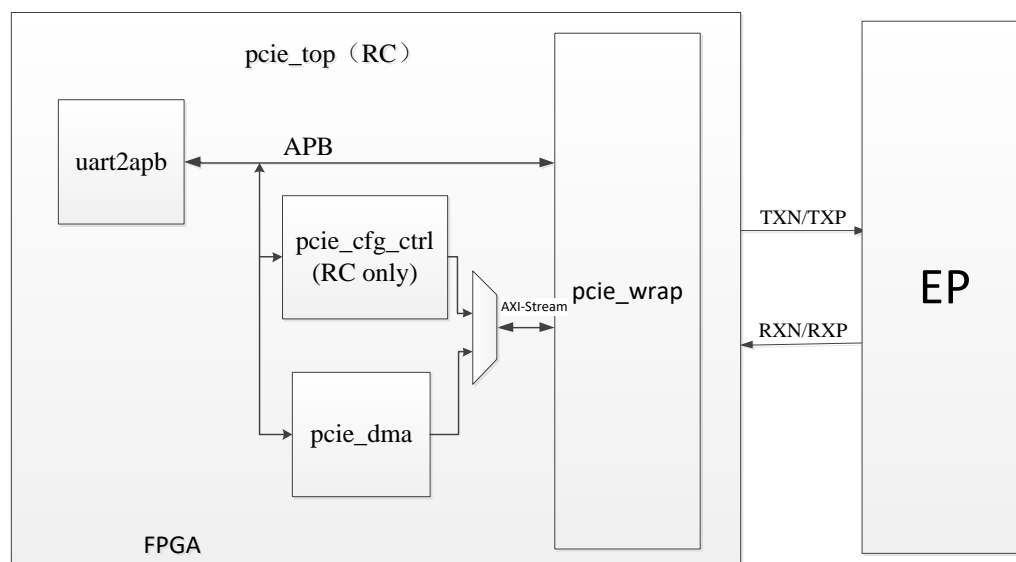


图 2-25 Root Port of PCI Express Root Complex 模式示意图

## 2.8.2 BAR Size 限制

由于地址位宽限制，BAR Size 限制如下：

- 32-bit Bar 大小总和不能大于 4GB；
- 64-bit Bar 大小总和不能大于 16EB；
- 32-bit Bar 与 64-bit Bar 总和不能大于 16EB。

## 2.8.3 MSI-X 限制

配置 MSI-X 时，由于 Table Offset 与 PBA Offset 均为 29 位，所以配置值不能超过 0x1FFF\_FFFF。

## 2.8.4 Lane Reversal 使用说明

X1, X2 不建议使用 Lane Reversal 场景，如需使用请咨询 FAE/AE。

## 2.8.5 PCIe 推荐和支持的连接方式

### 1. 推荐连接方式

PCIe IP 默认使用推荐连接方式，参见表 2-77。

表 2-77 推荐连接方式

PCIe Lane	X1	X2	X4
Lane0	LANE0	LANE0	LANE0
Lane1	-	LANE1	LANE1
Lane2	-	-	LANE2
Lane3	-	-	LANE3

注：“-”表示无该项说明。

### 2. 支持连接方式

PCIe IP 支持如表 2-78 所示的连接方式。

表 2-78 支持连接方式

PCIE Lane	X1 <sup>a</sup>	X2	X2 <sup>b</sup>	X2 <sup>a</sup>	X2 <sup>a</sup>	X4	X4 <sup>b</sup>
Lane0	Any lane	LANE0	LANE1	LANE2	LANE3	LANE0	LANE3
Lane1	-	LANE1	LANE0	LANE3	LANE2	LANE1	LANE2
Lane2	-	-	-	-	-	LANE2	LANE1
Lane3	-	-	-	-	-	LANE3	LANE0

注：a. 实现此连接方式需手动修改 IP 代码；

b. 实现此连接方式需使能 IP 的 Lane Reversal 功能。

## 2.8.6 AXI-Stream Master 接口 3DW 使用说明

AXI-Stream Master 接口需要根据 TLP header 中 FMT 字段判断 TLP 格式。

表 2-79 FMT[1:0] 字段含义

FMT[1:0]	对应 TLP 格式
000b	3 DW header, no data
001b	4 DW header, no data
010b	3 DW header, with data
011b	4 DW header, with data

## 2.8.7 Resizable BAR 使用说明

IP 支持用户手动修改参数实现 Resizable BAR 功能，有以下几点需要注意：

- BAR\_RESIZABLE, BAR\_MASK\_WRITABLE 互斥，两个参数需要异或为全 1；
- IP 最大支持 3 个 Resizable BAR；
- 除 BAR\_RESIZABLE, BAR\_MASK\_WRITABLE 参数外，其余参数与协议一致，详细说明以协议为准。如有问题请咨询 FAE/AE。

表 2-80 Resizable BAR 参数说明

参数名	说明
BAR_RESIZABLE	6bit 对应 6 个 BAR，每 bit 含义： 0：不使能 Resizable BAR 功能；1：使能为 Resizable BAR
BAR_MASK_WRITABLE	6bit 对应 6 个 BAR，每 bit 含义： 0：使能 Resizable BAR 功能；1：不使能为 Resizable BAR

参数名	说明
NUM_OF_RBARS	Resizable BAR 数量，最大支持 3
BAR_INDEX_0	Resizable BAR0 Index
BAR_INDEX_1	Resizable BAR1 Index
BAR_INDEX_2	Resizable BAR2 Index
RESBAR_BAR0_MAX_SUPP_SIZE	Resizable BAR0 最大支持的 Size
RESBAR_BAR0_INIT_SIZE	Resizable BAR0 初始 Size
RESBAR_BAR1_MAX_SUPP_SIZE	Resizable BAR1 最大支持的 Size
RESBAR_BAR1_INIT_SIZE	Resizable BAR1 初始 Size
RESBAR_BAR2_MAX_SUPP_SIZE	Resizable BAR2 最大支持的 Size
RESBAR_BAR2_INIT_SIZE	Resizable BAR2 初始 Size
AER_CAP_NEXT_OFFSET	AER Capability 下一功能 offset; 12 'h0: 不使用 Resizable BAR 功能 12 'h2E4: 使用 Resizable BAR 功能

### 2.8.8 Max\_Read\_Request\_Size 限制

Max\_Read\_Request\_Size 的最大值为 011b，即 1024Bytes。

### 2.8.9 AXI-Stream 接口与 PCIe TLP 对应关系说明

- TLP 中的 Byte 位置说明：

表 2-81 TLP Byte 位置说明

Packet	TLP			
Header0	pcie_hdr_byte0	pcie_hdr_byte1	pcie_hdr_byte2	pcie_hdr_byte3
Header1	pcie_hdr_byte4	pcie_hdr_byte5	pcie_hdr_byte6	pcie_hdr_byte7
Header2	pcie_hdr_byte8	pcie_hdr_byte9	pcie_hdr_byte10	pcie_hdr_byte11
Header3	pcie_hdr_byte12	pcie_hdr_byte13	pcie_hdr_byte14	pcie_hdr_byte15
Data0	pcie_data_byte0	pcie_data_byte1	pcie_data_byte2	pcie_data_byte3
Data1	pcie_data_byte4	pcie_data_byte5	pcie_data_byte6	pcie_data_byte7
Data2	pcie_data_byte8	pcie_data_byte9	pcie_data_byte10	pcie_data_byte11
...	...	...	...	...
Datan	pcie_data_byte <4n>	pcie_data_byte <4n+1>	pcie_data_byte <4n+2>	pcie_data_byte <4n+3>

- AXI-Stream 与 4DW Header TLP 对应关系

表 2-82 AXI-Stream 与 4DW Header TLP 对应关系

AXI-Stream width	[127:96]	[95:64]	[63:32]	[31:0]
TLP	H3	H2	H1	H0
	D3	D2	D1	D0
	...			
	Dn	D<n-1>	D<n-2>	D<n-3>

- AXI-Stream 与 3DW Header TLP 对应关系

表 2-83 AXI-Stream 与 3DW Header TLP 对应关系

AXI-Stream width	[127:96]	[95:64]	[63:32]	[31:0]
TLP	X	H2	H1	H0
	D3	D2	D1	D0
	...			
	Dn	D<n-1>	D<n-2>	D<n-3>

## 2.9 IP 调试手段

通过 DebugCore 抓取 smlh\_ltssm\_state 相关信号监测 PCIe IP 的链路的工作状态；通过串口发起不同控制命令，DebugCore 抓取 Example Design 中 APB Interface、AXI-Stream Interface 查看 PCIe IP 工作是否正常，其信号列表请参见“表 2-20 PCIe IP 管脚列表”。

## 第3章 附录

### 3.1 参考文档

- [1] Pango\_Design\_Suite\_Quick\_Start\_Tutorial
- [2] Pango\_Design\_Suite\_User\_Guide
- [3] IP\_Compiler\_User\_Guide
- [4] Simulation\_User\_Guide
- [5] User\_Constraint\_Editor\_User\_Guide
- [6] Physical\_Constraint\_Editor\_User\_Guide
- [7] Route\_Constraint\_Editor\_User\_Guide
- [8] PCI Express®Base Specification Revision 2.1
- [9] PCI Local Bus Specification Revision 3.0
- [10] AMBA® 4 AXI4-Stream Protocol Version: 1.0
- [11] AMBA® APB Protocol Version: 2.0
- [12] PHY Interface for the PCI Express™ Architecture Version 2.00

### 3.2 术语表

#### **E**

EP            Endpoint

#### **R**

RC            Root Complex

### 3.3 缩略语表

#### **I**

IPC           IP Compiler

#### **P**

### 3.4 声明

#### 3.4.1 版权声明

本文档版权归深圳市紫光同创电子有限公司所有,并保留一切权利。未经书面许可,任何公司和个人不得将此文档中的任何部分公开、转载或以其他方式披露、散发给第三方。否则,公司必将追究其法律责任。

#### 3.4.2 免责声明

本文档仅提供阶段性信息,所含内容可根据产品的实际情况随时更新,恕不另行通知。如因本文档使用不当造成的直接或间接损失,本公司不承担任何法律责任。

本文档按现状提供,不负任何担保责任,包括对适销性、适用于特定用途或非侵权性的任何担保,和任何提案、规格或样品在他处提到的任何担保。本文档在此未以禁止反言或其他方式授予任何知识产权使用许可,不管是明示许可还是暗示许可。

公司保留任何时候在不事先声明的情况下对公司系列产品相关文档的修改权利。