

Logos 系列产品 QSGMII IP

用户指南

(UG022007,V1.0)

(2022-12-21)

深圳市紫光同创电子有限公司

版权所有 侵权必究

文档版本修订记录

日期	文档版本	修订记录	适用 IP 及对应版本
2022-12-21	V1.0	1. 初始版本。	V1.0

IP 版本变更记录

IP 版本	更新说明	发布时间
V1.0	1. PGL QSGMII IP 初始版本。	2022-12-21

目录

文档版本修订记录	2
IP 版本变更记录	3
第 1 章 前言	8
1.1 关于本手册	8
1.2 手册行文规范	8
第 2 章 IP 使用指南	9
2.1 IP 简介	9
2.1.1 主要特性	9
2.1.2 适用器件及封装	10
2.2 IP 框图	10
2.2.1 HSST	10
2.2.2 QSGMII Core	10
2.3 IP 生成流程	11
2.3.1 模块例化	11
2.3.2 约束配置	15
2.3.3 运行仿真	15
2.3.4 综合与布局布线	15
2.3.5 资源利用	16
2.4 Example Design	16
2.4.1 设计框图	17
2.4.2 模块说明	18
2.4.3 接口说明	20
2.4.4 测试方法	22
2.4.5 实例配置	25
2.4.6 实例仿真	25
2.5 IP 接口描述	26
2.5.1 IP 接口说明	26
2.5.2 寄存器管理接口	34
2.5.3 快速配置接口	36
2.5.4 GMII 接口	37
2.6 IP 寄存器描述	38
2.6.1 SGMII Core 寄存器说明	38
2.6.2 寄存器访问	46
2.7 典型应用	47
2.8 说明与注意事项	47
2.8.1 时钟约束	47
2.8.2 HSST 物理位置约束	47
2.8.3 工作模式	48
2.8.4 环回模式	48
2.8.5 IP 时钟方案	51
2.8.6 uart_ctrl_top 模块读写操作示例	53
2.8.7 IP 调用方式	53

2.9 IP 调试手段	53
第 3 章 附录	54
3.1 参考文档	54
3.2 术语表	54
3.3 缩略语表	55
3.4 声明	55
3.4.1 版权声明	55
3.4.2 免责声明	55

表目录

表 1-1 行文规范说明.....	8
表 2-1 QSGMII IP 适用器件及封装	10
表 2-2 QSGMII IP 配置参数说明	13
表 2-3 IP 生成后的输出文件	14
表 2-4 QSGMII IP 基于适用器件的资源利用典型值	16
表 2-5 uart_ctrl_top 模块地址说明	18
表 2-6 qsgmii_reg_slave 寄存器说明.....	19
表 2-7 Example Design 接口列表	20
表 2-8 debug_core 信号说明	24
表 2-9 QSGMII IP 接口信号列表	27
表 2-10 自协商功能开启时寄存器定义	38
表 2-11 SGMII Control (Register 0)	40
表 2-12 SGMII Status Register (Register 1)	41
表 2-13 PHY Identifier Register (Register 2 and 3)	41
表 2-14 SGMII Auto-Negotiation Advertisement MAC Mode(Register 4)	42
表 2-15 SGMII Auto-Negotiation Advertisement in PHY Mode (Register 4)	42
表 2-16 SGMII Auto-Negotiation Link Partner Ability Base (Register 5).....	43
表 2-17 Auto-Negotiation Expansion Register (Register 6)	43
表 2-18 Extended Status Register (Register 15).....	43
表 2-19 Vender_spc Register (Register 16).....	44
表 2-20 Vender_spc_1 Register (Register 17).....	45
表 2-21 SGMII 模式自协商功能关闭时寄存器定义	45
表 2-22 SGMII Core Loopback 端口配置	49
表 2-23 SGMII Core Loopback 寄存器配置	49
表 2-24 PMA 近端并行环回	49
表 2-25 PMA 近端串行环回	50
表 2-26 PCS 近端并行环回.....	50
表 2-27 PCS 远端并行环回.....	51

图目录

图 2-1 QSGMII IP 系统框图	10
图 2-2 QSGMII IP 选择路径界面	11
图 2-3 工程例化界面	12
图 2-4 QSGMII IP 接口框图	12
图 2-5 配置 QSGMII IP 参数界面	13
图 2-6 QSGMII IP 生成报告界面	13
图 2-7 Example Design 系统框图	17
图 2-8 GMII 侧发送包统计	22
图 2-9 PCS 发送端数据	23
图 2-10 GMII 侧接收包统计	23
图 2-11 PCS 接收端数据	24
图 2-12 QSGMII MAC Side 配置图	25
图 2-13 QSGMII PHY Side 配置图	25
图 2-14 QSGMII IP 接口	26
图 2-15 APB 基本写时序	35
图 2-16 APB 基本读时序	35
图 2-17 MDIO 写时序	36
图 2-18 MDIO 读时序	36
图 2-19 速率为 1000Mbps 时 GMII 发送时序	37
图 2-20 速率为 1000Mbps 时 GMII 接收时序	37
图 2-21 QSGMII IP 工作模式示意图	48
图 2-22 使能频偏 Buffer 时钟方案示意图	51
图 2-23 不使能频偏 Buffer 时钟方案示意图	52

第1章 前言

本章讲述本手册的适用范围、手册结构及相关行文规范，帮助用户快速查找所需的信息。

1.1 关于本手册

本手册为紫光同创推出的 QSGMII IP 的用户指南，适用于 Logos 系列 FPGA 产品，内容主要包括 IP 使用指南及相关附录。通过本手册用户可以快速了解 QSGMII IP 相关特性及使用方法。

1.2 手册行文规范

表 1-1 行文规范说明

文字	使用原则
注意	若用户忽略注意内容，可能会因误操作而带来一定的不良后果或者无法成功操作。
说明	提供给用户的说明和提示。
推荐	推荐给用户的设置和使用说明。

第2章 IP 使用指南

本章讲述 QSGMII IP 相关使用指南，内容包括 IP 简介、IP 框图、IP 生成流程、Example Design、IP 接口描述、IP 寄存器描述、典型应用、说明与注意事项、IP 调试手段。更多设计流程相关详细信息可以参见下述 PDS 帮助文档。

- *Pango_Design_Suite_Quick_Start_Tutorial*[1]
- *Pango_Design_Suite_User_Guide*[2]
- *IP_Compiler_User_Guide*[3]
- *Simulation_User_Guide*[4]

2.1 IP 简介

QSGMII IP 是紫光同创推出的一款以太网接口 IP，用以连接数据链路层和物理层，实现 4 路以太网数据（10/100/1000Mbps）基于 1 路 SerDes 通道的高效传输。用户可通过公司 PDS（Pango Design Suite）套件中的 IPC（IP Compiler）工具完成 IP 模块的配置和生成。

2.1.1 主要特性

QSGMII IP 是按照 *IEEE802.3-2012 Specification*[8]、*Cisco Systems, Serial-GMII Specification-rev1.8*[9]、*Cisco Systems, QSGMII Specification-rev1.2*[10]标准设计的 IP，主要特性如下。

- 支持 GMII 数据接口；
- 支持 APB 或 MDIO 配置管理接口；
- 支持通过端口进行简易快速配置；
- 支持时钟频偏矫正，以适应以太网±100ppm 的频差；
- 支持四个 SGMII Core 采用不同速率传输；
- 支持对单个 SGMII Core 进行复位操作；
- 支持自协商功能；
- 支持环回功能。

2.1.2 适用器件及封装

表 2-1 QSGMII IP 适用器件及封装

适用器件	支持封装类型
PGL100H	ALL
PGL50H	ALL

2.2 IP 框图

QSGMII IP 由 HSST 和 QSGMII Core 两部分组成，QSGMII IP 系统框图如图 2-1 所示。其中虚线所示为环回时的数据流向，关于环回配置方法请参见“2.8.4 环回模式”。

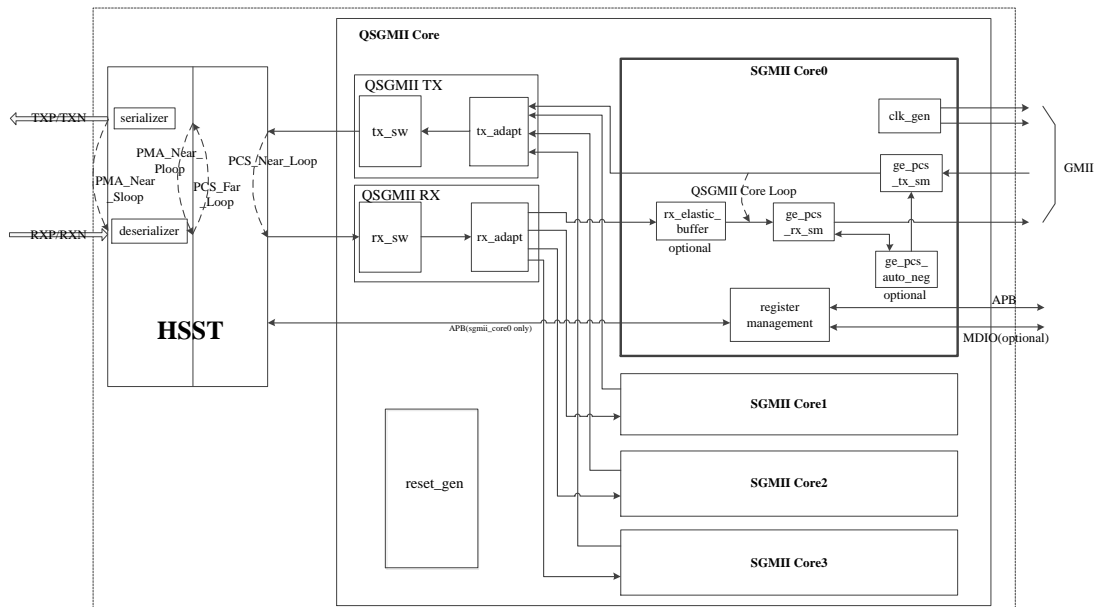


图 2-1 QSGMII IP 系统框图

2.2.1 HSST

HSST 由 HSST IP 例化生成，包含 HSST_PLL、HSST_APB_Bridges 和 HSST IP 硬核资源，主要实现 PCS 编解码、PMA 串并/并串转换及时钟恢复等功能。其中，HSST IP 寄存器只能通过 SGMII Core0 的 APB 接口进行访问，如图 2-1 所示。

2.2.2 QSGMII Core

QSGMII Core 是 QSGMII IP 软核逻辑，包含 QSGMII TX、QSGMII RX、reset_gen

和 4 个 SGMII Core¹，主要实现自协商、频偏处理、数据发送、数据接收、寄存器管理等功能。其中，每个 SGMII Core 均有独立的一套寄存器，可通过 APB 或 MDIO 接口进行访问，详细信息请参见“2.6 IP 寄存器描述”。

2.3 IP 生成流程

2.3.1 模块例化

通过 IPC 工具可以完成 QSGMII IP 的定制化配置，例化生成所需的 IP 模块。关于 IPC 工具的具体使用方法，请参见 *IP_Compiler_User_Guide*[3]。

QSGMII IP 模块例化的主要操作步骤描述如下。

1. 选择 IP

打开 IPC，在主窗口中点击 File->Update 打开 Update IP 对话框，添加对应版本的 IP 模型。

选择 FPGA 的器件类型之后 Catalog 界面可以显示已装载的 IP 模型。选取 System/Ethernet 目录下对应版本的 QSGMII，IP 选择路径界面如图 2-2 所示。然后在右侧页面设置 Pathname 和 Instance Name 名称，工程例化界面如图 2-3 所示。

注意：

- 软件必须为 2021.1-SP7.2、2021.4-SP1、2022.1 及以上版本。
-

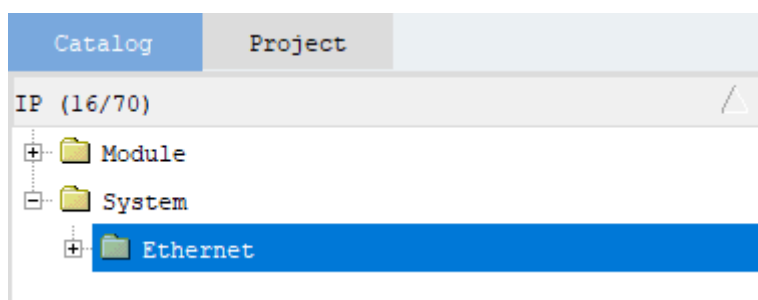


图 2-2 QSGMII IP 选择路径界面

¹ 对应图 2-1 中的 SGMII Core0、SGMII Core1、SGMII Core2、SGMII Core3。

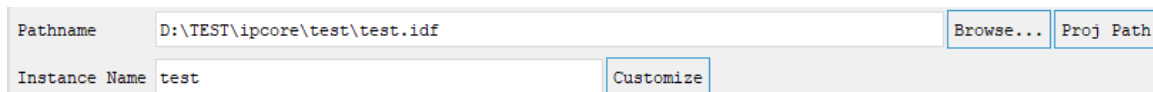


图 2-3 工程例化界面

2. 配置 IP 参数

IP 选择完成后点击 <Customize> 进入 QSGMII IP 参数配置界面。左边 Symbol 为接口框图，如图 2-4 所示；右边为参数配置窗口，如图 2-5 所示。QSGMII IP 配置参数说明见表 2-2。

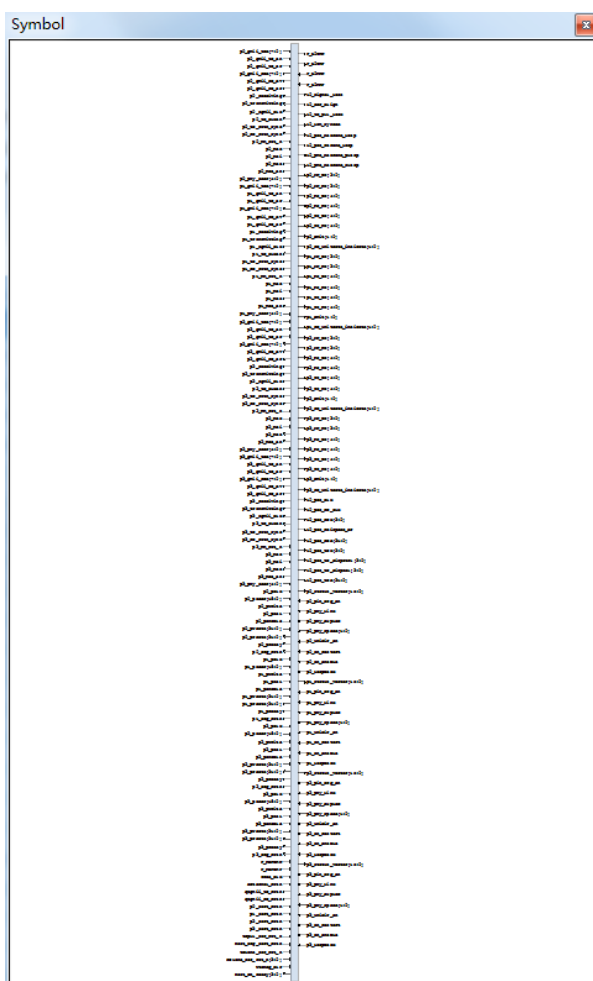


图 2-4 QSGMII IP 接口框图

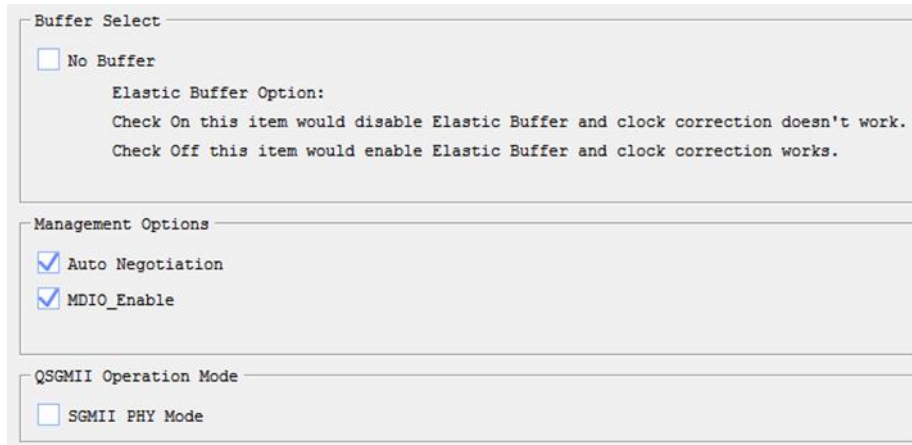


图 2-5 配置 QSGMII IP 参数界面

表 2-2 QSGMII IP 配置参数说明

选项区域	选项名/参数名	参数说明	IP 配置界面默认值
Buffer Select	No Buffer	频偏 Buffer 不使能选择 勾选：IP 不使能频偏 Buffer 参见“2.8.5 IP 时钟方案”	不勾选
Management Options	Auto Negotiation	自协商使能选择 勾选：IP 使能自协商	勾选
	MDIO_Enable	MDIO 配置管理接口使能选择 勾选：IP 使能 MDIO 配置管理接口	勾选
QSGMII Operation Mode	SGMII PHY Mode	QSGMII PHY 模式选择 勾选：IP 工作在 PHY 模式 不勾选：IP 工作在 MAC 模式	不勾选

3. 生成 IP

参数配置完成后，点击左上角的 <Generate> 按钮生成 IP，即可生成相应于用户特定设置的 QSGMII IP 代码。生成 IP 的信息报告界面如图 2-6 所示。

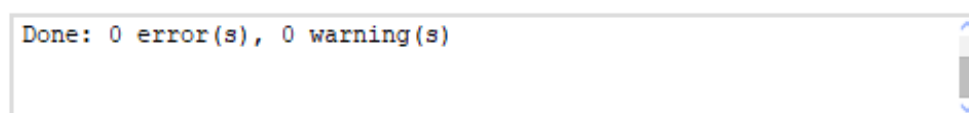


图 2-6 QSGMII IP 生成报告界面

成功生成 IP 后会在图 2-3 中指定的 Project 路径下输出表 2-3 所示文件。

表 2-3 IP 生成后的输出文件

输出文件 ²	说明
\$instname.v	所生成 IP 的顶层.v 文件。
\$instname.idf	所生成 IP 的配置文件。
/rtl/*.v	所生成 IP 的明文 RTL 文件。
/rtl/common/*.v	所生成 IP 的明文 RTL 文件，该文件夹存放一些通用模块。
/rtl/hsst/ *	该文件夹存放 HSST IP 模块。
/rtl/synplify/*.vp	所生成 IP 的非明文 RTL 文件，该文件用于综合。
/sim_lib/modelsim/*.vp	所生成 IP 的非明文 RTL 文件，该文件可用于 ModelSim 或 VCS 仿真。
/sim/modelsim/*.f	对生成的 Example Design 进行 modelsim 仿真所需的.v 文件列表。
/sim/modelsim/*.do	对生成的 Example Design 进行 modelsim 仿真的 do 脚本文件和 do 波形文件。
/sim/modelsim/*.bat	对生成的 Example Design 进行 modelsim 仿真的脚本。
/example_design/bench/*.v	Example Design 的仿真激励文件。
/example_design/rtl/*.v	Example Design 的顶层文件以及设计用到的一些模块文件。
/pnr/core_only/*.pds	所生成 IP 核的工程文件。
/pnr/core_only/*.fdc	所生成 IP 核的约束文件。
/pnr/core_only/*.v	所生成 IP 核工程的顶层文件。
/pnr/example_design/*.pds	Example Design 的工程文件。
/pnr/example_design/*.fdc	所生成 Example_Design 的约束文件。
/rev_1	综合报告默认输出路径。（该文件夹仅在指定综合工具后才会生成）
/readme.txt	readme 文件，描述 IP 生成后，生成目录的结构。

注意：

- IP 自带生成的.pds 文件和.fdc 文件仅供参考，使用时请根据实际的管脚连接更改管脚约束。
 - *.vp 文件中的*_vpAll.vp 文件包含了其他*.vp 文件的内容，选择该文件等效于选择其他所有*.vp 文件；用户可以根据自己的使用习惯选择使用，但两者不能同时选用，否则会报错。*_simvpAll.vp 同理。
-

² \$instname 是用户输入的例化名；“*”为通配符，代替同一类型的文件名。

2.3.2 约束配置

关于约束文件的具体配置方法，可以查阅 PDS 安装路径下相关帮助文档：*User_Constraint_Editor_User_Guide*[5]，*Physical_Constraint_Editor_User_Guide*[6]，*Route_Constraint_Editor_User_Guide*[7]。

2.3.3 运行仿真

QSGMII IP 的仿真是基于 Example Design 的 Test Bench 进行的。有关 Example Design 的详细信息请参见“2.4 Example Design”。

关于 PDS 仿真功能及第三方仿真工具的更多详细信息，可以查阅 PDS 安装路径下相关帮助文档：*Pango_Design_Suite_User_Guide*[2]，*Simulation_User_Guide*[4]。

2.3.4 综合与布局布线

PDS 综合工具和布局布线工具的相关具体用法可以查阅 PDS 安装路径下的帮助文档。

注意：

与 IP 一起产生的 Example Design 工程文件.pds 和管脚约束文件.fdc 存放在 /pnr/example_design 目录下，需要根据实际使用的器件和 PCB 板的走线修改物理约束，具体请参见“2.8 说明与注意事项”。

2.3.5 资源利用

表 2-4 QSGMII IP 基于适用器件的资源利用典型值

器件	IP 工作模式 (参数勾选项)	资源利用典型值				
		LUT	FF	HSST	USCM	DRM
PGL100H	Auto Negotiation MDIO_Enable SGMII PHY Mode	4146	4156	1	4	2
	Auto Negotiation MDIO_Enable SGMII PHY Mode No Buffer	3251	3272	1	4	0
	Auto Negotiation SGMII PHY Mode	3080	2710	1	3	2
	MDIO_Enable SGMII PHY Mode No Buffer	2085	1847	1	4	0
PGL50H	Auto Negotiation MDIO_Enable SGMII PHY Mode	4140	4156	1	4	2
	Auto Negotiation MDIO_Enable SGMII PHY Mode No Buffer	3251	3272	1	4	0
	Auto Negotiation SGMII PHY Mode	3082	2710	1	3	2
	MDIO_Enable SGMII PHY Mode No Buffer	2083	1847	1	4	0

2.4 Example Design

本节主要介绍基于 QSGMII IP 的 Example Design 方案³。该方案分别实例化一个 MAC Side QSGMII IP 和一个 PHY Side QSGMII IP 对接进行自协商，然后对发数据，并通过 CRC 校验来验证接收侧的数据是否正确。该方案通过 MDIO 接口对 QSGMII Core 进行读写寄存器操作。

³ 该 Example Design 方案仅适用于 PGL100H FBG676。

说明：

HSST IP 寄存器接口只能通过 SGMII Core0 的 APB 接口访问。

2.4.1 设计框图

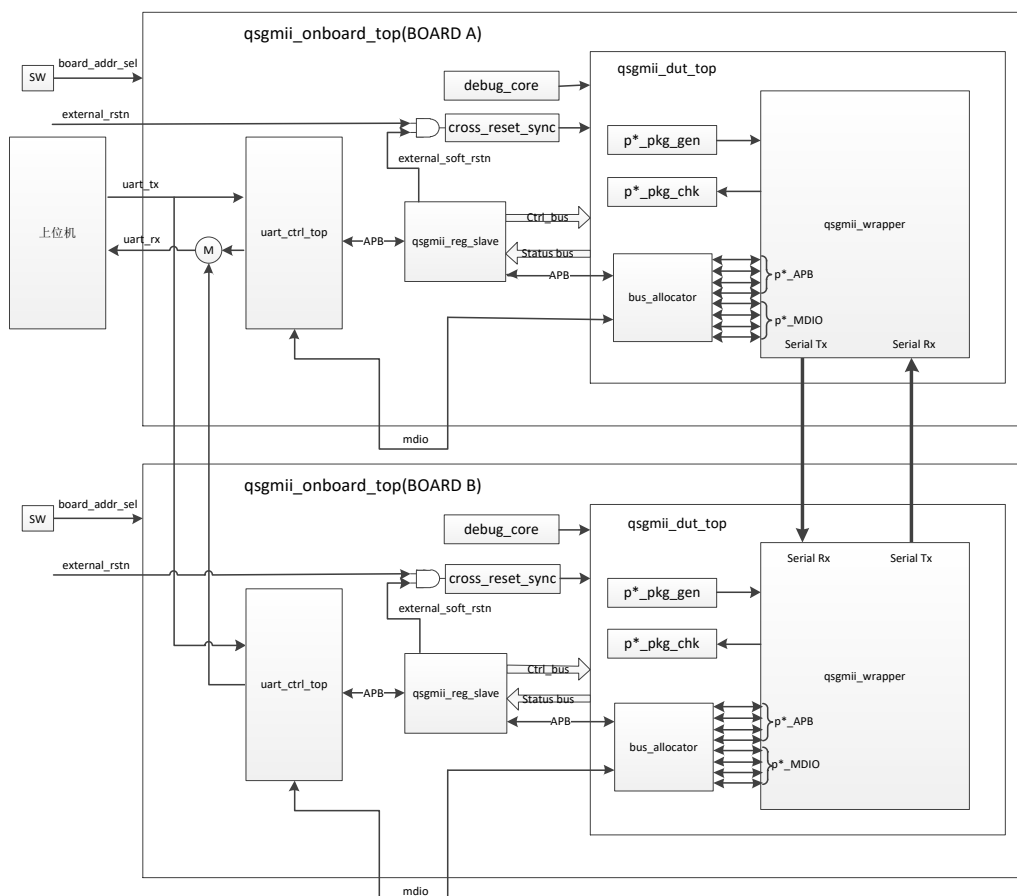


图 2-7 Example Design 系统框图

Example Design 的系统框图如图 2-7 所示，其中，uart_ctrl_top 模块完成 UART 与 MDIO、APB 接口之间的转换。qsgmii_dut_top 模块的控制信号统一由 uart_ctrl_top 模块输出，经 qsgmii_reg_slave 模块转换后实现对 qsgmii_dut_top 模块的控制。qsgmii_dut_top 的状态信号经 qsgmii_reg_slave 模块转换输出至 uart_ctrl_top 模块。Ⓜ表示选择器，其根据选择使能将相应测试板的输出数据传递到上位机。

2.4.2 模块说明

1. uart_ctrl_top

调试时使用的串口模块。该模块接收 UART 的数据，以 APB 协议或者 MDIO 协议要求的数据格式输出，实现串口与 APB、MDIO 接口之间的数据转换。串口波特率固定为 115200，读写操作的地址为 32bit，数据为 32bit。

(1) 读写操作说明

- 读操作格式：“地址” + “0x72”；
- 写操作格式：“数据” + “地址” + “0x77”。

相关读写操作示例请参见“2.8.6 uart_ctrl_top 模块读写操作示例”。

(2) 地址说明

通过 uart_ctrl_top 模块访问寄存器时，地址说明见表 2-5。

表 2-5 uart_ctrl_top 模块地址说明

地址位	说明
31:29	未使用，设置为 0。
28	单板地址，仅调试时使用。
27:25	未使用，设置为 0。
24	通过 APB 接口访问寄存器时设置为 0； 通过 MDIO 接口访问寄存器时设置为 1。
23	通过 APB 接口访问寄存器时有效； 访问 qsgmii_reg_slave 模块时设置为 0； 访问 IP 时设置为 1。
22:21	未使用，设置为 0。
20:19	在 bus_allocator 模块中用于区分 4 个 SGMII Core； 2'b00：操作 SGMII Core0； 2'b01：操作 SGMII Core1； 2'b10：操作 SGMII Core2； 2'b11：操作 SGMII Core3。
18:0	IP 寄存器的地址（参见“2.6 IP 寄存器描述”）或者 qsgmii_reg_slave 模块内的寄存器地址。（参见表 2-6）

2. qsgmii_reg_slave

调试使用的自定义寄存器模块，相关寄存器说明见表 2-6。

表 2-6 qsgmii_reg_slave 寄存器说明

寄存器地址（16bit）	R/W	描述	默认值（32bit）
0x0041	W	<p>该寄存器会对 4 个 SGMII Core 同时进行配置</p> <p>bit28: pin_cfg_en 快速端口配置使能 0: 快速端口配置无效 1: 使能快速端口配置</p> <p>bit24: phy_duplex</p> <p>bit20: phy_link</p> <p>bit[17:16]: phy_speed 2'b11: 保留 2'b10: SGMII 1000M 2'b01: SGMII 100M 2'b00: SGMII 10M</p> <p>bit4: an_enable（自协商使能） 1'b0: 关闭自协商使能 1'b1: 开启自协商使能</p> <p>bit0: an_restart（重启自协商） 1'b0: 关闭自协商重启 1'b1: 打开自协商重启</p>	0x01120010
0x0002	W	<p>该寄存器会控制 4 路数据生成模块发包</p> <p>bit0: start_test 1'b0: 关闭发包 1'b1: 开启发包</p>	0x0

3. debug_core

PDS 自带用于调试的 IP 模块，通过 Fabric Debugger 工具可实现波形抓取，查看某些模块的特定信号。相关具体用法可以查阅 PDS 安装路径下的帮助文档。

4. cross_reset_sync

异步信号同步模块，用于对外部输入的异步信号进行同步、去抖处理。

5. qsgmii_dut_top⁴

qsgmii_dut_top 模块包含 p*_pkg_gen 模块、p*_pkg_chk 模块、bus_allocator 模块、qsgmii_wrapper 模块。

(1) p*_pkg_gen

数据生成模块，用于产生传输数据。

(2) p*_pkg_chk

数据检测模块，用于对接收到的数据进行 CRC 校验。

(3) bus_allocator

总线分配模块，将单路 APB/MDIO 分为 4 路，实现 APB 总线的输入输出选择以及 MDIO 总线的输出选择。该模块的 APB 总线预留了两 bit[20:19]用于识别 QSGMII IP 中的多个 SGMII Core，具体地址分配见表 2-5。

(4) qsgmii_wrapper

QSGMII IP 层，相关接口见表 2-9。

2.4.3 接口说明

表 2-7 Example Design 接口列表

端口名	位宽	I/O	端口说明	引脚约束	
				PGL50H	PGL100H
free_clk	1	I	外部参考时钟 ⁵ 频率：50MHz	F14	AJ17
external_rstn	1	I	系统复位信号 0: 复位 1: 复位释放	W17	K1
hsst_cfg_soft_rstn	1	I	HSST IP 配置参数复位信号 0: 复位 1: 复位释放	V17	L1
P_REFCKN	1	I	HSST IP 差分参考时钟输入 N 端 频率：125MHz	-	-
P_REFCKP	1	I	HSST IP 差分参考时钟输入 P 端	-	-

⁴ p*中的“*”代表 0、1、2、3，分别对应 QSGMII Core 中的 4 个 SGMII Core：SGMII Core0、SGMII Core1、SGMII Core2、SGMII Core3。

⁵ 在本 Example Design 中用做 APB 的 pclk 和 HSST 复位时钟

端口名	位宽	I/O	端口说明	引脚约束	
				PGL50H	PGL100H
			频率: 125MHz		
P_L0TXN	1	O	HSST IP 差分串行输出信号 N 端	-	-
P_L0TXP	1	O	HSST IP 差分串行输出信号 P 端	-	-
P_L0RXN	1	I	HSST IP 差分串行输入信号 N 端	-	-
P_L0RXP	1	I	HSST IP 差分串行输入信号 P 端	-	-
LED50M1S	1	O	free_clk 时钟指示灯 ⁶	C17	K2
LED125M1S	1	O	125MHz 差分时钟指示灯 ⁶	D17	J1
ok_led	1	O	收包校验正确指示灯 0: 灯灭 (校检有误) 1: 灯亮 (校检正确)	C18	H1
cfg_uart_txd	1	O	本端向上位机发送数据端口	F5	B3
cfg_uart_rxd	1	I	本端接收上位机发送数据端口	G6	A2
uart_rxd_to_partner	1	O	本端向对端发送数据端口	H8	P1
uart_txd_from_partner	1	I	本端接收对端发送数据端口	J7	K3
l0_cdr_align	1	O	HSST IP PMA CDR 锁定指示灯 (连接 l0_cdr_align 端口) 0: 灯灭 (未锁定) 1: 灯亮 (锁定)	C19	H2
l0_tx_pll_lock	1	O	HSST IP PLL 锁定指示灯 (连接 l0_tx_pll_lock 端口) 0: 灯灭 (未锁定) 1: 灯亮 (锁定)	D18	G1
l0_lsm_synced	1	O	HSST IP Word Align 对齐指示灯 (连接 l0_lsm_synced 端口) 0: 灯灭 (未对齐) 1: 灯亮 (对齐)	D19	F1
l0_an_status	1	O	SGMII 1GbE IP 链路状态指示灯 0: 灯灭 (链路存在问题) 1: 灯亮 (链路正常)	A17	F2
master_mdc_o	1	O	MDIO 输出时钟, 由串口模块产生	M3	AC16
master_mdio	1	IO	MDIO 数据信号	M4	P2
slave_l0_mdc	1	I	MDIO 输入时钟 (与 master_mdc_o 连接)	M5	AF16
slave_l0_mdio	1	IO	MDIO 数据信号 (与 master_mdio 连接)	K1	L6
l0_ctrl3	1	I	单板串口地址控制信号 0: A 板 1: B 板	Y14	B2

注: “-” 表示已通过 HSST 相关约束进行位置约束。

⁶ 正常时 1S 闪烁一次。

2.4.4 测试方法

通过例化对应模式⁷的 QSGMII IP, 利用 IP 自带的 Example Design 工程⁸生成位流。采用两块测试板⁹进行对接测试, 一块烧录 MAC Side 位流, 一块烧录 PHY Side 位流, 根据链路指示和 CRC 校验结果判断测试结果。

Example Design 中已加入 debug_core 模块, 通过板间对接测试, 可使用 PDS 软件中的 Fabric Debugger 工具抓取 PCS 发送端和 PCS 接收端的数据, 以及收发包个数统计信息, 相关截图如下所示。用户可根据实际情况自行增减需要抓取的信号。debug_core 信号说明见表 2-8。

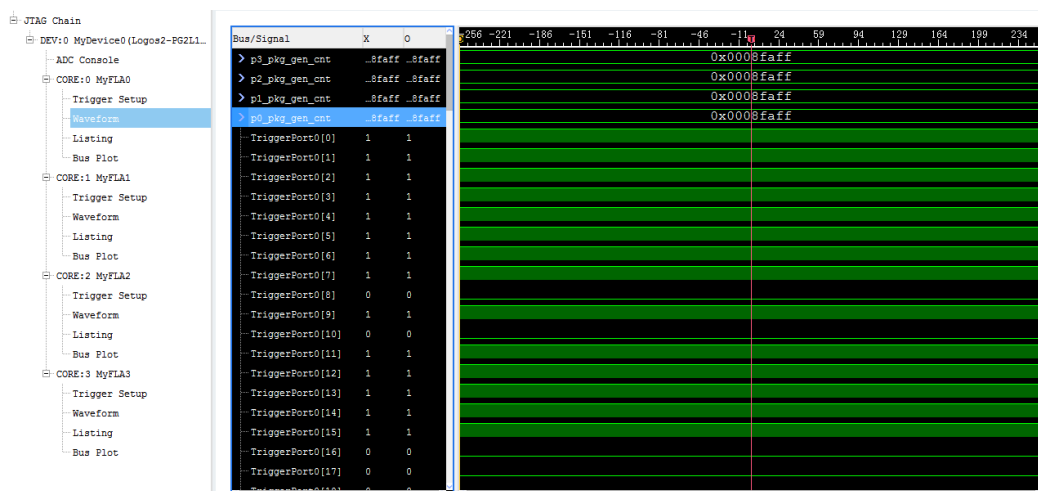


图 2-8 GMII 侧发送包统计

7 详细信息请参见“2.4.5 实例配置”、“2.3.1 模块例化”。

8 Example Design 工程路径见表 2-3。

9 PGL50H 测试板型号为 P02I50RD02_A0, PGL100H 测试板型号为 P02I100RD02_A0。

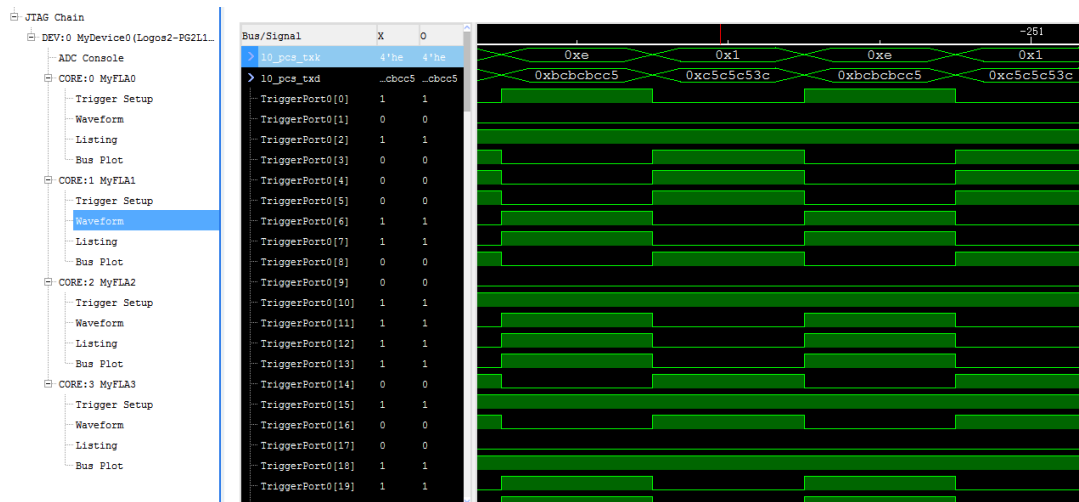


图 2-9 PCS 发送端数据

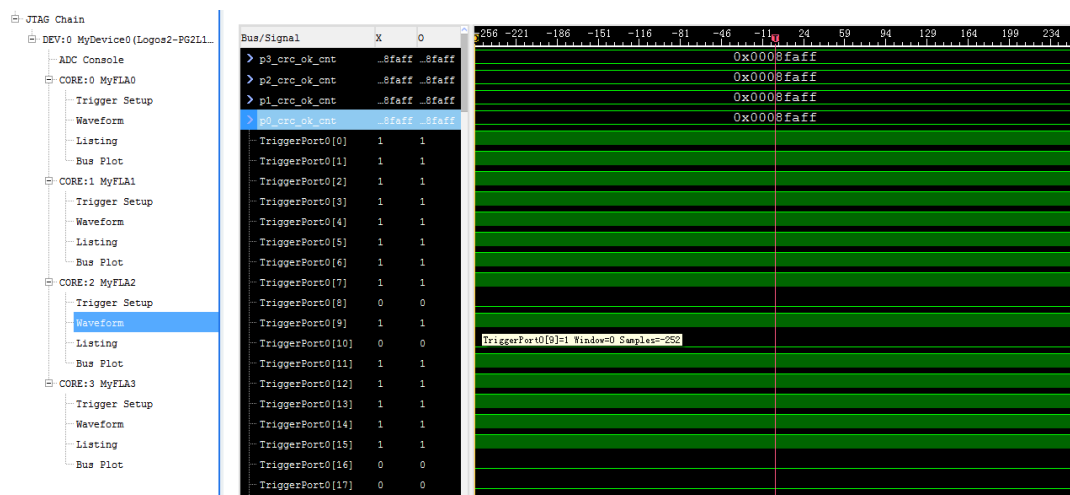


图 2-10 GMII 侧接收包统计



表 2-8 debug_core 信号说明

UG022007

2.4.5 实例配置

1. MAC Side

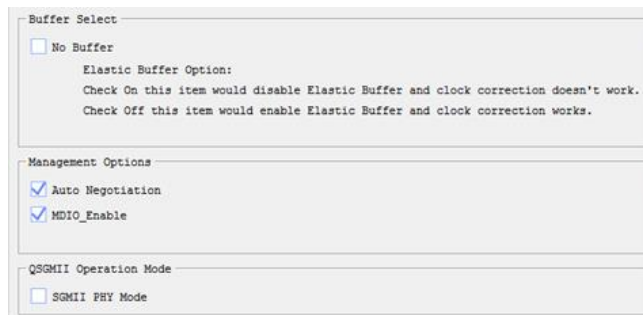


图 2-12 QSGMII MAC Side 配置图

2. PHY Side

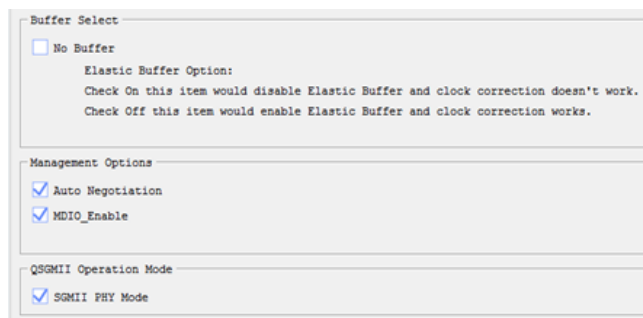


图 2-13 QSGMII PHY Side 配置图

2.4.6 实例仿真

在 Windows 系统下，IP 生成后，在<project_path>/sim/modelsim 路径下，双击*.bat 文件¹⁰即可运行仿真。

注意：

用 IP 生成的 Example Design，不能直接跑 Flow 上板测试，需要根据实际使用的器件和 PCB 板的走线修改物理约束，然后跑 Flow 上板测试，具体请参见“2.8 说明与注意事项”。

¹⁰ IP 生成后的输出文件请参见表 2-3。

2.5 IP 接口描述

本节介绍 QSGMII IP 相关接口说明及时序描述。

2.5.1 IP 接口说明

1. 接口框图

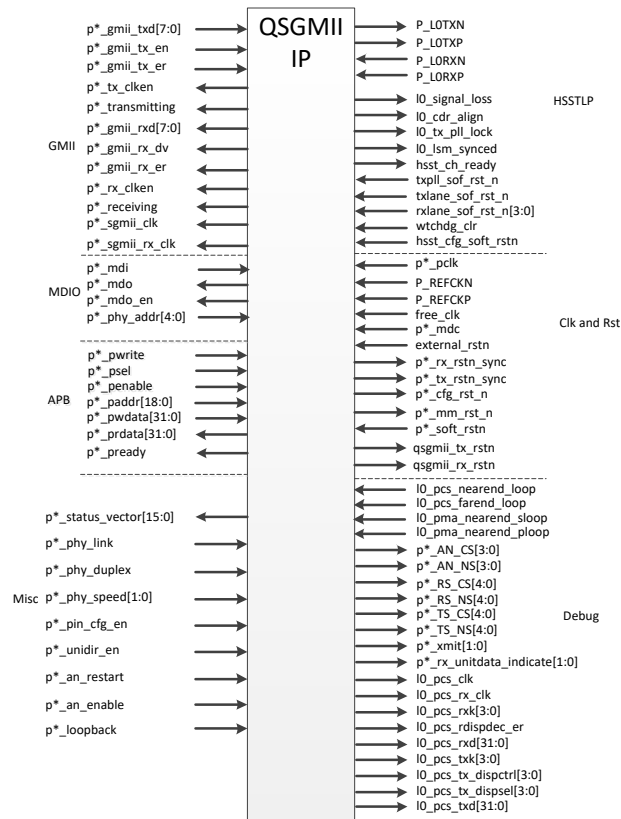


图 2-14 QSGMII IP 接口

说明：

p*中的“*”代表 0、1、2、3，分别对应 SGMII Core0、SGMII Core1、SGMII Core2、SGMII Core3 的接口信号。

2. 接口列表

表 2-9 QSGMII IP 接口信号列表

端口信号名 ¹¹	I/O	位宽	详细描述
时钟与复位信号			
free_clk	I	1	HSST IP 的复位序列参考时钟；频率 10MHz~100MHz。
external_rstn	I	1	全局异步复位信号，默认为 free_clk 时钟域； 0：复位； 1：复位释放。
p*_soft_rstn	I	1	SGMII Core 全局异步复位信号，默认为 free_clk 时钟域； 0：复位； 1：复位释放。
qsgmii_tx_rstn	O	1	QSGMII TX 方向逻辑复位，10_pcs_clk 时钟域； 0：复位； 1：复位释放。
qsgmii_rx_rstn	O	1	QSGMII RX 方向逻辑复位，10_pcs_rx_clk 时钟域； 0：复位； 1：复位释放。
MDIO 接口¹²			
p*_mdc	I	1	Management Data Clock，用于 MDIO 接口时钟；当 MDIO 接口使能时，该端口必须有时钟输入，频率 2.5MHz。
p*_mdi	I	1	Management Data In。
p*_mdo	O	1	Management Data Out。
p*_mdo_en	O	1	1：mdo 有效；0：mdo 无效。
p*_phy_addr	I	5	MDIO PHY 地址。
p*_mm_rst_n	O	1	全局异步复位； 0：复位； 1：复位释放； 注：位于管理接口时钟域下。
APB 接口¹³			
p*_cfg_rst_n	O	1	SGMII Core 配置逻辑复位输出，工作在 free_clk 时钟域； 0：复位； 1：复位释放。

11 本文中 p* 的 “*” 代表 0、1、2、3，分别对应 QSGMII Core 中所使用的 4 个 SGMII Core，下同。信号名中包含 “p*”、“10” 或 “L0” 的信号，都是与 Lane0 相关的信号；没有包含 “p*” 或 “10” 的信号，是适用于 Lane0~Lane3 的信号。

12 配置管理接口为 MDIO 时（勾选 “MDIO_Enable”）有效，参见 “2.3.1.2 配置 IP 参数”。

13 配置管理接口为 APB 时（不勾选 “MDIO_Enable”）有效，参见 “2.3.1.2 配置 IP 参数”。

端口信号名 ¹¹	I/O	位宽	详细描述
p*_pclk	I	1	APB 时钟，用于 APB 接口时钟，频率 50MHz~100Mhz。
p*_paddr[18:0]	I	19	APB 接口读写地址总线。
p*_pwrite	I	1	APB 写使能信号。 1: 写数据; 0: 读数据。
p*_psel	I	1	APB 接口片选信号。 1: 选中; 0: 没选中。
p*_penable	I	1	APB 接口访问使能。 1: 使用; 0: 不使用。
p*_wdata[31:0]	I	32	APB 接口写数据总线。
p*_prdata[31:0]	O	32	APB 接口读数据总线。
p*_pready	O	1	APB 接口读写 Ready 信号。 写操作时: 1: 数据已成功写入寄存器; 0: 数据还未成功写入寄存器。 读操作时: 1: 读数据已经准备好; 0: 读数据还未准备好。
快速配置接口¹⁴			
p*_pin_cfg_en	I	1	寄存器快速配置使能: 寄存器快速配置只影响 Reg0 和 Reg4, 不影响其他寄存器: 1: 下列配置信号有效, 直接写入对应的配置寄存器。高电平至少保持一个管理接口时钟周期。此时除 Reg0 和 Reg4 以外的寄存器可以通过管理配置接口进行写入, 所有寄存器可以通过管理配置接口进行读取; 0: 下列配置信号无效; 此时所有寄存器可通过管理配置接口读写。
p*_phy_link	I	1	PHY Link 状态: QSGMII Phy Mode: 对应 Reg4.15; Other Mode: NA。
p*_phy_duplex	I	1	PHY 双工状态: 1: 全双工; 0: 非全双工; QSGMII Phy Mode: 对应 Reg4.12; Other Mode: NA。
p*_phy_speed[1:0]	I	2	PHY 的工作速度:

¹⁴ 该组信号要求在管理接口 (MDIO/APB) 对应的时钟域 (mdc/free_clk) 下生成。

端口信号名 ¹¹	I/O	位宽	详细描述
			11: 保留; 10: 1000 Mbps; 01: 100 Mbps; 00: 10 Mbps; QSGMII Phy Mode: 对应{Reg0.6,Reg0.13}和 Reg4.11:10; Other Mode: 对应{Reg0.6,Reg0.13}。
p*_unidir_en	I	1	单向模式使能: 0: 单向模式不使能; 1: 单向模式使能; 详细内容参见 Reg0.5 说明; 对应寄存器 Reg0.5。
p*_an_restart	I	1	自协商相关端口, 自协商重启: 0: 自协商正常工作; 1: 自协商重启; 对应寄存器 Reg0.9。
p*_an_enable	I	1	自协商相关端口, 自协商使能: 0: 自协商不使能; 1: 自协商使能; 对应寄存器 Reg0.12。
p*_loopback	I	1	SGMII Core 内部环回使能: 0: 不环回; 1: SGMII Core 与 QSGMII Core 接口处内环使能; 不使能频偏 Buffer 时, Loopback 功能不可使用, 对应寄存器 Reg0.14。
状态指示信号			
p*_status_vector[15:0]	O	16	SGMII Core 状态指示, 用户根据使用情况自行完成数据同步: Bit[0]: 自协商相关端口, Link Status, 自协商开启时表示自协商完成, 自协商不开启时表示 PCS 同步模块同步成功: 0: Link 未成功; 1: Link OK; Bit[2:1]: RUDI, rx_sm 输出的数据类型信号: 00: 保留; 01: Invalid; 10: /C/; 11: /I/; Bit[4:3]: SGMII 速率指示: 10: 1000 Mbps; 01: 100 Mbps; 00: 10 Mbps; Bit[5]: SGMII 半双工、全双工指示:

端口信号名 ¹¹	I/O	位宽	详细描述
			0: 半双工; 1: 全双工; Bit[6]: SGMII 弹性 Buffer 状态: 0: Buffer 正常; 1: Buffer 溢出; Bit[8:7]: 保留, 默认为 2'b00; Bit[10:9]: 自协商相关端口, Remote Fault Encode, 自协商接收到的 Link Partner 传过来的 Link 状态: SGMII Mac 模式: 10: Link 异常; 00: Link 正常; SGMII Phy 模式: 固定为 0; Bit[11]: rxdec_er: 10B/8B 解码数据错误; Bit[12]: rxdisp_er: 10B/8B 解码极性错误; Bit[13]: 自协商相关端口, an_page_rx: 自协商接收到新的配置数据; Bit[14]: 自协商相关端口, an_complete: 自协商完成; Bit[15]: 自协商相关端口, resolve_priority: Controls the Invocation of the Priority Resolution Function, 该信号在自协商的 IDLE_DETECT 状态和 LINK_OK 状态拉高, 其他状态拉低。
GMII 接口			
p*_sgmii_clk	O	1	SGMII 工作时钟, 125MHz。
p*_tx_clken	O	1	sgmii_clk 时钟使能信号, 高有效; 注: 属于 p*_sgmii_clk 时钟域。
p*_tx_rstn_sync	O	1	GMII tx 方向送给 Fabric 的复位信号; 0: 复位; 1: 复位释放; 注: 属于 p*_sgmii_clk 时钟域。
p*_sgmii_rx_clk	O	1	接收方向 SGMII 逻辑工作时钟, 125MHz。
p*_rx_clken	O	1	sgmii_rx_clk 时钟使能信号, 高有效; 注: 属于 p*_sgmii_rx_clk 时钟域。
p*_rx_rstn_sync	O	1	GMII rx 方向送给 Fabric 的复位信号; 0: 复位; 1: 复位释放; 注: 属于 p*_sgmii_rx_clk 时钟域。
p*_gmii_rxd[7:0]	O	8	GMII RXD[7:0]信号; 注: 属于 p*_sgmii_rx_clk 时钟域。

端口信号名 ¹¹	I/O	位宽	详细描述
p*_gmii_rx_dv	O	1	GMII RX_DV 信号; 注: 属于 p*_sgmii_rx_clk 时钟域。
p*_gmii_rx_er	O	1	GMII RX_ER 信号; 注: 属于 p*_sgmii_rx_clk 时钟域。
p*_receiving	O	1	0: pcs_tx_sm 没有接收; 1: pcs_tx_sm 正在接收; 注: 属于 p*_sgmii_rx_clk 时钟域。
p*_gmii_txd[7:0]	I	8	GMII TXD[7:0]信号; 注: 属于 p*_sgmii_clk 时钟域。
p*_gmii_tx_en	I	1	GMII TX_EN 信号; 注: 属于 p*_sgmii_clk 时钟域。
p*_gmii_tx_er	I	1	GMII TX_ER 信号; 注: 属于 p*_sgmii_clk 时钟域。
p*_transmitting	O	1	0: pcs_tx_sm 没有发送; 1: pcs_tx_sm 正在发送; 属于 p*_sgmii_clk 时钟域。
HSST IP 接口			
P_LOTXN	O	1	HSST IP 差分串行输出信号 N 端。
P_LOTXP	O	1	HSST IP 差分串行输出信号 P 端。
P_LORXN	I	1	HSST IP 差分串行输入信号 N 端。
P_LORXP	I	1	HSST IP 差分串行输入信号 P 端。
P_REFCKN	I	1	HSST IP 差分参考时钟输入信号 N 端。
P_REFCKP	I	1	HSST IP 差分参考时钟输入信号 P 端。
l0_signal_loss	O	1	端口有效信号检测: 1: 表示从端口 P_LORXP/ P_LORXN 没有检测到有效信号; 0: 表示从端口 P_LORXP/ P_LORXN 检测到了有效信号; 注: 此信号为异步信号。
l0_cdr_align	O	1	CDR 锁定标志信号; 0: 表示 CDR 未锁定; 1: 表示 CDR 已成功锁定; 注: 此信号为异步信号。
l0_tx_pll_lock	O	1	Tx PLL 锁定状态标志信号; 0: PLL 未锁定; 1: PLL 已经锁定 注: 此信号为异步信号。
l0_lsm_synced	O	1	Word Alignment 成功, 状态机锁定标志; 0: Word Align 未成功; 1: Word Align 成功。 注: 此信号为异步信号。
hsst_ch_ready[3:0]	O	4	HSST IP 复位时序完成指示信号:

端口信号名 ¹¹	I/O	位宽	详细描述
			1: 完成; 0: 未完成; Bit0~Bit3 分别对应 Lane0~Lane3; 注: 信号位于 free_clk 时钟域。
txpll_sof_rst_n	I	1	PLL 软复位信号: 1: 复位释放; 0: 复位; 注: 此复位位于 free_clk 时钟域。
txlane_sof_rst_n	I	1	TX Lane 软复位信号: 1: 复位释放; 0: 复位; 注: 此复位位于 free_clk 时钟域, 仅在调试时使用。
rxlane_sof_rst_n[3:0]	I	4	RX Lane 软复位信号: 1: 复位释放; 0: 复位; Bit0~Bit3 分别对应 Lane0~Lane3; 注: 此复位位于 free_clk 时钟域, 仅在调试时使用。
wtchdg_clr	I	1	看门狗清零信号: 1: 所有看门狗计数器清零; 0: 正常工作; 注: 此复位位于 free_clk 时钟域。
hsst_cfg_soft_rstn	I	1	HSST IP 配置模块软复位信号: 1: 复位释放; 0: 复位; 注: 此复位位于 free_clk 时钟域; 使能该复位后需要进行一次 external_rstn。
Debug 接口			
l0_pcs_farend_loop	1	I	HSST IP PCS 远端环回使能: 1: 使能 PCS 远端环回; 0: 不使能 PCS 远端环回。
l0_pcs_nearend_loop	I	1	HSST IP PCS 近端环回使能: 1: 使能 PCS 近端环回; 0: 不使能 PCS 近端环回。
l0_pma_nearend_ploop	I	1	HSST IP PMA 近端并行环回使能: 1: 使能 PMA 近端并行环回; 0: 不使能 PMA 近端并行环回; 注: 建议以 free_clk 时钟域输入。
l0_pma_nearend_sloop	I	1	HSST IP PMA 近端串行环回使能: 1: 使能 PMA 近端串行环回; 0: 不使能 PMA 近端串行环回; 注: 建议以 free_clk 时钟域输入。

端口信号名 ¹¹	I/O	位宽	详细描述
p*_AN_CS[3:0]	O	4	自协商模块当前状态; 注: 信号位于 p*_sgmii_clk 时钟域。
p*_AN_NS[3:0]	O	4	自协商模块下一状态; 注: 信号位于 p*_sgmii_clk 时钟域。
p*_RS_CS[4:0]	O	5	软核接收模块当前状态; 注: 信号位于 p*_sgmii_rx_clk 时钟域。
p*_RS_NS[4:0]	O	5	软核接收模块下一状态; 注: 信号位于 p*_sgmii_rx_clk 时钟域。
p*_TS_CS[4:0]	O	5	软核发送模块当前状态; 注: 信号位于 p*_sgmii_clk 时钟域。
p*_TS_NS[4:0]	O	5	软核发送模块下一状态; 注: 信号位于 p*_sgmii_clk 时钟域。
p*_xmit[1:0]	O	2	tx_sm 与 rx_sm 数据类型控制信号: 00: 保留; 01: CONFIGURATION; 10: DATA; 11: IDLE; 注: 信号位于 p*_sgmii_clk 时钟域。
p*_rx_unitdata_indicate[1:0]	O	2	rx_sm 输出的数据类型信号: 00: 保留; 01: Invalid; 10: /C/; 11: /I/; 注: No Buffer 模式下工作在 p*_sgmii_rx_clk 时钟域, 使能频偏 Buffer 模式下工作在 p*_sgmii_clk 时钟域。
l0_pcs_clk	O	1	PCS 发送数据时钟。
l0_pcs_rx_clk	O	1	PCS 接收数据时钟。
l0_pcs_rxd[3:0]	O	4	指示当前 pcs 数据类型: 1: pcs_rxd 为 PCS 控制信号; 0: pcs_rxd 为 PCS 数据信号; 注: 信号属于 pcs0_rx_clk 时钟域。
l0_pcs_rdispdec_er[3:0]	O	4	解码极性错误指示: 1: 10b/8b 解码出现极性错误或数据错误; 0: 10b/8b 解码正常; 注: 信号属于 pcs0_rx_clk 时钟域。
l0_pcs_rxd[31:0]	O	32	pcs_rx_sm 接收的数据信号; 注: 信号属于 pcs0_rx_clk 时钟域。
l0_pcs_txd[3:0]	O	4	指示当前 pcs 数据类型: 1: pcs_txd 为 PCS 控制信号; 0: pcs_txd 为 PCS 数据信号; 注: 信号属于 pcs0_clk 时钟域。
l0_pcs_tx_dispcctrl[3:0]	O	4	disparity 控制信号, 用于强制 8b10b 极性和从 I2

端口信号名 ¹¹	I/O	位宽	详细描述
			到 I1 的强制替换; tx_dispcctl、tx_dispsel: 0、0: 正常数据发送; 0、1: 用 I1 替换 I2; 1、0: 强制 disparity 为负; 1、1: 强制 disparity 为正。
l0_pcs_tx_dispsel[3:0]	O	4	含义见 pcs0_tx_dispcctl 信号说明; 注: 信号属于 pcs0_clk 时钟域。
l0_pcs_txd[31:0]	O	32	PCS 发送的数据信号; 注: 信号属于 pcs0_clk 时钟域。

2.5.2 寄存器管理接口

QSGMII IP 提供两种寄存器配置管理接口——APB 接口和 MDIO 接口，可通过界面选项“MDIO_Enable”配置 MDIO 接口是否使能。详细描述请参见“2.3.1 2 配置 IP 参数”。

APB 接口和 MDIO 接口均包含 4 组独立的接口信号（详见表 2-9），分别对应 QSGMII Core 中的 4 个 SGMII Core，用于实现对每个 SGMII Core 独立配置寄存器的访问。

- MDIO 接口不使能时，QSGMII IP 通过 APB 接口对 HSST IP 和 QSGMII Core 的寄存器进行操作。
- MDIO 接口使能时，QSGMII IP 通过 APB 接口操作 HSST IP 的寄存器，通过 MDIO 接口操作 QSGMII Core 的寄存器。

说明：

QSGMII IP 只能通过 SGMII Core0 的 APB 接口操作 HSST IP 的寄存器，其结构图如图 2-1 QSGMII IP 系统框图所示。

1. APB 接口时序描述

(1) APB 写时序

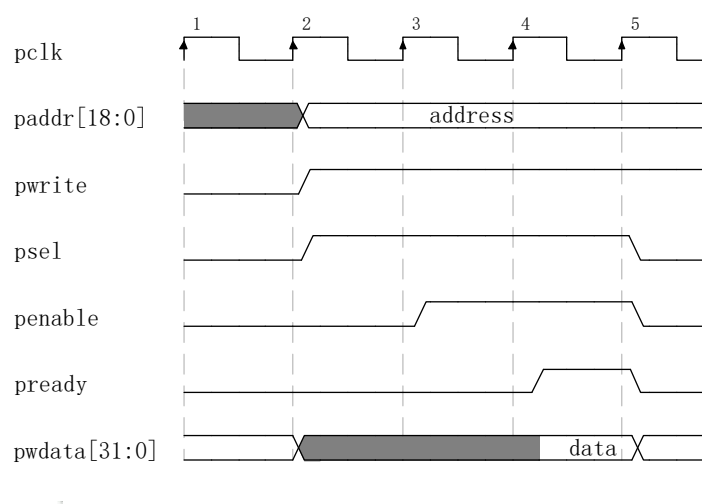


图 2-15 APB 基本写时序

(2) APB 读时序

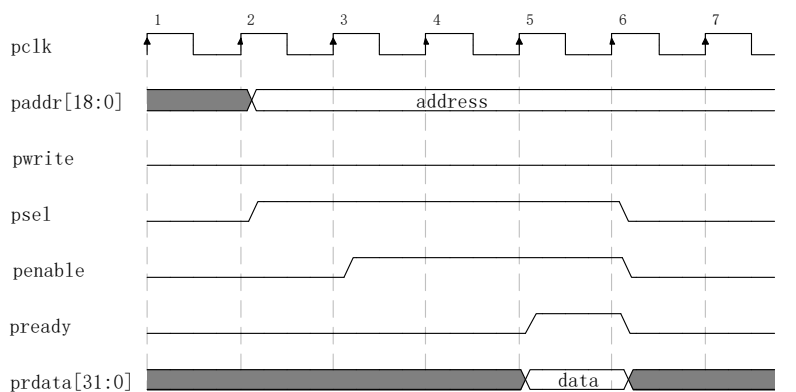


图 2-16 APB 基本读时序

2. MDIO 接口时序描述

(1) MDIO 写时序

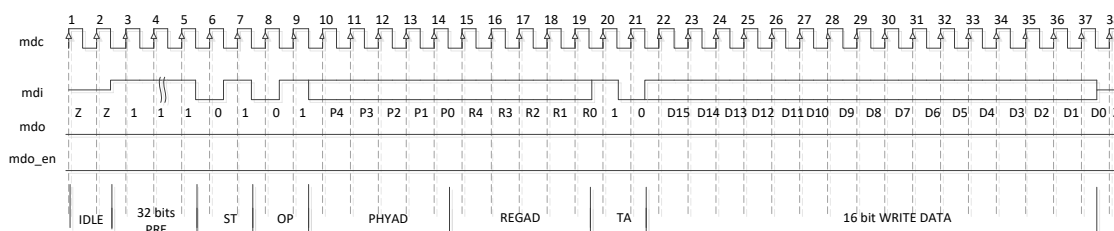


图 2-17 MDIO 写时序

(2) MDIO 读时序

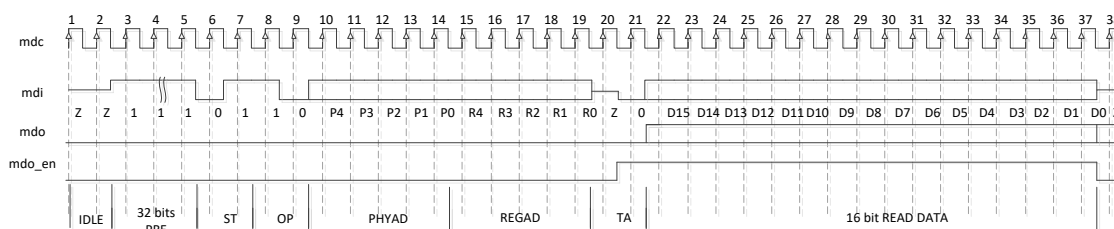


图 2-18 MDIO 读时序

2.5.3 快速配置接口

快速配置接口可以对寄存器 Reg0 和 Reg4 进行快速配置。快速配置使能信号有效时，可直接将配置信息写入对应的配置寄存器。时序要求如下：

- 快速配置使能信号至少保持一个配置管理接口时钟周期的高电平；
- 配置信息至少保持一个配置管理接口时钟周期的稳定。

快速配置使能信号有效时，Reg0 和 Reg4 以外的寄存器通过配置管理接口进行写入，所有寄存器通过配置管理接口进行读取；快速配置接口使能信号无效时，所有寄存器通过配置管理接口进行读写。

2.5.4 GMII 接口

1. GMII 发送时序

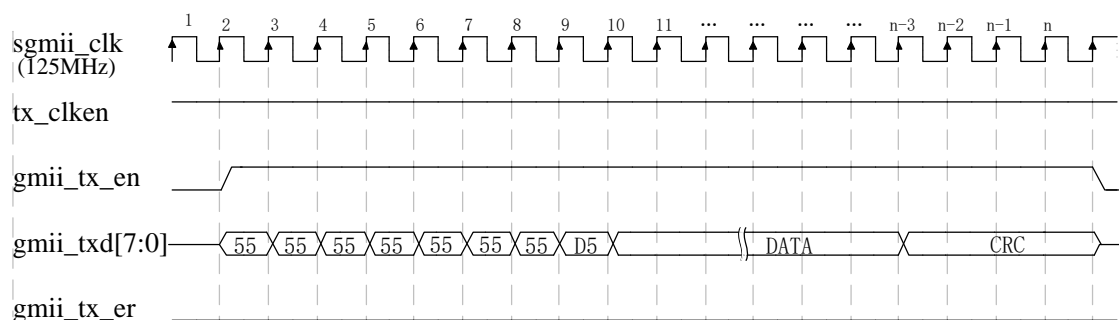


图 2-19 速率为 1000Mbps 时 GMII 发送时序

注意：

- 速率为 10Mbps 时，tx_clken 每 100 个 125MHz 时钟周期拉高一次，每个数据持续 100 个 125MHz 时钟周期；
- 速率为 100Mbps 时，tx_clken 每 10 个 125MHz 时钟周期拉高一次，每个数据持续 10 个 125MHz 时钟周期；
- 速率为 1000Mbps 时，tx_clken 为全高，每个数据持续 1 个 125MHz 时钟周期。

2. GMII 接收时序

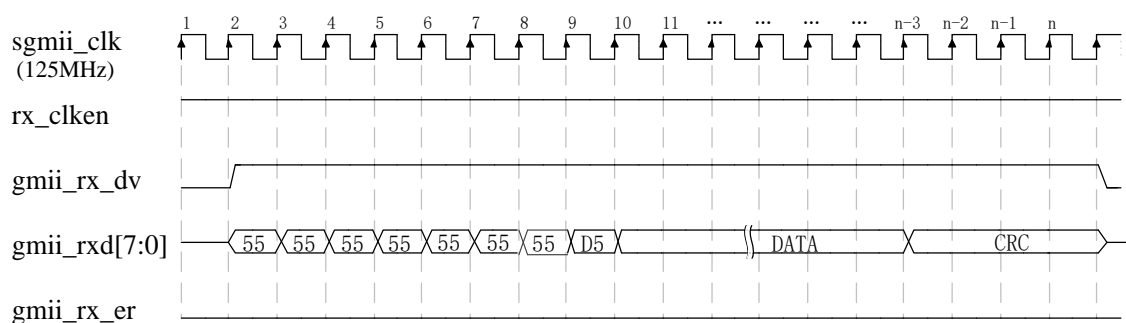


图 2-20 速率为 1000Mbps 时 GMII 接收时序

注意：

- 速率为 10Mbps 时，rx_clken 每 100 个 125MHz 时钟周期拉高一次，每个数据持续 100 个 125MHz 时钟周期；
- 速率为 100Mbps 时，rx_clken 每 10 个 125MHz 时钟周期拉高一次，每个数据持续 10 个 125MHz 时钟周期；
- 速率为 1000Mbps 时，rx_clken 为全高，每个数据持续 1 个 125MHz 时钟周期。

2.6 IP 寄存器描述

本节介绍 QSGMII IP 相关寄存器说明及访问方式。

2.6.1 SGMII Core 寄存器说明

说明：

- 复位会将所有寄存器的值复位至默认值。
- 寄存器属性里面包含“自清”的寄存器，通过管理配置接口配置后，经过一个管理配置接口时钟周期，IP 可将寄存器值自动清零。使用快速配置端口配置自清寄存器时，自清不起作用，需要自行撤销端口配置。
- 寄存器属性里面包含“读清”的寄存器，通过管理配置接口读取该寄存器的值之后，寄存器的值马上被清零。
- 每个 SGMII Core 具有定义相同且相互独立的一套寄存器，可分别通过对应的管理配置接口进行访问。

1. 自协商功能开启

表 2-10 自协商功能开启时寄存器定义

地址	寄存器	描述
0	SGMII Control (Register 0)	配置 SGMII IP 模块功能的参数。
1	SGMII Status Register (Register 1)	SGMII 模块状态参数。
2	PHY Identifier Register (Register 2 and 3)	PHY ID。
3	PHY Identifier Register (Register 2 and 3)	PHY ID。

地址	寄存器	描述
4	SGMII Auto-Negotiation Advertisement MAC Mode (Register 4) SGMII Auto-Negotiation Advertisement in PHY Mode (Register4)	本端设备的自协商能力值。
5	SGMII Auto-Negotiation Link Partner Ability Base (Register 5)	对端设备的自协商能力值。
6	Auto-Negotiation Expansion Register (Register 6)	自协商扩展寄存器。
15	Extended Status Register (Register 15)	扩展状态寄存器。
16	Vender_spc Register (Register 16)	Buffer 控制寄存器。
17	Vender_spc_1 Register (Register 17)	环回控制寄存器。

表 2-11 SGMII Control (Register 0)

比特位	域段描述	说明	属性	默认值
0.15	Reserved	保留域段。	只读	0
0.14	Loopback	pin_cfg_en=0 时，由管理配置接口控制； pin_cfg_en=1 时，由 io_loopback 控制； 1：使能近端环回模式； 0：不使能近端环回模式。	读/写	0
0.13	Speed Selection(LSB)	pin_cfg_en=0 时，由管理配置接口控制； pin_cfg_en=1 时，由 io_phy_speed 控制； 0.6:0.13: 11: Reserved; 10: 1000 Mbps; 01: 100 Mbps; 00: 10 Mbps。	读/写	0
0.12	Auto-Negotiation Enable	pin_cfg_en=0 时，由管理配置接口控制； pin_cfg_en=1 时，由 io_an_enable 控制； 1：使能自协商； 0：不使能自协商； 自协商关闭时，该寄存器忽略。	读/写	1
0.11:10	Reserved	保留域段。	只读	01
0.9	Restart Auto-Negotiation	pin_cfg_en=0 时，由管理配置接口控制； pin_cfg_en=1 时，由 io_an_restart 控制； 1：重启自协商； 0：正常操作； 自协商关闭时，该寄存器忽略。	读/写 /自清	0
0.8	Duplex Mode	1：全双工。	只读	1
0.7	Reserved	保留域段。	只读	0
0.6	Speed Selection(MSB)	pin_cfg_en=0 时，由管理配置接口控制； pin_cfg_en=1 时，由 io_phy_speed 控制； 0.6:0.13: 11: Reserved; 10: 1000 Mbps; 01: 100 Mbps; 00: 10 Mbps。	读/写	1
0.5	Unidirectional Enable	pin_cfg_en=0 时，由管理配置接口控制； pin_cfg_en=1 时，由 io_unidir_en 控制； 单向模式使能寄存器： 0：单向模式不使能； 1：单向模式使能，接收方向的状态不会影响发送方向的工作。	读/写	0
0.4:0	Reserved	保留域段。	只读	000000

表 2-12 SGMII Status Register (Register 1)

比特位	域段描述	说明	属性	默认值
1.15:9	Reserved	保留域段。	只读	0000000
1.8	Extended Status	AN Extended Status Register(reg15)支持状态。	只读	1
1.7	Unidirectional ability	单向模式支持状态。	只读	1
1.6	Reserved	保留域段。	只读	0
1.5	Auto-Negotiation Complete	1: 自协商完成; 0: 自协商未完成; 自协商关闭时, 该寄存器忽略。	只读	0
1.4	Remote Fault	SGMII MAC Side: 1: 接收到 PHY Link Status 为 0; 0: 接收到 PHY Link Status 为 1; SGMII PHY Side: 总是为 0。	只读 / 读清 / LH	SGMII MAC side:1 SGMII PHY side:0
1.3	Auto-Negotiation Ability	自协商能力支持状态; 自协商关闭时, 该寄存器忽略。	只读	1
1.2	SGMII Link Status	自协商开启时: 1: SGMII 同步成功且自协商完成; 0: SGMII 同步失败或自协商未完成; 自协商关闭时: 1: SGMII 同步成功; 0: SGMII 同步失败。	只读	1
1.1:0	Reserved	保留域段。	只读	00

表 2-13 PHY Identifier Register (Register 2 and 3)

比特位	域段描述	说明	属性	默认值
2.15:0	Organizationally Unique Identifier	未定义。	读/写	000000000 0000000
3.15:10			读/写	000000
3.9:4	Manufacturer's Model Number	未定义。	读/写	000000
3.3:0	Revision Number	未定义。	读/写	00000

表 2-14 SGMII Auto-Negotiation Advertisement MAC Mode(Register 4)

比特位	域段描述	说明	属性	默认值
4.15:0	All bits	MAC Side 为固定值。	只读	0100000000000001

注意：

SGMII MAC Side 速度使用对端的速度，默认速度是 1000M。

表 2-15 SGMII Auto-Negotiation Advertisement in PHY Mode (Register 4)

比特位	域段描述	说明	属性	默认值
4.15	PHY Link Status	pin_cfg_en=0 时，由管理配置接口控制； pin_cfg_en=1 时，由 io_phy_link 控制； phy_link 控制： 1：连接成功； 0：连接失败。	读/写	0
4.14	Acknowledge	本端发送的应答位。	只读	0
4.13	Reserved	保留域段。	只读	0
4.12	Duplex Mode	pin_cfg_en=0 时，由管理配置接口控制； pin_cfg_en=1 时，由 io_phy_duplex 控制； phy_duplex 控制： 1：全双工； 0：半双工。	读/写	0
4.11:10	Speed	pin_cfg_en=0 时，由管理配置接口控制； pin_cfg_en=1 时，由 io_phy_speed 控制； phy_speed 控制： 11: Reserved; 10: 1000Mbps; 01: 100Mbps; 00: 10Mbps。	读/写	00
4.9:1	Reserved	保留域段。	只读	000000000
4.0	Reserved	保留域段。	只读	1

表 2-16 SGMII Auto-Negotiation Link Partner Ability Base (Register 5)

比特位	域段描述	说明	属性	默认值
5.15	PHY Link Status	1: 连接成功; 0: 连接失败。	只读	0
5.14	Acknowledge	1: 应答, 表明对端接收到了信息; 0: 无应答, 对端未收到信息。	只读	0
5.13	Reserved	保留域段。	只读	0
5.12	Duplex Mode	1: 全双工; 0: 半双工。	只读	0
5.11:10	Speed	对端的速度。 11: Reserved; 10: 1000Mbps; 01: 100Mbps; 00: 10Mbps。	只读	10
5.9:1	Reserved	保留域段。	只读	000000000
5.0	Reserved	保留域段。	只读	0

表 2-17 Auto-Negotiation Expansion Register (Register 6)

比特位	域段描述	说明	属性	默认值
6.15:2	Reserved	保留域段。	只读	0000000000 0000
6.1	Page Received	1: 接收到一个新的 Page 信息; 0: 没有接收到新的 Page 信息。	只读/读清 /LH	0
6.0	Reserved	保留域段。	只读	0

表 2-18 Extended Status Register (Register 15)

比特位	域段描述	说明	属性	默认值
15.15	1000BASE-X Full Duplex	1000BASE-X 全双工, 支持。	只读	1
15.14	1000BASE-X Half Duplex	1000BASE-X 半双工, 不支持。	只读	0
15.13	1000BASE-T Full Duplex	1000BASE-T 全双工, 不支持。	只读	0
15.12	1000BASE-T Half Duplex	1000BASE-T 半双工, 不支持。	只读	0
15.11:0	Reserved	保留域段。	只读	00000000 0000

表 2-19 Vender_spc Register (Register 16)

比特位	域段描述	说明	属性	默认值
16.15:8	Reserved	保留域段。	只读	00000000
16.7:4	Min_ipg	最小帧间隔配置： No Buffer 选项未勾选时，需要根据实际应用配置合适最小帧间隔。	读/写	0110
16.3:0	Reserved	保留域段。	只读	0001

注意：

未勾选 No Buffer 参数时，SGMII Core 中会例化一个频偏矫正 Buffer，可将接收数据从接收数据恢复的时钟域转换到本地时钟域，当接收数据恢复时钟和本地时钟之间存在频偏时，Buffer 会通过删除或插入 Idle 的方式进行频偏矫正。

如果需要通过删除 Idle 来进行频偏矫正，会使帧间隔字节数变少，可以通过配置 Min_ipg 寄存器，控制 Buffer 仅在帧间隔字节数大于 Min_ipg 配置值时才能执行删除 Idle 操作，且执行删除 Idle 操作之后帧间隔字节数仍不小于 Min_ipg 配置值。

表 2-20 Vender_spc_1 Register (Register 17)

比特位	域段描述	说明	属性	默认值
17.15:12	Reserved	保留域段。	只读	0000
17.11:8	mr_rstfsm_lsm_force	HSST IP 中环回时，对应环回信号： 17.8 对应 HSST IP Lane0； 17.9 对应 HSST IP Lane1； 17.10 对应 HSST IP Lane2； 17.11 对应 HSST IP Lane3。	读/写	0000
17.7:4	mr_rstfsm_cdr_force	PCS 近端并行环回和 PMA 近端并行环回时， 配置当前 SGMII Core 所用 Lane 的对应 Bit 为 1'b1： 17.4 对应 HSST IP Lane0； 17.5 对应 HSST IP Lane1； 17.6 对应 HSST IP Lane2； 17.7 对应 HSST IP Lane3。	读/写	0000
17.3:0	mr_rstfsm_los_force	PCS 近端并行环回和 PMA 近端并行环回时， 配置当前 SGMII Core 所用 Lane 的对应 Bit 为 1'b0： 17.0 对应 HSST IP Lane0； 17.1 对应 HSST IP Lane1； 17.2 对应 HSST IP Lane2； 17.3 对应 HSST IP Lane3。	读/写	1111

2. 自协商功能关闭

表 2-21 SGMII 模式自协商功能关闭时寄存器定义

地址	寄存器 ¹⁵	描述
0	SGMII Control (Register 0)	配置 SGMII 模块功能的参数。
1	SGMII Status Register (Register 1)	SGMII 模块状态参数。
2	PHY Identifier Register (Register 2 and 3)	PHY ID。
3	PHY Identifier Register (Register 2 and 3)	PHY ID。
15	Extended Status Register (Register 15)	扩展状态寄存器。
16	Vender_spc Register (Register 16)	Buffer 控制寄存器。
17	Vender_spc_1 Register (Register 17)	环回控制寄存器。

¹⁵ 各寄存器字段定义与表 2-10 中对应寄存器的字段定义相同。

2.6.2 寄存器访问

QSGMII IP 提供两种寄存器配置管理接口——APB 接口和 MDIO 接口。可通过界面选项“MDIO_Enable”配置 MDIO 接口是否使能，详细描述请参见“2.3.1.2 配置 IP 参数”。

1. MDIO 接口不使能

若配置 MDIO 接口不使能时，QSGMII IP 通过 APB 接口对 HSST IP 和 SGMII Core 的寄存器进行操作。其中，HSST IP 的寄存器只能通过 SGMII Core0 的 APB 接口进行操作；每个 SGMII Core 的寄存器可通过各自独立的 APB 接口进行操作（接口信号详见表 2-9）。

(1) HSST IP 寄存器访问

当 paddr[18]为 0 时，操作 HSST IP 的寄存器。

- paddr[17:2]为 HSST IP 的寄存器有效地址；
- prdata[7:0]和 pwrdata[7:0]为 HSST IP 寄存器有效数据。

(2) SGMII Core 寄存器访问

当 paddr[18]为 1 时，操作读写 SGMII Core 的寄存器。

- paddr[6:2]为 SGMII Core 的寄存器有效地址；
- prdata[15:0]和 pwrdata[15:0]为 SGMII Core 寄存器有效数据；

2. MDIO 接口使能

若配置 MDIO 接口使能，QSGMII IP 通过 SGMII Core0 的 APB 接口操作 HSST IP 的寄存器，通过 4 组独立的 MDIO 接口分别操作 4 个 SGMII Core 的寄存器。

(1) HSST IP 寄存器访问

MDIO 接口使能时，QSGMII IP 通过 SGMII Core0 的 APB 接口操作 HSST IP 的寄存器。

- 地址的最高位 paddr[18]无效；
- paddr[17:2]为 HSST IP 的寄存器有效地址；

- prdata[7:0]和 pwdata[7:0]为 HSST IP 寄存器有效数据。

(2) SGMII Core 寄存器访问

MDIO 接口使能时，QSGMII IP 通过 4 组独立的 MDIO 接口分别操作 4 个 SGMII Core 的寄存器（接口信号详见表 2-9）。

2.7 典型应用

QSGMII IP 的典型应用请参考“2.4 Example Design”。

2.8 说明与注意事项

2.8.1 时钟约束

在生成的 Example Design 工程约束文件 ipsxb_qsgmii_onboard.fdc 中，已将 HSST IP 输出时钟约束到全局时钟上。以 Example Design 的工程为例：

```
define_attribute {t:U_ipsxb_qsgmii_dut.U_qsgmii_inst1011.U_hsst_ch0.o_p_clk2core_tx_0} {PAP_CLOCK_ASSIGN} {GTP_CLKBUFG}  
define_attribute {t:U_ipsxb_qsgmii_dut.U_qsgmii_inst1011.U_hsst_ch0.o_p_clk2core_rx_0} {PAP_CLOCK_ASSIGN} {GTP_CLKBUFG}
```

2.8.2 HSST 物理位置约束

在生成的 Example Design 工程约束文件 ipsxb_qsgmii_onboard.fdc 中，已对 HSST IP 的 SerDes 通道和参考时钟输入位置进行了物理约束。以 Example Design 为例：

```
define_attribute {i1:U_ipsxb_qsgmii_dut.U_qsgmii_inst1111.U_hsst_ch0.U_GTP_HSST_WRAPPER.U_GTP_HSST} {PAP_LOC} {HSST_88_340}
```

用户可根据单板实际情况修改约束，以适应实际使用需求。

2.8.3 工作模式

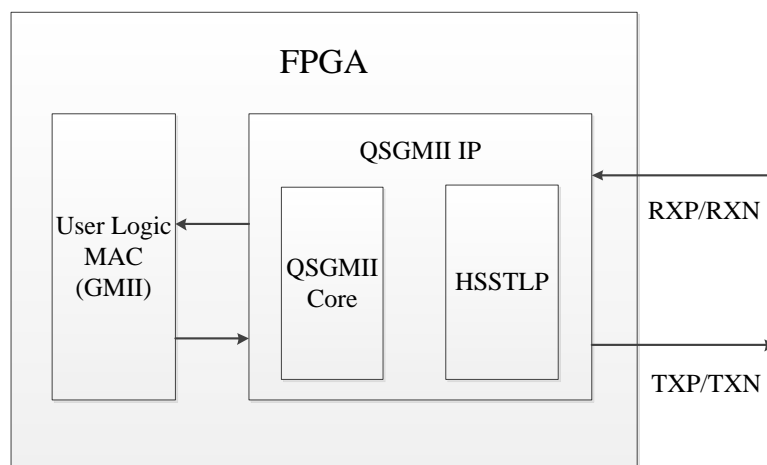


图 2-21 QSGMII IP 工作模式示意图

2.8.4 环回模式

QSGMII IP 支持五种环回模式，环回时数据流向如图 2-1 所示：

- SGMII Core Loopback
- PMA 近端并行环回
- PMA 近端串行环回
- PCS 近端并行环回
- PCS 远端并行环回

1. SGMII Core Loopback

该环回模式支持 2 种方式配置，分别是端口配置和寄存器配置。

注意：

SGMII Core Loopback 在勾选“No Buffer”选项时不可用，且环回对于每一个 SGMII Core 是相互独立的。

表 2-22 SGMII Core Loopback 端口配置

配置项	配置说明
端口使能	p*_pin_cfg_en=1，使能端口配置。
环回配置	p*_loopback=1。
不环回配置	p*_loopback=0。

表 2-23 SGMII Core Loopback 寄存器配置

配置项	配置说明
寄存器使能	p*_pin_cfg_en=0，使能寄存器配置。
环回配置	reg0.14 Loopback == 1'b1。
不环回配置	reg0.14 Loopback == 1'b0。

2. PMA 近端并行环回

注意：

PMA 近端并行环回模式需要先确保对应寄存器的值设置正确，再使能环回端口。

表 2-24 PMA 近端并行环回

配置项	配置说明
寄存器配置	reg17.0 mr_rstfsm_los_force == 1'b0; reg17.4 mr_rstfsm_cdr_force == 1'b1; 完成上述配置后 SGMII 寄存器 reg17 Vender_spc_1==0x0010。 (PMA 近端并行环回详细介绍请参考《UG020013_Logos 系列 FPGA 高速串行收发器(HSST)用户指南》[12]及《UG021004_Logos_HSST_IP_UserGuide》[13])
端口配置	pma_nearend_ploop=1 使能 PMA 近端并行环回。

3. PMA 近端串行环回

注意：

PMA 近端串行环回模式需要先确保对应寄存器的值设置正确，再使能环回端口。

表 2-25 PMA 近端串行环回

配置项	配置说明
寄存器配置	reg17.0 mr_rstfsm_los_force == 1'b1; 完成上述配置后 SGMII 寄存器 reg17 Vender_spc_1== 0x0001; (PMA 串行近端环回详细介绍请参考《UG020013_Logos 系列 FPGA 高速串行收发器(HSST)用户指南》[12]及《UG021004_Logos_HSST_IP_UserGuide》[13])
端口配置	pma_nearend_sloop=1 使能 PMA 近端串行环回。

4. PCS 近端并行环回

注意：

PCS 近端并行环回模式需要先确保对应寄存器的值设置正确，再使能环回端口。

表 2-26 PCS 近端并行环回

配置项	配置说明
寄存器配置	reg17.0 mr_rstfsm_los_force == 1'b0; reg17.4 mr_rstfsm_cdr_force == 1'b1; 完善上述配置后 SGMII 寄存器 reg17 Vender_spc_1== 0x0010。 (PCS 近端并行环回详细介绍请参考《UG020013_Logos 系列 FPGA 高速串行收发器(HSST)用户指南》[12]及《UG021004_Logos_HSST_IP_UserGuide》[13])
端口配置	pcs_nearend_loop=1 使能 PCS 近端并行环回。

5. PCS 远端并行环回

注意：

- PCS 远端环回模式首先需要先确保对应寄存器的值设置正确，然后再使能环回端口。
- 该环回模式下，若不配置 HSST IP 寄存器 0x824 值为 0x4，则链路两端时钟必须同源。

表 2-27 PCS 远端并行环回

配置项	配置说明
寄存器配置	<p>reg17.0 mr_rstfsm_los_force == 1'b1;</p> <p>完成上述配置后 SGMII 寄存器 reg17 Vender_spc_1== 0x0001;</p> <p>配置 HSST IP 寄存器:</p> <p>Offset 0x824.2 PMA_REG_PLPBK_TXPCLK_EN ==1;</p> <p>Offset 0x00c.4:3 PCS_RX_CLK_SEL==2'b01;</p> <p>配置后 HSST IP 对应寄存器 0x824 值为 0x4;</p> <p>配置后 HSST IP 对应寄存器 0x00c 值为 0x8。</p> <p>(PCS 远端并行环回详细介绍请参考《UG020013_Logos 系列 FPGA 高速串行收发器(HSST)用户指南》[12]及《UG021004_Logos_HSST_IP_UserGuide》[13])</p>
端口配置	pcs_farend_loop=1 使能 PCS 远端并行环回。

2.8.5 IP 时钟方案

1. 使能频偏 Buffer 时钟方案

QSGMII IP 使能频偏 Buffer (即不勾选“No_Buffer”选项)时, 适用于该时钟方案。

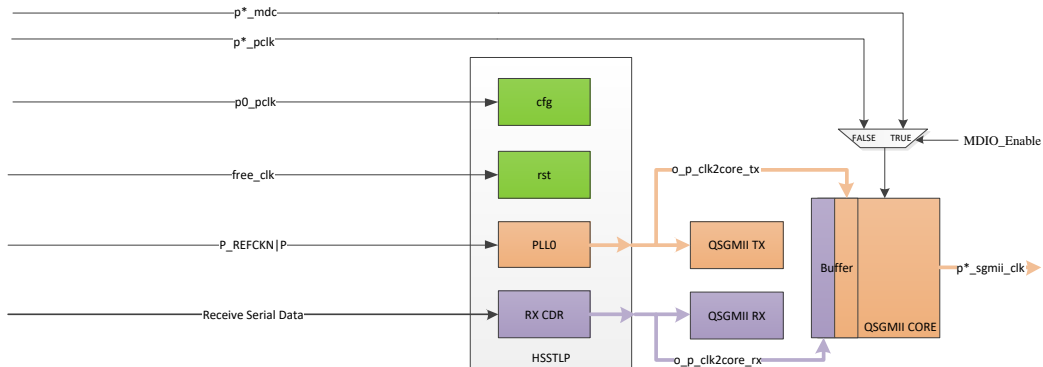


图 2-22 使能频偏 Buffer 时钟方案示意图

(1) 数据通路时钟

- 在发送方向, 使用一对 125MHz 的差分输入时钟为 HSST IP 提供时钟源, 经过 HSST IP 中的 PLL0 后, 为 QSGMII TX 和 QSGMII Core 提供发送时钟 o_p_clk2core_tx。
- 在接收方向上, HSST IP 中的 RX_CDR 从串行差分数据中恢复出时钟, 为 QSGMII RX 和 QSGMII Core 提供接收时钟 o_p_clk2core_rx。

- 通过 QSGMII Core 中的弹性 Buffer，经时钟域统一到 o_p_clk2core_tx，最终产生提供给 GMII 侧的时钟 p*_sgmii_clk。

(2) Free Run 时钟

- free_clk 是一个与数据通路时钟无关的时钟，为 HSST IP 复位序列提供时钟，在该方案中，该时钟频率为 50MHz。

(3) 配置时钟

- p*_mdc——MDIO 接口时钟，2.5MHz。勾选 MDIO_Enable 参数时为 QSGMII Core 配置逻辑提供时钟。该处 4 路 MDIO 接口时钟互相独立。
- p*_pclk——APB 接口时钟，50MHz~100MHz。p0_pclk 为 HSST IP 配置逻辑提供时钟，不勾选“MDIO_Enable”选项时为 QSGMII Core 配置逻辑提供时钟。

2. 不使能频偏 Buffer 时钟方案

不使能频偏 Buffer（即勾选“No Buffer”选项）时，适用该时钟方案。

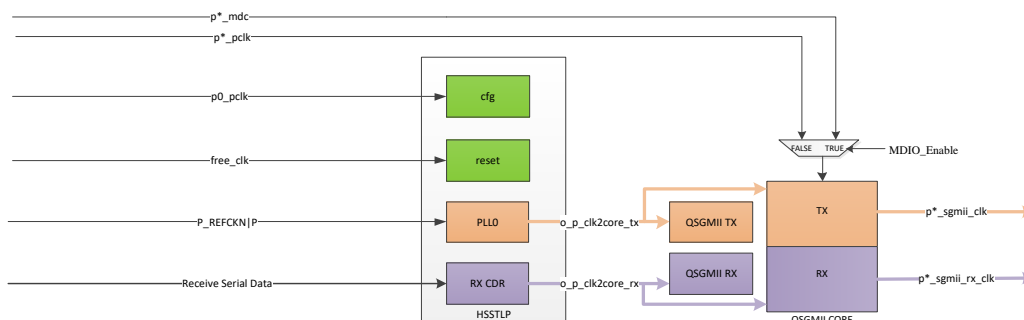


图 2-23 不使能频偏 Buffer 时钟方案示意图

(1) 数据通路时钟

- 在发送方向，使用一对 125MHz 的差分输入时钟为 HSST IP 提供时钟源，经过 HSST IP 中的 PLL0 后，为 QSGMII Core 提供发送时钟 o_p_clk2core_tx，最终产生提供给 GMII 侧发送方向的时钟 p*_sgmii_clk。
- 在接收方向，HSST IP 中的 RX_CDR 从串行差分数据中恢复出时钟，为 QSGMII Core 提供接收时钟 o_p_clk2core_rx，最终产生提供给 GMII 接收侧的时钟 p*_sgmii_rx_clk。

(2) Free Run 时钟

- free_clk 是一个与数据通路时钟无关的时钟，为 HSST IP 复位序列提供时钟，在该方案中，该时钟频率为 50MHz。

(3) 配置时钟

- p*_mdc——MDIO 接口时钟，2.5MHz。勾选 MDIO_Enable 参数时为 QSGMII Core 配置逻辑提供时钟。该处 4 路 MDIO 接口时钟互相独立。
- p*_pclk——APB 接口时钟，50MHz~100MHz。p0_pclk 为 HSST IP 配置逻辑提供时钟，不勾选“MDIO_Enable”选项时为 QSGMII Core 配置逻辑提供时钟。该处 4 路 APB 接口时钟互相独立。

2.8.6 uart_ctrl_top 模块读写操作示例

1. 读操作

若读取地址 0x00000001 的数据，对应的读操作格式为：“0x00000001” + “0x72”，即为 0x0000000172。

2. 写操作

若向地址 0x00000001 写入 0x02 的数据，对应的写操作格式为：“0x00000002” + “0x00000001” + “0x77”，即为 0x000000020000000177。

2.8.7 IP 调用方式

用户可直接通过 PDS 添加 IPC 例化生成的 QSGMII IP 的 idf 的方式来添加 IP。

2.9 IP 调试手段

Example Design 中 DebugCore 和 LED 可以监测 QSGMII IP 的链路状态，DebugCore 信号列表和 LED 指示信号列表请参见“2.4.3 接口说明”、“2.4.4 测试方法”

Example Design 中的 UART 可以读取 IP 中状态寄存器的值来监测链路状态，UART 模块的使用请参见“2.4.2.1 uart_ctrl_top”。

第3章 附录

3.1 参考文档

- [1] Pango_Design_Suite_Quick_Start_Tutorial
- [2] Pango_Design_Suite_User_Guide
- [3] IP_Compiler_User_Guide
- [4] Simulation_User_Guide
- [5] User_Constraint_Editor_User_Guide
- [6] Physical_Constraint_Editor_User_Guide
- [7] Route_Constraint_Editor_User_Guide
- [8] IEEE802.3-2012 Specification
- [9] Cisco Systems,Serial-GMII Specification-rev1.8
- [10]Cisco Systems,QSGMII Specification-rev1.2
- [11]Fabric_Debugger_User_Guide
- [12]UG020013_Logos 系列 FPGA 高速串行收发器(HSST)用户指南
- [13]UG021004 _Logos_HSST_IP_UserGuide

3.2 术语表

A

APB Advanced Peripheral Bus

P

PCS Physical Code Sublayer

PHY Physical

PMA Physical Media Attachment

Q

QSGMII Quad Serial Gigabit Media Independent Interface

S

SerDes Serializer Deserializer

SGMII Serial Gigabit Media Independent Interface

3.3 缩略语表

I

IPC IP Compiler

P

PDS Pango Design Suite

3.4 声明

3.4.1 版权声明

本文档版权归深圳市紫光同创电子有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此文档中的任何部分公开、转载或以其他方式披露、散发给第三方。否则，公司必将追究其法律责任。

3.4.2 免责声明

本文档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因本文档使用不当造成的直接或间接损失，本公司不承担任何法律责任。

本文档按现状提供，不负任何担保责任，包括对适销性、适用于特定用途或非侵权性的任何担保，和任何提案、规格或样品在他处提到的任何担保。本文档在此未以禁止反言或其他方式授予任何知识产权使用许可，不管是明示许可还是暗示许可。

公司保留任何时候在不事先声明的情况下对公司系列产品相关文档的修改权利。