

Logos 系列产品 SGMII 1GbE IP

用户指南

(UG022005,V1.2)

(2022-12-30)

深圳市紫光同创电子有限公司

版权所有 侵权必究

文档版本修订记录

日期	文档版本	修订记录	适用 IP 及对应版本
2020-12-30	V1.0	1. 初始版本。	V1.0
2021-03-24	V1.1	1. 增加 multi_lane 参考设计方案； 2. 修改 example design 相关内容； 3. HSST IP 图例从 v1.1 更新为 v1.2； 4. 更新 PCS 远端环回配制方法； 5. 修正 i0_signal_loss 定义，低电平表示接收到对端信号，高电平表示没有接收到对端信号； 6. 勘误； 7. 新增 PGL100H 介绍及软件版本限制。	V1.1
2021-08-23	V1.1a	1. 调整手册架构，规范格式； 2. 完善模块例化相关描述、界面截图及配置选项说明，参见“2.3.1 模块例化”； 3. 增加资源利用说明，参见“2.3.5 资源利用”； 4. Multi Lane 说明修改，参见“2.7.2 Multi Lane 典型应用”； 5. 增加“2.9 IP 调试手段”章节内容； 6. 增加“第3章 附录”章节内容； 7. 增加寄存器相关脚注说明，参见表 2-20、表 2-21、表 2-27； 8. 增加 V1.1a 版本对应的 IP 版本变更记录。	V1.1a
2021-10-27	V1.1b	1. 增加 V1.1b 版本对应的 IP 版本变更记录； 2. 规范文档版本修订记录、IP 版本变更记录格式； 3. 完善行文规范说明列表，增加“推荐”类说明，参见表 1-1； 4. 完善 IP 框图，更新外部连接对象标识，参见图 2-1； 5. 完善 IP 框图相关描述，添加环回模式相关说明，参见“2.2 IP 框图”； 6. 完善模块例化相关描述，更新 IP 选择路径界面截图，参见“2.3.1 1 选择 IP”； 7. 完善 IP 生成后输出文件描述，参见表 2-3； 8. 完善设计框图描述，添加选择器功能说明，参见“2.4.1 设计框图”； 9. 简化 sgmiireg_slave 寄存器说明列表，参见表 2-6； 10. 完善 Example Design 接口列表，增加 PGL100H 对应的引脚约束，参见表 2-7；	V1.1b

日期	文档版本	修订记录	适用 IP 及对应版本
		11. 完善测试方法相关描述，增加测试板型号相关说明，参见“2.4.4 测试方法”； 12. 更正 CLIENT 侧收包统计图名，参见图 2-10； 13. 完善 SGMII 1GbE IP 接口信号列表，增加 hsst_cfg_soft_rstn 信号说明，参见表 2-9； 14. 完善 GMII 接口时序图，参见图 2-18、图 2-19； 15. 更新部分章节标题名称，参见“2.7.2.5 时钟约束及 HSST 物理位置约束”、“2.8.1 时钟约束”、“2.8.2 HSST 物理位置约束”。	
2022-01-11	V1.1c	1. 增加 V1.1c 版本对应的 IP 版本变更记录； 2. 完善 IP 框图，更改外部连接对象标识，参见图 2-1； 3. 更新推荐使用 PDS 软件版本，参见“推荐”； 4. 完善 SGMII 1GbE IP 配置参数说明，添加“IP 配置界面默认值”列，参见表 2-2； 5. 完善 IP 生成后输出文件描述，参见表 2-3； 6. 更新资源利用列表，参见表 2-4； 7. 更正收包统计图名，参见图 2-10； 8. 更正环回使能相关信号名称，更新 SGMII 1GbE IP 接口信号列表，同步完善 IP 接口框图，参见图 2-13、表 2-9； 9. 完善 SGMII 1GbE IP 接口信号列表，增加 external_rstn 、 l0_rx_rstn_sync 、 l0_tx_rstn_sync 信号说明，参见表 2-9。	V1.1c
2022-12-30	V1.2	1. 增加 V1.2 版本对应的 IP 版本变更记录； 2. 更新软件版本要求，参见“注意”； 3. 更新资源利用典型值表，参见“表 2-4” 4. 完善 UG 格式。	V1.2

IP 版本变更记录

IP 版本	更新说明	发布时间
V1.0	1. PGL SGMII 1GbE IP 初始版本。	2020-12-31
V1.1	1. 逻辑优化，改善 Example Design。	2021-04-14
V1.1a	1. 改善 IP 易用性。	2021-08-23
V1.1b	1. 优化 IP 逻辑； 2. UG 更新。	2021-10-27
V1.1c	1. 升级 HSST IP 为 V1.3d； 2. UG 更新。	2022-01-11
V1.2	1. 更新软件版本要求； 2. 升级 HSST IP 为 V1.4 版本； 3. 将仿真中发包包长从 2000 修改为 512； 4. UG 更新。	2022-12-30

目录

文档版本修订记录	2
IP 版本变更记录	4
第 1 章 前言	9
1.1 关于本手册	9
1.2 手册行文规范	9
第 2 章 IP 使用指南	10
2.1 IP 简介	10
2.1.1 主要特性	10
2.1.2 适用器件及封装	11
2.2 IP 框图	11
2.3 IP 生成流程	11
2.3.1 模块例化	11
2.3.2 约束配置	15
2.3.3 运行仿真	16
2.3.4 综合与布局布线	16
2.3.5 资源利用	17
2.4 Example Design	17
2.4.1 设计框图	17
2.4.2 模块说明	18
2.4.3 接口说明	20
2.4.4 测试方法	22
2.4.5 实例配置	24
2.4.6 实例仿真	24
2.5 IP 接口描述	25
2.5.1 IP 接口说明	25
2.5.2 配置管理接口	33
2.5.3 快速配置接口	35
2.5.4 GMII 接口	36
2.6 IP 寄存器描述	38
2.6.1 SGMII Core 寄存器说明	38
2.6.2 HSST IP 寄存器说明	49
2.6.3 寄存器访问	49
2.7 典型应用	50
2.7.1 单 Lane 典型应用	50
2.7.2 Multi Lane 典型应用	50
2.8 说明与注意事项	60
2.8.1 时钟约束	60
2.8.2 HSST 物理位置约束	60
2.8.3 工作模式	61
2.8.4 环回模式	62
2.8.5 IP 时钟方案	65
2.8.6 uart_ctrl_top 模块读写操作示例	68

2.8.7 IP 调用方式	68
2.9 IP 调试手段	69
第 3 章 附录	70
3.1 参考文档	70
3.2 术语表	70
3.3 缩略语表	71
3.4 声明	72
3.4.1 版权声明	72
3.4.2 免责声明	72

表目录

表 1-1 行文规范说明.....	9
表 2-1 SGMII 1GbE IP 适用器件及封装.....	11
表 2-2 SGMII 1GbE IP 配置参数说明.....	14
表 2-3 SGMII 1GbE IP 生成后的输出文件.....	15
表 2-4 SGMII 1GbE IP 基于适用器件的资源利用典型值.....	17
表 2-5 uart_ctrl 模块地址说明	19
表 2-6 sgmiireg_slave 寄存器说明.....	19
表 2-7 Example Design 接口列表	20
表 2-8 debug_core 信号说明	23
表 2-9 SGMII 1GbE IP 接口信号列表.....	26
表 2-10 GE 模式自协商功能开启且可配置时寄存器定义.....	39
表 2-11 Control Register (Register 0)	39
表 2-12 Status Register (Register 1).....	40
表 2-13 PHY Identifier Register (Register 2 and 3)	41
表 2-14 Auto-Negotiation Advertisement Register (Register 4)	41
表 2-15 Auto-Negotiation Link Partner Ability Base Register (Register 5)	41
表 2-16 Auto-Negotiation Expansion Register (Register 6)	42
表 2-17 Extended Status Register (Register 15).....	42
表 2-18 Vender_spc Register (Register 16).....	43
表 2-19 Vender_spc_1 Register (Register 17).....	43
表 2-20 GE 模式自协商关闭时寄存器定义.....	44
表 2-21 SGMII 模式自协商功能开启且可配置时寄存器定义.....	44
表 2-22 SGMII Control (Register 0)	45
表 2-23 SGMII Status Register (Register 1)	45
表 2-24 SGMII Auto-Negotiation Advertisement MAC Mode(Register 4)	47
表 2-25 SGMII Auto-Negotiation Advertisement in PHY Mode (Register 4)	47
表 2-26 SGMII Auto-Negotiation Link Partner Ability Base (Register 5).....	48
表 2-27 SGMII 模式自协商功能关闭时寄存器定义.....	48
表 2-28 multi_lane SGMII 1GbE IP 与 HSST IP Serdes 通道对应关系	51
表 2-29 HSST IP 与 SGMII 模式对应关系	54
表 2-30 SGMII 软核文件	55
表 2-31 bus_allocator 信号映射说明	55
表 2-32 SGMII_Core 信号映射说明.....	56
表 2-33 HSST IP 信号映射说明	58
表 2-34 SGMII Core Loopback 端口配置.....	62
表 2-35 SGMII Core Loopback 寄存器配置.....	63
表 2-36 PMA 近端并行环回	63
表 2-37 PMA 近端串行环回	64
表 2-38 PCS 近端并行环回.....	64
表 2-39 PCS 远端并行环回.....	65

图目录

图 2-1 SGMII 1GbE IP 系统框图	11
图 2-2 SGMII 1GbE IP 选择路径界面	12
图 2-3 工程例化界面	12
图 2-4 SGMII 1GbE IP 接口框图	13
图 2-5 配置 SGMII 1GbE IP 参数界面	13
图 2-6 SGMII 1GbE IP 生成报告界面	14
图 2-7 Both GE And SGMII 模式 Example Design 框图	18
图 2-8 PCS 发送端数据	22
图 2-9 PCS 接收端数据	23
图 2-10 GMII 侧收包统计	23
图 2-11 Both GE And SGMII MAC Side 配置图	24
图 2-12 Both GE And SGMII PHY Side 配置图	24
图 2-13 SGMII 1GbE IP 接口	25
图 2-14 APB 基本写时序	34
图 2-15 APB 基本读时序	34
图 2-16 MDIO 写时序	35
图 2-17 MDIO 读时序	35
图 2-18 GE 模式 GMII 发送时序	36
图 2-19 GE 模式 GMII 接收时序	36
图 2-20 SGMII 模式下速率为 100Mbps 时 GMII 发送时序	37
图 2-21 SGMII 模式下速率为 100Mbps 时 GMII 接收时序	37
图 2-22 multi_lane 设计框图	51
图 2-23 HSST IP 选择界面	52
图 2-24 HSST IP Protocol and Rate 界面	52
图 2-25 HSST IP Alignment and CTC 界面	53
图 2-26 HSST IP Misc part a 界面	53
图 2-27 HSST IP Misc part b 界面	54
图 2-28 HSST IP Misc part c 界面	54
图 2-29 Multi Lane 物理约束	59
图 2-30 Multi Lane 时钟约束	60
图 2-31 GE 模式示意图	61
图 2-32 SGMII 模式示意图	61
图 2-33 Both GE And SGMII 模式示意图	62
图 2-34 频偏调整 Buffer 位于 HSST IP 中时钟方案示意图	65
图 2-35 频偏调整 Buffer 位于 SGMII CORE 中时钟方案示意图	66
图 2-36 无频偏调整 Buffer 时钟方案示意图	67

第1章 前言

本章讲述本手册的适用范围、手册结构及相关行文规范，帮助用户快速查找所需的信息。

1.1 关于本手册

本手册为紫光同创推出的 SGMII 1GbE IP 产品的用户指南，适用于 Logos 系列 FPGA 产品，内容主要包括 IP 使用指南及相关附录。通过本手册用户可以快速了解 SGMII 1GbE IP 相关特性及使用方法。

1.2 手册行文规范

表 1-1 行文规范说明

文字	使用原则
注意	若用户忽略注意内容，可能会因误操作而带来一定的不良后果或者无法成功操作。
说明	提供给用户的说明和提示。
推荐	推荐给用户的设置和使用说明。

第2章 IP 使用指南

本章讲述 SGMII 1GbE IP 相关使用指南, 内容包括 IP 简介、IP 框图、IP 生成流程、Example Design、IP 接口描述、IP 寄存器描述、典型应用、说明与注意事项、IP 调试手段。更多设计流程相关详细信息可以参见下述 PDS 帮助文档。

- *Pango_Design_Suite_Quick_Start_Tutorial*[1]
- *Pango_Design_Suite_User_Guide*[2]
- *IP_Compiler_User_Guide*[3]
- *Simulation_User_Guide*[4]
- *Fabric_Debugger_User_Guide*[12]

2.1 IP 简介

SGMII 1GbE IP 是紫光同创基于 Logos 系列产品实现以太网 SGMII 接口而设计的一款 IP。用户可以通过公司 PDS (Pango Design Suite) 套件中的 IPC (IP Compiler) 工具完成 IP 模块的配置和生成。

2.1.1 主要特性

SGMII 1GbE IP 是按照 *IEEE802.3-2012 Specification*[10] 和 *Serial-GMII Specification-rev1.8*[11]标准设计的 IP, 主要特性如下。

- 支持 GMII 接口;
- 支持 APB 或 MDIO 配置管理接口;
- 支持通过端口进行简易快速配置;
- 支持自协商功能;
- 支持 10/100/1000Mbps SGMII 模式、GE 模式;
- 支持 SGMII 模式与 GE 模式之间的动态切换;
- 支持时钟频偏矫正, 以适应以太网±100ppm 的频差;
- 支持环回功能。

2.1.2 适用器件及封装

表 2-1 SGMII 1GbE IP 适用器件及封装

适用器件	支持封装类型
PGL50H	ALL
PGL100H	ALL

2.2 IP 框图

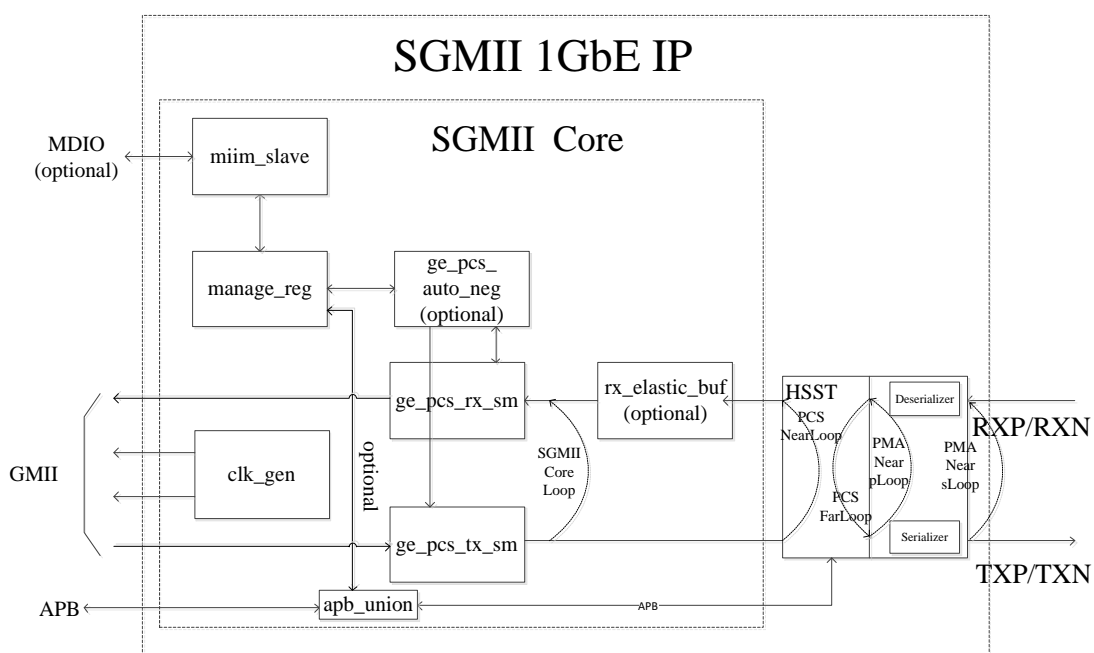


图 2-1 SGMII 1GbE IP 系统框图

SGMII 1GbE IP 由 SGMII Core 和 HSST IP 两部分组成，系统框图如图 2-1 所示。其中，SGMII Core 完成自协商及收、发状态机等功能；HSST IP 完成 PCS 编解码、PMA 串并、并串转换及时钟恢复等功能。图中虚线所示为环回时的数据流向，关于环回配置方法请参见“2.8.4 环回模式”。

2.3 IP 生成流程

2.3.1 模块例化

通过 IPC 工具可以完成 SGMII 1GbE IP 的定制化配置，例化生成所需的 IP 模块。关于 IPC 工具的具体使用方法，请参见 *IP_Compiler_User_Guide*[3]。

SGMII 1GbE IP 模块例化的主要操作步骤描述如下。

1. 选择 IP

打开 IPC，在主窗口中点击 File->Update 打开 Update IP 对话框，添加对应版本的 IP 模型。

选择 FPGA 的器件类型之后 Catalog 界面可以显示所有已装载的 IP 模型，选取 System/Ethernet 目录下对应版本的 SGMII 1GbE，IP 选择路径界面如图 2-2 所示。然后在右侧页面设置 Pathname 和 Instance Name 名称，工程例化界面如图 2-3 所示。

注意：

软件必须为 2021.1-SP7.2、2021.4-SP1、2022.1 及以上版本。

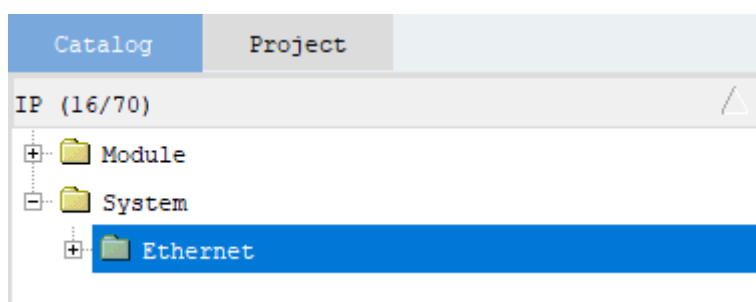


图 2-2 SGMII 1GbE IP 选择路径界面

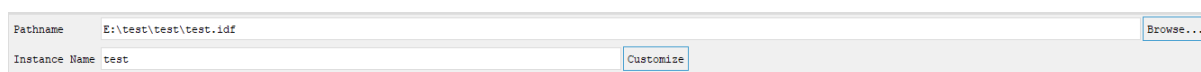


图 2-3 工程例化界面

2. 配置 IP 参数

IP 选择完成后点击 <Customize> 进入 SGMII 1GbE IP 参数配置界面。左边 Symbol 为接口框图，如图 2-4 所示；右边为参数配置窗口，如图 2-5 所示。

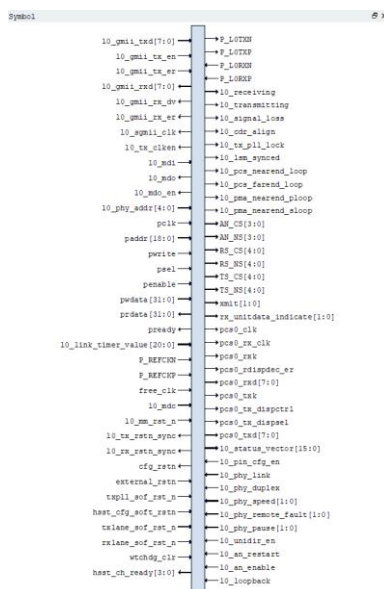


图 2-4 SGMII 1GbE IP 接口框图

Mode Select

☒ GE

☐ SGMII

☐ Both GE And SGMII

Buffer Select

☐ No Buffer

Elastic Buffer Option:
Check On this item would disable Elastic Buffer and clock correction doesn't work.
Check Off this item would enable Elastic Buffer and clock correction works.

Management Options

☒ Auto Negotiation

☒ MDIO_Enable

SGMII Operation Mode

☐ SGMII PHY Mode

图 2-5 配置 SGMII 1GbE IP 参数界面

配置参数说明见表 2-2。

表 2-2 SGMII 1GbE IP 配置参数说明

选项区域	选项名/参数名	参数说明	IP 配置界面默认值
Mode Select	GE	GE 模式选择 勾选：IP 工作在 GE 模式	勾选
	SGMII	SGMII 模式选择 勾选：IP 工作在 SGMII 模式	不勾选
	Both GE And SGMII	Both GE And SGMII 模式选择 勾选：IP 工作在 Both GE And SGMII 模式	不勾选
Buffer Select	No Buffer	频偏 Buffer 不使能选择 勾选：IP 不使能频偏 Buffer	不勾选
Management Options	Auto Negotiation	自协商使能选择 勾选：IP 使能自协商	勾选
	MDIO_Enable	MDIO 配置管理接口使能选择 勾选：IP 使能 MDIO 配置管理接口	勾选
SGMII Operation Mode	SGMII PHY Mode ¹	SGMII PHY 模式选择 勾选：IP 工作在 PHY 模式 不勾选：IP 工作在 MAC 模式	-

注：“-”表示 GE 模式下，该选项无效，IP 配置界面无该默认值。

3. 生成 IP

参数配置完成后，点击左上角的 <Generate> 按钮生成 IP，即可生成相应于用户特定设置的 SGMII 1GbE IP 代码。生成 IP 的信息报告界面如图 2-6 所示。



图 2-6 SGMII 1GbE IP 生成报告界面

成功生成 IP 后会在图 2-3 中指定的 project 路径下输出下表 2-3 所示文件。

¹ 选项的 IP 配置界面默认值与“Mode Select”的配置有关：

GE 模式下，该选项无效；

SGMII 模式下，该选项默认不勾选；

Both GE And SGMII 模式下，该选项默认不勾选。

表 2-3 SGMII 1GbE IP 生成后的输出文件

输出文件 ²	说明
\$instname.v	所生成 IP 的顶层.v 文件。
\$instname.idf	所生成 IP 的配置文件。
/rtl/*.v	所生成 IP 的明文 RTL 文件。
/rtl/common/*.v	所生成 IP 的明文 RTL 文件，该文件夹存放一些通用模块。
/rtl/hsst/ *	该文件夹存放 HSST IP 模块。
/rtl/synplify/*.vp	所生成 IP 的非明文 RTL 文件，该文件用于综合。
/sim_lib/modelsim/*.vp	所生成 IP 的非明文 RTL 文件，该文件可用于 ModelSim 或 VCS 仿真。
/sim/modelsim/*.f	对生成的 Example Design 进行 modelsim 仿真所需的.v 文件列表。
/sim/modelsim/*.do	对生成的 Example Design 进行 modelsim 仿真的 do 脚本文件和 do 波形文件。
/sim/modelsim/*.bat	对生成的 Example Design 进行 modelsim 仿真的脚本。
/example_design/bench/ *.v	Example Design 的仿真激励文件。
/example_design/rtl/*.v	Example Design 的顶层文件以及设计用到的一些模块文件。
/pnr/core_only/*.pds	所生成 IP 核的工程文件。
/pnr/core_only/*.fdc	所生成 IP 核的约束文件。
/pnr/core_only/*.v	所生成 IP 核工程的顶层文件。
/pnr/example_design/ *.pds	Example Design 的工程文件。
/pnr/example_design/ *.fdc	所生成 Example_Design 的约束文件。
/rev_1	综合报告默认输出路径。（该文件夹仅在指定综合工具后才会生成）。
/readme.txt	readme 文件，描述 IP 生成后，生成目录的结构。

注意：

- IP 自带生成的.pds 文件和.fdc 文件仅供参考，使用时请根据实际的管脚连接更改管脚约束。
- *.vp 文件中的*_vpAll.vp 文件包含了其他*.vp 文件的内容，选择该文件等效于选择其他所有*.vp 文件；用户可以根据自己的使用习惯选择使用，但两者不能同时选用，否则会报错。
*_simvpAll.vp 同理。

2.3.2 约束配置

关于约束文件的具体配置方法，可以查阅 PDS 安装路径下相关帮助文档：
User_Constraint_Editor_User_Guide[5] ， *Physical_Constraint_Editor_User_Guide*[6] ，

² \$instname 是用户输入的例化名；“*”为通配符，代替同一类型的文件名。

Route_Constraint_Editor_User_Guide[7]。

2.3.3 运行仿真

SGMII 1GbE IP 的仿真是基于 Example Design 的 Test Bench 进行的。有关 Example Design 的详细信息请参见“2.4 Example Design”。

关于 PDS 仿真功能及第三方仿真工具的更多详细信息，可以查阅 PDS 安装路径下相关帮助文档：*Pango_Design_Suite_User_Guide*[2]，*Simulation_User_Guide*[4]。

2.3.4 综合与布局布线

PDS 综合工具和布局布线工具的相关具体用法可以查阅 PDS 安装路径下的帮助文档。

注意：

与 IP 一起产生的 Example Design 工程文件.pds 和管脚约束文件.fdc 存放在/pnr/example_design 目录下。需要根据实际使用的器件和 PCB 板的走线修改物理约束，具体请参见“2.8 说明与注意事项”。

2.3.5 资源利用

SGMII 1GbE IP 基于适用器件的资源利用典型值，参见表 2-4。

表 2-4 SGMII 1GbE IP 基于适用器件的资源利用典型值

器件	IP 工作模式 (参数勾选项)	资源利用典型值				
		LUT	FF	USCM	HSST	DRM
PGL50H	GE Auto Negotiation MDIO_Enable	1098	890	3	1	0
	SGMII MDIO_Enable	1132	939	4	1	0.5
	Both GE And SGMII	1071	865	3	1	0.5
	Both GE And SGMII No Buffer	849	649	3	1	0
PGL100H	GE Auto Negotiation MDIO_Enable	1097	890	3	1	0
	SGMII MDIO_Enable	1134	939	4	1	0.5
	Both GE And SGMII	1072	865	3	1	0.5
	Both GE And SGMII No Buffer	848	649	3	1	0


2.4 Example Design

本节介绍 SGMII 1GbE IP 基于 Both GE And SGMII 模式的 Example Design 方案。该方案分别实例化一个 MAC Side SGMII 1GbE IP 和一个 PHY Side SGMII 1GbE IP，对接进行自协商，然后对发数据，并通过 CRC 校验来验证接收侧的数据是否正确。该方案通过 MDIO 接口对 SGMII Core 进行读写寄存器操作。

说明：

HSST IP 的寄存器只能通过 APB 接口访问。

2.4.1 设计框图

Example Design 的系统框图如图 2-7 所示。其中， 表示选择器，其根据选择使能

将相应测试板的输出数据传递到上位机。

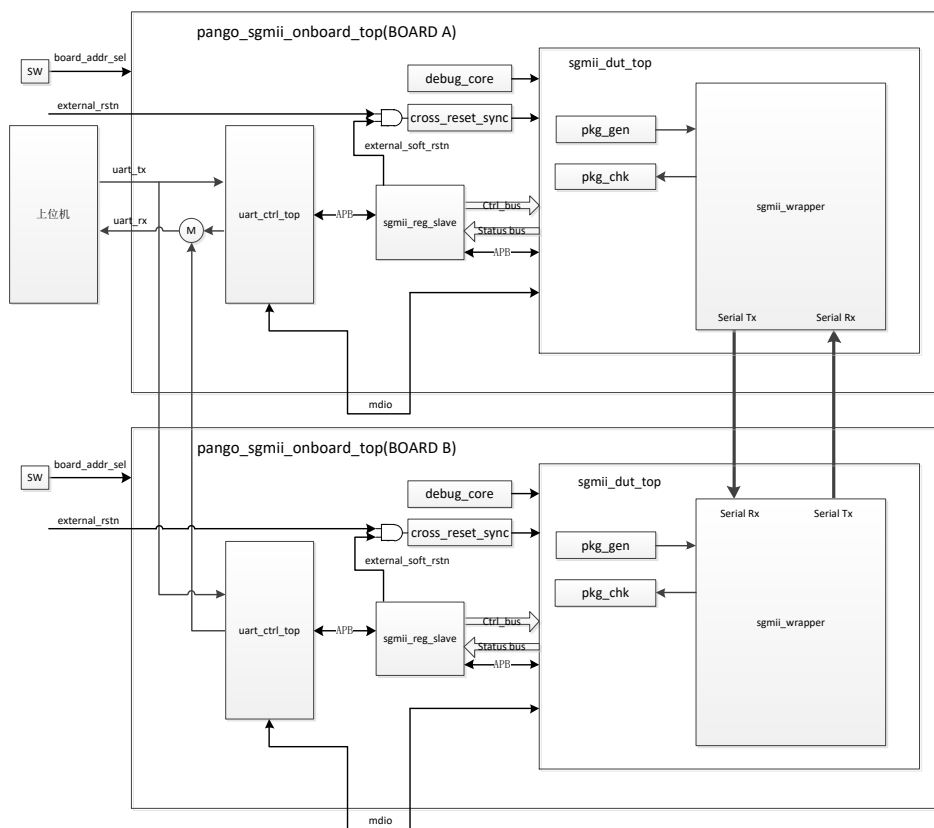


图 2-7 Both GE And SGMII 模式 Example Design 框图

2.4.2 模块说明

1. uart_ctrl_top

调试时使用的串口模块，用于接收 UART 的数据，波特率固定为 115200，以 APB 协议或者 MDIO 协议要求的数据格式输出。读写操作的地址为 24bit，数据为 32bit。

(1) 读写操作说明

- 读操作格式：“地址” + “0x72”；
- 写操作格式：“数据” + “地址” + “0x77”。

相关读写操作示例请参见“2.8.6 uart_ctrl_top 模块读写操作示例”。

(2) 地址说明

通过 uart_ctrl_top 模块访问寄存器时，地址说明如表 2-5 所示。

表 2-5 uart_ctrl 模块地址说明

地址位	说明
23	仅调试使用，设置为 0。
22	通过 APB 接口访问寄存器时设置为 0；通过 MDIO 接口访问寄存器时设置为 1。
21	通过 APB 接口访问寄存器时有效。 访问 sgmmii_reg_slave 模块时设置为 0；访问 IP 时设置为 1。
20:19	未使用，设置为 0。
18:0	IP 寄存器的地址 ³

2. sgmmii_reg_slave

调试使用的自定义寄存器模块，相关寄存器说明参见表 2-6。

表 2-6 sgmmii_reg_slave 寄存器说明

寄存器地址（16bit）	R/W	描述	默认值（32bit）
0x0000	W	bit0: ge_or_sgmmii 0: GE 模式 1: SGMII 模式 其余 bit 无作用	0x10
0x0001	W	bit28: pin_cfg_en 快速端口配置使能 1'b 0: 快速端口配置无效 1'b 1: 使能快速端口配置 bit26: phy_duplex bit[25:24]: phy_pause bit22: phy_link bit[17:16]: phy_speed（SGMII 模式下有效） 2'b 11: 保留 2'b 10: SGMII 1000Mbps 2'b 01: SGMII 100Mbps 2'b 00: SGMII 10Mbps bit4: an_enable 1'b 0: 关闭自协商使能 1'b 1: 开启自协商使能 bit0: an_restart 1'b 0: 关闭自协商重启	0x07420010

3 IP 寄存器的地址参见“2.6 IP 寄存器描述”，sgmmii_reg_slave 模块内的寄存器地址参见表 2-6。

寄存器地址 (16bit)	R/W	描述	默认值 (32bit)
		1'b 1: 打开自协商重启	
0x0004	W	bit0: start_test 1'b 0: 关闭发包 1'b 1: 开始发包	0x0

3. debug_core

PDS 自带用于调试的 IP 模块，通过 Fabric Debugger 工具可实现波形抓取，查看某些模块的特定信号。相关具体用法可以查阅 PDS 安装路径下的帮助文档。

4. cross_reset_sync

异步信号同步模块，用于对外部输入的异步信号进行同步、去抖处理。

5. pkg_gen

数据生成模块，用于产生传输数据。

6. pkg_chk

数据检测模块，用于对接收到的数据进行 CRC 校验。

7. sgmmii_wrapper

SGMII 1GbE IP 顶层。

2.4.3 接口说明

Example Design 的接口描述参见表 2-7。

表 2-7 Example Design 接口列表

端口名	位宽	I/O	端口说明	引脚约束	
				PGL50H	PGL100H
free_clk	1	I	外部参考时钟 ⁴ 频率: 50MHz	F14	AJ17
external_rstn	1	I	系统复位信号 0: 复位 1: 复位释放	W17	K1

⁴ 在本 Example Design 中用做 APB 的 pclk 和 HSST 复位时钟

端口名	位宽	I/O	端口说明	引脚约束	
				PGL50H	PGL100H
hsst_cfg_soft_rstn	1	I	HSST IP 配置参数复位信号 0: 复位 1: 复位释放	V17	L1
P_REFCKN	1	I	HSST IP 差分参考时钟输入 N 端 频率: 125MHz	-	-
P_REFCKP	1	I	HSST IP 差分参考时钟输入 P 端 频率: 125MHz	-	-
P_L0TXN	1	O	HSST IP 差分串行输出信号 N 端	-	-
P_L0TXP	1	O	HSST IP 差分串行输出信号 P 端	-	-
P_L0RXN	1	I	HSST IP 差分串行输入信号 N 端	-	-
P_L0RXP	1	I	HSST IP 差分串行输入信号 P 端	-	-
LED50M1S	1	O	free_clk 时钟指示灯 ⁵	C17	K2
LED125M1S	1	O	125MHz 差分时钟指示灯 ⁵	D17	J1
ok_led	1	O	收包校验正确指示灯 0: 灯灭 (校检有误) 1: 灯亮 (校检正确)	C18	H1
cfg_uart_txd	1	O	本端向上位机发送数据端口	F5	B3
cfg_uart_rxd	1	I	本端接收上位机发送数据端口	G6	A2
uart_rxd_to_partner	1	O	本端向对端发送数据端口	H8	P1
uart_txd_from_partner	1	I	本端接收对端发送数据端口	J7	K3
l0_cdr_align	1	O	HSST IP PMA CDR 锁定指示灯 (连接 l0_cdr_align 端口) 0: 灯灭 (未锁定) 1: 灯亮 (锁定)	C19	H2
l0_tx_pll_lock	1	O	HSST IP PLL 锁定指示灯 (连接 l0_tx_pll_lock 端口) 0: 灯灭 (未锁定) 1: 灯亮 (锁定)	D18	G1
l0_lsm_synced	1	O	HSST IP Word Align 对齐指示灯 (连接 l0_lsm_synced 端口) 0: 灯灭 (未对齐) 1: 灯亮 (对齐)	D19	F1
l0_an_status	1	O	SGMII 1GbE IP 链路状态指示灯 0: 灯灭 (链路存在问题) 1: 灯亮 (链路正常)	A17	F2
master_mdc_o	1	O	MDIO 输出时钟, 由串口模块产生	M3	AC16
master_mdio	1	IO	MDIO 数据信号	M4	P2
slave_l0_mdc	1	I	MDIO 输入时钟 (与 master_mdc_o 连接)	M5	AF16

⁵ 正常时 1S 闪烁一次。

端口名	位宽	I/O	端口说明	引脚约束	
				PGL50H	PGL100H
slave_10_mdio	1	IO	MDIO 数据信号（与 master_mdio 连接）	K1	L6
10_ctrl3	1	I	单板串口地址控制信号 0: A 板 1: B 板	Y14	B2

注：“-”表示已通过 HSST 相关约束进行位置约束。

2.4.4 测试方法

通过例化对应模式⁶的 SGMII 1GbE IP, 利用 IP 自带的 Example Design 工程⁷生成位流。采用两块测试板⁸进行对接测试，一块烧录 MAC Side 位流，一块烧录 PHY Side 位流，根据链路指示和 CRC 校验结果判断测试结果。

Example Design 中已加入 debug_core 模块，通过板间对接测试，可使用 PDS 软件中的 Fabric Debugger 工具抓取 PCS 发送端/接收端数据，以及统计收发包信息，相关截图如图 2-8、图 2-9、图 2-10 所示。用户可根据实际情况自行增减需要抓取的信号。debug_core 信号说明如表 2-8 所示。

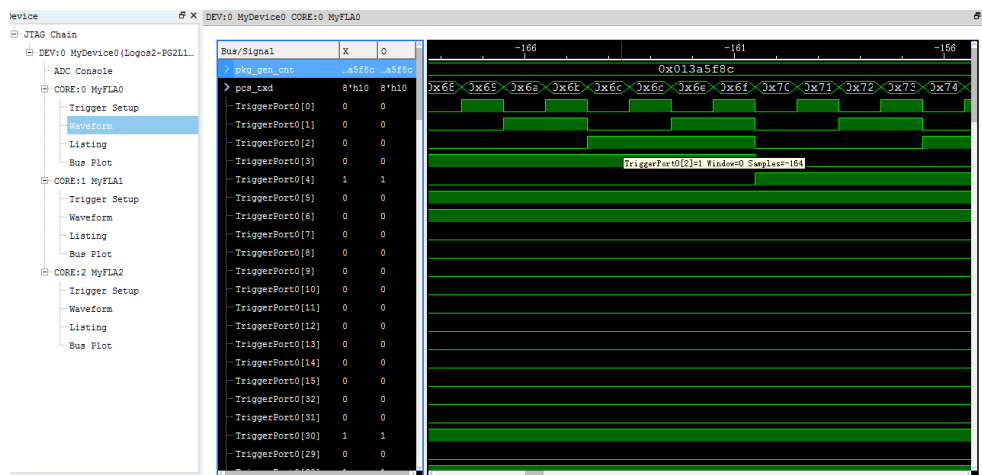
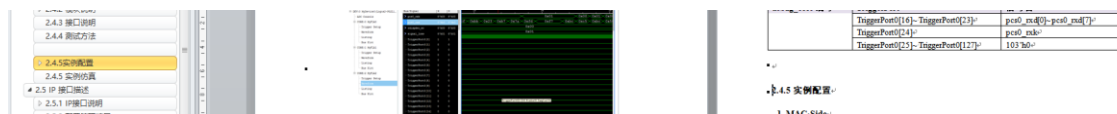


图 2-8 PCS 发送端数据

6 详细信息请参见“0



2.4.5 实例配置”、“2.3.1 模块例化”。

7 Example Design 工程路径见表 2-3。

8 PGL50H 测试板型号为 P02I50RD02_A0, PGL100H 的测试板型号为 P02I100RD02_A0。

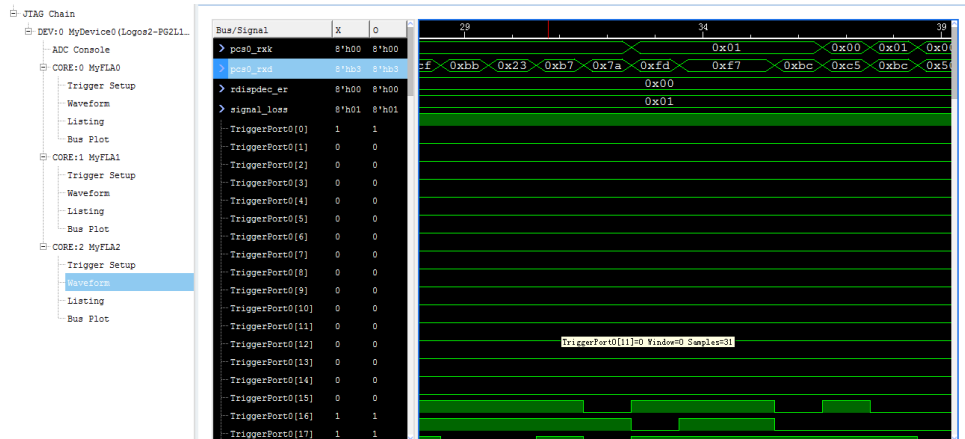


图 2-9 PCS 接收端数据

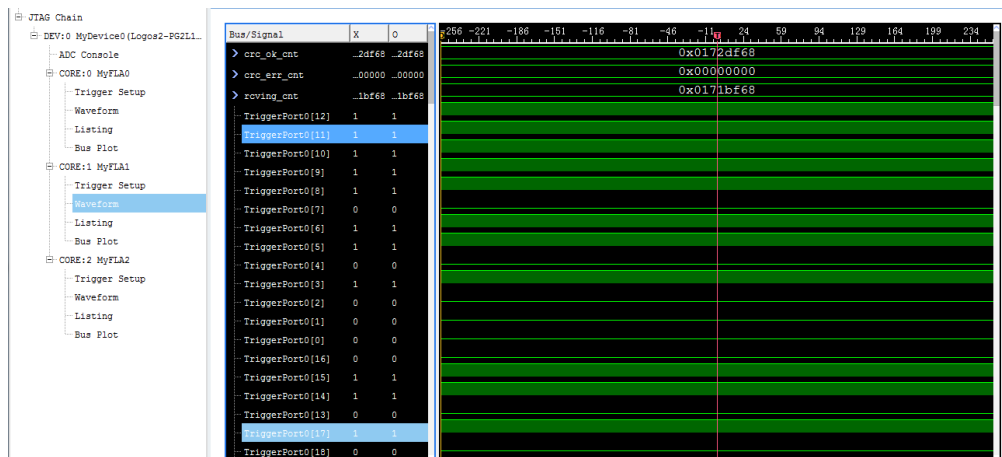
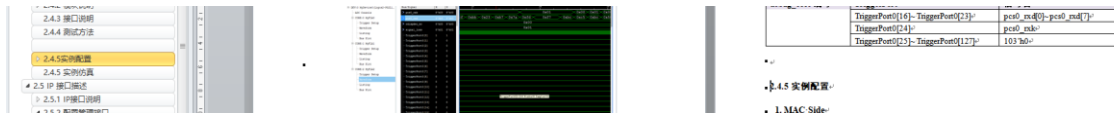


图 2-10 GMII 侧收包统计

表 2-8 debug_core 信号说明

debug_core 编号	TriggerPort	信号名
debug_core0	TriggerPort0[0]~ TriggerPort0[7]	pcs0_txd[0]~ pcs0_txd[7]
	TriggerPort0[8]	pcs0_txx
	TriggerPort0[9]~ TriggerPort0[15]	7'h0
	TriggerPort0[16]~ TriggerPort0[47]	pkg_gen_cnt[0]~ pkg_gen_cnt[31]
	TriggerPort0[48]~ TriggerPort0[127]	80'h0
debug_core1	TriggerPort0[0]~ TriggerPort0[31]	rcving_cnt[0]~ rcving_cnt[31]
	TriggerPort0[32]~ TriggerPort0[63]	crc_err_cnt[0]~ crc_err_cnt[31]
	TriggerPort0[64]~ TriggerPort0[95]	crc_ok_cnt[0]~ crc_ok_cnt[31]
	TriggerPort0[96]~ TriggerPort0[127]	32'h0
debug_core2	TriggerPort0[0]	signal_loss
	TriggerPort0[1]~ TriggerPort0[7]	7'h0
	TriggerPort0[8]	rdispc_er
	TriggerPort0[9]~ TriggerPort0[15]	7'h0

debug_core 编号	TriggerPort	信号名
	TriggerPort0[16]~ TriggerPort0[23]	pcs0_rxd[0]~ pcs0_rxd[7]
	TriggerPort0[24]	pcs0_rxk
	TriggerPort0[25]~ TriggerPort0[127]	103'h0



2.4.5 实例配置

1. MAC Side

Both GE And SGMII 模式的 MAC Side 配置如图 2-11 所示。

Mode Select

☐ GE
☐ SGMII
☒ Both GE And SGMII

Buffer Select

☐ No Buffer

Elastic Buffer Option:
Check On this item would disable Elastic Buffer and clock correction doesn't work.
Check Off this item would enable Elastic Buffer and clock correction works.

Management Options

☒ Auto Negotiation
☒ MDIO_Enable

SGMII Operation Mode

☐ SGMII PHY Mode

图 2-11 Both GE And SGMII MAC Side 配置图

2. PHY Side

Both GE And SGMII 模式的 PHY Side 配置如图 2-12 所示。

Mode Select

☐ GE
☐ SGMII
☒ Both GE And SGMII

Buffer Select

☐ No Buffer

Elastic Buffer Option:
Check On this item would disable Elastic Buffer and clock correction doesn't work.
Check Off this item would enable Elastic Buffer and clock correction works.

Management Options

☒ Auto Negotiation
☒ MDIO_Enable

SGMII Operation Mode

☒ SGMII PHY Mode

图 2-12 Both GE And SGMII PHY Side 配置图

2.4.5 实例仿真

在 Windows 系统下，IP 生成后，在<project_path>/sim/modelsim 路径下，双击*.bat

文件⁹即可运行仿真。

2.5 IP 接口描述

本节介绍 SGMII 1GbE IP 相关接口说明及时序描述。

2.5.1 IP 接口说明

1. 接口框图

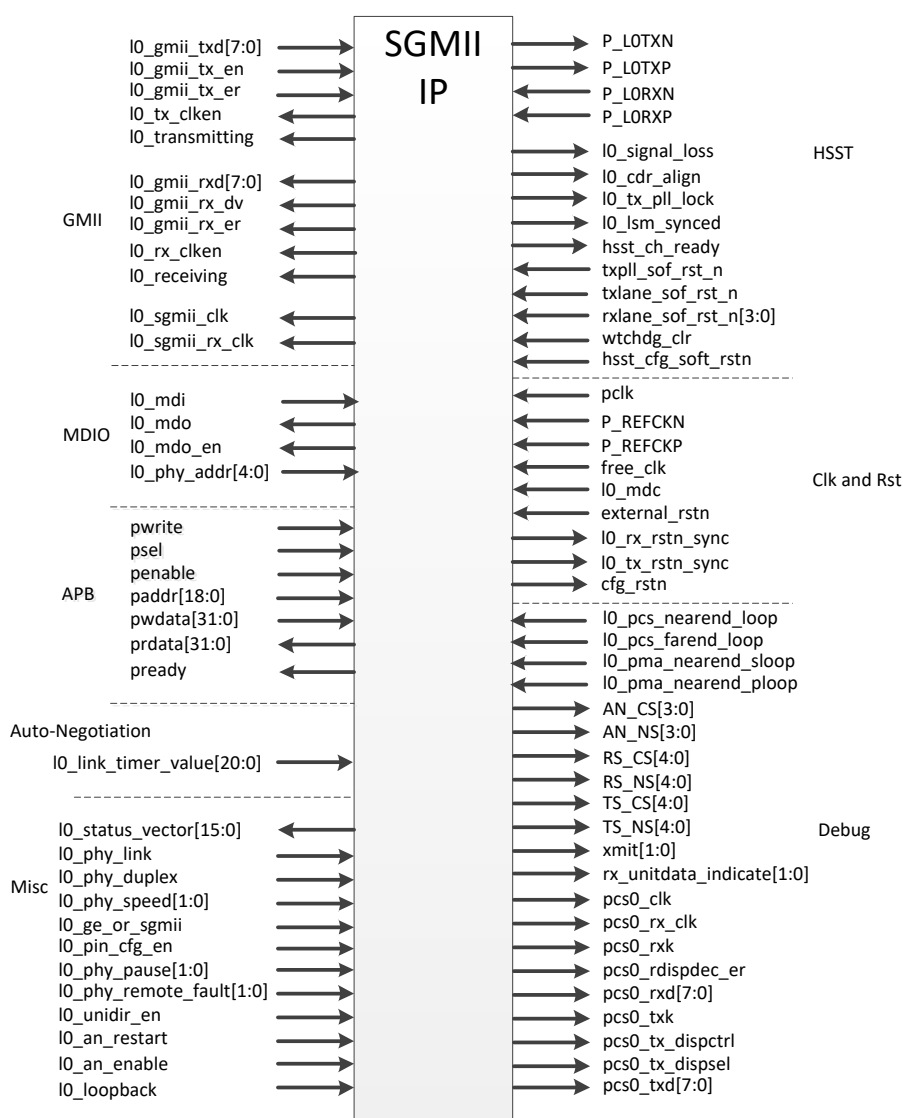


图 2-13 SGMII 1GbE IP 接口

⁹ IP 生成后的输出文件请参见表 2-3。

2. 接口列表

表 2-9 SGMII 1GbE IP 接口信号列表

端口	I/O	位宽	描述
时钟信号			
l0_mdc	I	1	Management Data Clock（用于 MDIO 接口时钟） MDIO 使能时该端口必须有时钟输入 频率：2.5MHz
pclk	I	1	APB 时钟（用于 APB 接口时钟） 频率：50MHz~100MHz
P_REFCKN	I	1	HSST IP 使用的差分时钟 N 端 频率：125MHz
P_REFCKP	I	1	HSST IP 使用的差分时钟 P 端 频率：125MHz
free_clk	I	1	HSST IP 的复位序列参考时钟 频率：10MHz~100MHz
复位信号			
external_rstn	I	1	全局异步复位信号（free_clk 时钟域） 0：复位 1：复位释放
l0_rx_rstn_sync	O	1	HSSTLP IP RX 端复位信号 0：复位 1：复位释放 注：HSSTLP IP RX 侧复位完成指示（与接收侧数据时钟域一致）
l0_tx_rstn_sync	O	1	HSSTLP IP TX 端复位信号 0：复位 1：复位释放 注：HSSTLP IP TX 侧复位完成指示（与发送侧数据时钟域一致）
cfg_rstn	O	1	SGMII Core 输出的配置复位信号（free_clk 时钟域） 0：复位 1：复位释放
HSST IP 侧信号			
P_L0TXN	O	1	HSST IP 发送差分信号 N 端
P_L0TXP	O	1	HSST IP 发送差分信号 P 端
P_L0RXN	I	1	HSST IP 接收差分信号 N 端
P_L0RXP	I	1	HSST IP 接收差分信号 P 端
l0_signal_loss	O	1	对应 HSST IP 的“P_RX_SIGDET_STATUS”数值取反 ¹⁰ 0：表示从端口 P_L*RXP/P_L*RXN 检测到了有效信号 1：表示从端口 P_L*RXP/P_L*RXN 没有检测到有效信号 注：此信号为异步信号

¹⁰ 参见《UG021004_Logos_HSST_IP_UserGuide》[9]。

端口	I/O	位宽	描述
l0_cdr_align	O	1	对应 HSST IP 的 “P_RX_READY” ¹⁰ 0: 表示 CDR 未锁定标志信号 1: 表示 CDR 已成功锁定标志信号 注: 此信号为异步信号
l0_tx_pll_lock	O	1	对应 HSST IP 的 “P_PLL_READY” ¹⁰ 0: PLL 未锁定 1: PLL 已锁定 注: 此信号为异步信号
l0_lsm_synced	O	1	同步状态信号, 对应 HSST IP 的 “P_PCS_LSM_SYNCED” ¹⁰ 0: Word Align 未成功 1: Word Align 成功 注: 此信号为异步信号
hsst_ch_ready[3:0]	O	4	HSST IP Serdes 的 RX 通道复位完成标志 (free_clk 时钟域) 0: 未完成 1: 完成 Bit0~Bit3 分别对应 Lane0~Lane3
txpll_sof_rst_n	I	1	HSST IP PLL 软复位 (free_clk 时钟域) 0: 复位 1: 复位释放
txlane_sof_rst_n	I	1	HSST IP Serdes 的 TX 通道软复位(free_clk 时钟域) 0: 复位 1: 复位释放 仅调试时使用, 且 TX 复位后需进行 RX 复位
rxlane_sof_rst_n[3:0]	I	4	HSST IP Serdes 的 RX 通道软复位 (free_clk 时钟域) 0: 复位 1: 复位释放 Bit0~Bit3 分别对应 Lane0~Lane3 仅调试时使用 (IP 默认使用 Lane0)
wtchdg_clr	I	1	HSST IP 复位序列看门狗清零信号 (free_clk 时钟域) 0: 正常工作 1: 看门狗计数器清零 仅调试时使用
hsst_cfg_soft_rstn	I	1	HSST IP 配置模块软复位信号 (free_clk 时钟域) 0: 复位 1: 复位释放 使能该复位后需要进行一次全局复位
GMII 信号			
l0_gmii_txd[7:0]	I	8	GMII TXD[7:0]信号
l0_gmii_tx_en	I	1	GMII TX_EN 信号
l0_gmii_tx_err	I	1	GMII TX_ER 信号

端口	I/O	位宽	描述
10_transmitting	O	1	PCS 发送状态信号 1: 正在发送 PCS 信号 0: 没有发送 PCS 信号
10_gmii_rxd[7:0]	O	8	GMII RXD[7:0]信号
10_gmii_rx_dv	O	1	GMII RX_DV 信号
10_gmii_rx_er	O	1	GMII RX_ER 信号
10_receiving	O	1	PCS 接收状态信号 1: 正在接收 PCS 信号 0: 没有接收 PCS 信号
10_sgmii_clk	O	1	GMII 工作时钟 频率: 125MHz
10_sgmii_rx_clk	O	1	GMII 接收工作时钟 (No_Buffer 模式下使用) 频率: 125MHz
10_tx_clken	O	1	GMII TXD 时钟使能信号 (高有效) GE 模式: 为全高电平 SGMII 模式: (与 PHY Device Speed 有关) Speed =11: 保留 Speed =10: SGMII 1000Mbps (全高电平) Speed =01: SGMII 100 Mbps (每 10 个时钟周期产生一个脉冲信号) Speed =00: SGMII 10 Mbps (每 100 个时钟周期产生一个脉冲信号)
10_rx_clken	O	1	GMII RXD 时钟使能信号 (No_Buffer 模式下使用, 高有效) GE 模式: 为全高电平 SGMII 模式: (与 PHY Device Speed 有关) Speed =11: 保留 Speed =10: SGMII 1000 Mbps (全高电平) Speed =01: SGMII 100 Mbps (每 10 个时钟周期产生一个脉冲信号) Speed =00: SGMII 10 Mbps (每 100 个时钟周期产生一个脉冲信号)
状态信号			
10_status_vector [15:0]	O	16	输出状态统计矢量 Bit[15]: Resolve Priority: Controls the Invocation of the Priority Resolution Function。该信号在自协商的 IDLE_DETECT 状态和 LINK_OK 状态拉高, 其他状态拉低 Bit[14]: an_complete: 自协商完成指示 1: 完成

端口	I/O	位宽	描述
			<p>0: 没有完成</p> <p>Bit[13]: an_page_rx: 自协商接收到新的配置数据指示</p> <p>1: 接收到新的配置数据</p> <p>0: 没有接收到新的配置数据</p> <p>Bit[12]: rxdisp_er: 10B/8B 解码极性错误指示</p> <p>1: 极性正确</p> <p>0: 极性错误</p> <p>Bit[11]: rxdec_er: 10B/8B 解码数据错误指示</p> <p>1: 数据错误</p> <p>0: 数据正确</p> <p>Bit[10:9]: Remote Fault Encode: 自协商接收到的 Link Partner 传过来的 Link 状态</p> <p>SGMII MAC 模式:</p> <p>10: Link 异常</p> <p>00: Link 正常</p> <p>SGMII PHY 模式下:</p> <p>固定为 0</p> <p>GE 模式下:</p> <p>00: No Error, Link OK.</p> <p>01: Offline</p> <p>10: Link Failure</p> <p>11: Auto-Negotiation_Error</p> <p>Bit[8:7]: Pause: 自协商接收到的 Link Partner 的 Pause 能力 (GE 模式下有效)</p> <p>Bit[6]: 弹性 Buffer 状态:</p> <p>1: 溢出</p> <p>0: 未溢出</p> <p>Bit[5]: 半双工、全双工指示:</p> <p>1: 全双工</p> <p>0: 半双工</p> <p>Bit[4:3]: SGMII 速率指示:</p> <p>11: 保留</p> <p>10: 1000Mbps</p> <p>01: 100Mbps</p> <p>00: 10Mbps</p> <p>Bit[2:1]: RUDI:</p> <p>00: 保留</p> <p>01: Invalid (接收 C 码或 I 码时发生了错误)</p> <p>10: /C/ (正在接收 C 码)</p> <p>11: /I/ (正在接收 I 码)</p>

端口	I/O	位宽	描述
			Bit[0]: 自协商相关端口, Link Status 自协商开启时: 1: 同步成功且自协商完成 0: 同步失败或自协商未完成 自协商关闭时: 1: 同步成功 0: 同步失败
快速配置端口¹¹			
10_pin_cfg_en	I	1	快速配置使能信号 ¹² 1: 接口快速配置接口有效 0: 接口快速配置接口无效
10_phy_link	I	1	PHY Link 状态(SGMII PHY 模式有意义) 1: Link Up 0: Link Down 对应寄存器 Reg4.15
10_phy_duplex	I	1	PHY 双工状态 (SGMII PHY 模式有意义) 1: 全双工 0: 半双工 对应寄存器 Reg4.12
10_phy_speed	I	2	PHY 的工作速度 (SGMII PHY 模式有意义) 11: 保留 10: 1000Mbps 01: 100Mbps 00: 10Mbps SGMII PHY 模式下 自协商开启时对应寄存器 Rg4.11:10 自协商关闭时对应寄存器 {Reg0.6,Reg0.13} SGMII MAC 模式下 自协商开启时无意义 自协商关闭时对应寄存器 {Reg0.6,Reg0.13}
10_phy_remote_fault	I	2	Remote Fault (GE 模式有意义) 11: Auto-Negotiation_Error 10: Link Failure 01: Off Line 00: No Error (Link Ok) 对应寄存器寄存器 Reg4.13:12
10_phy_pause	I	2	Pause (GE 模式有意义) 11: Both Symmetric PAUSE and Asymmetric PAUSE toward Local Device 10: Symmetric PAUSE

¹¹ 该组信号要求在管理接口 (MDIO/APB) 对应的时钟域 (mdc/free_clk) 下生成。

¹² 寄存器快速配置只影响 Reg0 和 Reg4, 不影响其他寄存器。详情请参考“2.5.3 快速配置接口”。

端口	I/O	位宽	描述
			01: Asymmetric PAUSE toward Link Partner 00: No PAUSE 对应寄存器 Reg4.8:7
l0_unidir_en	I	1	单向模式使能控制 0: 不使能 1: 使能 对应寄存器 Reg0.5
l0_an_restart	I	1	自协商重启控制 0: 正常操作 1: 重启自协商 对应寄存器 Reg0.9
l0_an_enable	I	1	自协商使能控制 0: 不使能 1: 使能 对应寄存器 Reg0.12
l0_loopback	I	1	SGMII Core Loopback 控制 ¹³ 0: 不使能 1: 使能 对应寄存器 Reg0.14
工作模式配置			
l0_ge_or_sg_mii	I	1	GE 和 SGMII 模式选择 (Both GE And SGMII 模式) 0: GE 模式 1: SGMII 模式
MDIO 信号¹⁴			
l0_mdi	I	1	Management Data In
l0_mdo	O	1	Management Data Out
l0_mdo_en	O	1	输出使能控制信号 0: mdo 无效 1: mdo 有效
l0_phy_addr	I	5	输入的 MDIO PHY 地址 ¹⁵
APB 信号¹⁶			
pwrite	I	1	APB 写使能信号 0: 读数据 1: 写数据
psel	I	1	APB 接口片选信号 0: 没选中 1: 选中

¹³ 不使能频偏 Buffer 时, Loopback 功能不可使用。

¹⁴ 配置管理接口为 MDIO 时 (勾选 “MDIO_Enable”) 有效, 参见 “2.3.1.2 配置 IP 参数”。

¹⁵ 与 mdi 上的 PHY 地址一致则 MDIO 读写操作有效; 若不一致, MDIO 读写操作无效。

¹⁶ 配置管理接口为 APB 时 (不勾选 “MDIO_Enable”) 有效, 参见 “2.3.1.2 配置 IP 参数”。

端口	I/O	位宽	描述
penable	I	1	APB 接口访问使能 0: 不使能 1: 使能
paddr[18:0]	I	19	APB 接口读写地址总线
pwwdata[31:0]	I	32	APB 接口写数据总线
prdata[31:0]	O	32	APB 接口读数据总线
pready	O	1	APB 接口读写 Ready 信号 写操作时: 0: 数据还未成功写入寄存器 1: 数据已成功写入寄存器 读操作时: 0: 读数据还未准备好 1: 读数据已经准备好
Auto-Negotiation			
10_link_timer_value[20:0]	I	21	link_timer_valve 设置 GE 模式下 设置为: 10ms/8ns=1250000 SGMII 模式下 设置为: 1.6ms/8ns=200000 仿真时 设置为: 2us/8ns=250
Debug 信号			
10_pcs_nearend_loop	I	1	PCS 并行近端环回使能 0: 不使能 1: 使能
10_pcs_farend_loop	I	1	PCS 并行远端环回使能 0: 不使能 1: 使能
10_pma_nearend_sloop	I	1	PMA 串行近端环回使能 0: 不使能 1: 使能
10_pma_nearend_ploop	I	1	PMA 并行近端环回使能 0: 不使能 1: 使能
AN_CS[3:0]	O	4	自协商状态机的当前状态 (10_sgmii_clk 时钟域)
AN_NS[3:0]	O	4	自协商状态机的下一个状态 (10_sgmii_clk 时钟域)
RS_CS[4:0]	O	5	接收状态机的当前状态 ¹⁷
RS_NS[4:0]	O	5	接收状态机的下一个状态 ¹⁷
TS_CS[4:0]	O	5	发送状态机的当前状态 (10_sgmii_clk 时钟域)
TS_NS[4:0]	O	5	发送状态机的下一个状态 (10_sgmii_clk 时钟域)

¹⁷ No Buffer 模式下工作在 10_sgmii_rx_clk 时钟域, 使能频偏 Buffer 模式下工作在 10_sgmii_clk 时钟域。

端口	I/O	位宽	描述
xmit[1:0]	O	2	自协商状态机输出的 xmit 信号（10_sgmii_clk 时钟域） 00: 保留 01: CONFIGURATION 10: DATA 11: IDLE
rx_unitdata_indicate [1:0]	O	2	PCS 接收到的数据类型指示 ¹⁷ （输出到自协商模块中） 00: 保留 01: Invalid 10: /C/ 11: /I/
pcs_clk	O	1	对应 HSST 的 “P_TCLK2FABRIC_0” ¹⁸
pcs0_txk	O	1	对应 HSST 的 “P_TDATA_0[10]” ¹⁸
pcs0_txd	O	8	对应 HSST 的 “P_TDATA_0 [7:0]” ¹⁸
pcs0_tx_disp ctrl	O	1	对应 HSST 的 “P_TDATA_0 [9]” ¹⁸
pcs0_tx_disp sel	O	1	对应 HSST 的 “P_TDATA_0 [8]” ¹⁸
pcs_rx_clk	O	1	对应 HSST 的 “P_RCLK2FABRIC_0” ¹⁸
pcs0_rxk	O	1	对应 HSST 的 “P_RDATA_0[10]” ¹⁸
pcs0_rxd	O	8	对应 HSST 的 “P_RDATA_0[7:0]” ¹⁸
pcs0_rdispde c_er	O	1	对应 HSST 的 “P_RDATA_0[8]” 和 “P_RDATA_0[9]” 的 “或” 运算结果 ¹⁸

2.5.2 配置管理接口

SGMII 1GbE IP 提供两种寄存器配置管理接口——APB 接口和 MDIO 接口，通过界面配置 “MDIO_Enable” 选择是否开启 MDIO 接口。详细描述请参见 “2.3.1 2 配置 IP 参数”。

- MDIO 接口不使能时，SGMII 1GbE IP 通过 APB 接口对 HSST IP 和 SGMII Core 的寄存器进行操作。
- MDIO 接口使能时，SGMII 1GbE IP 通过 APB 接口操作 HSST IP 的寄存器，通过 MDIO 接口操作 SGMII Core 的寄存器。

¹⁸ 参见《UG021004_Logos_HSST_IP_UserGuide》[9]。

1. APB 接口时序描述

(1) APB 写时序

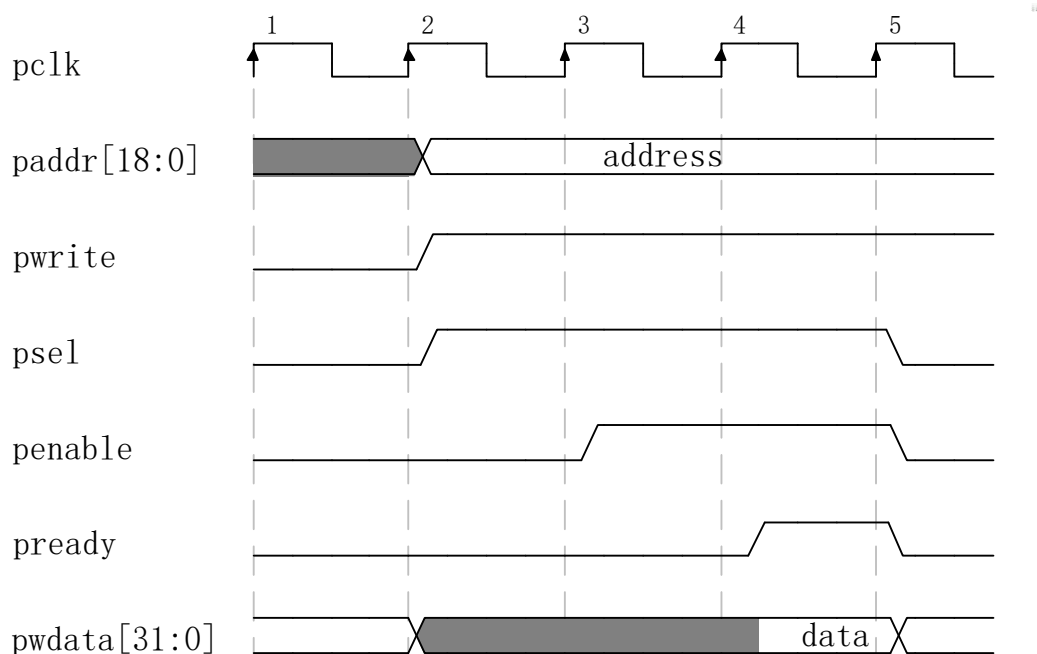


图 2-14 APB 基本写时序

(2) APB 读时序

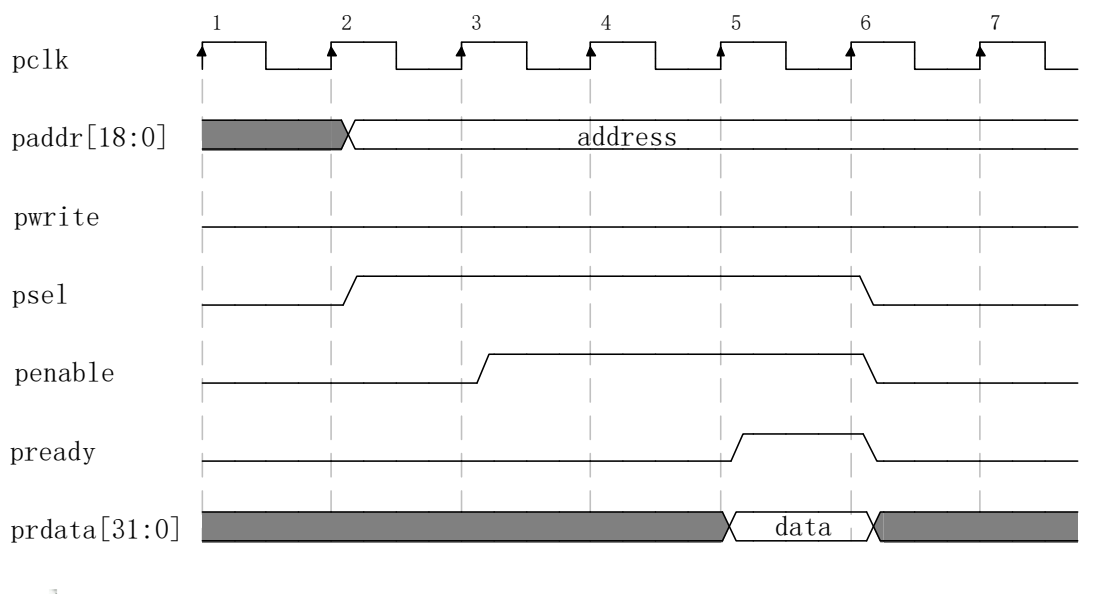


图 2-15 APB 基本读时序

2. MDIO 接口时序描述

(1) MDIO 写时序

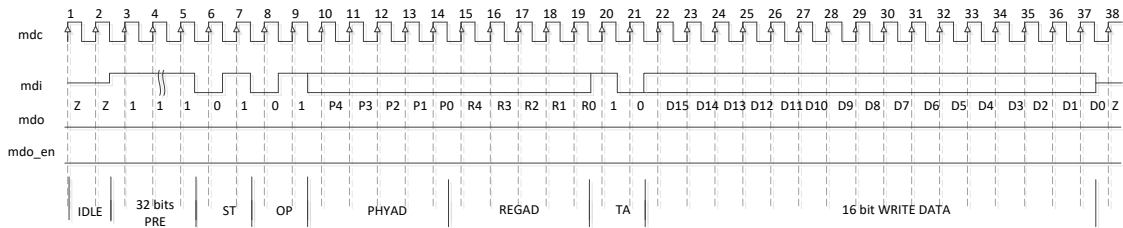


图 2-16 MDIO 写时序

(2) MDIO 读时序

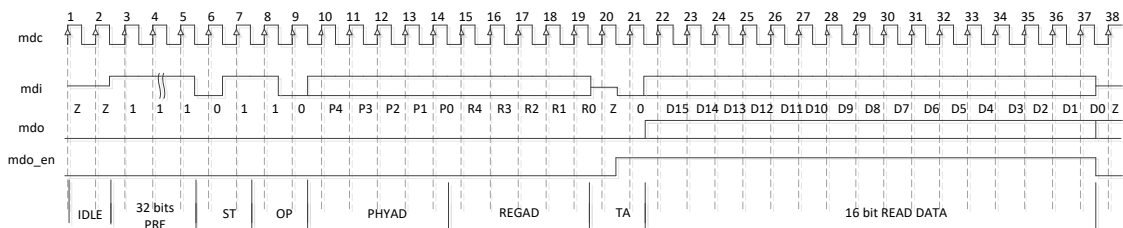


图 2-17 MDIO 读时序

2.5.3 快速配置接口

快速配置接口可以对寄存器 Reg0 和 Reg4 进行快速配置。快速配置使能信号有效时，可直接将配置信息写入对应的配置寄存器。时序要求如下：

- 快速配置使能信号至少保持一个配置管理接口时钟周期的高电平；
- 配置信息至少保持一个配置管理接口时钟周期的稳定。

快速配置使能信号有效时，Reg0 和 Reg4 以外的寄存器通过配置管理接口进行写入，所有寄存器通过配置管理接口进行读取；快速配置接口使能信号无效时，所有寄存器通过配置管理接口进行读写。

2.5.4 GMII 接口

1. GE 模式

(1) GMII 发送时序

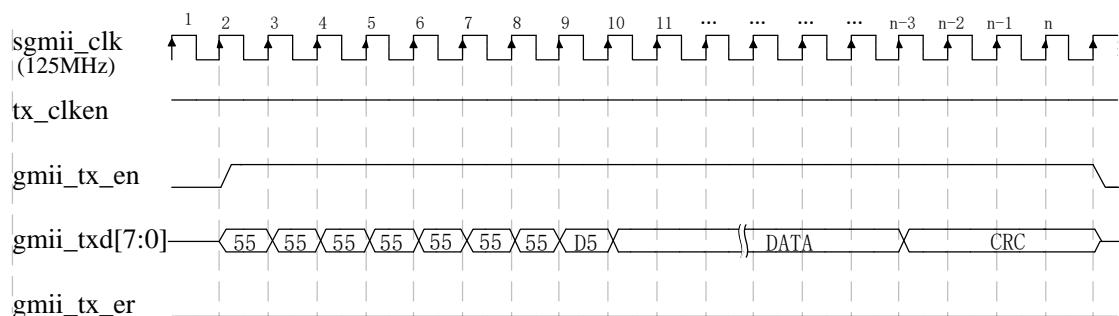


图 2-18 GE 模式 GMII 发送时序

(2) GMII 接收时序

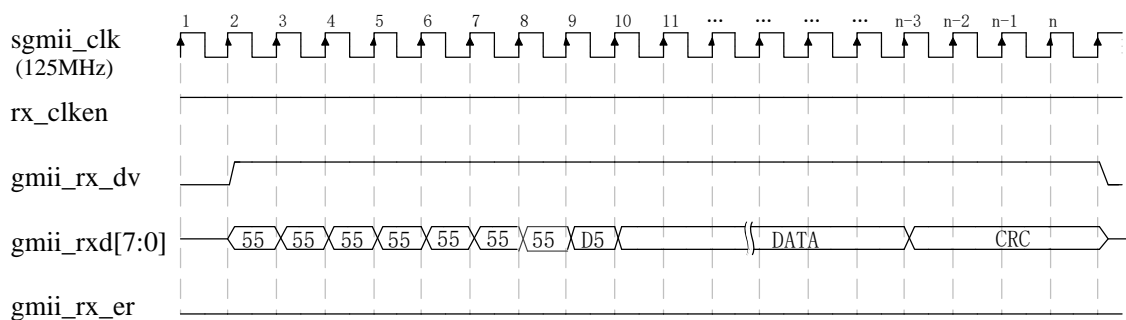


图 2-19 GE 模式 GMII 接收时序

2. SGMII 模式

(1) GMII 发送时序

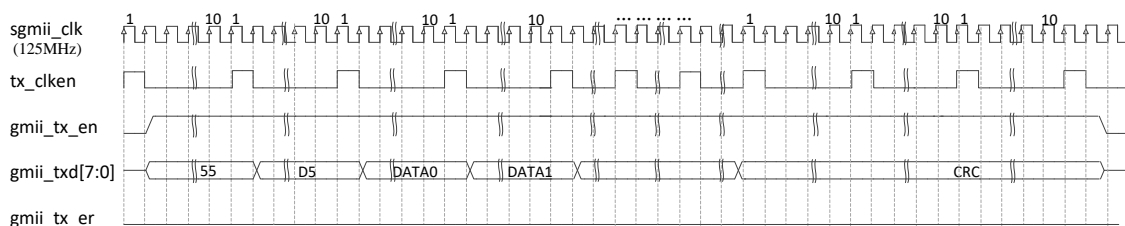


图 2-20 SGMII 模式下速率为 100Mbps 时 GMII 发送时序

注意：

- SGMII 模式下，速率为 10Mbps 时， tx_clken 每 100 个 125MHz 时钟周期拉高一次，每个数据持续 100 个 125MHz 时钟周期；
- SGMII 模式下，速率为 100Mbps 时， tx_clken 每 10 个 125MHz 时钟周期拉高一次，每个数据持续 10 个 125MHz 时钟周期；
- SGMII 模式下，速率为 1000Mbps 时， tx_clken 为全高，每个数据持续 1 个 125MHz 时钟周期。

(2) GMII 接收时序

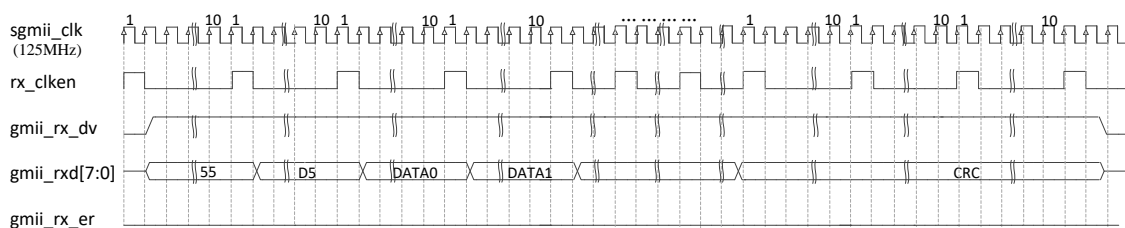


图 2-21 SGMII 模式下速率为 100Mbps 时 GMII 接收时序

注意：

- SGMII 模式下，速率为 10Mbps 时，rx_clken 每 100 个 125MHz 时钟周期拉高一次，每个数据持续 100 个 125MHz 时钟周期；
- SGMII 模式下，速率为 100Mbps 时，rx_clken 每 10 个 125MHz 时钟周期拉高一次，每个数据持续 10 个 125MHz 时钟周期；
- SGMII 模式下，速率为 1000Mbps 时，rx_clken 为全高，每个数据持续 1 个 125MHz 时钟周期。

2.6 IP 寄存器描述

寄存器的内容取决于 IP 配置方式¹⁹，不同工作模式下的寄存器定义不同，具体如下所述。寄存器可以通过配置管理接口 MDIO 接口或 APB 接口来配置²⁰，也可通过简易快速接口配置²¹。

2.6.1 SGMII Core 寄存器说明

说明：

- 复位会将所有寄存器的值复位至默认值。
- 寄存器属性里面包含“自清”的寄存器，通过管理配置接口配置后，经过一个管理配置接口时钟周期，IP 可将寄存器值自动清零。使用快速配置端口配置自清寄存器时，自清不起作用，需要自行撤销端口配置。
- 寄存器属性里面包含“读清”的寄存器，通过管理配置接口读取该寄存器的值之后，寄存器的值马上被清零。

¹⁹ 参见“2.3.1.2 配置 IP 参数”

²⁰ 参见“2.6.3 寄存器访问”

²¹ 参见表 2-9 中的“快速配置端口”

1. GE 模式

(1) 自协商功能开启

表 2-10 GE 模式自协商功能开启且可配置时寄存器定义

地址	寄存器	描述
0	Control Register (Register 0)	配置 SGMII 模块功能的参数
1	Status Register (Register 1)	SGMII 模块状态参数
2	PHY Identifier Register (Register 2 and 3)	PHY ID
3	PHY Identifier Register (Register 2 and 3)	PHY ID
4	Auto-Negotiation Advertisement Register (Register 4)	本端设备的自协商能力
5	Auto-Negotiation Link Partner Ability Base Register (Register 5)	对端设备的自协商能力
6	Auto-Negotiation Expansion Register (Register 6)	自协商扩展寄存器
15	Extended Status Register (Register 15)	扩展状态寄存器
16	Vender_spc Register (Register 16)	Buffer 控制寄存器
17	Vender_spc_1 Register (Register 17)	环回控制寄存器

推荐：

建议在自协商完成之后，再通过 MDIO 或 APB 接口读取 Register5 的值。

表 2-11 Control Register (Register 0)

Bits	名称	描述	访问类型	复位值
0.15	Reserved	保留域段	只读	0
0.14	Loopback	近端环回模式使能控制 1: 使能 0: 不使能	读/写	0
0.13	Speed Selection(LSB)	0 : 速度是 1000Mbps	只读	0
0.12	Auto-Negotiation Enable	自协商使能控制 ²² 1: 使能 0: 不使能	读/写	1
0.11:10	Reserved	保留域段	只读	01
0.9	Restart Auto-Negotiation	自协商重启使能控制 ²² 1: 重启 0: 正常操作	读 / 写 / 自清	0

²² 自协商关闭时，该寄存器忽略。

Bits	名称	描述	访问类型	复位值
0.8	Duplex Mode	1: 全双工	只读	1
0.7	Reserved	保留域段	只读	0
0.6	Speed Selection(MSB)	1: 速度是 1000Mbps	只读	1
0.5	Unidirectional Enable	单向模式使能控制 0: 不使能 1: 使能（接收方向的状态不会影响发送方向的工作）	读/写	0
0.4:0	Reserved	保留域段	只读	000000

表 2-12 Status Register (Register 1)

Bits	名称	描述	访问类型	复位值
1.15:9	Reserved	保留域段	只读	0000000
1.8	Extended Status	Extended Status Register(reg15)支持状态	只读	1
1.7	Unidirectional Ability	单向模式支持状态	只读	1
1.6	Reserved	保留域段	只读	0
1.5	Auto-Negotiation Complete	自协商完成指示 ²² 1: 完成 0: 未完成	只读	0
1.4	Remote Fault	Remote Fault 接收指示 1: 已接收到 0: 未接收到	只读 / 读清/LH	0
1.3	Auto-Negotiation Ability	自协商能力支持状态 ²²	只读	1
1.2	Link Status	自协商开启时: 1: 同步成功且自协商完成 0: 同步失败或自协商未完成 自协商关闭时: 1: 同步成功 0: 同步失败	只读 / 读清/LL	0
1.1:0	Reserved	保留域段	只读	00

表 2-13 PHY Identifier Register (Register 2 and 3)

Bits	名称	描述	访问类型	复位值
2.15:0	Organizationally Unique Identifier	未定义	读/写	0000000 0000000 00
3.15:10			读/写	000000
3.9:4	Manufacturer's Model Number	未定义	读/写	000000
3.3:0	Revision Number	未定义	读/写	00000

表 2-14 Auto-Negotiation Advertisement Register (Register 4)

Bits	名称	描述	访问类型	复位值
4.15:14	Reserved	保留域段	只读	00
4.13:12	Remote Fault	00: No Error (Link OK) 01: Offline 10: Link Failure 11: Auto-Negotiation_Error	读/写	00
4.11:9	Reserved	保留域段	只读	000
4.8:7	Pause	00: No PAUSE 01: Asymmetric PAUSE toward Link Partner 10: Symmetric PAUSE 11: Both Symmetric PAUSE and Asymmetric PAUSE toward Local Device	读/写	11
4.6	Half Duplex	1: 支持半双工 0: 不支持半双工	只读	0
4.5	Full Duplex	1: 支持全双工 0: 不支持全双工	只读	1
4.4:0	Reserved	保留域段	只读	0

表 2-15 Auto-Negotiation Link Partner Ability Base Register (Register 5)

Bits	名称	描述	访问类型	复位值
5.15	Reserved	保留域段	只读	0
5.14	Acknowledge	1: 应答 (对端接收到信息) 0: 无应答 (对端未收到信息)	只读	0
5.13:12	Remote Fault	00: No Error (Link OK) 01: Offline	只读	00

Bits	名称	描述	访问类型	复位值
		10: Link Failure 11: Auto-Negotiation_Error		
5.11:9	Reserved	保留域段	只读	100
5.8:7	PAUSE	00: No PAUSE 01: Asymmetric PAUSE toward Link Partner 10: Symmetric PAUSE 11: Both Symmetric PAUSE and Asymmetric PAUSE toward Local Device	只读	00
5.6	Half Duplex	半双工能力指示: 1: 支持 0: 不支持	只读	0
5.5	Full Duplex	全双工能力指示: 1: 支持 0: 不支持	只读	0
5.4:0	Reserved	保留域段	只读	00000

表 2-16 Auto-Negotiation Expansion Register (Register 6)

Bits	名称	描述	访问类型	复位值
6.15:2	Reserved	保留域段。	只读	0000000 0000000
6.1	Page Received	1: 接收到一个新的 Page 信息 0: 没有接收到新的 Page 信息	只读/读清/LH	0
6.0	Reserved	保留域段	只读	0

表 2-17 Extended Status Register (Register 15)

Bits	名称	描述	访问类型	复位值
15.15	1000BASE-X Full Duplex	1000BASE-X 全双工（支持）	只读	1
15.14	1000BASE-X Half Duplex	1000BASE-X 半双工（不支持）	只读	0
15.13	1000BASE-T Full Duplex	1000BASE-T 全双工（不支持）	只读	0
15.12	1000BASE-T Half Duplex	1000BASE-T 半双工（不支持）	只读	0
15.11:0	Reserved	保留域段	只读	0000000 00000

表 2-18 Vender_spc Register (Register 16)

Bits	名称	描述	访问类型	复位值
16.15:8	Reserved	保留域段	只读	00000000
16.7:4	Min_ipg	最小帧间隔配置 ²³	读/写	0110
16.3:0	Reserved	保留域段。	只读	0001

说明：

SGMII 模式或 Both GE And SGMII 模式下，未勾选 “No Buffer” 参数时，SGMII Core 中会例化一个频偏矫正 Buffer，可将接收数据从接收数据恢复的时钟域转换到本地时钟域，当接收数据恢复时钟和本地时钟之间存在频偏时，Buffer 会通过删除或插入 Idle 的方式进行频偏矫正。

如果需要通过删除 Idle 来进行频偏矫正，会使帧间隔字节数变少，可以通过配置 Min_ipg 寄存器，控制 Buffer 仅在帧间隔字节数大于 Min_ipg 配置值时才能执行删除 Idle 操作，且执行删除 Idle 操作之后帧间隔字节数仍不小于 Min_ipg 配置值。

表 2-19 Vender_spc_1 Register (Register 17)

Bits	名称	描述	访问类型	复位值
17.15:12	Reserved	保留域段	只读	0000
17.11:8	mr_rstfsm_lsm_force	HSST IP 中环回时，对应环回信号 17.8 对应 HSST IP Lane0 17.9 对应 HSST IP Lane1 17.10 对应 HSST IP Lane2 17.11 对应 HSST IP Lane3	读/写	0000
17.7:4	mr_rstfsm_cdr_force ²⁴	17.4 对应 HSST IP Lane0 17.5 对应 HSST IP Lane1 17.6 对应 HSST IP Lane2 17.7 对应 HSST IP Lane3	读/写	0000
17.3:0	mr_rstfsm_los_force ²⁵	17.0 对应 HSST IP Lane0 17.1 对应 HSST IP Lane1 17.2 对应 HSST IP Lane2 17.3 对应 HSST IP Lane3	读/写	1111

²³ 工作在 SGMII 模式或 Both GE And SGMII 模式，且 “No Buffer” 选项未勾选时，需要根据实际应用配置合适最小帧间隔。工作模式选择参见 “2.3.1.2 配置 IP 参数”。

²⁴ PCS 近端并行环回和 PMA 近端并行环回时，配置当前 SGMII Core 所用 Lane 的对应 Bit 为 1'b1。

²⁵ PCS 近端并行环回和 PMA 近端并行环回时，配置当前 SGMII Core 所用 Lane 的对应 Bit 为 1'b0。

(2) 自协商功能关闭

自协商关闭，表示不勾选“Auto Negotiation”参数。

表 2-20 GE 模式自协商关闭时寄存器定义

地址	寄存器 ²⁶	描述
0	Control Register (Register 0)	配置 SGMII 模块功能参数
1	Status Register (Register 1)	SGMII 模块状态参数
2	PHY Identifier Register (Register 2 and 3)	PHY ID
3	PHY Identifier Register (Register 2 and 3)	PHY ID
15	Extended Status Register (Register 15)	扩展状态寄存器
16	Vender_spc Register (Register 16)	Buffer 控制寄存器
17	Vender_spc_1 Register (Register 17)	环回控制寄存器

2. SGMII 模式

(1) 自协商功能开启

表 2-21 SGMII 模式自协商功能开启且可配置时寄存器定义

地址	寄存器 ²⁷	描述
0	SGMII Control (Register 0)	配置 SGMII 模块功能的参数
1	SGMII Status Register (Register 1)	SGMII 模块状态参数
2	PHY Identifier Register (Register 2 and 3)	PHY ID
3	PHY Identifier Register (Register 2 and 3)	PHY ID
4	SGMII Auto-Negotiation Advertisement in MAC Mode (Register 4) SGMII Auto-Negotiation Advertisement in PHY Mode (Register 4)	本端设备的自协商能力值
5	SGMII Auto-Negotiation Link Partner Ability Base (Register 5)	对端设备的自协商能力值
6	Auto-Negotiation Expansion Register (Register 6)	自协商扩展寄存器
15	Extended Status Register (Register 15)	扩展状态寄存器
16	Vender_spc Register (Register 16)	Buffer 控制寄存器
17	Vender_spc_1 Register (Register 17)	环回控制寄存器

²⁶ 各寄存器字段定义与表 2-10 中对应寄存器的字段定义相同。

²⁷ Register 2 and 3、Register 6、Register 15、Register 16、Register 17 的各字段定义与表 2-10 中对应寄存器的字段定义相同。

表 2-22 SGMII Control (Register 0)

Bits	名称	描述	访问类型	复位值
0.15	Reserved	保留域段	只读	0
0.14	Loopback	近端环回模式使能控制 1: 使能 0: 不使能	读/写	0
0.13	Speed Selection(LSB)	0.6:0.13: speed[1:0] 11: Reserved 10: 1000 Mbps 01: 100 Mbps 00: 10 Mbps	读/写	0
0.12	Auto-Negotiation Enable	自协商使能控制 ²² 1: 使能自协商 0: 不使能自协商	读/写	1
0.11:10	Reserved	保留域段	只读	01
0.9	Restart Auto-Negotiation	自协商重启使能控制 ²² 1: 重启 0: 正常操作	读/写/自清	0
0.8	Duplex Mode	1: 全双工	只读	1
0.7	Reserved	保留域段	只读	0
0.6	Speed Selection(MSB)	0.6:0.13: speed[1:0] 11: Reserved 10: 1000 Mbps 01: 100 Mbps 00: 10 Mbps	读/写	1
0.5	Unidirectional Enable	单向模式使能控制 0: 不使能 1: 使能（接收方向的状态不会影响发送方向的工作）	读/写	0
0.4:0	Reserved	保留域段	只读	000000

表 2-23 SGMII Status Register (Register 1)

Bits	名称	描述	访问类型	复位值
1.15:9	Reserved	保留域段	只读	0000000
1.8	Extended Status	AN Extended Status Register(reg15)支持状态	只读	1
1.7	Unidirectional ability	单向模式支持状态	只读	1
1.6	Reserved	保留域段	只读	0
1.5	Auto-Negotiation	自协商完成指示 ²²	只读	0

Bits	名称	描述	访问类型	复位值
	Complete	1: 自协商完成 0: 自协商未完成		
1.4	Remote Fault	SGMII MAC Side ²² 1: 接收到 PHY Link Status 为 0 0: 接收到 PHY Link Status 为 1 SGMII PHY Side 恒为 0	只读 / 读清 / LH	SGMII MAC Side:1 SGMII PHY Side:0
1.3	Auto-Negotiation Ability	自协商能力支持状态	只读	1
1.2	SGMII Link Status	自协商开启时: 1: SGMII 同步成功且自协商完成 0: SGMII 同步失败或自协商未完成 自协商关闭时: 1: SGMII 同步成功 0: SGMII 同步失败	只读	1
1.1:0	Reserved	保留域段	只读	00

表 2-24 SGMII Auto-Negotiation Advertisement MAC Mode(Register 4)

Bits	名称	描述	访问类型	复位值
4.15:0	All bits	MAC Side 为固定值。	只读	010000000 0000001

注意：

SGMII MAC Side 速度使用对端的速度，默认速度是 1000M。

表 2-25 SGMII Auto-Negotiation Advertisement in PHY Mode (Register 4)

Bits	名称	描述	访问类型	复位值
4.15	PHY Link Status	phy_link 控制 1: 连接成功 0: 连接失败	读/写	0
4.14	Acknowledge	本端发送的应答位	只读	0
4.13	Reserved	保留域段	只读	0
4.12	Duplex Mode	phy_duplex 控制 1: 全双工 0: 半双工	读/写	0
4.11:10	Speed	hy_speed 控制 11: 保留 10: 1000Mbps 01: 100Mbps 00: 10Mbps	读/写	00
4.9:1	Reserved	保留域段	只读	000000000
4.0	Reserved	保留域段	只读	1

表 2-26 SGMII Auto-Negotiation Link Partner Ability Base (Register 5)

比特位	域段描述	说明	属性	默认值
5.15	PHY Link Status	1: 连接成功 0: 连接失败	只读	0
5.14	Acknowledge	1: 应答（表明对端接收到了信息） 0: 无应答（对端未收到信息）	只读	0
5.13	Reserved	保留域段	只读	0
5.12	Duplex Mode	1: 全双工 0: 半双工	只读	0
5.11:10	Speed	对端的速度 11: 保留 10: 1000Mbps 01: 100Mbps 00: 10Mbps	只读	10
5.9:1	Reserved	保留域段	只读	000000000
5.0	Reserved	保留域段	只读	0

(2) 自协商功能关闭

表 2-27 SGMII 模式自协商功能关闭时寄存器定义

地址	寄存器 ²⁸	描述
0	SGMII Control (Register 0)	配置 SGMII 模块功能的参数
1	SGMII Status Register (Register 1)	SGMII 模块状态参数
2	PHY Identifier Register (Register 2 and 3)	PHY ID
3	PHY Identifier Register (Register 2 and 3)	PHY ID
15	Extended Status Register (Register 15)	扩展状态寄存器
16	Vender_spc Register (Register 16)	Buffer 控制寄存器
17	Vender_spc_1 Register (Register 17)	环回控制寄存器

3. Both GE And SGMII 模式

在该模式下，SGMII 1GbE IP 通过信号 `io_ge_or_sgmii` 进行 GE 模式和 SGMII 模式在线动态切换。

- 当信号 `io_ge_or_sgmii` 为 0 时，切换到 GE 模式，使用 GE 模式下寄存器定义；
- 当信号 `io_ge_or_sgmii` 为 1 时，切换到 SGMII 模式，使用 SGMII 模式下寄存

²⁸ 各寄存器字段定义与表 2-21 中对应寄存器的字段定义相同。

器定义。

2.6.2 HSST IP 寄存器说明

HSST IP 的寄存器说明请参见《UG020013_Logos 系列FPGA 高速串行收发器(HSST) 用户指南》[8]和《UG021004_Logos_HSST_IP_UserGuide》[9]。

2.6.3 寄存器访问

SGMII 1GbE IP 提供两种寄存器配置管理接口——APB 接口和 MDIO 接口。通过界面选项“MDIO_Enable”配置 MDIO 接口是否使能，详细描述请参见“2.3.1 2 配置 IP 参数”。

1. MDIO 接口不使能

若配置 MDIO 接口不使能时，SGMII 1GbE IP 通过 APB 接口对 HSST IP 和 SGMII Core 的寄存器进行操作。

(1) HSST IP 寄存器访问

当 paddr[18]为 0 时，操作 HSST IP 的寄存器。

- paddr[17:2]为 HSST IP 的寄存器有效地址；
- prdata[7:0]和 pwdata[7:0]为 HSST IP 寄存器有效数据。

(2) SGMII Core 寄存器访问

当 paddr[18]为 1 时，操作读写 SGMII Core 的寄存器。

- paddr[6:2]为 SGMII Core 的寄存器有效地址；
- prdata[15:0]和 pwdata[15:0]为 SGMII Core 寄存器有效数据；
- paddr[20:19]为 SGMII Core 的片选信号。

2. MDIO 接口使能

若配置 MDIO 接口使能，SGMII 1GbE IP 通过 APB 接口访问 HSST IP 的寄存器，通过 MDIO 接口访问 SGMII Core 的寄存器。

(1) HSST IP 寄存器访问

MDIO 接口使能时，SGMII 1GbE IP 通过 APB 接口操作 HSST IP 的寄存器。

- 地址的最高位 paddr[18]无效；
- paddr[17:2]为 HSST IP 的寄存器有效地址；
- prdata[7:0]和 pwwdata[7:0]为 HSST IP 寄存器有效数据。

(2) SGMII Core 寄存器访问

MDIO 接口使能时，SGMII 1GbE IP 通过 MDIO 接口操作 SGMII Core 的寄存器。

2.7 典型应用

2.7.1 单 Lane 典型应用

SGMII 1GbE IP 的单 Lane 典型应用请参考“2.4 Example Design”。

2.7.2 Multi Lane 典型应用

本节介绍以单 Lane 的 SGMII 1GbE IP 为基础,通过修改生成具有 4 条 Lane 的 Multi Lane 工程的设计方法。用户可参考该方法修改设计,以适应实际需求。

在 Multi Lane 工程中,其与单 Lane 的 SGMII 1GbE IP 一样,只使用一个 HSST IP 以及一个 PLL。整个 Multi Lane 工程修改过程简要介绍如下。

- 第一步:重新例化 4 Lane 的 HSST IP;
- 第二步:生成其他 3 个 SGMII 1GbE IP,并将 3 个 SGMII 1GbE IP 的相关文件添加到工程;
- 第三步:在已有工程中添加 APB 片选模块 bus_allocator;
- 第四步:修改 Multi Lane 工程顶层;
- 第五步:修改时钟布线及物理约束,完成修改。

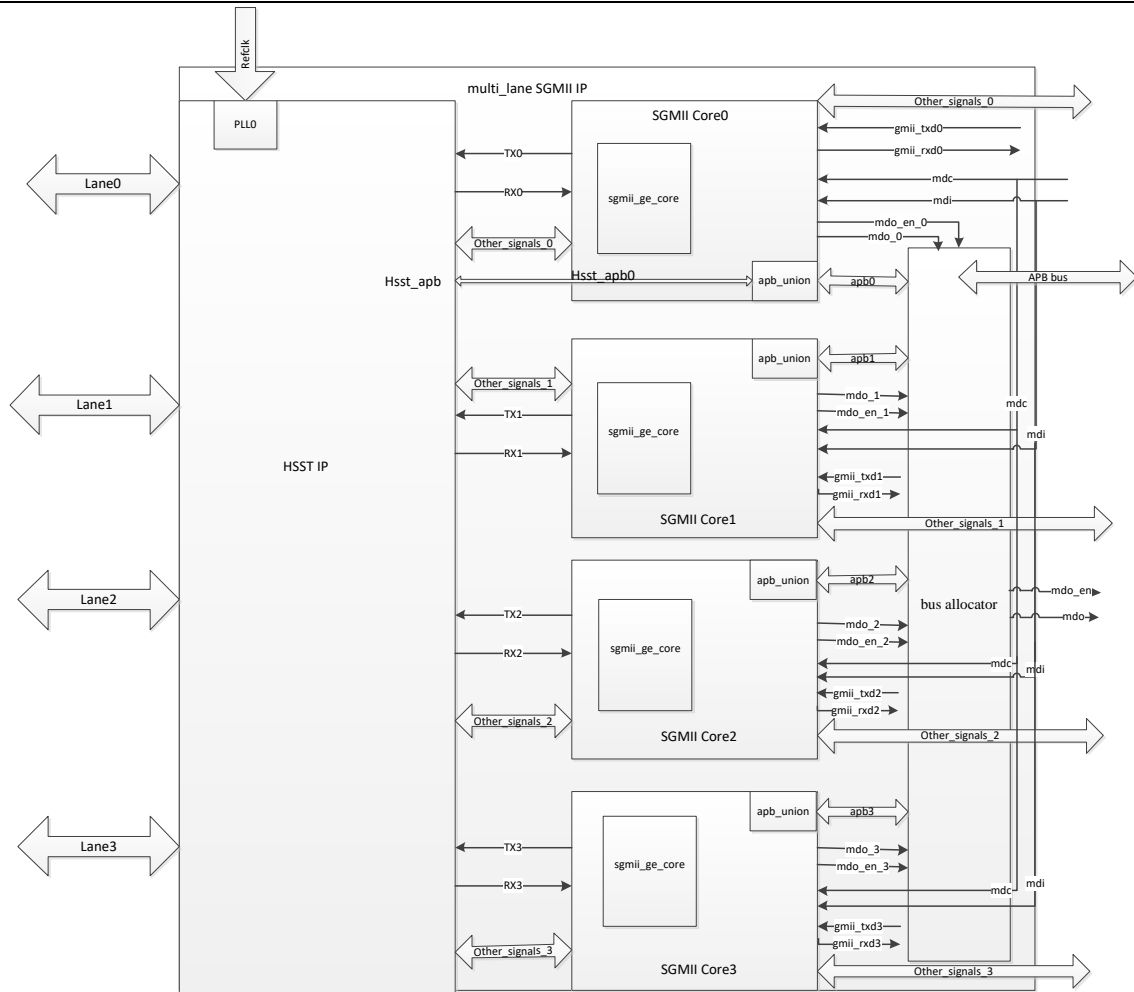


图 2-22 multi_lane 设计框图

图 2-22 所示为 multi_lane 设计框图。从图中可以看出，四个 SGMII 1GbE IP 共用一个 HSST IP。HSST IP 的 APB 接口与 SGMII Core0 的 APB 接口连接；4 个 SGMII 1GbE IP 的 APB 接口和 MDIO 接口与片选模块 bus_allocator 连接，然后与外部输入相连接。本设计中 multi_lane 工程所选模式与 HSST IP 4 条 Serdes 通道对应关系参见表 2-28。

表 2-28 multi_lane SGMII 1GbE IP 与 HSST IP Serdes 通道对应关系

HSST IP Serdes 通道编号	SGMII Core 编号	SGMII 1GbE IP 配置
Lane0	SGMII Core0	GE、AN、具有频偏 Buffer、MDIO。
Lane1	SGMII Core1	Both、AN、具有频偏 Buffer、MDIO、PHY Side。
Lane2	SGMII Core2	Both、AN、具有频偏 Buffer、MDIO、MAC Side。
Lane3	SGMII Core3	Both、AN、不具有频偏 Buffer、APB、PHY Side。

1. 例化 HSST IP

HSST IP 的例化步骤请参见《UG021004_Logos_HSST_IP_UserGuide》[9]。此处仅以例化适配 SGMII Multi Lane 的 HSST IP 为例，介绍相关参数配置，参数配置界面如下所示。

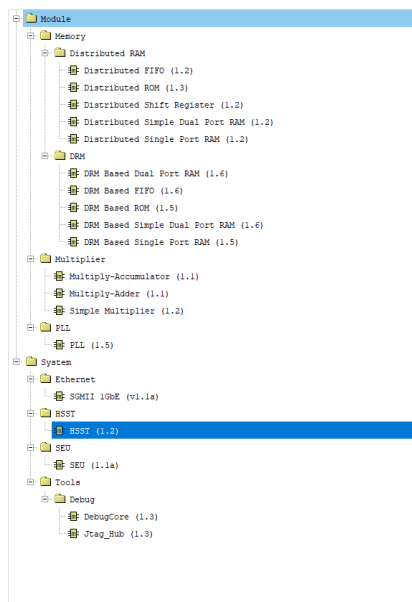


图 2-23 HSST IP 选择界面

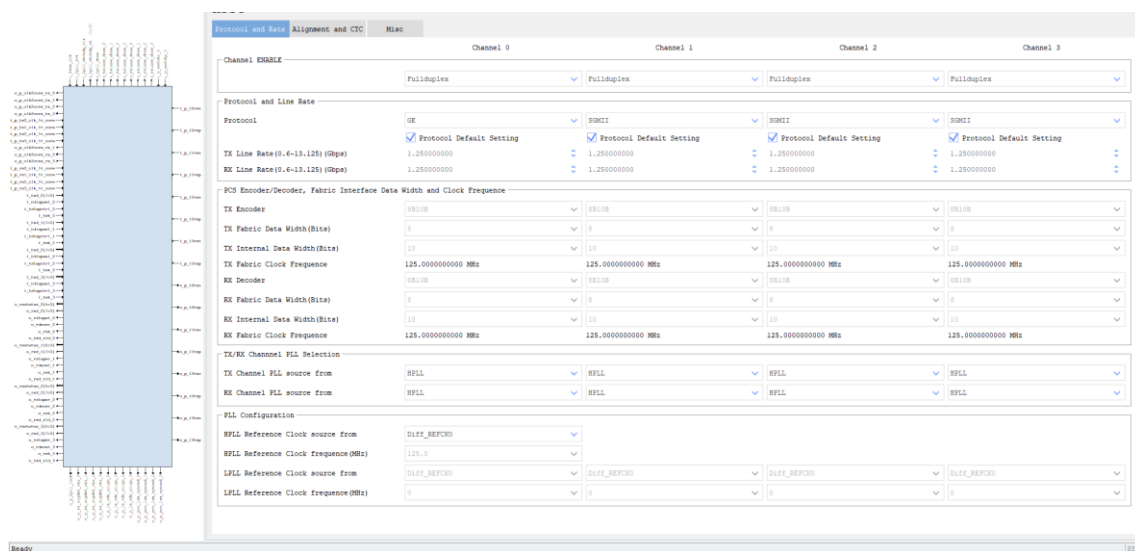


图 2-24 HSST IP Protocol and Rate 界面

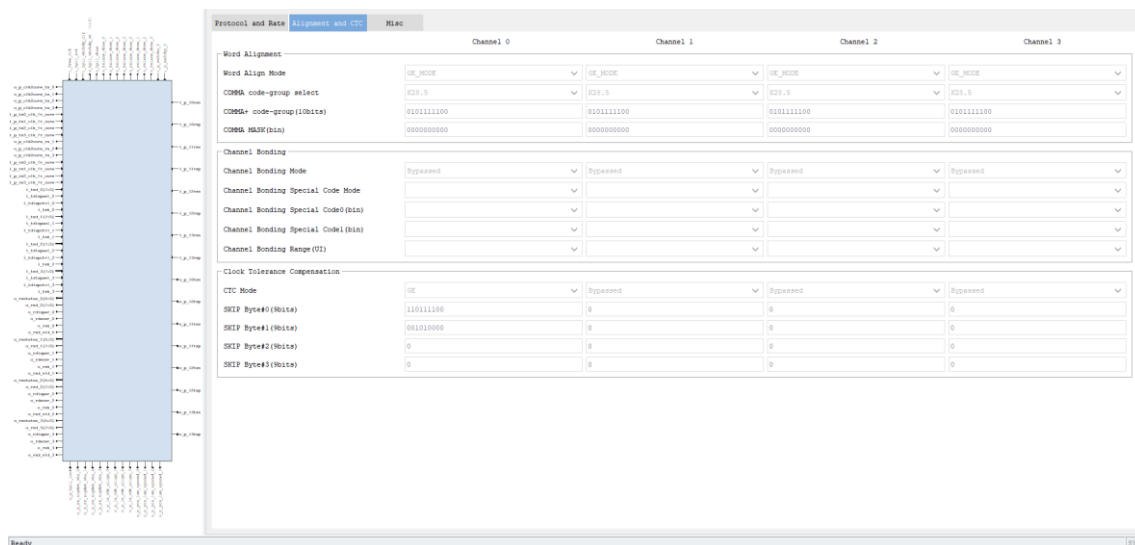


图 2-25 HSST IP Alignment and CTC 界面

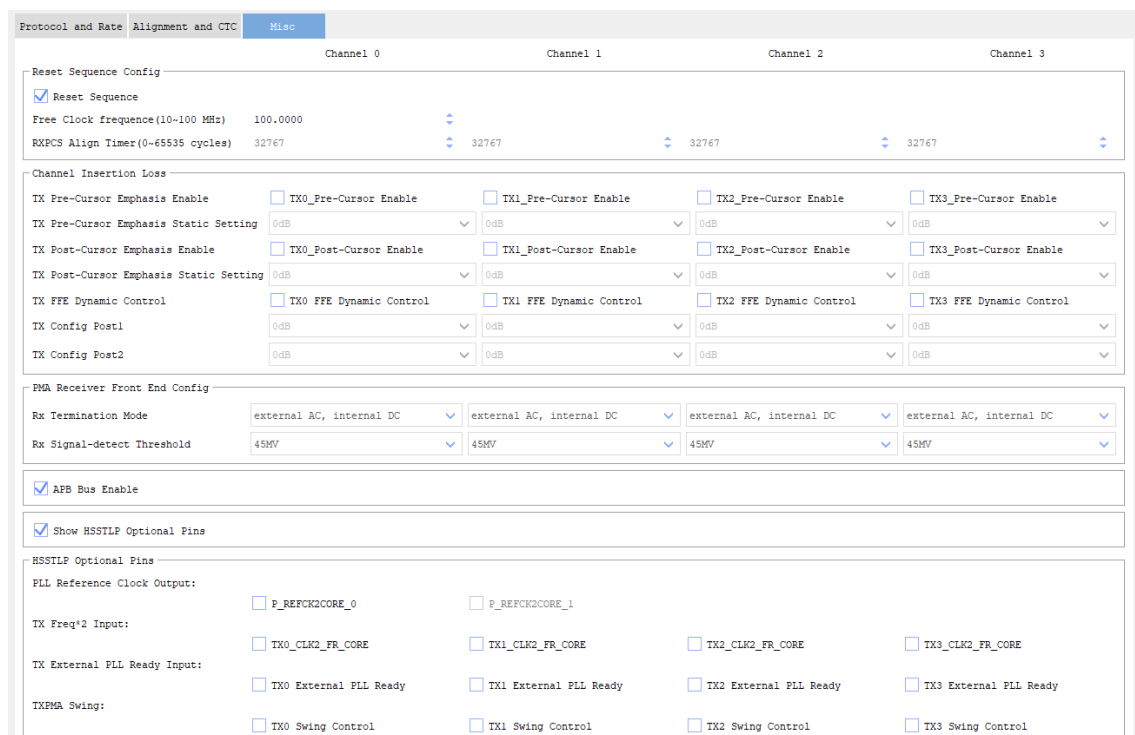


图 2-26 HSST IP Misc part a 界面

TXPMA Swing:	<input type="checkbox"/> TX0 Swing Control	<input type="checkbox"/> TX1 Swing Control	<input type="checkbox"/> TX2 Swing Control	<input type="checkbox"/> TX3 Swing Control
ELECIDLE Enable:	<input type="checkbox"/> TX0 ELECIDLE Enable	<input type="checkbox"/> TX1 ELECIDLE Enable	<input type="checkbox"/> TX2 ELECIDLE Enable	<input type="checkbox"/> TX3 ELECIDLE Enable
Beacon Enable:	<input type="checkbox"/> TX0 Beacon Enable	<input type="checkbox"/> TX1 Beacon Enable	<input type="checkbox"/> TX2 Beacon Enable	<input type="checkbox"/> TX3 Beacon Enable
Data Rate Change Select:	<input type="checkbox"/> TX0 Rate Change Select	<input type="checkbox"/> TX1 Rate Change Select	<input type="checkbox"/> TX2 Rate Change Select	<input type="checkbox"/> TX3 Rate Change Select
RX Freq*2 Input:	<input type="checkbox"/> RX0 Rate Change Select	<input type="checkbox"/> RX1 Rate Change Select	<input type="checkbox"/> RX2 Rate Change Select	<input type="checkbox"/> RX3 Rate Change Select
RX External PLL Ready Input:	<input type="checkbox"/> RX0_CLK2_FR_CORE	<input type="checkbox"/> RX1_CLK2_FR_CORE	<input type="checkbox"/> RX2_CLK2_FR_CORE	<input type="checkbox"/> RX3_CLK2_FR_CORE
RXPMA Hi-z Control:	<input type="checkbox"/> RX0 External PLL Ready	<input type="checkbox"/> RX1 External PLL Ready	<input type="checkbox"/> RX2 External PLL Ready	<input type="checkbox"/> RX3 External PLL Ready
RXPMA OOB Status:	<input type="checkbox"/> RX0 Hi-z Control	<input type="checkbox"/> RX1 Hi-z Control	<input type="checkbox"/> RX2 Hi-z Control	<input type="checkbox"/> RX3 Hi-z Control
Receiver Detection:	<input type="checkbox"/> RX0 OOB Status	<input type="checkbox"/> RX1 OOB Status	<input type="checkbox"/> RX2 OOB Status	<input type="checkbox"/> RX3 OOB Status
RXPMA CLK Slip:	<input type="checkbox"/> RX0 Detection	<input type="checkbox"/> RX1 Detection	<input type="checkbox"/> RX2 Detection	<input type="checkbox"/> RX3 Detection
RX Polarity Invert:	<input type="checkbox"/> RX0 CLK Slip	<input type="checkbox"/> RX1 CLK Slip	<input type="checkbox"/> RX2 CLK Slip	<input type="checkbox"/> RX3 CLK Slip
Debug Bus:	<input type="checkbox"/> RX0 Polarity Invert	<input type="checkbox"/> RX1 Polarity Invert	<input type="checkbox"/> RX2 Polarity Invert	<input type="checkbox"/> RX3 Polarity Invert
	<input checked="" type="checkbox"/> CH0 Debug Bus	<input checked="" type="checkbox"/> CH1 Debug Bus	<input checked="" type="checkbox"/> CH2 Debug Bus	<input checked="" type="checkbox"/> CH3 Debug Bus

图 2-27 HSST IP Misc part b 界面

☒ Show Reset Sequence Optional Pins

Reset Sequence Optional Pins				
PLL Optional Pins:	<input checked="" type="checkbox"/> PLL0 Reset	<input type="checkbox"/> PLL1 Reset	<input type="checkbox"/> PLL2 Reset	<input type="checkbox"/> PLL3 Reset
	<input checked="" type="checkbox"/> PLL0 WatchDog Clear	<input type="checkbox"/> PLL1 WatchDog Clear	<input type="checkbox"/> PLL2 WatchDog Clear	<input type="checkbox"/> PLL3 WatchDog Clear
	<input checked="" type="checkbox"/> PLL0 Status	<input type="checkbox"/> PLL1 Status	<input type="checkbox"/> PLL2 Status	<input type="checkbox"/> PLL3 Status
Powerdown Optional Pins:	<input type="checkbox"/> LANE0 Powerdown Select	<input type="checkbox"/> LANE1 Powerdown Select	<input type="checkbox"/> LANE2 Powerdown Select	<input type="checkbox"/> LANE3 Powerdown Select
TX Optional Pins:	<input checked="" type="checkbox"/> TX0 Reset	<input checked="" type="checkbox"/> TX1 Reset	<input checked="" type="checkbox"/> TX2 Reset	<input checked="" type="checkbox"/> TX3 Reset
	<input type="checkbox"/> TX0 Rate Change Select	<input type="checkbox"/> TX1 Rate Change Select	<input type="checkbox"/> TX2 Rate Change Select	<input type="checkbox"/> TX3 Rate Change Select
RX Optional Pins:	<input checked="" type="checkbox"/> RX0 Reset	<input checked="" type="checkbox"/> RX1 Reset	<input checked="" type="checkbox"/> RX2 Reset	<input checked="" type="checkbox"/> RX3 Reset
	<input type="checkbox"/> RX0 Rate Change Select	<input type="checkbox"/> RX1 Rate Change Select	<input type="checkbox"/> RX2 Rate Change Select	<input type="checkbox"/> RX3 Rate Change Select
	<input checked="" type="checkbox"/> RX0 Debug Bus	<input checked="" type="checkbox"/> RX1 Debug Bus	<input checked="" type="checkbox"/> RX2 Debug Bus	<input checked="" type="checkbox"/> RX3 Debug Bus

图 2-28 HSST IP Misc part c 界面

HSST IP 和 SGMII 1GbE IP 的模式对应关系如下，客户可根据自身需要进行配置。

表 2-29 HSST IP 与 SGMII 模式对应关系

HSST IP	SGMII 1GbE IP 模式
GE	GE 模式且使能频偏 Buffer。
SGMII	除上述之外的所有模式。

2. 例化 SGMII 1GbE IP

SGMII 1GbE IP 的例化步骤请参见“2.3.1 模块例化”。例化生成 3 个 SGMII 1GbE IP，并将 3 个 SGMII 1GbE IP 的 SGMII 软核文件添加到工程里。需要添加的文件如下所示。

表 2-30 SGMII 软核文件

文件路径	说明
< project_path >/rtl/*.v	所生成 IP 的明文 RTL 文件。
< project_path >/rtl/common/*.v	所生成 IP 的明文 RTL 文件，该文件夹存放一些通用模块。
<project_path>/rtl/synplify/*.vp	所生成 IP 的非明文 RTL 文件，该文件用于综合。调用时可只调用*_vpALL.vp 或除*_vpALL.vp 之外的其他*.vp 文件

3. 添加 bus_allocator 模块

bus_allocator 模块用于 APB 总线的输入输出选择以及 MDIO 总线的输出选择。APB 总线使用了预留的 addr[20:19]用于识别多 Core。该模块在 Multi Lane 工程顶层中进行例化，其位置在<project_path>/example_design/rtl 目录下，使用 Add Source 命令添加。bus_allocator 模块的输入和输出信号映射如表 2-31 所示，用户可根据需求进行配置。

表 2-31 bus_allocator 信号映射说明

bus_allocator 信号	multi_lane 工程顶层信号
paddr	paddr
pwrite	pwrite
psel	psel
penable	penable
pwwdata	pwwdata
prdata	prdata
pready	pready
paddr_*	paddr_*
pwrite_*	pwrite_*
psel_*	psel_*
penable_*	penable_*
pwwdata_*	pwwdata_*
prdata_*	prdata_*
pready_*	pready_*
mddo_*	mddo_*
mddo_en_*	mddo_en_*
mddo	mddo
mddo_en	mddo_en

4. 修改 Multi Lane 工程顶层

在完成 HSST IP 例化、SGMII 1GbE IP 例化和 bus_allocator 模块添加后，需要根据新生成的 IP 端口和 bus_allocator 的端口修改 Multi Lane 工程顶层，完成对 HSST IP、SGMII Core 和 bus_allocator 的调用。工程调用时，部分信号的映射关系如表 2-32 所示。

表 2-32 SGMII_Core 信号映射说明

SGMII_Core 顶层信号	multi_lane 工程顶层信号	说明
inst*.mdo	mdo_*	-
inst*.mdo_en	mdo_en_*	-
inst*.phy_addr	l*_phy_addr	不使能 MDIO 接口时接 0。
inst*.mm_rst_n	l*_mm_rst_n	不使能 MDIO 接口时悬空。
inst*.paddr	paddr_*	-
inst*.pwrite	pwrite_*	-
inst*.psel	psel_*	-
inst*.penable	penable_*	-
inst*.pwwdata	pwwdata_*	-
inst*.prdata	prdata_*	-
inst*.pready	pready_*	-
inst*.status_vector	l*_status_vector	-
inst*.pin_cfg_en	l*_pin_cfg_en	-
inst*.phy_link	l*_phy_link	-
inst*.phy_duplex	l*_phy_duplex	-
inst*.phy_speed	l*_phy_speed	-
inst*.phy_remote_fault	l*_phy_remote_fault	-
inst*.phy_pause	l*_phy_pause	-
inst*.unidir_en	l*_unidir_en	-
inst*.an_restart	l*_an_restart	-
inst*.an_enable	l*_an_enable	-
inst*.loopback	l*_loopback	-
inst*.link_timer_value	l*_link_timer_value	-
inst*.tx_clken	l*_tx_clken	-
inst*.sgmii_clk	l*_sgmii_clk	-
inst*.tx_rstn_sync	l*_tx_rstn_sync	-
inst*.rx_rstn_sync	l*_rx_rstn_sync	-
inst*.gmii_rxd	l*_gmii_rxd	-
inst*.gmii_rx_dv	l*_gmii_rx_dv	-
inst*.gmii_rx_er	l*_gmii_rx_er	-
inst*.receiving	l*_receiving	-
inst*.gmii_txd	l*_gmii_txd	-
inst*.gmii_tx_en	l*_gmii_tx_en	-

SGMII_Core 顶层信号	multi_lane 工程顶层信号	说明
inst*.gmii_tx_er	l*_gmii_tx_er	-
inst*.transmitting	l*_transmitting	-
inst*.i_txlane_done_0	o_txlane_done_*	-
inst*.i_rxlane_done_0	o_rxlane_done_*	-
inst*.i_rxk_0	o_rxk_*	-
inst*.i_rxd_0	o_rxd_*	-
inst*.i_rdisper_0	o_rdisper_*	-
inst*.i_rdecer_0	o_rdecer_*	-
inst*.i_p_pcs_lsm_synced_0	l*_lsm_synced	-
inst*.i_p_clk2core_rx_0	o_p_clk2core_rx_*	-
inst*.i_p_clk2core_tx_0	o_p_clk2core_tx_*	-
inst*.o_p_tx0_clk_fr_core	i_p_tx*_clk_fr_core	-
inst*.o_p_rx0_clk_fr_core	i_p_rx*_clk_fr_core	-
inst*.o_txk_0	i_txk_*	-
inst*.o_txd_0	i_txd_*	-
inst*.o_tdispctrl_0	i_tdispctrl_*	-
inst*.o_tdispsele_0	i_tdispsele_*	-
inst*.o_loop_dbg_0	i_loop_dbg_*	-
inst*.AN_CS	l*_AN_CS	-
inst*.AN_NS	l*_AN_NS	-
inst*.TS_CS	l*_TS_CS	-
inst*.TS_NS	l*_TS_NS	-
inst*.RS_CS	l*_RS_CS	-
inst*.RS_NS	l*_RS_NS	-
inst*.xmit	l*_xmit	-
inst*.rx_unitdata_indicate	l*_rx_unitdata_indicate	-
inst*.pcs0_rdispdec_er	pcs*_rdispdec_er	-
inst*.ge_or_sgmi	l*_ge_or_sgmi	GE 模式该信号隐藏。
inst*.mdc	mdc	4 条 Lane 共用,不使能 MDIO 接口时为 1。
inst*.mdi	mdi	4 条 Lane 共用,不使能 MDIO 接口时为 0。
inst*.cfg_rstn	cfg_rstn	4 条 Lane 共用。
inst*.pclk	pclk	4 条 Lane 共用。
inst0.o_p_cfg_addr	i_p_cfg_addr	仅与 SGMII Core0 连接, 其他 Core 悬空。
inst0.o_p_cfg_write	i_p_cfg_write	仅与 SGMII Core0 连接, 其他 Core 悬空。
inst0.o_p_cfg_psel	i_p_cfg_psel	仅与 SGMII Core0 连接, 其他 Core 悬空。
inst0.o_p_cfg_enable	i_p_cfg_enable	仅与 SGMII Core0 连接, 其他 Core 悬空。
inst0.o_p_cfg_wdata	i_p_cfg_wdata	仅与 SGMII Core0 连接, 其他 Core 悬空。
inst0.i_p_cfg_rdata	o_p_cfg_rdata	仅与 SGMII Core0 连接, 其他 Core 悬空。
inst0.i_p_cfg_ready	o_p_cfg_ready	仅与 SGMII Core0 连接, 其他 Core 悬空。
inst*.external_rstn	external_rstn	4 条 Lane 共用。
inst*.cfg_soft_rstn	hsst_cfg_soft_rstn	4 条 Lane 共用。

SGMII_Core 顶层信号	multi_lane 工程顶层信号	说明
inst*.MANAGEMENT_INTERFACE	L*_MANAGEMENT_INTERFACE	参数，其值与原顶层保持一致。
inst*.AUTO_NEGOTIATION	L*_AUTO_NEGOTIATION	参数，其值与原顶层保持一致。
inst*.CLOCKING_LOGIC	L*_CLOCKING_LOGIC	参数，其值与原顶层保持一致。
inst*.CLOCKEN	L*_CLOCKEN	参数，其值与原顶层保持一致。

注：信号类型与原顶层中保持一致；“*”对应 0, 1, 2, 3；“-”表示无。

表 2-33 HSST IP 信号映射说明

HSST IP 信号	multi_lane SGMII IP 顶层信号	备注
i_free_clk	free_clk	-
i_wtchdg_clr_0	wtchdg_clr	-
i_txlane_rst_*	~txlane_sof_rst_n[*]	-
i_rxlane_rst_*	~rxlane_sof_rst_n[*]	-
i_pcs_cb_rst_*	1'b0	-
i_hsst_fifo_clr_*	1'b0	-
i_loop_dbg_*	i_loop_dbg_*	-
o_wtchdg_st_0	悬空	-
o_pll_done_0	悬空	-
o_txlane_done_*	o_txlane_done_*	-
o_rxlane_done_*	o_rxlane_done_*	-
i_p_refckn_0	P_REFCKN	-
i_p_refckp_0	P_REFCKP	-
o_p_clk2core_tx_*	o_p_clk2core_tx_*	-
i_p_tx*_clk_fr_core	i_p_tx*_clk_fr_core	-
o_p_clk2core_rx_*	o_p_clk2core_rx_*	-
i_p_rx*_clk_fr_core	i_p_rx*_clk_fr_core	-
o_p_pll_lock_0	l0_tx_pll_lock	-
o_p_rx_sigdet_sta_*	l*_signal_detect	-
o_p_lx_cdr_align_*	l*_cdr_align	-
o_p_pcs_lsm_synced_*	l*_lsm_synced	-
i_p_pcs_nearend_loop_*	l*_pcs_nearend_loop	-
i_p_pcs_farend_loop_*	l*_pcs_farend_loop	-
i_p_pma_nearend_ploop_*	l*_pma_nearend_ploop	-
i_p_pma_nearend_sloop_*	l*_pma_nearend_sloop	-
i_p_pma_farend_ploop_*	1'b0	-
i_p_rx_polarity_invert_*	1'b0	-
i_p_tx_beacon_en_*	1'b0	-
i_p_cfg_clk	pclk	-
i_p_cfg_rst	~hsst_cfg_soft_rstn	-
i_p_cfg_psel	i_p_cfg_psel	-

HSST IP 信号	multi_lane SGMII IP 顶层信号	备注
i_p_cfg_enable	i_p_cfg_enable	-
i_p_cfg_write	i_p_cfg_write	-
i_p_cfg_addr	i_p_cfg_addr	-
i_p_cfg_wdata	i_p_cfg_wdata	-
o_p_cfg_rdata	o_p_cfg_rdata	-
o_p_cfg_int	悬空	-
o_p_cfg_ready	o_p_cfg_ready	-
i_p_l*rxn	P_L*RXN	-
i_p_l*rxp	P_L*RXP	-
i_txd_*	i_txd_*	-
i_tdispsel_*	i_tdispsel_*	-
i_tdispctrl_*	i_tdispctrl_*	-
i_txk_*	i_txk_*	-
o_rxstatus_*	悬空	-
o_rxd_*	o_rxd_*[7:0]	-
o_rdisper_*	o_rdisper_*	-
o_rdecer_*	o_rdecer_*	-
o_rxk_*	o_rxk_*	-
i_pll_rst_0	i_pll_rst_0	-

注：信号类型与原顶层中保持一致；“*”对应 0, 1, 2, 3；“-”表示无。

在完成顶层信号的映射之后，还需要对部分逻辑进行处理。客户可仿照 Example Design 中的方式进行处理。需要注意的是 hsst_ch_ready[3:0]是由四个 o_rxlane_done_* 信号组成。

5. 时钟约束及 HSST 物理位置约束

在生成的单个 SGMII Core 中，有相对应的时钟约束和 HSST 的物理位置约束。用户需要将 4 个 SGMII Core 的时钟约束合成为一个。本工程生成的 Multi Lane 工程时钟约束和 HSST 的物理约束如下图，用户需根据实际应用情况修改。

PGL50H:

```
define_attribute {i:u_hsst_ch0.U_GTP_HSST_WRAPPER.U_GTP_HSST} {PAP_LOC} {HSST_88_340}
```

PGL100H:

```
define_attribute {i:u_hsst_ch0.U_GTP_HSST_WRAPPER.U_GTP_HSST} {PAP_LOC} {HSST_120_588}
```

图 2-29 Multi Lane 物理约束

```
define_attribute {t:u_hsst_ch0.o_p_clk2core_tx_0} {PAP_CLOCK_ASSIGN} {GTP_CLKBUFG}

define_attribute {t:u_hsst_ch0.o_p_clk2core_tx_1} {PAP_CLOCK_ASSIGN} {GTP_CLKBUFG}
define_attribute {t:u_hsst_ch0.o_p_clk2core_rx_1} {PAP_CLOCK_ASSIGN} {GTP_CLKBUFG}

define_attribute {t:u_hsst_ch0.o_p_clk2core_tx_2} {PAP_CLOCK_ASSIGN} {GTP_CLKBUFG}
define_attribute {t:u_hsst_ch0.o_p_clk2core_rx_2} {PAP_CLOCK_ASSIGN} {GTP_CLKBUFG}

define_attribute {t:u_hsst_ch0.o_p_clk2core_tx_3} {PAP_CLOCK_ASSIGN} {GTP_CLKBUFG}
define_attribute {t:u_hsst_ch0.o_p_clk2core_rx_3} {PAP_CLOCK_ASSIGN} {GTP_CLKBUFG}
```

图 2-30 Multi Lane 时钟约束

2.8 说明与注意事项

2.8.1 时钟约束

在生成的 Example Design 工程约束文件 ipsl_sgmmi_onboard.fdc 中，已将 HSST IP 输出时钟约束到全局时钟上。以 Example Design 的工程为例：

```
define_attribute {t:U_ipsl_sgmmi_dut.U_$nameInst.u_hsst_ch0.o_p_clk2core_tx_0} {PAP_CLOCK_ASSIGN} {GTP_CLKBUFG}
define_attribute {t:U_ipsl_sgmmi_dut.U_$nameInst.u_hsst_ch0.o_p_clk2core_rx_0} {PAP_CLOCK_ASSIGN} {GTP_CLKBUFG}
```

\$nameInst 为工程例化名，用户可根据实际情况修改约束，以适应实际使用需求。

2.8.2 HSST 物理位置约束

在生成的 Example Design 工程约束文件 ipsl_sgmmi_onboard.fdc 中，已对 HSST IP 的 Serdes 通道和参考时钟输入位置进行了物理约束。以 Example Design 为例：

```
PGL50H:
define_attribute {i:U_ipsl_sgmmi_dut.U_$nameInst.u_hsst_ch0.U_GTP_HSST_WRAPPER.U_GTP_HSST} {PAP_LOC} {HSST_88_340}
PGL100H:
define_attribute {i:U_ipsl_sgmmi_dut.U_$nameInst.u_hsst_ch0.U_GTP_HSST_WRAPPER.U_GTP_HSST} {PAP_LOC} {HSST_120_588}
```

\$nameInst 为工程例化名，用户可根据实际情况修改约束，以适应实际使用需求。

2.8.3 工作模式

1. GE 模式

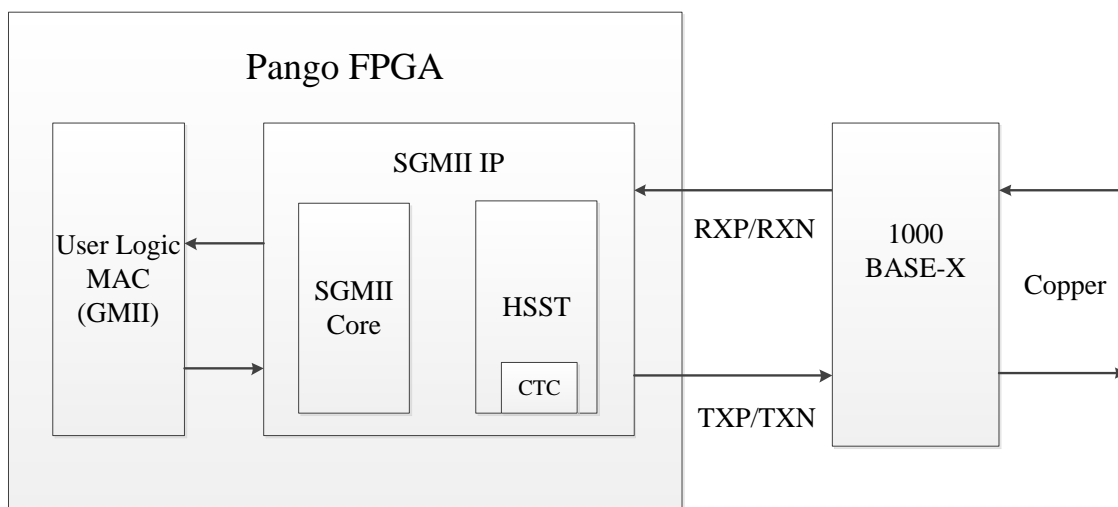


图 2-31 GE 模式示意图

2. SGMII 模式

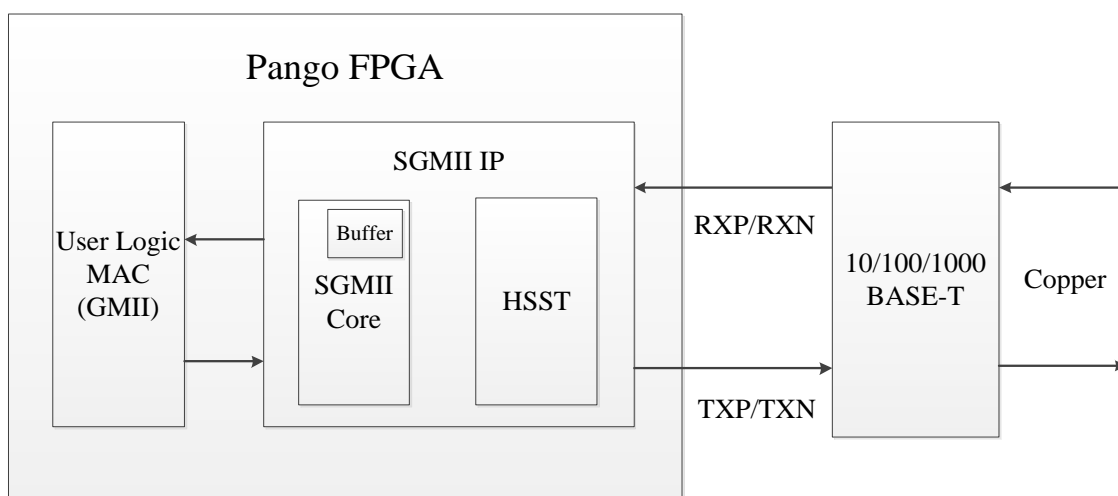


图 2-32 SGMII 模式示意图

3. Both GE And SGMII 模式

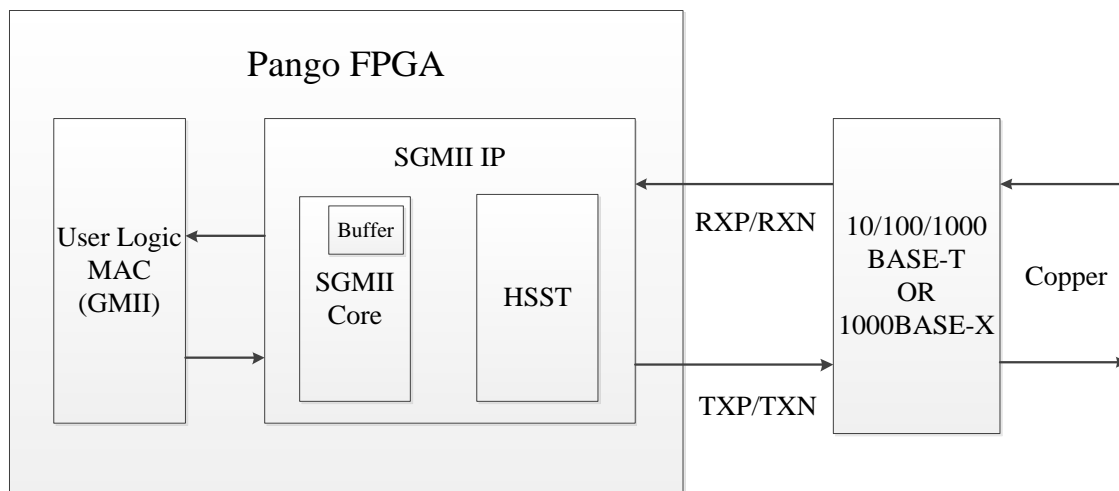


图 2-33 Both GE And SGMII 模式示意图

2.8.4 环回模式

SGMII 1GbE IP 支持五种环回模式，如图 2-1 所示：

- SGMII Core Loopback
- PMA 近端并行环回
- PMA 近端串行环回
- PCS 近端并行环回
- PCS 远端并行环回

1. SGMII Core Loopback

该环回模式支持 2 种方式配置，分别是端口配置和寄存器配置。

表 2-34 SGMII Core Loopback 端口配置

配置项	配置说明
端口使能	l0_pin_cfg_en=1，使能端口配置。
环回配置	l0_loopback=1。
不环回配置	l0_loopback=0。

表 2-35 SGMII Core Loopback 寄存器配置

配置项	配置说明
寄存器使能	l0_pin_cfg_en=0，使能寄存器配置。
环回配置	reg0.14 Loopback == 1'b1。
不环回配置	reg0.14 Loopback == 1'b0。

注意：

SGMII Core Loopback 在勾选 “No Buffer” 选项时不可用。

2. PMA 近端并行环回

注意：

PMA 近端并行环回模式需要先确保对应寄存器的值设置正确，再使能环回端口。

表 2-36 PMA 近端并行环回

配置项	配置说明
寄存器配置	reg17.0 mr_rstfsm_los_force == 1'b0; reg17.4 mr_rstfsm_cdr_force == 1'b1。 完成上述配置后 SGMII 寄存器 reg17 Vender_spc_1==0x0010。 (PMA 近端并行环回详细介绍请参考《UG020013_Logos 系列 FPGA 高速串行收发器(HSST)用户指南》[8]及《UG021004_Logos_HSST_IP_UserGuide》[9])
端口配置	l0_pma_nearend_ploop=1 使能 PMA 近端并行环回。

3. PMA 近端串行环回

注意：

PMA 近端串行环回模式需要先确保对应寄存器的值设置正确，再使能环回端口。

表 2-37 PMA 近端串行环回

配置项	配置说明
寄存器配置	reg17.0 mr_rstfsm_loos_force == 1'b1。 完成上述配置后 SGMII 寄存器 reg17 Vender_spc_1== 0x0001。 (PMA 串行近端环回详细介绍请参考《UG020013_Logos 系列 FPGA 高速串行收发器(HSST)用户指南》[8]及《UG021004_Logos_HSST_IP_UserGuide》[9])
端口配置	10_pma_nearend_sloop=1 使能 PMA 近端串行环回。

4. PCS 近端并行环回

注意：

PCS 近端并行环回模式需要先确保对应寄存器的值设置正确，再使能环回端口。

表 2-38 PCS 近端并行环回

配置项	配置说明
寄存器配置	reg17.0 mr_rstfsm_loos_force == 1'b0; reg17.4 mr_rstfsm_cdr_force == 1'b1。 完善上述配置后 SGMII 寄存器 reg17 Vender_spc_1== 0x0010。 (PCS 近端并行环回详细介绍请参考《UG020013_Logos 系列 FPGA 高速串行收发器(HSST)用户指南》[8]及《UG021004_Logos_HSST_IP_UserGuide》[9])
端口配置	10_pcs_nearend_loop=1 使能 PCS 近端并行环回。

5. PCS 远端并行环回

注意：

PCS 远端环回模式首先需要先确保对应寄存器的值设置正确，然后再使能环回端口。

表 2-39 PCS 远端并行环回

配置项	配置说明
寄存器配置	<p>reg17.0 mr_rstfsm_los_force == 1'b1。</p> <p>完成上述配置后 SGMII 寄存器 reg17 Vender_spc_1== 0x0001。</p> <p>配置 HSST IP 寄存器：</p> <p>Offset 0x905d.2 PMA_REG_PLPBK_TXPCLK_EN ==0</p> <p>Offset 0x800c.4:3 PCS_RX_CLK_SEL==2'b01</p> <p>配置后 HSST IP 对应寄存器 0x905d 值为 0x0</p> <p>配置后 HSST IP 对应寄存器 0x800c 值为 0x8</p> <p>（PCS 远端并行环回详细介绍请参考《UG020013_Logos 系列 FPGA 高速串行收发器(HSST)用户指南》[8]及《UG021004_Logos_HSST_IP_UserGuide》[9]）</p>
端口配置	l0_pcs_farend_loop=1 使能 PCS 远端并行环回。

注意：

该环回模式下，若不配置 HSST IP 寄存器 0x905d 值为 0x0，则链路两端时钟必须同源。

2.8.5 IP 时钟方案

1. 频偏调整 Buffer 位于 HSST IP 中

GE 模式下，使能频偏 Buffer（即不勾选“No Buffer”选项）时，适用该时钟方案。

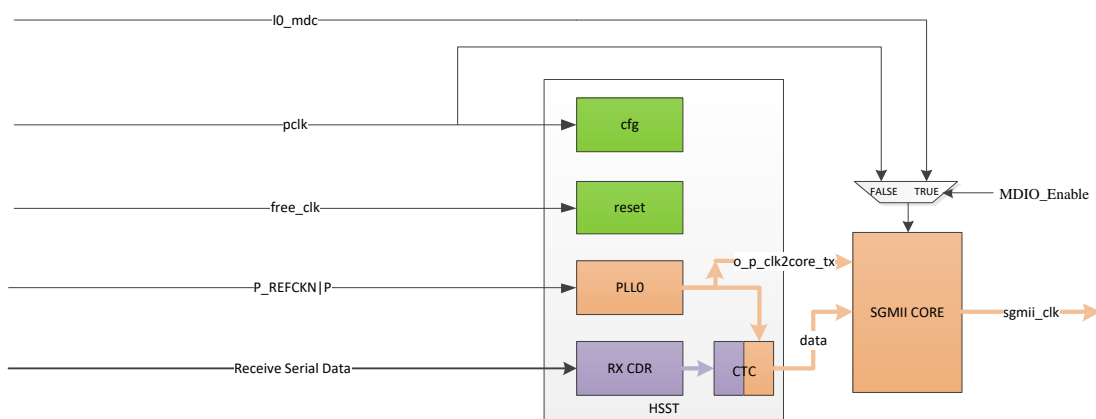


图 2-34 频偏调整 Buffer 位于 HSST IP 中时钟方案示意图

(1) 数据通路时钟

- 在发送方向，使用一对 125MHz 的差分输入时钟为 HSST IP 提供时钟源，经过

HSST IP 中的 PLL0 后，为 SGMII CORE 提供发送时钟 o_p_clk2core_tx。最终作为提供给 GMII 侧的时钟 sgmmi_clk。

- 在接收方向,HSST IP 中的 RX_CDR 从串行差分数据中恢复出时钟,并在 HSST IP 中的 CTC 中,将时钟域统一到 o_p_clk2core_tx。

(2) Free Run 时钟

- free_clk 是一个与数据通路时钟无关的时钟,为 HSST IP 复位序列提供时钟,在该方案中,该时钟频率为 10MHz~100MHz。

(3) 配置时钟

- l0_mdc——MDIO 接口时钟,2.5MHz。勾选“MDIO_Enable”选项时为 SGMII CORE 配置逻辑提供时钟。
- pclk——APB 接口时钟,50MHz~100MHz。勾选“MDIO_Enable”选项时为 HSST IP 配置逻辑提供时钟;不勾选“MDIO_Enable”参数时为 HSST IP 配置逻辑和 SGMII CORE 配置逻辑提供时钟。

2. 频偏调整 Buffer 位于 SGMII CORE 中

SGMII 模式或者 Both GE And SGMII 模式下,使能频偏 Buffer(即不勾选“No Buffer”选项)时,适用该时钟方案。

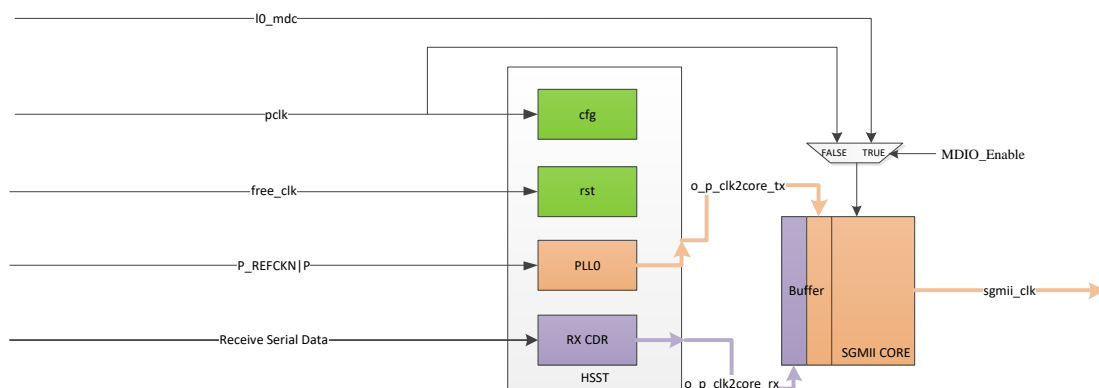


图 2-35 频偏调整 Buffer 位于 SGMII CORE 中时钟方案示意图

(1) 数据通路时钟

- 在发送方向,使用一对 125MHz 的差分输入时钟为 HSST IP 提供时钟源,经过

HSST IP 中的 PLL0 后，为 SGMII CORE 提供发送时钟 o_p_clk2core_tx。

- 在接收方向，HSST IP 中的 RX_CDR 从串行差分数据中恢复出时钟，为 SGMII CORE 提供接收时钟 o_p_clk2core_rx。
- 通过 SGMII CORE 中的弹性 Buffer，将时钟域统一到 o_p_clk2core_tx，最终产生提供给 GMII 侧的时钟 sgmmi_clk。

(2) Free Run 时钟

- free_clk 是一个与数据通路时钟无关的时钟，为 HSST IP 的复位序列提供时钟，在该方案中，该时钟频率为 10MHz~100MHz。

(3) 配置时钟

- io_mdc——MDIO 接口时钟，2.5MHz。勾选“MDIO_Enable”选项时为 SGMII CORE 配置逻辑提供时钟。
- pclk——APB 接口时钟，50MHz~100MHz。勾选“MDIO_Enable”选项时为 HSST IP 配置逻辑提供时钟，不勾选“MDIO_Enable”选项时为 HSST IP 配置逻辑和 SGMII CORE 配置逻辑提供时钟。

3. 无频偏调整 Buffer

GE 模式、SGMII 模式或 Both GE And SGMII 模式下，不使能频偏 Buffer（即勾选“No Buffer”选项）时，适用该时钟方案。

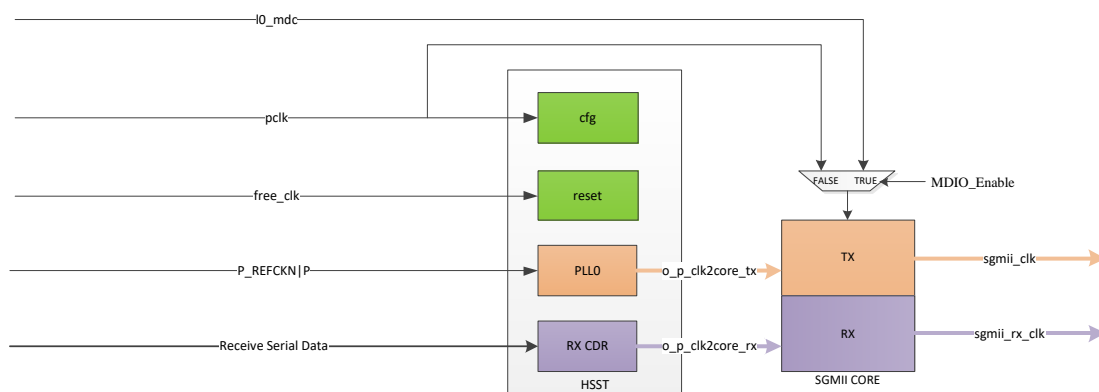


图 2-36 无频偏调整 Buffer 时钟方案示意图

(1) 数据通路时钟

- 在发送方向，使用一对 125MHz 的差分输入时钟为 HSST IP 提供时钟源，经过 HSST IP 中的 PLL0 后，为 SGMII CORE 提供发送时钟 o_p_clk2core_tx，最终产生提供给 GMII 侧发送方向的时钟 sgmiiclk。
- 在接收方向，HSST IP 中的 RX_CDR 从串行差分数据中恢复出时钟，为 SGMII CORE 提供接收时钟 o_p_clk2core_rx，最终产生提供给 GMII 接收侧的时钟 sgmiiclk。

(2) Free Run 时钟

- free_clk 是一个与数据通路时钟无关的时钟，为 HSST IP 复位序列提供时钟，在该方案中，该时钟频率为 10MHz~100MHz。

(3) 配置时钟

- io_mdio——MDIO 接口时钟，2.5MHz。勾选“MDIO_Enable”参数时为 SGMII CORE 配置逻辑提供时钟。
- pclk——APB 接口时钟，50MHz~100MHz。勾选“MDIO_Enable”选项时，为 HSST IP 配置逻辑提供时钟；不勾选“MDIO_Enable”选项时，为 HSST IP 配置逻辑和 SGMII CORE 配置逻辑提供时钟。

2.8.6 uart_ctrl_top 模块读写操作示例

1. 读操作

读取地址 0x000001 的数据：0x000001+0x72，为 0x00000172。

2. 写操作

向地址 0x000001 写入 0x02：0x00000002+0x000001+0x77，为 0x0000000200000177。

2.8.7 IP 调用方式

SGMII 1GbE IP 支持通过添加 idf 的方式实现调用。关于 idf 文件的具体添加方法，可以查阅 PDS 安装路径下相关帮助文档：Pango_Design_Suite_User_Guide[2]。

2.9 IP 调试手段

Example Design 中 DebugCore 和 LED 可以监测 SGMII 1GbE IP 的链路状态，DebugCore 信号列表和 LED 指示信号列表请参见“2.4.4 测试方法”、“2.4.3 接口说明”。

Example Design 中的 UART 可以读取 IP 中状态寄存器的值来监测链路状态，UART 模块的使用请参见“2.4.2 1 uart_ctrl_top”。

第3章 附录

3.1 参考文档

- [1] Pango_Design_Suite_Quick_Start_Tutorial
- [2] Pango_Design_Suite_User_Guide
- [3] IP_Compiler_User_Guide
- [4] Simulation_User_Guide
- [5] User_Constraint_Editor_User_Guide
- [6] Physical_Constraint_Editor_User_Guide
- [7] Route_Constraint_Editor_User_Guide
- [8] UG020013_Logos 系列 FPGA 高速串行收发器(HSST)用户指南
- [9] UG021004_Logos_HSST_IP_UserGuide
- [10] IEEE 802.3-2012 Specification
- [11] Serial-GMII Specification-rev1.8
- [12] Fabric_Debugger_User_Guide

3.2 术语表

A

APB Advanced Peripheral Bus

C

CTC Clock Tolerance Compensation

CDR Clock Data Recovery

G

GE Gigabit Ethernet

GMII Gigabit Media Independent Interface

H

HSST High Speed Serial Transceiver

L

LH Latching High

LL Latching Low

M

MDIO Management Data Input/Output

P

PCS Physical Code Sublayer

PMA Physical Media Attachment

S

SerDes Serializer Deserializer

SGMII Serial Gigabit Media Independent Interface

3.3 缩略语表

I

IPC IP Compiler

P

PDS Pango Design Suite

3.4 声明**3.4.1 版权声明**

本文档版权归深圳市紫光同创电子有限公司所有,并保留一切权利。未经书面许可,任何公司和个人不得将此文档中的任何部分公开、转载或以其他方式披露、散发给第三方。否则,公司必将追究其法律责任。

3.4.2 免责声明

本文档仅提供阶段性信息,所含内容可根据产品的实际情况随时更新,恕不另行通知。如因本文档使用不当造成的直接或间接损失,本公司不承担任何法律责任。

本文档按现状提供,不负任何担保责任,包括对适销性、适用于特定用途或非侵权性的任何担保,和任何提案、规格或样品在他处提到的任何担保。本文档在此未以禁止反言或其他方式授予任何知识产权使用许可,不管是明示许可还是暗示许可。

公司保留任何时候在不事先声明的情况下对公司系列产品相关文档的修改权利。