

HW2 Design: Convolutional Neural Network

系級：電機 3E

姓名：張峻瑋

學號：110511194

1. The problem encountered in this homework and how the problem was solved.

所遇到的困難可以分成 3 個部分：RTL、合成，以及 gate level。

在 RTL 遇到的問題主要是觀念不清楚。在邏輯設計的課堂中，所學都是 gate level 的問題。而使用 behavior level 去進行設計時，由於沒有直接對硬到電路，用寫 C 的邏輯就會遇到許多問題。

其中最主要的問題是無法在 behavior level 時區分什麼適合寫組合邏輯，什麼時候適合寫序向邏輯。到後來我覺得可以這樣區分：組合邏輯會在事件發生的當下發生改變，而序向邏輯則是在下一個 clock 才會改變。

透過 nWave 一個一個 clock 去對，一個一個 debug。大概慢慢改就可以通過 RTL。

而以上的方法在合成的部分會遇到許多問題。在合成的部分主要遇到 3 個問題：寫出許多 latch、有許多 multiple driven 以及 time violation。

關於 latch，我發現組合邏輯與序向邏輯的區分還可以多加一筆：如果要維持原本的訊號，使用序向邏輯，組合邏輯只處理運算，以及事件發生當下的即時性改變。我想這就是為什麼在 lab 4 助教的 code 中，狀態機要分成一個組合邏輯，一個序向邏輯，以及為什麼會需要 next state 以及 current state。

關於 multiple driven 的問題，可發現用寫 C 在 debug 時挖東牆補西牆的方式是行不通的。比較好的方式是一個訊號只應該在一個 block 裡面被賦值。要達到這點，就必須謹慎思考每一個被賦值時當下適當的 condition。我是透過 nWave 看波形慢慢想出可行性。在不要求 performance 的情況下，也可以設一些 register 以達成。

在 time violation 的部分，助教在討論區提及可能是混用 posedge 及

negedge。而我全部是使用 negedge，但還是遇到這個問題。我甚至為了改善路徑，想說把 array 從二維改成一維會不會比較快，但還是過不了。後來將 negedge 全部改成 posedge 就過了。

最後在 gate level 的部分，卡關的點在於 opt 會有很常的時間是 unknown，而我的 register 似乎沒有辦法有效記錄該值。最後我將條件判斷式改成巢狀，強迫只看 in_valid 拉起來的那個 clock 的值，其他時間都要維持前訊號，如此一來即可通過 gate level。

2. Any suggestions about Lab03, Lab04, and HW02.

我覺得 lab 4 一下子跳太多了，我希望以後 lab 還是盡可能維持 2 堂課可以完成的量。

這次作業出得很好，我釐清了很多觀念。雖然花了不少時間，但學到很多東西。也對設計的流程有更進一步的認識。