

Flip-flops

Neste capítulo, vamos conhecer e analisar os elementos fundamentais à construção de produtos desenvolvidos usando a técnica digital, em particular. São os elementos fundamentais do que chamamos de circuitos sequenciais.

Os circuitos sequenciais têm por característica o fato de que a saída não depende exclusivamente do estado vigente das entradas, diferentemente do que ocorre com os circuitos combinacionais. Eles são chamados de sequenciais porque o valor da saída depende de uma sequência de acionamentos das entradas do circuito; ou seja, não basta olhar como o circuito está no momento presente, é preciso analisar como ele estava antes.

Para que se possa ter essa propriedade, os elementos fundamentais são os elementos de memória, que são aqueles que guardam a informação do estado anterior do circuito. Os elementos de memória podem ser fabricados de diversas formas, com maior ou menor quantidade de elementos lógicos, ou mesmo de técnicas de fabricação digital.

Os elementos de memória que vamos analisar neste capítulo são comumente chamados de flip-flop. Normalmente, são utilizados para a construção de sistemas digitais bastante complexos.

Atualmente, os elementos de armazenamento em massa não utilizam flip-flops como elementos de armazenamento; porém, toda a lógica sequencial que faz esses elementos de armazenamento em massa funcionarem usa flip-flops.

Quando nos referimos aos elementos de armazenamento em massa, estamos considerando as memórias RAM de altíssima capacidade, na casa de gigabytes dentro do mesmo chip, ou as memórias SSD, que guardam as informações armazenadas por um longo tempo, mesmo sem energia.



PARA SABER MAIS

Pesquise como são construídos os sistemas de armazenamento em massa, como as memórias SSD e as memórias RAM, e procure entender suas diferenças e a importância de cada item na construção de um sistema real.

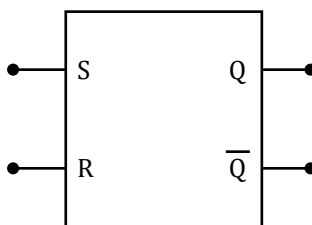
Os flip-flops são os elementos que permitem os comportamentos complexos observáveis nos diversos produtos eletrônicos que manipulamos no dia a dia.

1 Flip-flop RS básico

Os flip-flops do tipo RS básico são os elementos de memória mais simples que podemos usar nos circuitos sequenciais. Tipicamente, quando usamos esse dispositivo como elemento de memória, cada flip-flop corresponde a um bit.

Do ponto de vista externo, o flip-flop RS tem dois pinos de entrada e dois pinos de saída, conforme pode ser conferido na figura 1.

Figura 1 – Flip-flop RS Básico



Fonte: adaptado de Idoeta e Capuano, 1999.

Os pinos de entrada são S e R, e os pinos de saída, Q e \bar{Q} . Q e \bar{Q} são sempre complementares, ou seja, se $Q = 1$, $\bar{Q} = 0$, e se $Q = 0$, $\bar{Q} = 1$. Assim, temos apenas duas possibilidades de estado. S é uma abreviação de set, e R é uma abreviação de reset, o que já indica a função desses pinos.

A capacidade de armazenamento do flip-flop RS básico é decorrente de sua característica biestável, ou seja, ele tem a capacidade de ficar estável tanto com suas saídas em $Q = 0$ e $\bar{Q} = 1$ como com suas saídas em $Q = 1$ e $\bar{Q} = 0$.

Entretanto, essa estabilidade é válida quando as entradas estão em nível 0, ou seja, enquanto não há um estímulo em uma das entradas, que são ativas em nível 1. O estado em que o flip-flop se encontrar vai permanecer até que seja retirada a energia que o mantém funcionando.

Quando dizemos que as entradas são ativas em 1, significa que, se o valor da entrada for 1, a sua função é ativada; se o valor da entrada for 0, sua função para de ter efeito.

O pino S, que corresponde à função set, faz com que as saídas do flip-flop, uma vez acionado, vão para o estado $Q = 1$ e $\overline{Q} = 0$, independentemente do estado anterior. Se o pino S voltar ao estado inativo, o valor de Q e \overline{Q} será mantido.

O pino R, que corresponde à função reset, faz com que as saídas do flip-flop, uma vez acionado, vão para o estado $Q = 0$ e $\overline{Q} = 1$, independentemente do estado anterior. Se o pino R voltar ao estado inativo, o valor de Q e \overline{Q} será mantido.

Entretanto, como parte do projeto do flip-flop RS, há um estado proibido, que é o estado em que R e S estão ativos. Se esse estado ocorrer, o comportamento do flip-flop RS não pode ser determinado de antemão. Por isso, cabe ao desenvolvedor assegurar que essa situação não ocorra durante a operação normal do dispositivo que está sendo projetado.

Nos próximos parágrafos, vamos nos referir ao estado do flip-flop apenas pelo valor de Q , visto que \overline{Q} é sempre o complemento deste. Mais adiante, no texto, o valor de \overline{Q} será importante para a compreensão de como o flip-flop se mantém estável e pode ser utilizado como um elemento de memória.

Com base nesse comportamento, podemos criar uma tabela-verdade em que Q_a é o estado atual do flip-flop e Q_f , o estado futuro. Lembrando que o estado anterior de R e S sempre será de ambas as entradas em 0,

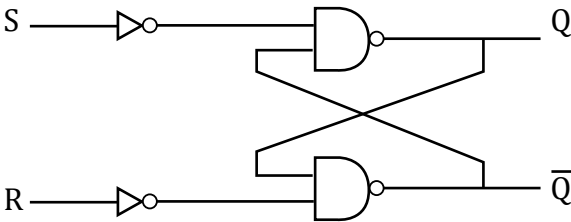
e o estado posterior dessas entradas, após o estado descrito na tabela 1, a seguir, será de ambas as entradas em 0 (IDOETA; CAPUANO, 1999).

Tabela 1 – Transição de estados do flip-flop RS básico

S	R	Qa	Qf
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	Proibido
1	1	1	Proibido

Resumidamente, se S ou R se tornam ativos, eles impõem o valor na saída. Para entender como isso ocorre, vamos analisar como um flip-flop RS é tradicionalmente construído, conforme expresso na figura 2.

Figura 2 – Esquema elétrico de um flip-flop RS



Fonte: adaptado de Idoeta e Capuano, 1999.

Esse elemento, como já mencionamos anteriormente, é um elemento biestável, ou seja, tem dois estados estáveis. Essa estabilidade é decorrente da retroalimentação de seu estado representado por Q e \bar{Q} .

Para que possamos entender como isso funciona, vamos analisar as situações em que o flip-flop pode se encontrar — exceto a situação proibida, pois essa é uma situação em que ele não consegue ficar estável, e a pessoa responsável pelo projeto do circuito deve evitá-la.

Para simplificar o texto, vamos nomear as NANDs do circuito da seguinte forma: NAND 1 é a porta cuja saída está ligada em Q, e NAND 2, a porta cuja saída está ligada em \overline{Q} .

1.1 Situação 1

A primeira situação que vamos analisar é aquela em que R e S estão em 0 (ou seja, inativos), $Q = 0$ e $\overline{Q} = 1$.

Nessa situação, na NAND 1, a entrada vinda da porta inversora ligada à entrada S encontra-se em estado 1; na entrada vinda da saída \overline{Q} , o valor também é 1. Pela tabela-verdade de uma NAND, a saída da NAND 1 é obrigatoriamente 0, valor que já estava ali inicialmente.

Além disso, na NAND 2, temos uma das entradas, em estado igual a 1, vinda da inversora ligada à entrada R, e a outra entrada, em nível 0, vinda da entrada Q. Pela tabela-verdade de uma NAND, a saída dessa NAND 2 tem de ser 1, que é o valor que já estava em \overline{Q} .

Essa situação é estável, e se nenhuma das entradas, S ou R, ficar ativa, esse estado não vai mudar.

1.2 Situação 2

A segunda situação que vamos analisar é quando uma das entradas, S ou R, se torna ativa. O raciocínio é exatamente o mesmo para ambas; a diferença é que, ao ativarmos a entrada S, forçamos a saída Q para 1, e, ao ativarmos a entrada R, forçamos a saída Q para 0 — lembrando que o circuito é simétrico.

Para simplificar nossa análise, vamos tornar ativa a entrada S, que terá o efeito de mudar o estado que descrevemos na situação 1.

No estado prévio da entrada da NAND 1, ambas as entradas estavam em 1 e, portanto, as saídas da NAND 1 estavam em zero.

A entrada S é ativada ao colocarmos o valor 1 em S. Após a passagem pelo inversor, temos, na entrada dessa NAND, uma entrada em valor 1 (que vem de \overline{Q}) e um valor zero (que vem de S). A saída da NAND 1 vai para 1 (lembrando que a saída da NAND 1 é Q).

Essa mudança em Q provoca uma mudança na entrada da NAND 2, que agora vai ter ambas as entradas em 1, e, de acordo com a tabela-verdade de uma NAND, a saída da NAND 2 vai ser zero, que é o valor de \overline{Q} .

A partir do momento em que a mudança provocada pela ativação de S se propaga para Q e, em seguida, para \overline{Q} , mesmo desativando a entrada S (voltando para o valor S = 0), o flip-flop fica novamente estável e não muda de estado até que exista uma nova ativação em R.

1.3 Situação 3

A terceira situação que vamos abordar é a continuidade da situação 2. Neste ponto, $Q = 1$ e $\overline{Q} = 0$, e R e S estão em zero, ou seja, estão inativos. Além disso, uma das entradas da NAND 1 está ligada pelo inversor à entrada S em valor igual a 1, e a outra está ligada na saída \overline{Q} com valor igual a 0. Ou seja, a saída Q, neste momento, é igual a 1.

Ao ativarmos a entrada S colocando-a em nível 1, após a inversora, na entrada da porta NAND 1, teremos as duas entradas em nível zero. Isso mantém o estado do flip-flop inalterado.

Neste ponto, se tornarmos ativa a entrada R, o efeito que teremos é similar à situação 2, porém, com sinal trocado.

É importante notar que o efeito de memória é obtido pela retroalimentação das duas portas NAND do flip-flop.

As situações em que S e R ficam ativos ao mesmo tempo não são permitidas, porque o circuito ficaria instável. Seu comportamento dependerá da tecnologia de fabricação.

Entretanto, tipicamente, colocar um flip-flop RS em um estado não permitido gera uma oscilação dependente do tempo de propagação das NANDs envolvidas ou, no pior caso, leva à autodestruição do dispositivo; porém, não é possível prever com exatidão o comportamento desse modelo de flip-flop no caso de acionamento no estado proibido.

2 Clock

Antes de trabalharmos o conceito de clock, ou relógio, é necessário introduzir alguns conceitos fundamentais para entendê-lo.

O primeiro desses conceitos é o tempo de propagação, que nada mais é do que o tempo entre a transição do nível de uma entrada de uma porta lógica e o efeito dessa transição na saída dessa porta lógica.

O tempo de propagação de uma única porta lógica depende de duas variáveis importantes: a tecnologia de construção das portas lógicas e sua quantidade de transistores.

Entretanto, é muito comum que nos circuitos digitais combinacionais tenhamos diversas entradas que, no final, sejam ligadas a uma saída. Além disso, é comum que uma entrada seja utilizada em diversas portas lógicas, ou que seu efeito seja refletido em diversas portas lógicas, fazendo com que um único acionamento de uma entrada provoque oscilações na saída final do circuito.

Ou seja, entre o acionamento de uma entrada de um circuito combinacional e seu efeito final, existe um tempo de propagação, e esse

tempo não é necessariamente o mesmo quando o sinal de entrada faz a transição de 0 para 1, e de 1 para 0.

Além disso, como é possível ter vários caminhos para a propagação dessa transição, o pino de saída do circuito combinacional poderá ficar variando durante algum tempo até que se estabilize.

No jargão da eletrônica digital, essas transições são chamadas de “glitches”. Esses glitches, em geral, são muito rápidos e não correspondem a informações reais, mas apenas a acomodações dos tempos de propagação.

Não é o objetivo desta obra discutir as diversas tecnologias disponíveis para a construção de portas lógicas, mesmo porque essa área do conhecimento humano avança de forma muito rápida, o que tornaria este material obsoleto em questão de semanas. O que importa, aqui, é notar que o tempo é um fator fundamental para o funcionamento correto de um circuito digital.

Temos de lembrar também que, em circuitos sequenciais, a sequência dos acionamentos é fundamental para que se tenha o valor correto nos flip-flops que mantêm o sistema funcionando.

Mas, analisando esses problemas, qual seria a forma de resolver a questão dos glitches? Como podemos tornar nossos circuitos digitais confiáveis e evitar que os glitches provoquem um funcionamento indesejado de nosso circuito sequencial?

A forma mais simples de conseguir esse resultado é fazer com que as entradas dos nossos flip-flops sejam avaliadas – ou seja, possam ter efeito no estado do flip-flop – apenas quando soubermos que todos os tempos de propagação possíveis já foram cumpridos e, portanto, que a saída dos circuitos combinacionais, que acionam os circuitos sequenciais, já estão estáveis.

É aí que entra o conceito de clock, ou relógio, em português. O clock tem a função de organizar o funcionamento de todo o circuito digital,

fazendo com que ele se comporte da forma como foi projetado para se comportar. Esse é um dos principais motivos pelo qual os processadores de todos os tipos possuem sinais de clock e determinam a velocidade com que as informações são tratadas dentro de um sistema digital.

É comum associarmos a velocidade de um processador à sua frequência de clock, ou seja, ao número de ciclos por segundo com que aquele sinal oscila do estado 0 para o estado 1, e do estado 1 para o estado 0. Mas o que determina a frequência máxima de clock de um sistema digital?

Essencialmente, o que determina a frequência máxima de um sistema digital são os tempos de propagação do seu circuito combinacional mais complexo. Ou seja, a pessoa que está projetando o sistema digital, ao analisar os diversos circuitos combinacionais presentes dentro do sistema, determina o tempo mais longo entre uma transição de uma entrada e a estabilização de sua saída, e ainda acrescenta um pequeno tempo para garantir que isso seja correto em todo o circuito.

Existem várias estratégias avançadas em relação a como distribuir o sinal de clock dentro de um sistema digital sequencial, ou ainda várias formas de variar a frequência de clock durante o funcionamento do circuito, mas o motivo para se fazer isso é um tópico que não será abordado em profundidade neste livro.

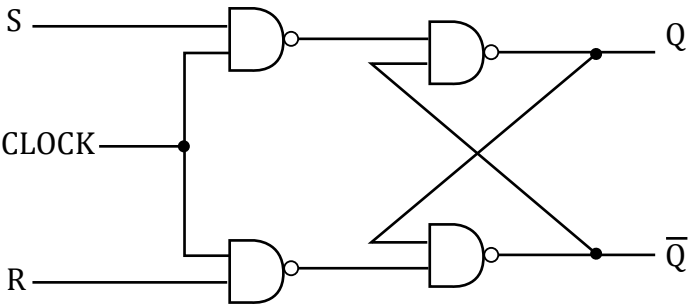
3 Flip-flop RS com entrada de clock

Uma vez que compreendemos o funcionamento de um flip-flop RS básico e o objetivo básico do sinal de clock em um sistema digital, vamos evoluir nosso flip-flop RS básico para que ele absorva a funcionalidade de um sinal de clock de entrada.

Como já descrito anteriormente, uma das principais funções de um sinal de clock em um circuito digital é proteger os circuitos sequenciais das oscilações normais dos circuitos combinacionais.

A seguir, na figura 3, temos o circuito que expande a funcionalidade de nosso flip-flop RS básico para que ele tenha uma entrada de clock.

Figura 3 – Flip-flop RS com clock

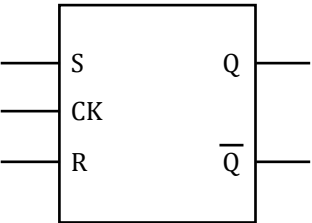


Fonte: adaptado de Idoeta e Capuano, 1999.

Nesse circuito, o sinal de clock controla os momentos em que o flip-flop RS pode ser acionado. Aplicando a tabela-verdade de uma NAND, a saída das portas 3 e 4 só poderá ser modificada enquanto o sinal de clock estiver em nível 1. Da mesma forma, se o sinal de clock estiver em nível 0, mesmo que os sinais R e S oscilem, isso não terá efeito no estado do flip-flop.

O símbolo que representa o flip-flop RS com clock é apresentado na figura 4, a seguir.

Figura 4 – Símbolo de um flip-flop RS com clock



Fonte: adaptado de Idoeta e Capuano, 1999.

Note que a inserção do pino de clock no flip-flop RS diminui o problema das oscilações nas entradas S e R, porém, não elimina a contrariedade das combinações proibidas de S e R. Esse problema será resolvido no próximo modelo de flip-flop a ser analisado.

4 Flip-flop JK

Os flip-flops JK têm por objetivo resolver um dos problemas que ainda persistem nos flip-flops RS, que é o fato de haver combinações proibidas em suas entradas S e R. A solução para esse problema foi criar um comportamento para quando ocorrer essa condição.

Para tanto, nos flip-flops JK, no lugar de S temos a entrada J, e no lugar de R temos a entrada K. Sem a lógica que implementa a função de J e K, se aplicássemos o valor 1 em ambas as entradas, teríamos a condição proibida; porém, como solução, escolheu-se inverter o estado atual do flip-flop.

Para exemplificar essa situação, vamos chamar de Q_a a condição em que o sinal de clock está em 0 (ou seja, a fase em que o clock bloqueia alterações no estado do flip-flop) e em que aplicamos $J = 1$ e $K = 1$; e vamos chamar de Q_f a condição após o clock ser modificado para 1 (ou seja, a fase em que o clock permite que ocorram alterações no estado do flip-flop).

Se $Q_a = 1$, assim que o clock mudar de estado, teremos $Q_f = 0$. Se $Q_a = 0$, após o clock mudar de estado, teremos $Q_f = 1$. Nas demais situações, o comportamento do flip-flop JK é idêntico ao de um flip-flop RS.

Assim, temos como resultado a tabela-verdade a seguir.

Tabela 2 – Transição de estado do flip-flop JK

J	K	Qf
0	0	Qa
0	1	0
1	0	1
1	1	\overline{Qa}

Uma condição importante é que o tempo em que o clock fica no estado em que se permite a alteração de estados do flip-flop deve ser curto, para evitar que o estado do flip-flop se altere novamente, tornando-o instável. Entretanto, no item 6 deste capítulo, esse problema será resolvido de forma que o flip-flop fique sempre estável.

O símbolo do flip-flop JK é idêntico ao do flip-flop RS, exceto pelo nome das entradas, que em vez de serem S e R são J e K, respectivamente.

5 Flip-flop JK com preset e clear

Com a adição do circuito para resolver o problema do estado proibido do flip-flop RS, eliminamos uma contrariedade que poderia fazer com que o flip-flop assumisse valores desconhecidos durante o funcionamento do produto que está sendo desenvolvido. Porém, isso não resolve todos os problemas de não se saber de antemão qual o estado em que o flip-flop deveria estar.

Quando se coloca a alimentação em um circuito digital sequencial, *a priori* não se sabe em qual estado cada um dos flip-flops vai estar, e precisamos de uma forma de ter certeza desse estado no início da operação do produto em desenvolvimento. Então, necessitamos de uma forma de forçar o estado desejado na inicialização.

A forma de resolver esse problema passa pela adição de dois sinais especiais, que têm prioridade em relação ao clock e permitem que o

dispositivo inicie seu funcionamento em um estado conhecido. Esses sinais são o preset e o clear.

Em geral, na construção dos flip-flops, esses sinais são ativos em nível baixo e, quando ativos, têm prioridade em relação a todos os demais sinais do flip-flop.

Entretanto, assim no caso do flip-flop RS, esses dois sinais não podem estar ativos ao mesmo tempo, então, cabe à pessoa que está desenvolvendo o dispositivo garantir que apenas um deles seja acionado.

É muito comum – porém, não é obrigatório – que o projetista escolha ligar um desses sinais a um circuito externo analógico, que só permite o funcionamento do circuito digital sequencial após o tempo necessário para que a alimentação e mesmo o clock do sistema estejam estáveis o suficiente para que o sistema funcione normalmente.

Esse circuito externo é comumente chamado de circuito de reset. O sinal de preset, quando ativo, força o estado do flip-flop para $Q = 1$. O sinal de clear, quando ativo, força o estado do flip-flop para $Q = 0$.

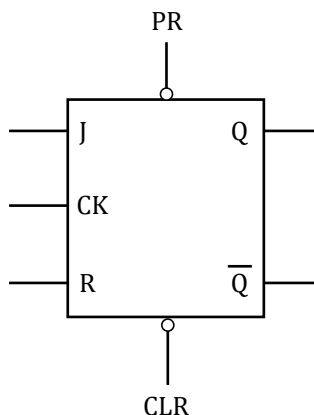
Novamente, utilizando a nomenclatura de Q_f para indicar o estado de funcionamento do dispositivo após se tornarem ativos os sinais em análise – e lembrando que preset e clear são ativos com nível lógico 0 –, temos a tabela 3, a seguir, de transição.

Tabela 3 – Transição de estado do flip-flop JK com preset e clear

PRESET	CLEAR	Q_f
0	0	Não permitido
0	1	1
1	0	0
1	1	Funcionamento normal

O símbolo do flip-flop JK com preset e clear é representado na figura 5, a seguir.

Figura 5 – Símbolo do Flip-flop JK com preset e clear



Fonte: adaptado de Idoeta e Capuano, 1999.

Os pinos de preset e clear estão com bolinhas para sinalizar que eles são ativos em nível 0.

6 Flip-flop JK mestre e escravo

No final do item “Flip-flop JK”, apontamos um problema construtivo no projeto dos flip-flops JK que trabalham com clock em nível: o fato de que o tempo que o clock pode permitir alterações no estado do flip-flop deve ser curto, caso ele seja utilizado no modo de inversão ($J = 1$ e $K = 1$). Além disso, vimos que enquanto o clock estiver em nível habilitado, o estado do flip-flop será alterado, e isso pode ser um problema em circuitos mais complexos.

Para resolver esse problema, foi introduzido o modelo de flip-flop JK mestre e escravo. Esse modelo é construído com base na junção de

dois flip-flop RS, porém, na entrada do conjunto, é adicionado um circuito para implementar a função de JK (ou seja, retirar o estado proibido, transformando-o em modo de inversão).

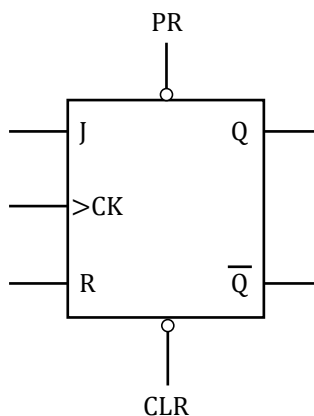
Um detalhe é que cada flip-flop RS trabalha em um nível diferente de clock ativo. Assim, enquanto o clock permite a modificação do estado do primeiro flip-flop, isso não se reflete no resultado do segundo flip-flop; e quando o clock permite a alteração do estado do segundo flip-flop, sua entrada já está estável, pois o estado do clock do primeiro flip-flop não permite que mais alterações ocorram, independentemente do que possa ocorrer nas entradas J e K. Dessa forma, o valor que vale, para fins de computação do resultado, é o momento da segunda transição do valor do clock.

Essas transições do valor do clock são chamadas de “bordas”. Quando o clock faz a mudança de estado de 0 para 1, chamamos essa transição de “borda de subida”. Quando o clock faz a mudança de estado de 1 para 0, chamamos essa transição de “borda de descida”.

Quando a segunda transição de um flip-flop JK mestre e escravo ocorre numa borda de subida, dizemos que ele é ativo na borda de subida; na outra direção, quando a segunda transição ocorre em uma borda de descida, dizemos que o flip-flop é sensível à borda de descida.

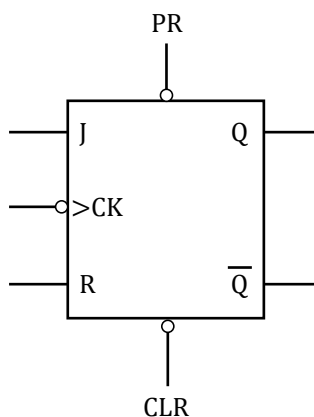
Para sinalizar que um flip-flop é do tipo mestre e escravo sensível à borda de subida, utilizamos o símbolo expresso pela figura 6, a seguir.

Figura 6 — Símbolo de um flip-flop JK mestre e escravo sensível à borda de subida



Para sinalizar que um flip-flop é do tipo mestre e escravo sensível à borda de descida, utilizamos o símbolo expresso pela figura 7, a seguir.

Figura 7 — Símbolo de um flip-flop JK mestre e escravo sensível à borda de descida



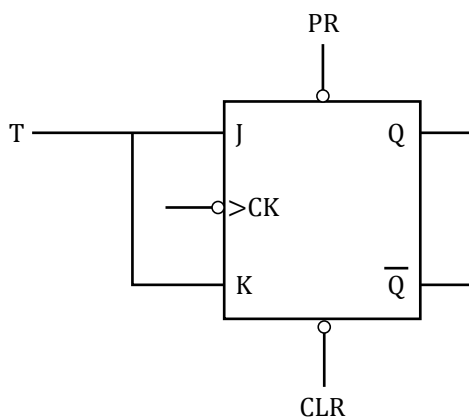
7 Flip-flop tipo T

Os flip-flops do tipo T são um caso particular de implementação dos flip-flops JK sensíveis à borda, em cuja fabricação as entradas J e K são unidas no circuito. Quando o flip-flop tipo T está ligado dessa forma e sua entrada T está ativa, seu estado é comutado; ou seja, se seu estado era $Q = 1$, após a borda ativa do clock ele será $Q = 0$, e se seu estado era $Q = 0$, após a borda ativa do clock será $Q = 1$.

Além disso, em geral, esse flip-flop é fabricado com as entradas pre-set e clear, permitindo que se fixe um estado inicial para ele.

Na figura 8, a seguir, temos o símbolo de um flip-flop tipo JK ligado na configuração de flip-flop tipo T ativo na borda de descida do clock.

Figura 8 — Ligação de um flip-flop JK para formar um flip-flop do tipo T



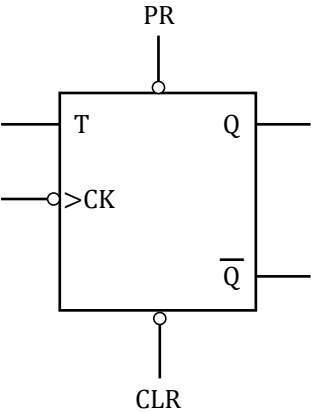
Dessa forma, a tabela-verdade do flip-flop tipo T é exibida na tabela 4, a seguir.

Tabela 4 – Tabela de transição de estados do flip-flop tipo T

T	J	K	Qf
0	0	0	Qa
1	1	1	\overline{Qa}

Na figura 9, a seguir, temos o símbolo de um flip-flop tipo T ativo na borda de descida do clock.

Figura 9 – Símbolo de um flip-flop do tipo T sensível à borda de descida



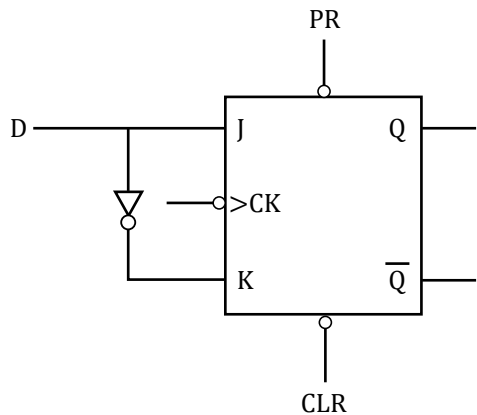
Esses dispositivos podem ser sensíveis à borda de descida ou à borda de subida.

8 Flip-flop tipo D

Os flip-flops do tipo D são outro caso particular de implementação dos flip-flops JK sensíveis à borda, porém, em vez de simplesmente unir as entradas J e K na entrada D, o que se faz é ligar D em J, além de ligar uma porta NOT entre a entrada D e a entrada K.

Confira o esquema de ligações da figura 10, a seguir.

Figura 10 – Ligação de um flip-flop JK para formar um flip-flop do tipo D



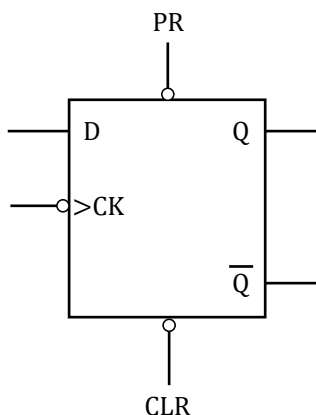
O efeito de fazer essa ligação é que, a cada borda ativa do clock, o estado de D é copiado para Q. Assim, temos como resultado a tabela de transições a seguir, que é válida a cada transição da borda ativa no flip-flop.

Tabela 5 – Tabela de transição de estados do flip-flop tipo D

D	J	K	Qf
0	0	1	0
1	1	0	1

Na figura 11, a seguir, temos o símbolo de um flip-flop do tipo D.

Figura 11 — Símbolo de um flip-flop do tipo D sensível à borda de descida



Esse modelo de flip-flop pode ser fornecido com borda ativa na subida ou ativa na descida.

Considerações finais

Neste capítulo, tivemos contato com os elementos básicos de memória e exploramos um pouco sua evolução em termos de complexidade e funcionalidade. Além disso, foi introduzido o conceito de clock e foram abordadas algumas das técnicas utilizadas para tornar os circuitos digitais sequenciais mais robustos.

É importante que você explore formas de utilizar os diversos modelos de flip-flops apresentados, e onde cada um deles é mais ou menos útil. Isso certamente lhe trará ideias para a implementação de projetos cada vez mais práticos.

Referências

IDOETA, Ivan V.; CAPUANO, Francisco G. **Elementos de eletrônica digital**. São Paulo: Érica, 1999.