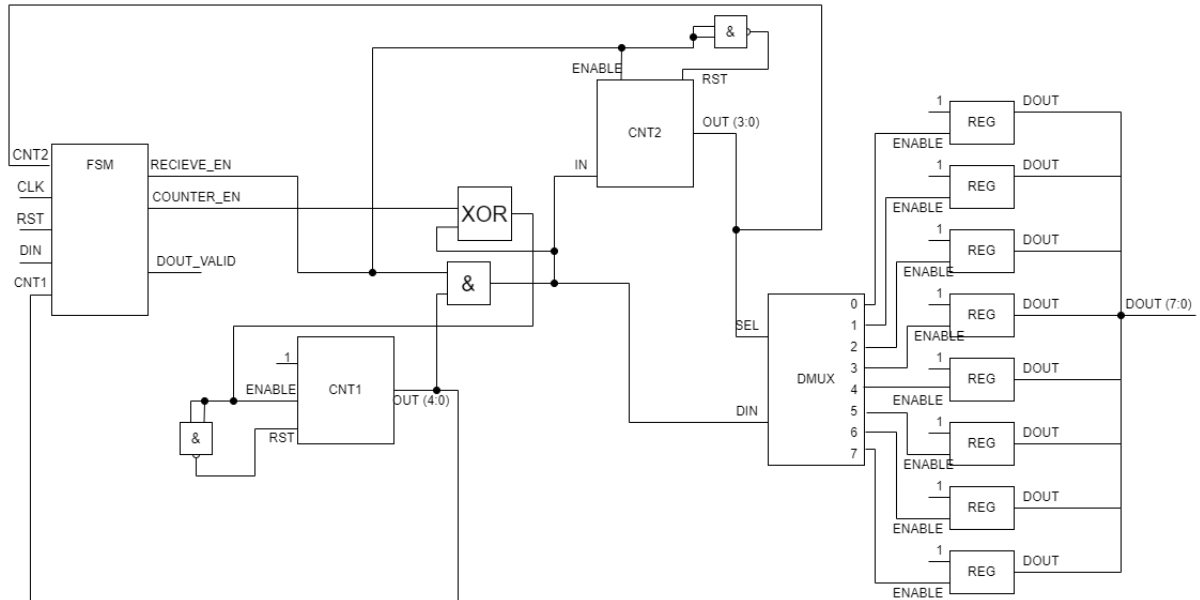


Jméno: Michal Wagner
Login: xwagne12

Architektura navrženého obvodu (na úrovni RTL)

Schéma obvodu

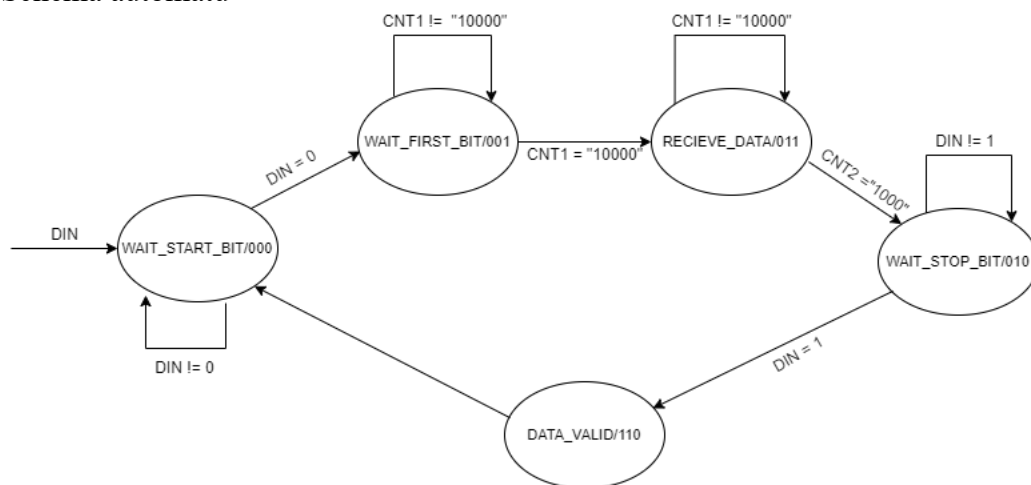


Popis funkce

Obvod se řídí podle signálů z FSM, který přijímá příchozí bity z DIN. Nastavuje výstupy RECIEVE_EN a COUNTER_EN. Když je CLOCK v polovině prvního vstupního bitu (8b), tak se CNT1 vynuluje a poté se začnou postupně zapisovat vstupní bity na výstup. CNT1 se navyšuje po 16ti CLOCK a na výstup zapíše vstupní bit, pokud je povolen RECIEVE_EN, tak je zapnut DMUX. DMUX na výstup posílá aktuální hodnotu DIN na pozici danou CNT2 (0-7).

Návrh automatu (Finite State Machine)

Schéma automatu



Legenda:

- Stavy automatu: WAIT_START_BIT, WAIT_FIRST_BIT, RECIEVE_DATA, WAIT_STOP_BIT, DATA_VALID
- Vstupní signály: DIN, CNT1, CNT2, RST, CLK
- Moorove výstupy: RECIEVE_EN, COUNTER_EN, DOUT_VALID

Popis funkce

Automat čeká ve stavu WAIT_START_BIT, dokud není DIN = 0, což signalizuje START bit. Pokud bude DIN=1, tak se stav nezmění. Poté se přepne do stavu WAIT_FIRST_BIT a na přechod do následujícího stavu je potřeba, aby počítadlo CNT1 bylo rovné 16 (po 16hodinových cyklech načte 1 bit a čteme v midbit) a přepíná se do RECIEVE_DATA. V tomto stavu je potřeba, aby CNT2 mělo hodnotu 8 (načítá celkem 8 bitů). Na každý RECIEVE_DATA je čekání 16hodinových cyklů. Přepíná se do WAIT_STOP_BIT, kde čeká až DIN=1 (STOP bit). Následně se přepne do stavu DATA_VALID a znovu do stavu WAIT_START_BIT, kde čeká na zahájení dalšího vysílání.

Snímky simulace

