



# Kiểm tra 15 phút

- Dự đoán các bit nhớ của phép cộng 2 số sau bằng cách tính toán các giá trị  $g_i$  và  $p_i$

□  $101011 + 011001$

- Thiết kế mạch dựa trên bảng chân trị sau

E	I <sub>1</sub>	I <sub>0</sub>	O <sub>3</sub>	O <sub>2</sub>	O <sub>1</sub>	O <sub>0</sub>
0	x	x	1	1	1	1
1	0	0	1	1	0	1
1	0	1	0	0	1	0
1	1	0	0	1	0	0
1	1	1	1	0	1	1



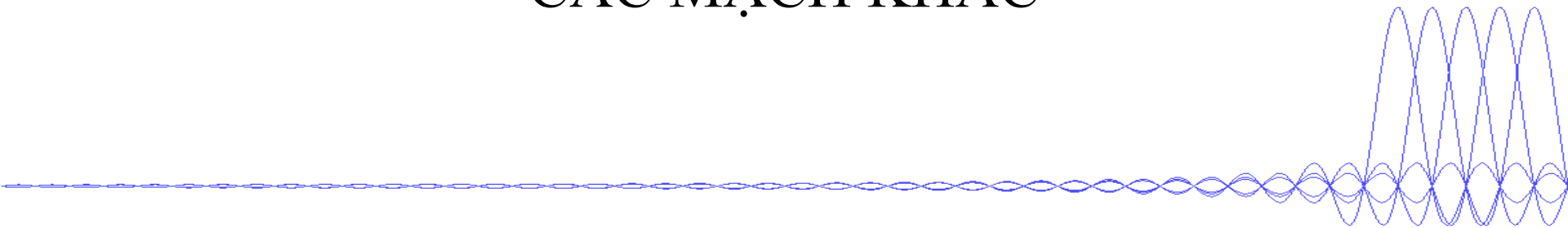
COMPUTER ENGINEERING



**UIT**  
TRƯỜNG ĐẠI HỌC  
CÔNG NGHỆ THÔNG TIN

# NHẬP MÔN MẠCH SỐ

## CHƯƠNG 5: MẠCH TỔ HỢP – CÁC MẠCH KHÁC





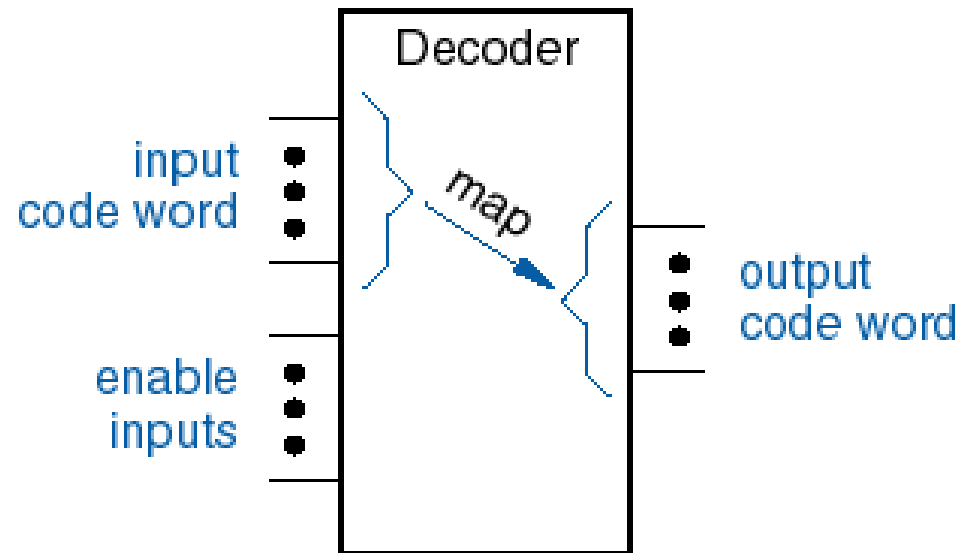
# Nội dung

- Mạch giải mã (Decoder)/ Mạch mã hoá (Encoder)
- Mạch dồn kênh (Multiplexer)/ Mạch chia kênh (Demultiplexer)
- Thiết kế mạch logic sử dụng Mux
- Mạch tạo Parity/ Mạch kiểm tra Parity
- Mạch so sánh (Comparator)



# Mạch giải mã (Decoder)

- Nhiều ngõ vào/ nhiều ngõ ra
- Ngõ vào (n) thông thường ít hơn ngõ ra (m)
- Chuyển mã ngõ vào thành mã ngõ ra
- **Ảnh xạ 1-1:**
  - ☐ Mỗi mã ngõ vào chỉ tạo ra một mã ngõ ra
- Các mã ngõ vào:
  - ☐ Mã nhị phân
  - ☐ Your Code!
- Các mã ngõ ra:
  - ☐ 1-trong-m
  - ☐ Gray Code
  - ☐ BCD Code





# Mạch giải mã nhị phân (Binary Decoders)

■ Mạch giải mã **n-ra- $2^n$** : n ngõ vào và  $2^n$  ngõ ra

□ Mã đầu vào: n bit nhị phân

□ Mã đầu ra: 1-trong- $2^n$

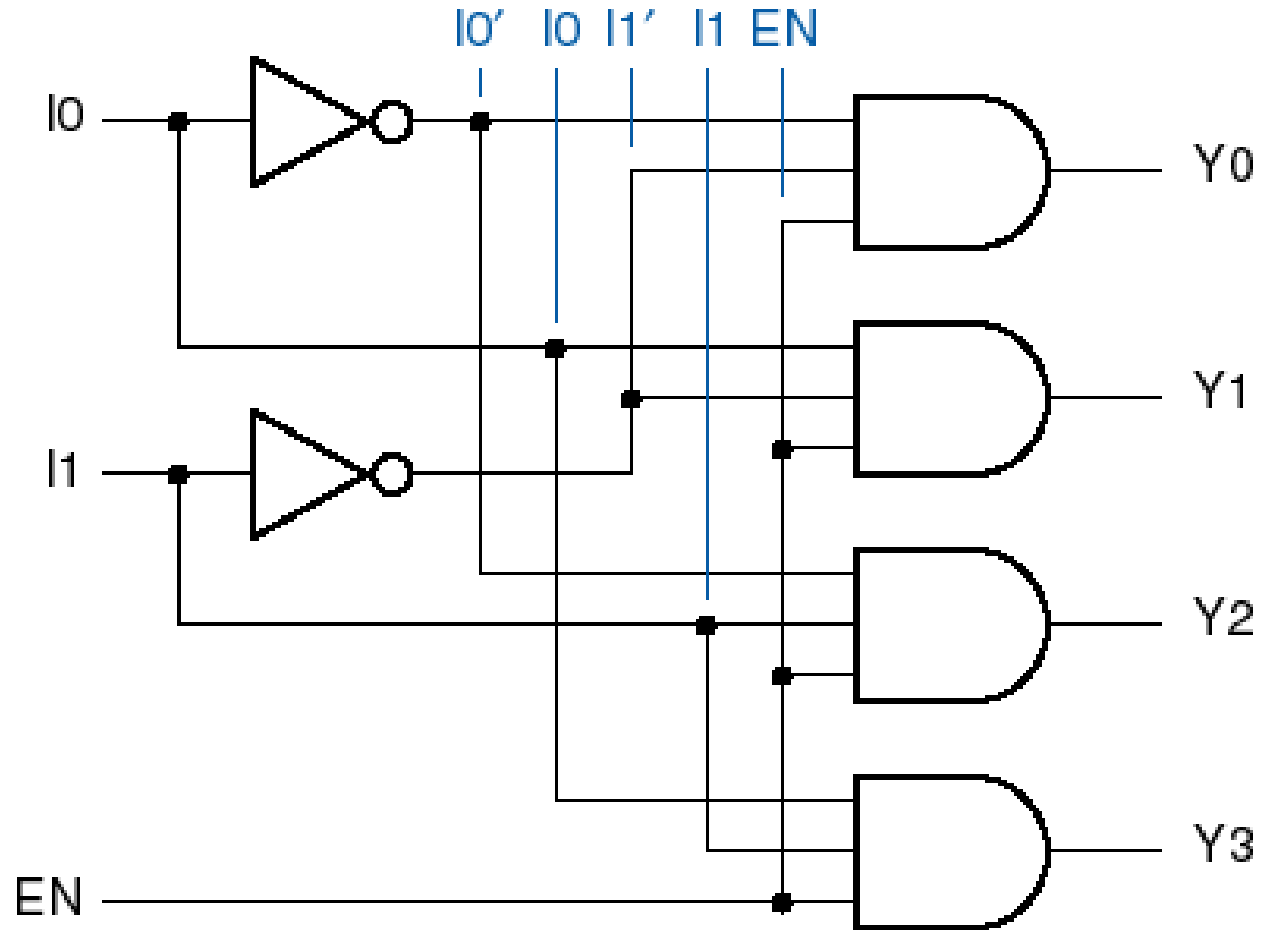
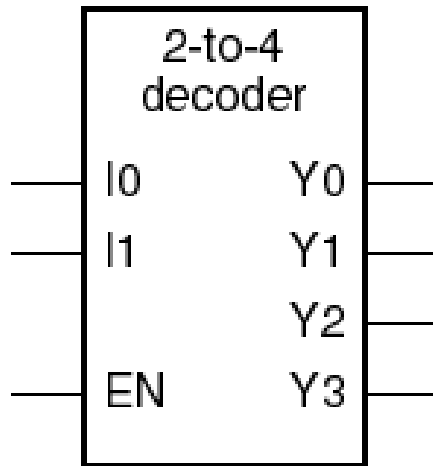
■ Ví dụ:  $n=2$ , mạch giải mã 2-ra-4

<i>Inputs</i>			<i>Outputs</i>			
EN	I1	I0	Y3	Y2	Y1	Y0
0	x	x	0	0	0	0
1	0	0	0	0	0	1
1	0	1	0	0	1	0
1	1	0	0	1	0	0
1	1	1	1	0	0	0

Chú ý “x” (kí hiệu ngõ vào don’t care)

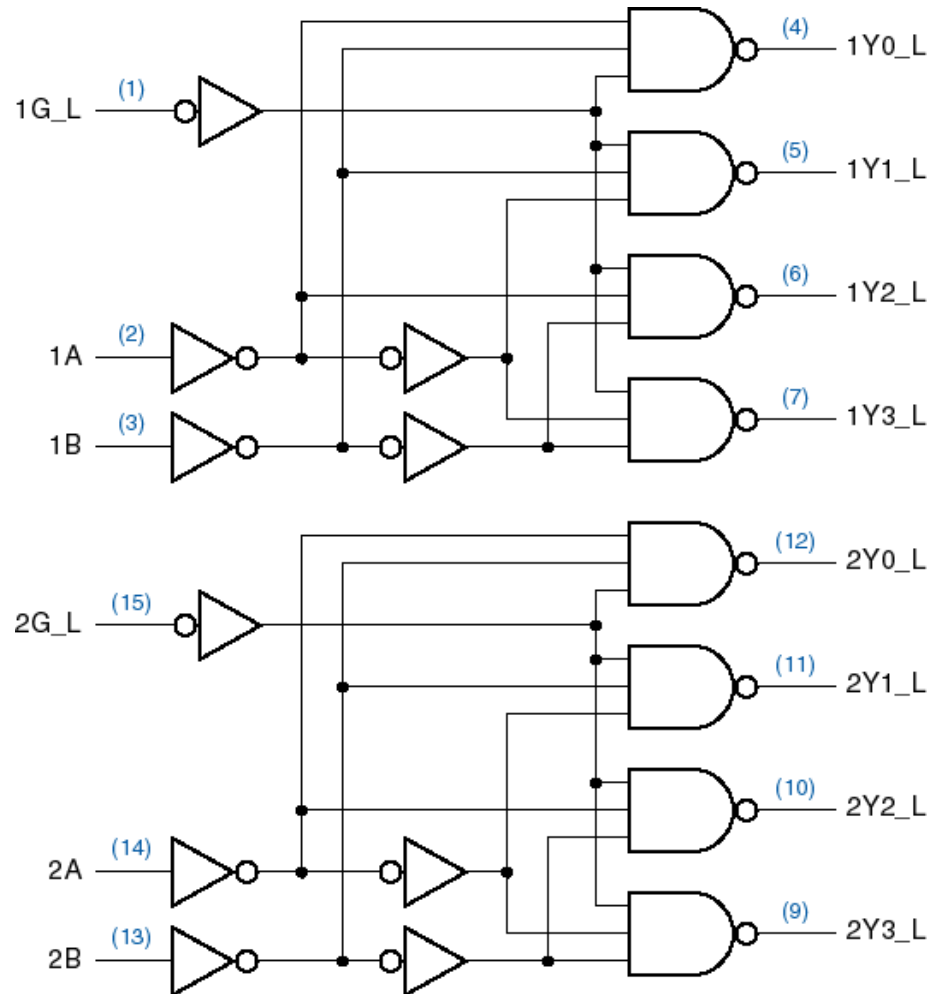
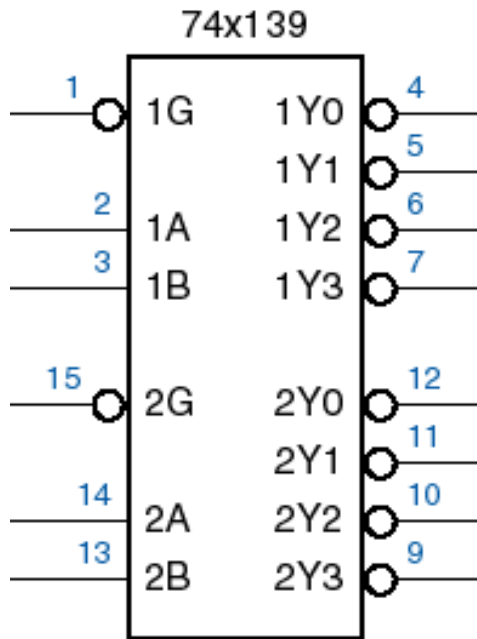


# Chip 74x139: Giải mã nhị phân 2-to-4





# Chip 74x139: Giải mã nhị phân 2-to-4





# Chip 74x138: Giải mã nhị phân 3-to-8

## Inputs

G1	G2A_L	G2B_L	C	B	A
0	x	x	x	x	x
x	1	x	x	x	x
x	x	1	x	x	x
1	0	0	0	0	0
1	0	0	0	0	1
1	0	0	0	1	0
1	0	0	0	1	1
1	0	0	1	0	0
1	0	0	1	0	1
1	0	0	1	1	0
1	0	0	1	1	1

## Outputs

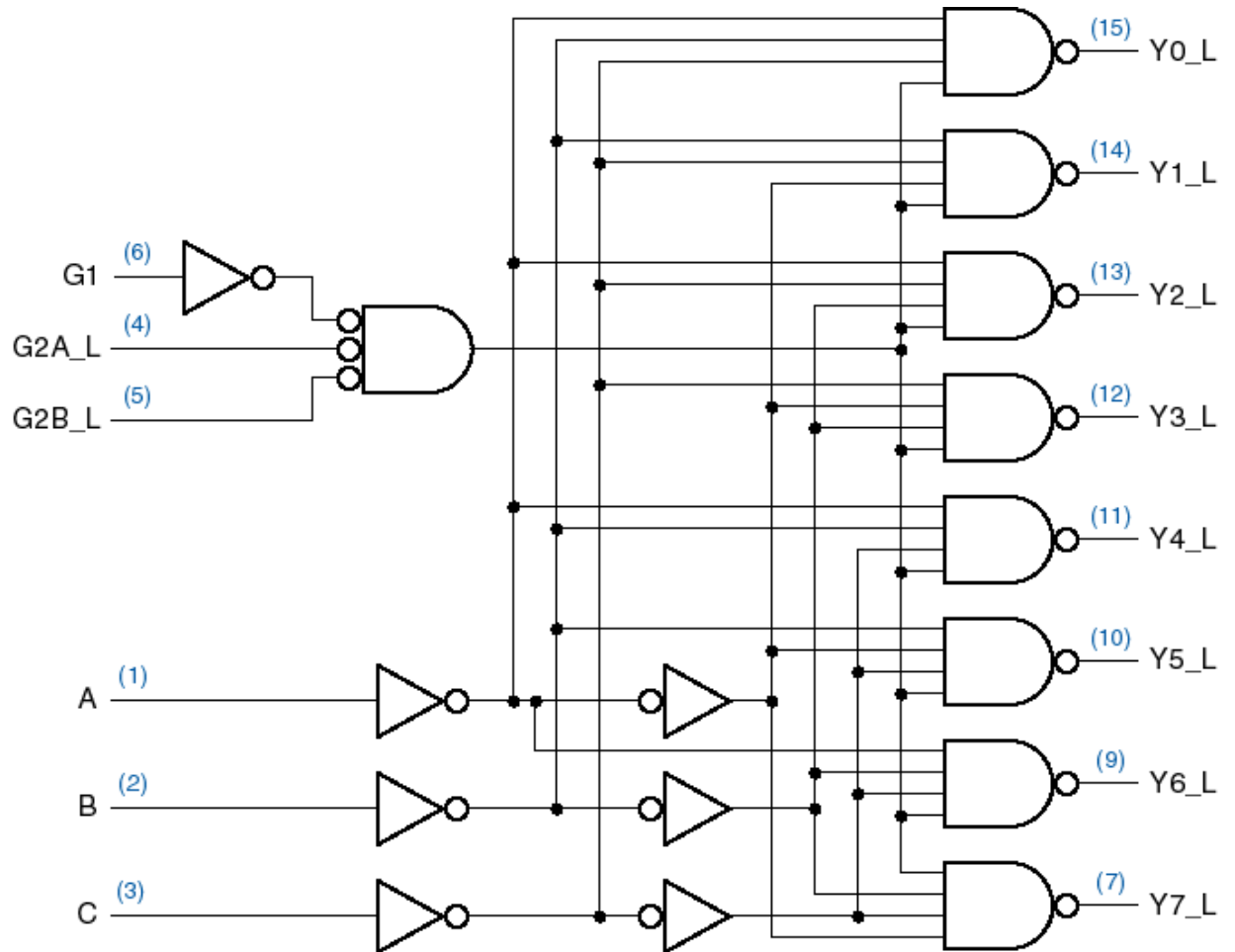
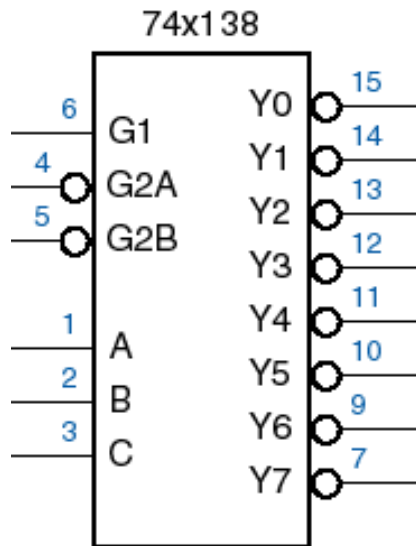
Y7_L	Y6_L	Y5_L	Y4_L	Y3_L	Y2_L	Y1_L	Y0_L
1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	0
1	1	1	1	1	1	0	1
1	1	1	1	1	0	1	1
1	1	1	0	1	1	1	1
1	1	0	1	1	1	1	1
1	0	1	1	1	1	1	1
0	1	1	1	1	1	1	1

## Bảng sự thật





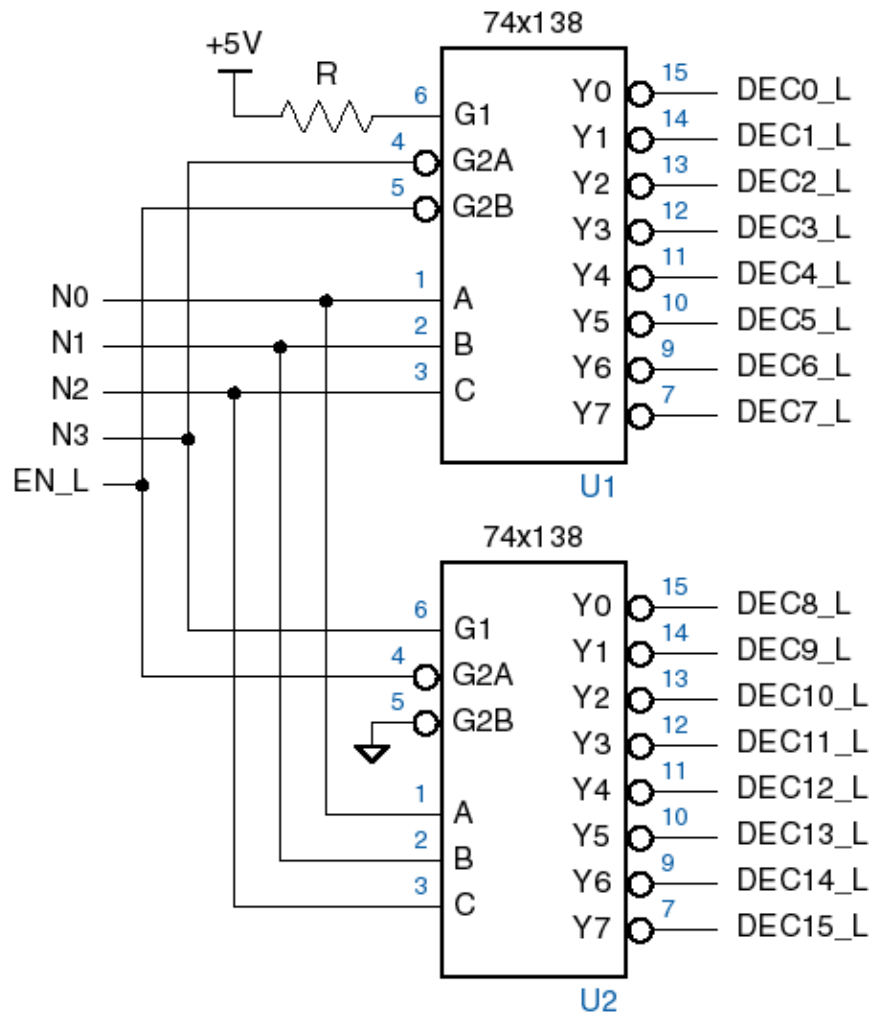
# Chip 74x138: Giải mã nhị phân 3-to-8





# Ghép mạch giải mã

## ■ Mạch giải mã 4-to-16

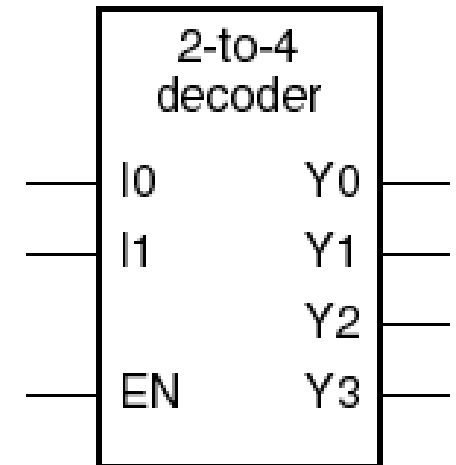




# Kiểm tra 20 phút

1. Sử dụng 2 cổng Decoder 2-to-4 và một số cổng logic cơ bản để thực hiện mạch Decoder 3-to-8.

I1	I0	Se I	Out	I1	I0	Se I	Out
0	0	0	0	0	0	0	0
0	0	0	1	0	0	1	0
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	1
0	1	0	0	0	1	0	0
0	1	0	1	0	1	0	1
0	1	1	0	0	1	1	0
0	1	1	1	0	1	1	1
1	0	0	0	1	0	0	0
1	0	0	1	1	0	0	1
1	0	1	0	1	0	1	0
1	0	1	1	1	0	1	1
1	1	0	0	1	1	0	0
1	1	0	1	1	1	0	1
1	1	1	0	1	1	1	0
1	1	1	1	1	1	1	1

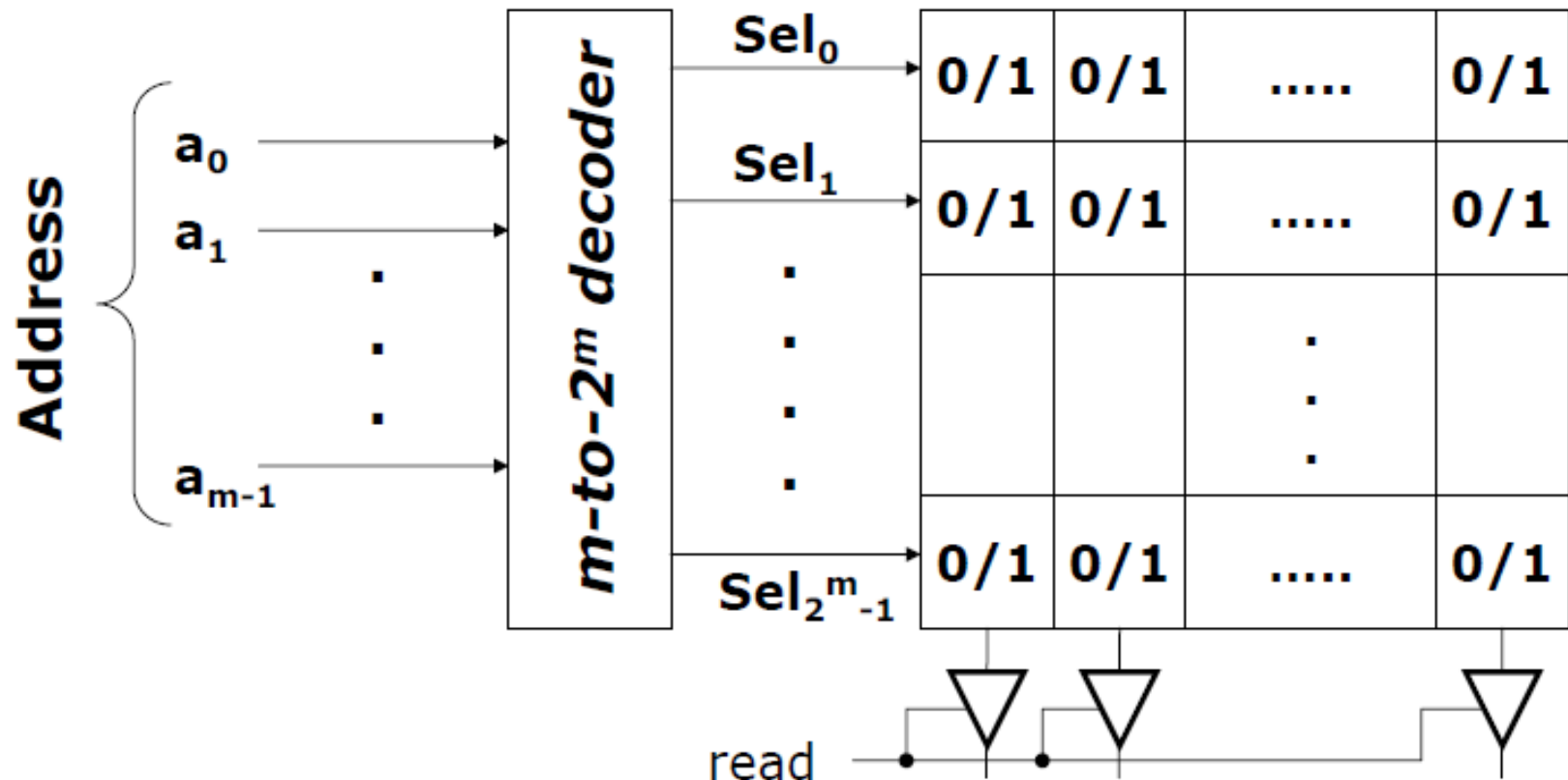


2. Hoàn thiện bảng bên trái



# Ứng dụng của mạch giải mã

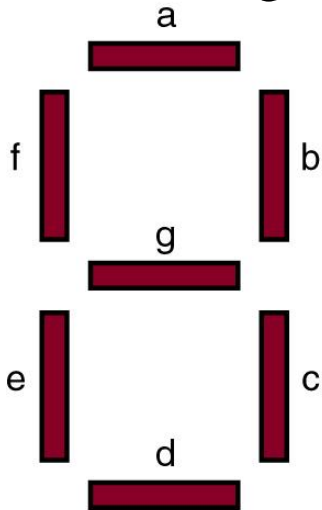
- Một ứng dụng phổ biến là giải mã địa chỉ cho các chip nhớ





# LED 7 đoạn (7-segment display)

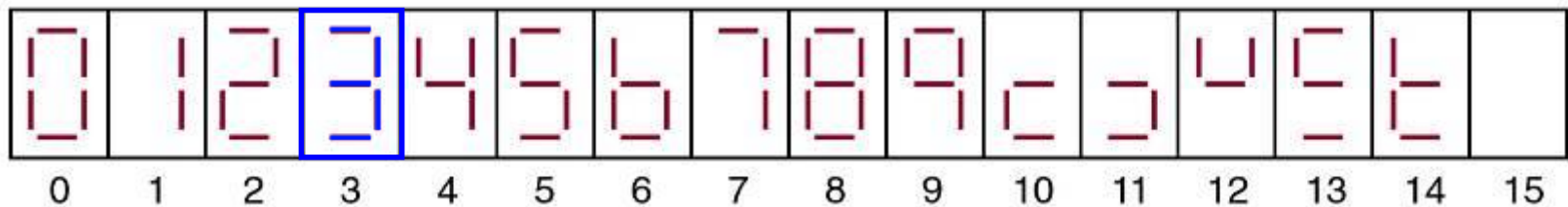
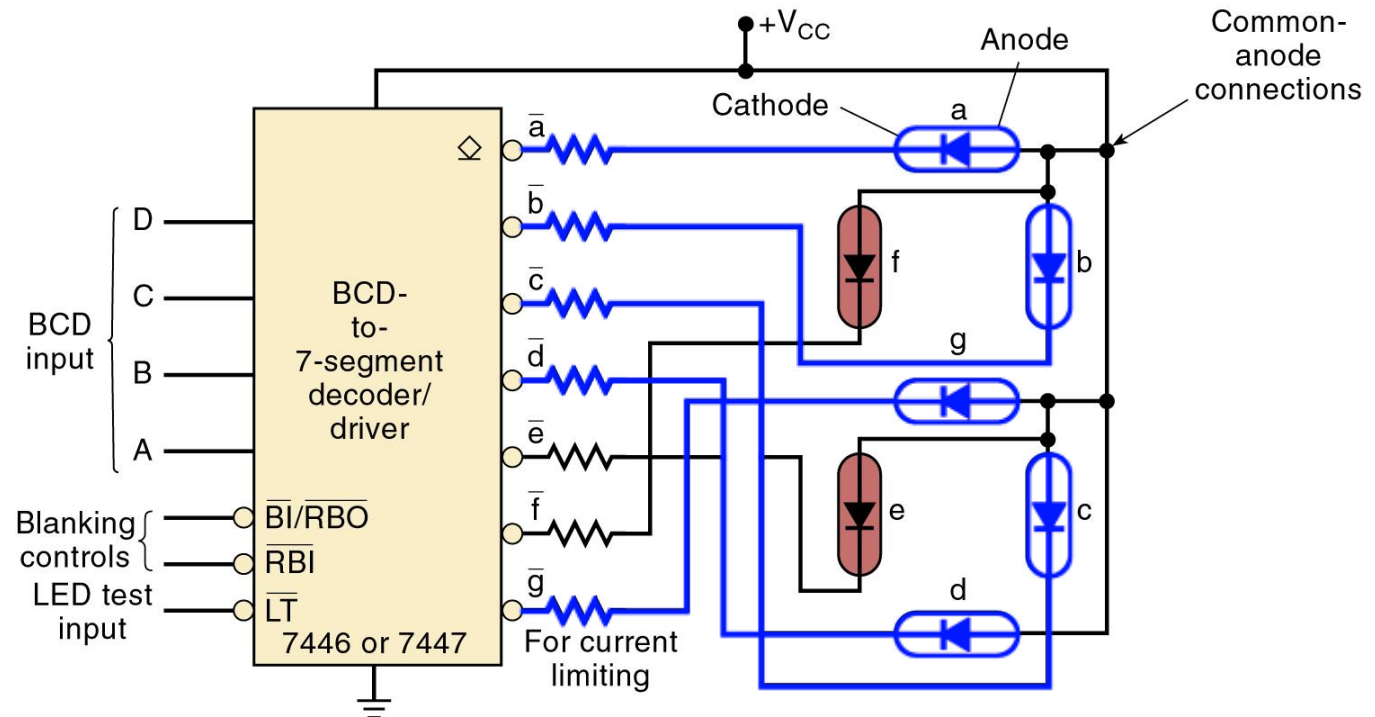
- LED 7 đoạn là cách phổ biến để hiển thị số thập phân hoặc số thập lục phân
  - Sử dụng LED cho mỗi đoạn
  - Bằng cách điều khiển dòng điện qua mỗi LED, một số đoạn sẽ sáng và một số tắt, từ đó tạo nên số mong muốn





# Giải mã BCD ra LED 7 đoạn

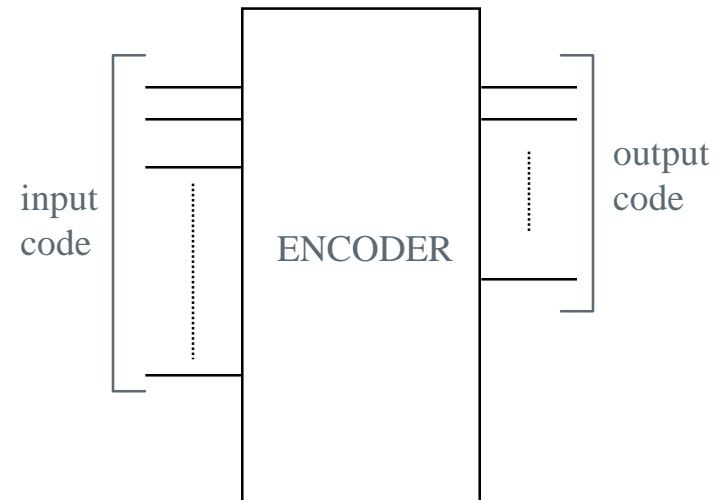
- Chuyển số BCD sang thông tin thích hợp để hiển thị trên đèn 7 đoạn





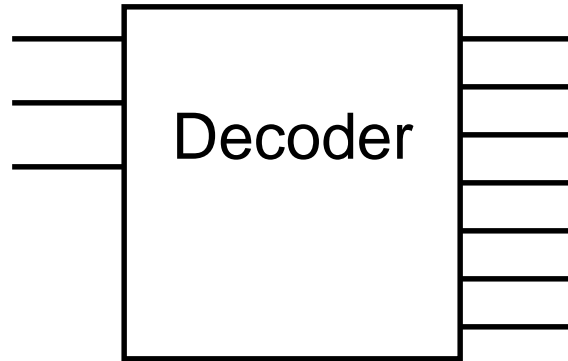
# Mạch mã hoá (Encoder)

- Nhiều ngõ vào/ nhiều ngõ ra
- Chức năng ngược lại với mạch giải mã
- Outputs (m) ít hơn inputs (n)
- Chuyển mã ngõ vào thành mã ngõ ra



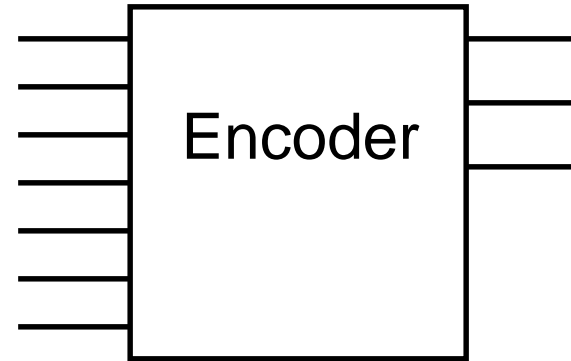


# Mạch giải mã Vs Mạch mã hóa



Mạch giải mã nhị phân

- $n$ -ra- $2^n$
- Input code: Mã nhị phân
- Output code: 1-trong- $2^n$



Mạch mã hóa nhị phân

- $2^n$ -ra- $n$
- Input code: 1-trong- $2^n$
- Output code: Mã nhị phân





# Mạch mã hoá nhị phân (Binary Encoder)

■  **$2^n$ -ra-n encoder:**  $2^n$  ngõ vào và n ngõ ra

□ Input code: 1-trong- $2^n$

□ Output code: Mã nhị phân

■ Ứng dụng:

□ Mạch mã hóa tín hiệu

□ Mạch mã hóa ưu tiên

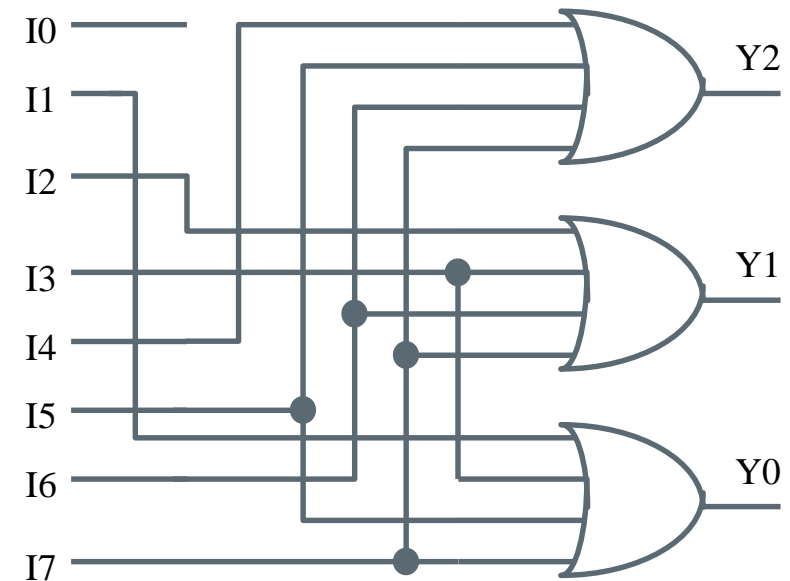


# Mạch mã hoá tín hiệu nhị phân (Binary Encoder)

## ■ Mạch mã hóa 8-to-3

Inputs								Outputs		
I0	I1	I2	I3	I4	I5	I6	I7	Y2	Y1	Y0
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

Bảng sự thật



Mạch logic



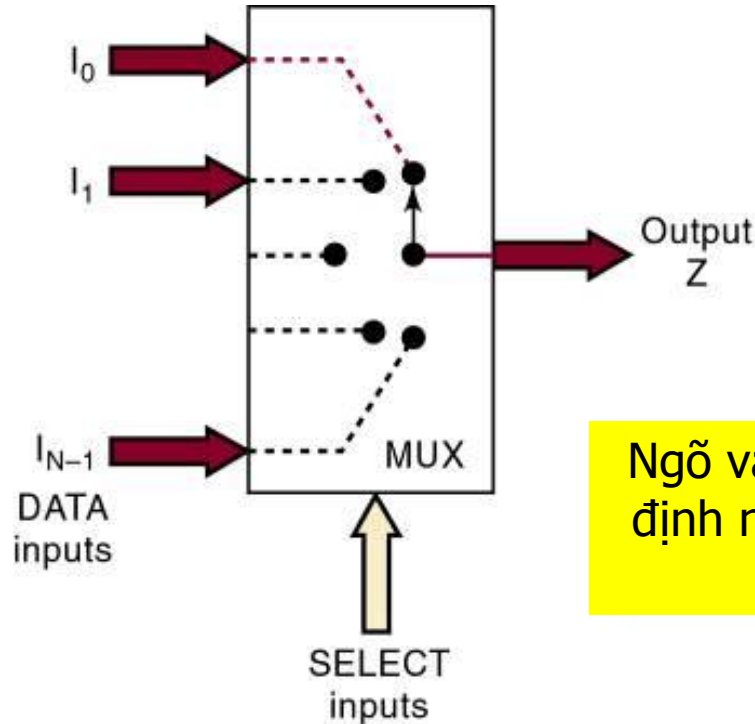
# Nội dung

- Mạch giải mã (Decoder)/ Mạch mã hoá (Encoder)
- Mạch dồn kênh (Multiplexer)/ Mạch chia kênh (Demultiplexer)
- Thiết kế mạch logic sử dụng Mux
- Mạch tạo Parity/ Mạch kiểm tra Parity
- Mạch so sánh (Comparator)



# Multiplexer (MUX)

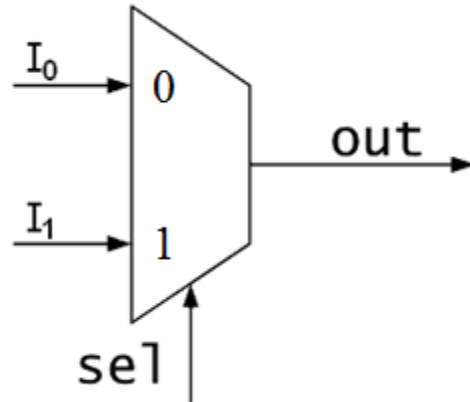
- Một **MUX** truyền một trong những ngõ vào của nó ra ngõ ra dựa trên tín hiệu Select



Ngõ vào SELECT sẽ xác định ngõ vào nào được truyền ra Z



# 2-to-1 Multiplexer



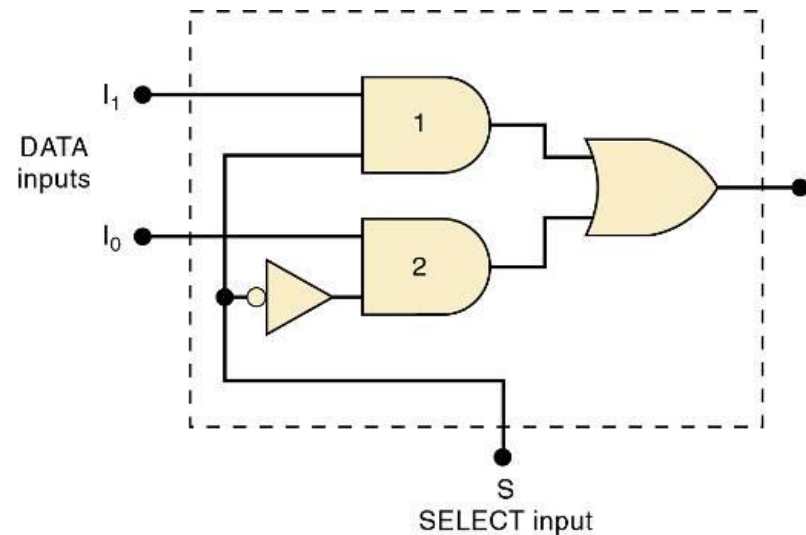
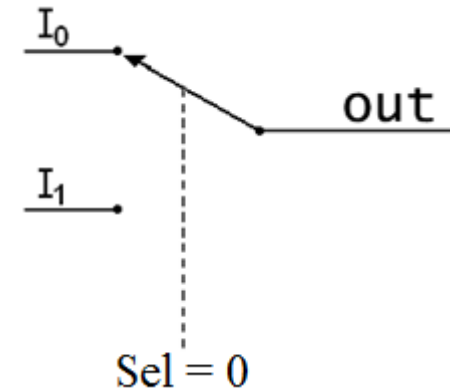
Ký hiệu

Sel	Out
0	$I_0$
1	$I_1$

$$\text{Out} = \overline{\text{Sel}} * I_0 + \text{Sel} * I_1$$

Biểu thức đại số

Minh họa  
với Sel = 0

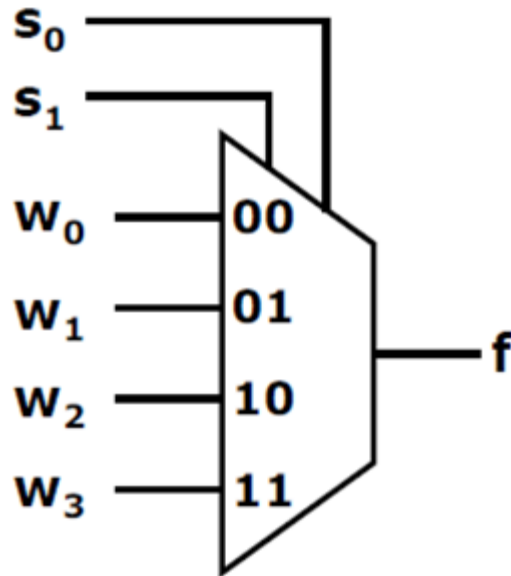


Mạch logic



# MUX 4-to-1

- 4-to-1 Mux xuất ra một trong bốn ngõ vào dựa trên giá trị của 2 tín hiệu select



Ký hiệu

$s_1$	$s_0$	$f$
0	0	$w_0$
0	1	$w_1$
1	0	$w_2$
1	1	$w_3$

Bảng sự thật

$$f = s_1' s_0' w_0 + s_1' s_0 w_1 + s_1 s_0' w_2 + s_1 s_0 w_3$$

Biểu thức đại số



# Thiết kế mạch MUX 4-to-1 từ MUX 2-to-1

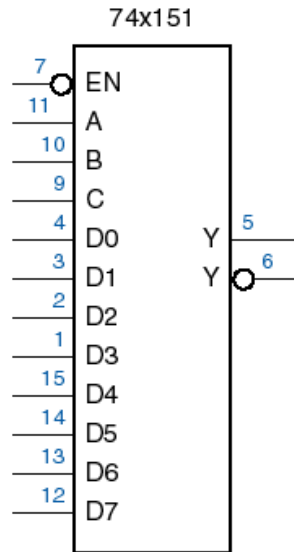


## ■ Bài tập



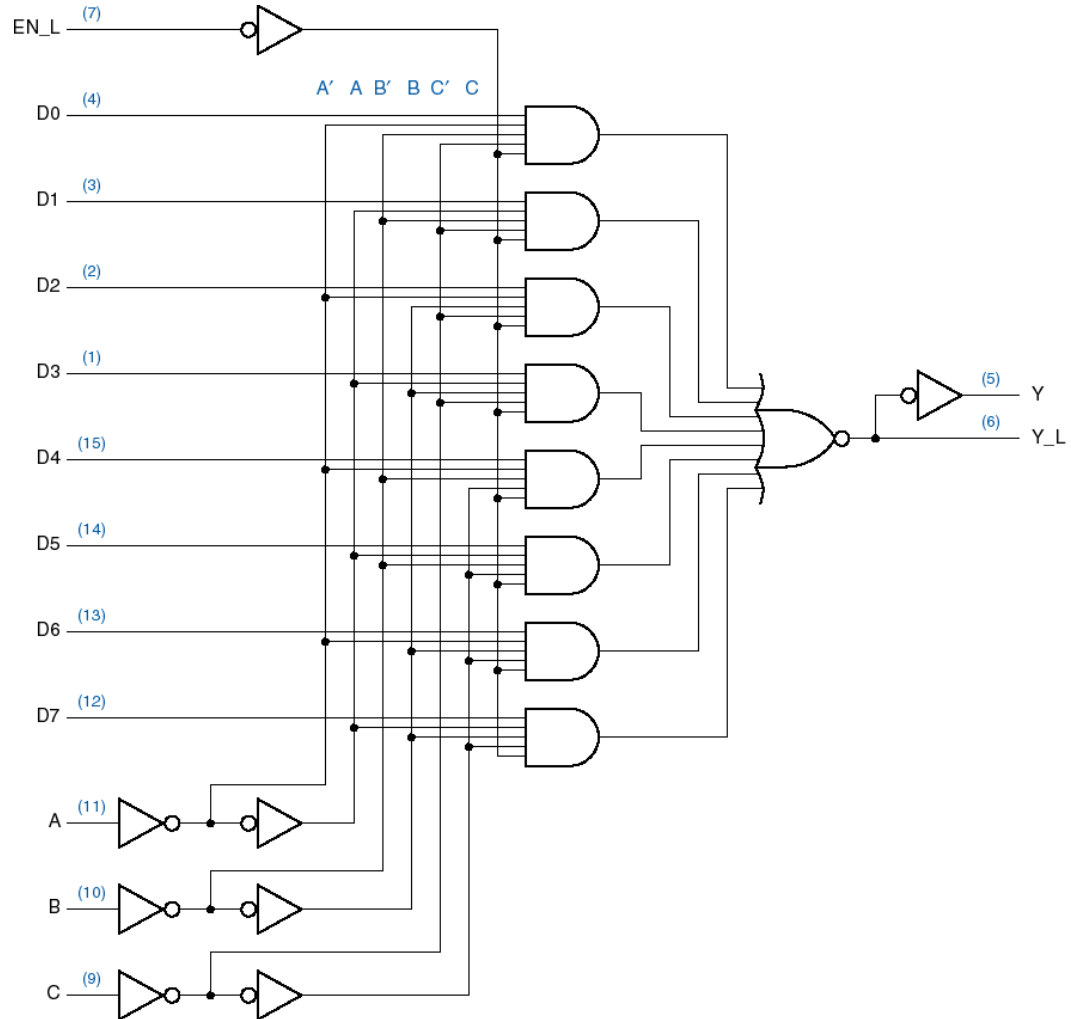
# MUX 8-to-1: Chip 74x151

Ký hiệu



Bảng sự thật

Inputs				Outputs	
EN_L	S2	S1	S0	Y	Y_L
1	x	x	x	0	1
0	0	0	0	D0	D0'
0	0	0	1	D1	D1'
0	0	1	0	D2	D2'
0	0	1	1	D3	D3'
0	1	0	0	D4	D4'
0	1	0	1	D5	D5'
0	1	1	0	D6	D6'
0	1	1	1	D7	D7'



Mạch thiết kế luận lý

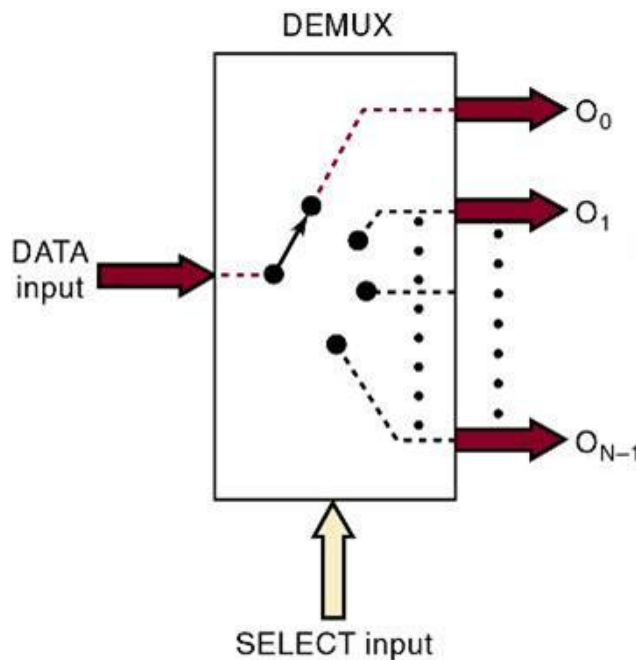




# Demultiplexer

■ **Demultiplexer (DEMUX)** lấy ngõ vào duy nhất và phân phối nó ra một ngõ ra.

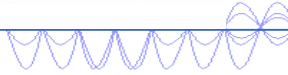
□ Mã ngõ vào SELECT sẽ xác định ngõ ra nào sẽ được kết nối với ngõ vào



DATA được truyền ra *một và chỉ một* ngõ ra được xác định bởi mã của ngõ vào SELECT

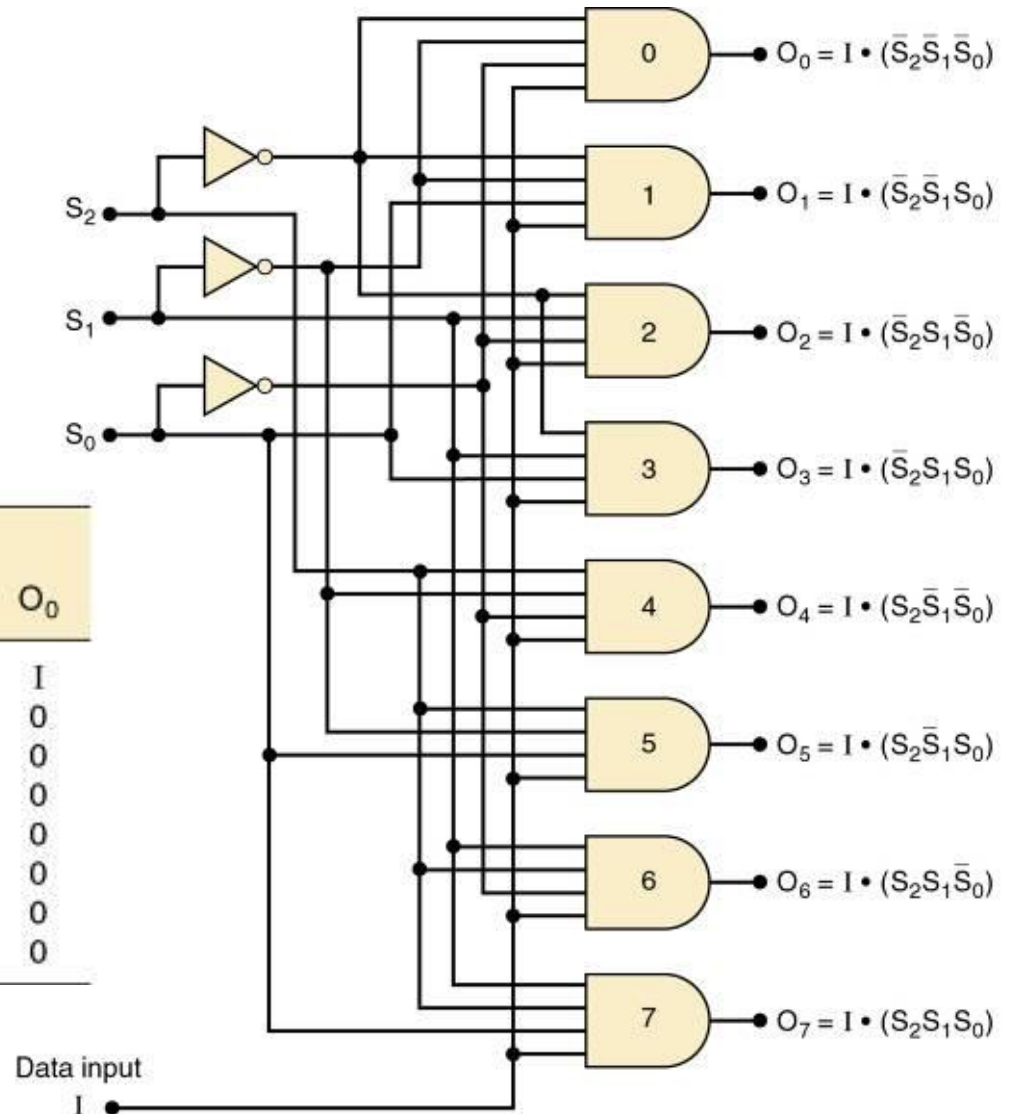


# DEMUX 1-to-8



Select Code			Outputs							
$S_2$	$S_1$	$S_0$	$O_7$	$O_6$	$O_5$	$O_4$	$O_3$	$O_2$	$O_1$	$O_0$
0	0	0	0	0	0	0	0	0	0	I
0	0	1	0	0	0	0	0	0	I	0
0	1	0	0	0	0	0	0	I	0	0
0	1	1	0	0	0	0	I	0	0	0
1	0	0	0	0	0	I	0	0	0	0
1	0	1	0	0	I	0	0	0	0	0
1	1	0	0	I	0	0	0	0	0	0
1	1	1	I	0	0	0	0	0	0	0

**Chú ý:** I là ngõ vào DATA





# Tóm tắt nội dung chương học

- Qua Phần 2 - Chương 5, sinh viên cần nắm những nội dung chính sau:
  - Chức năng, ứng dụng và thiết kế của mạch mã hóa và giải mã trong các hệ thống máy tính
  - Chức năng, ứng dụng và thiết kế của mạch chọn kênh và phân kênh trong các hệ thống máy tính



COMPUTER ENGINEERING



**UIT**  
TRƯỜNG ĐẠI HỌC  
CÔNG NGHỆ THÔNG TIN

Any question?

