TRƯỜNG ĐẠI HỌC CÔNG NGHỆ THÔNG TIN

ĐỀ THI CUỐI HK1 (2018-2019)

KHO<u>A KỸ THUẬT MÁY T</u>ÍNH

NHẬP MÔN MẠCH SỐ

Thời gian: 90 phút

Đề 1

(Sinh viên không được sử dụng tài liệu. Làm bài trực tiếp trên đề)

<u>STT</u>		<u>ÐIÊM</u>
	Họ và tên:	
	MSSV:	
	Phòng thi:	

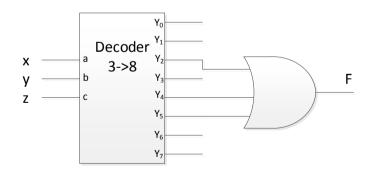
Giám thị	Họ và tên	Chữ ký
1		
2		

TRẮC NGHIỆM (7 Điểm, 0.5đ/câu)

Câu 1	Câu 2	Câu 3	Câu 4	Câu 5	Câu 6	Câu 7

Câu 8	Câu 9	Câu 10	Câu 11	Câu 12	Câu 13	Câu 14

Câu 1 (G3). Tìm hàm Boolean mô tả mạch được thể hiện trên các hình sau F(x,y,x)=?



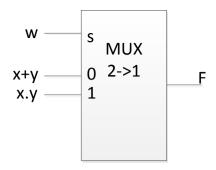
A.
$$(x+y+z) + (x'+y'+z) + (x+y+z')$$

B.
$$xyz + xy'z + xyz'$$

C.
$$(x+y+z) + (x'+y'+z) + (x'+y'+z')$$

D.
$$xy'z + x'yz' + xy'z'$$

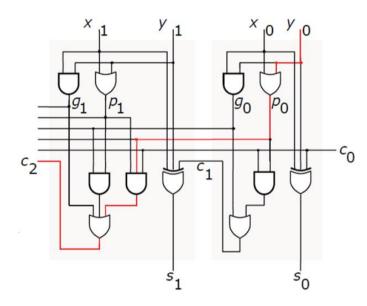
Câu 2 (G3). Tìm hàm Boolean mô tả mạch được thể hiện trên các hình sau F(w,x,y)=?



- A. w'.(x.y) + w.(x+y)
- C. (w+x+y).(w+x.y)

- B. w.x.y + w'.x + w'.y
- D. w.(x+y+x.y)

Câu 3 (G4). Xác định độ trì hoãn (delay) trên đường tới hạn (critical path) của mạch sau:

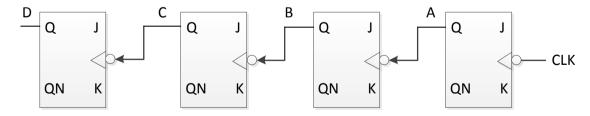


Giả sử cổng OR có $t_{OR\ delay}=1$ ns, cổng XOR có $t_{XOR\ delay}=1.2$ ns, cổng AND có $t_{AND\ delay}=1$ ns.

- A. 3 ns
- C. 4 ns

- B. 3.2 ns
- D. 4.2 ns

Câu 4 (G3). Cho mạch đếm như hình bên dưới (tất cả ngõ vào J, K của các flip-flop đều bằng 1):

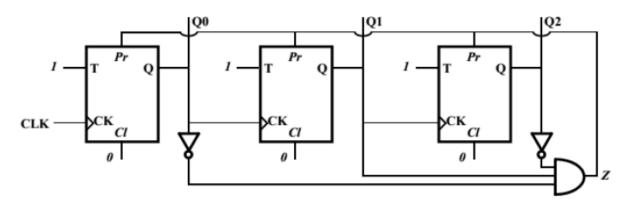


Xác định hệ số đếm (MOD) của bộ đếm nếu mắc nối tiếp thêm vào mạch trên 2 flip-flop.

- A. MOD-4
- C. MOD-16

- B. MOD-6
- D. MOD-64

Câu 5 (G3). Cho mạch đếm sau:



Tần số ngõ ra của bộ đếm khi tần số ngõ vào CLK = 15 KHz là:

A. 5 KHz

B. 3.75 Khz

C. 3 Khz

D. 2.5 Khz

Câu 6 (G3). Biểu thức Boolean biểu diễn tổng S và số nhớ ngõ ra C của bộ cộng full adder (FA) 1-bit, với A, B là số hạng ngõ vào, Cin là số nhớ ngõ vào:

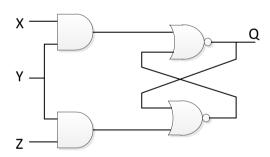
A.
$$S = A + B + Cin \quad vac C = AB + (A+B).Cin$$

B.
$$S = A + B + Cin \quad vac C = AB + (A+B).Cin$$

C.
$$S = A \oplus B \oplus Cin \ vac C = AB \oplus (A+B).Cin$$

D.
$$S = A \oplus B \oplus Cin \ vac C = AB + (A+B).Cin$$

Câu 7 (G3). Với mạch chốt bên dưới, để Q = 1 thì X, Y, Z có thể mang giá trị nào:



Câu 8 (G3). Một flip-flop J-K giữ nguyên trạng thái khi:

Câu 9 (G3). Cho flip-flop S-R với S=1, R=0 thì ngõ ra sau cạnh xung clock là:

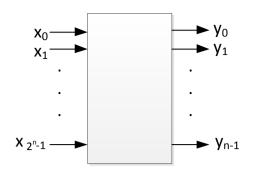
A. 0

B. 1

C. Tùy định

D. Không đổi

Câu 10 (G3). Hình sau thể hiện mạch tổ hợp nào:



- A. Multiplexer
- C. Encoder

- B. Decoder
- D. Demultiplexer

Câu 11 (G3). Cổng logic lý tưởng để kiểm tra bit parity của một chuỗi bit là:

A. AND

B. NAND

C. XOR

D. NOR

Câu 12 (G3). Phát biểu về chốt D nào sau đây là Đúng:

- A. Ngõ ra lật trạng thái nếu một trong các ngõ vào ở mức cao
- B. Ngõ ra Q thay đổi theo sự thay đổi của ngõ vào D khi tín hiệu cho phép ở mức cao
- C. Tại một thời điểm chỉ có một ngõ vào có thể ở mức cao
- D. Ngõ ra Q thay đổi bằng bù ngõ ra trước đó khi ngõ vào thay đổi

Câu 13 (G3). Tín hiệu Select của bộ chia kênh (Demultiplexer) 1->16 có:

A. 2 bit

B. 4 bit

C. 8 bit

D. 16 bit

Câu 14 (G3). Tín hiệu nào sau đây không phải là ngõ ra của bộ so sánh (Comparator):

A. A > B

B. A < B

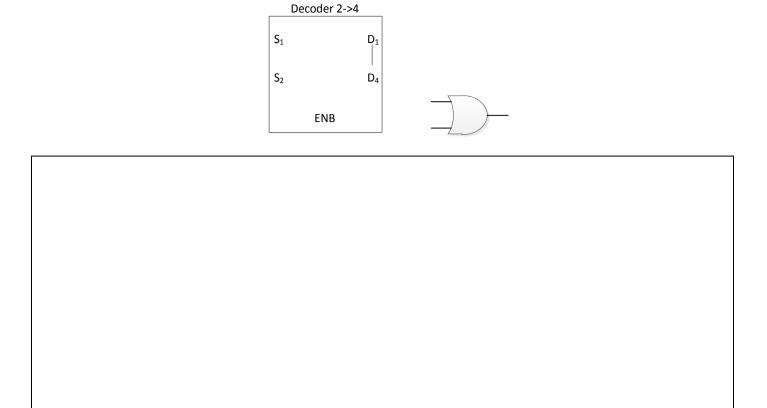
C. A - B

D. A = B

TỰ LUẬN (3Đ)

Câu 15 (G4). (1đ)

a) Cho hàm Boolean 3 ngỗ vào: $F(a,b,c) = \sum m(0,2,4,6,7) + \sum d(1)$. Thực hiện hàm F(a,b,c) bằng cách tối ưu nhất chỉ sử dụng bộ giải mã 2->4 và cổng OR 2 ngỗ vào (chọn số lượng các cổng sao cho tối ưu nhất). (0.5d)



b) Thực hiện hàm Boolean 4 biến theo bảng chân trị bên dưới theo cách tối ưu nhất chỉ sử dụng Mux 8:1 (không được sử dụng thêm bất kỳ cổng logic nào kể cả cổng NOT). (0.5đ)

A	В	C	D	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

Câu 16 (G3, G4). Thiết kê mạch đêm 3 bit với chuối đề Sử dụng 1 T flip-flop cho bit đếm có trọng số cao nhất,	
Giảng viên ra đề	Duyệt đề của Khoa/ Bộ môn

Phạm Thanh Hùng

Trịnh Lê Huy