



Kiểm tra 15'



Cho hàm $F(A,B,C) = \Sigma(0,3,5,7) + d(6)$

- Hiện thực hàm F sử dụng ít nhất các mạch 2-4 decoders và cổng OR
- Hiện thực hàm F sử dụng ít nhất các mạch 4-1 MUX



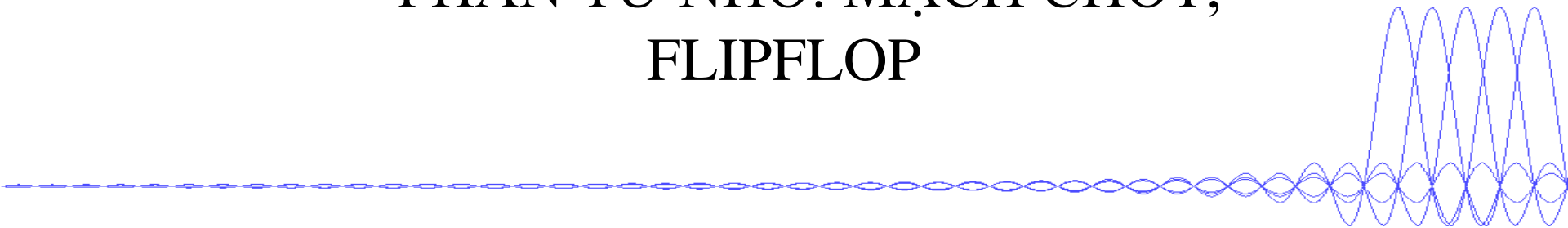
COMPUTER ENGINEERING



UIT
TRƯỜNG ĐẠI HỌC
CÔNG NGHỆ THÔNG TIN

NHẬP MÔN MẠCH SỐ

CHƯƠNG 6: MẠCH TUẦN TỰ - PHẦN TỬ NHỚ: MẠCH CHỐT, FLIPFLOP





Nội dung

- Tổng quan
- Chốt S-R
- Chốt D
- Flipflop S-R
- Flipflop D
- Flipflop T
- Flipflop J-K
- Thiết kế chuyển đổi giữa các loại FF



Tổng quan

- Các hệ thống số ngày nay đều gồm có hai thành phần: mạch tổ hợp (chương 5) để thực hiện các chức năng logic và các thành phần có tính chất nhớ (memory element) để lưu giữ các trạng thái trong mạch.
- Chương này sẽ học về:
 - Các thành phần có tính chất nhớ (Chốt, Flip-flop, thanh ghi,...)
 - Kết hợp các thành phần tổ hợp và thành phần tính chất nhớ để tạo nên các mạch tuần tự.



Nội dung

- Tổng quan
- Chốt S-R
- Chốt D
- Flipflop S-R
- Flipflop D
- Flipflop T
- Flipflop J-K
- Thiết kế chuyển đổi giữa các loại FF

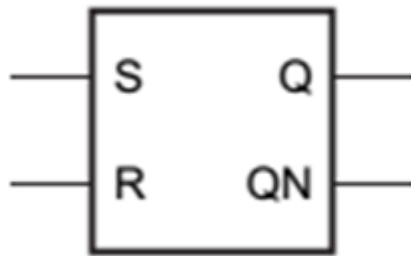
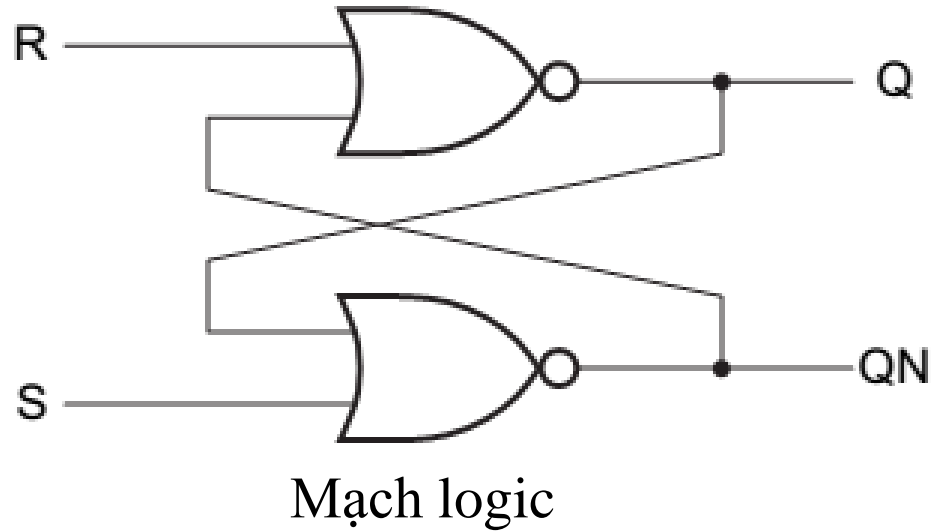


Chốt S-R

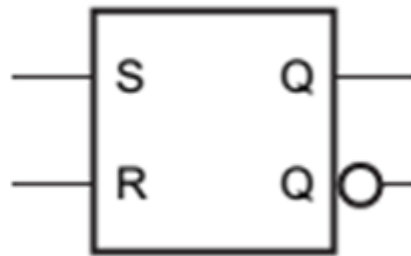
S	R	Q	QN
0	0	last Q	last QN
0	1	0	1
1	0	1	0
1	1	0	0

Cấm sử dụng

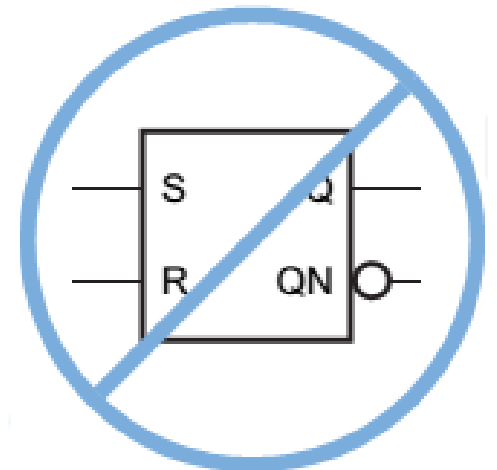
Bảng sự thật



Ký hiệu



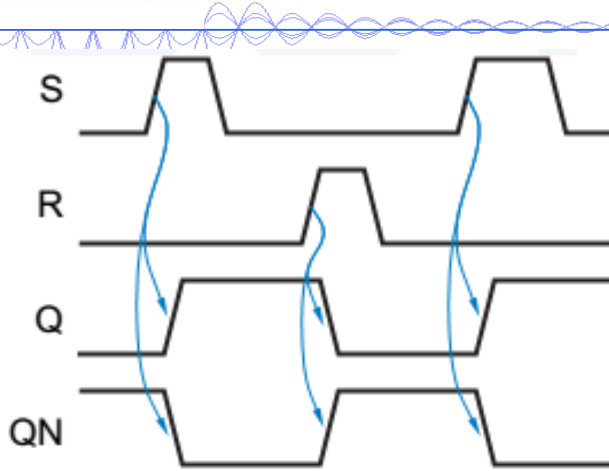
Ký hiệu



Ký hiệu sai



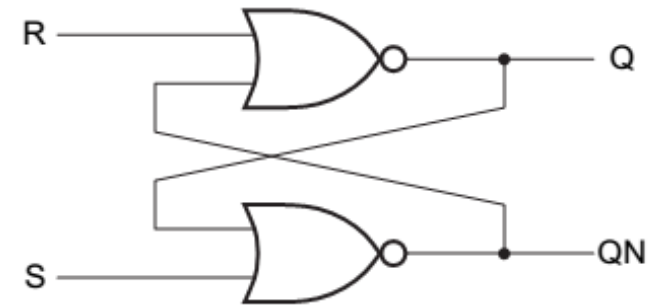
Chốt S-R



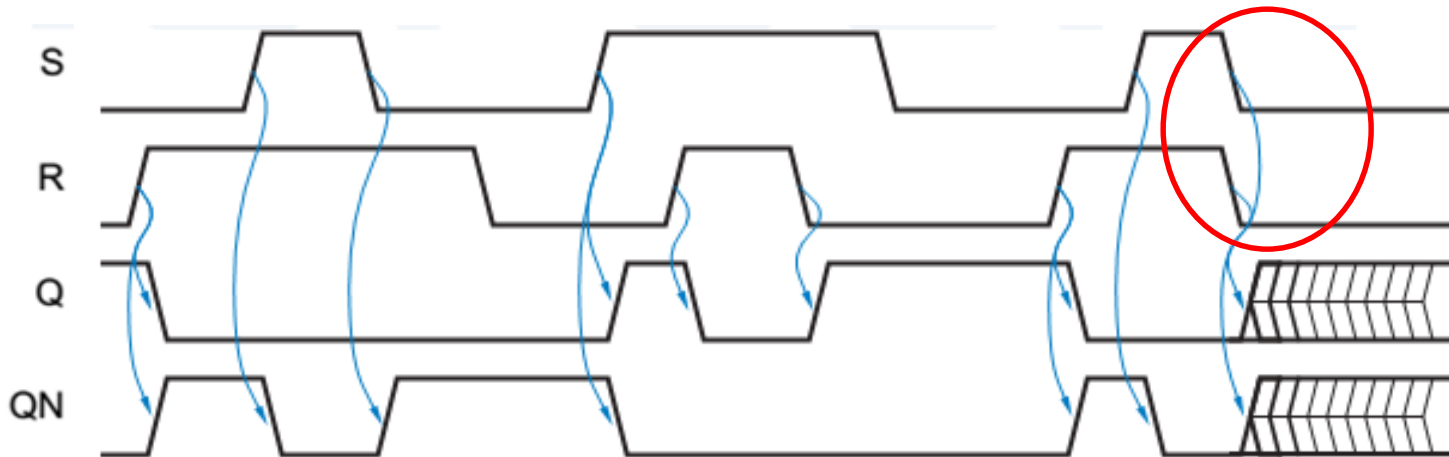
Ngõ vào thông thường

S	R	Q	QN
0	0	last Q	last QN
0	1	0	1
1	0	1	0
1	1	0	0

Bảng sự thật



Mạch logic



S và R chuyển từ mức 1 xuống mức 0 đồng thời → không xác định ngõ ra

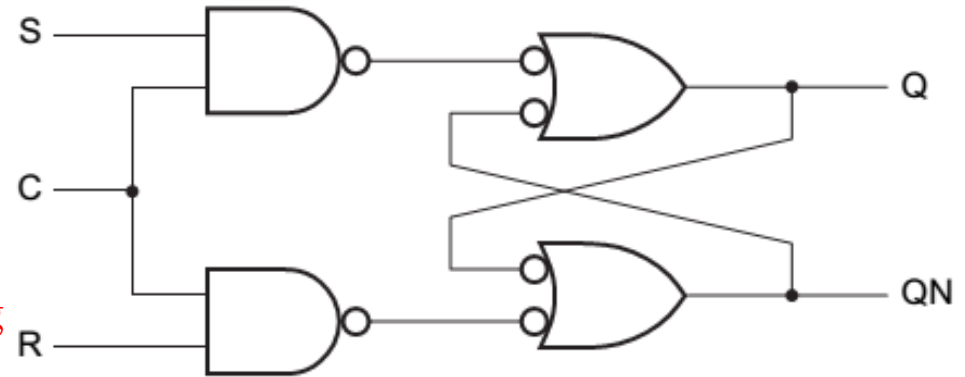


Chốt S-R với ngõ vào cho phép

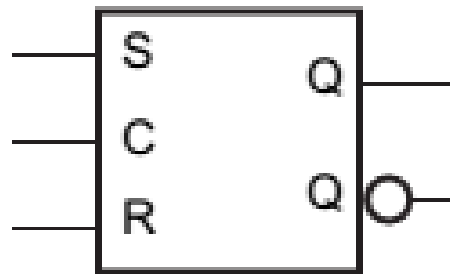
S	R	C	Q	QN
0	0	1	last Q	last QN
0	1	1	0	1
1	0	1	1	0
1	1	1	1	1
x	x	0	last Q	last QN

Bảng sự thật

Cấm sử dụng



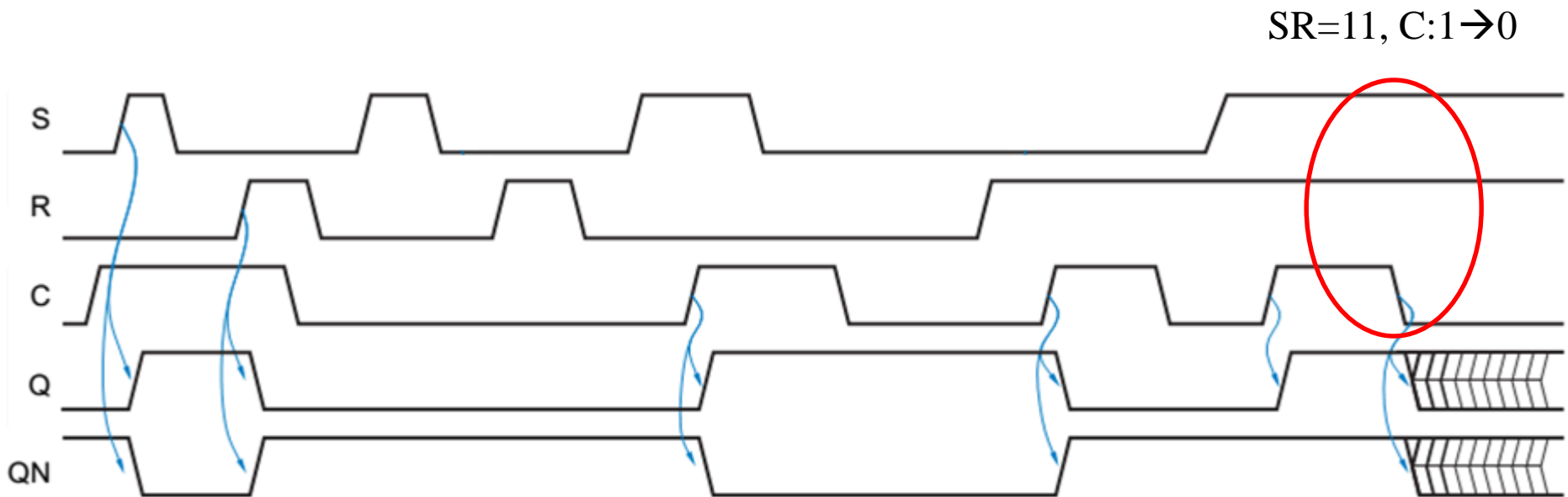
Mạch logic



Ký hiệu



Chốt S-R với ngõ vào cho phép (tt)



Hoạt động của chốt S-R với trường hợp ngõ ra không xác định



Nội dung

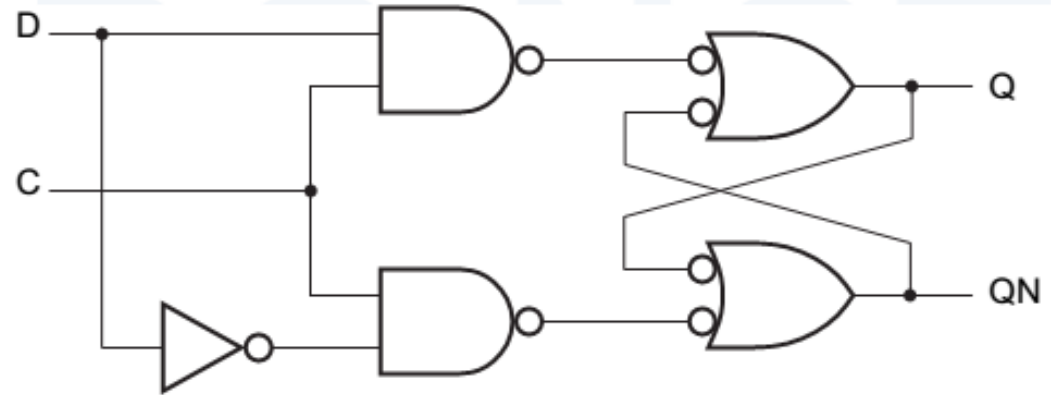
- Tổng quan
- Chốt S-R
- Chốt D
- Flipflop S-R
- Flipflop D
- Flipflop T
- Flipflop J-K
- Thiết kế chuyển đổi giữa các loại FF



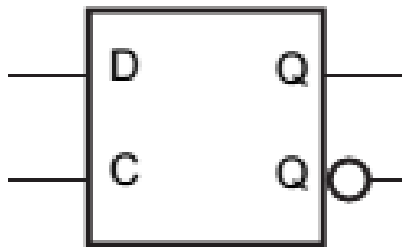
Chốt D

C	D	Q	QN
1	0	0	1
1	1	1	0
0	x	last Q	last QN

Bảng sự thật



Mạch logic



Ký hiệu

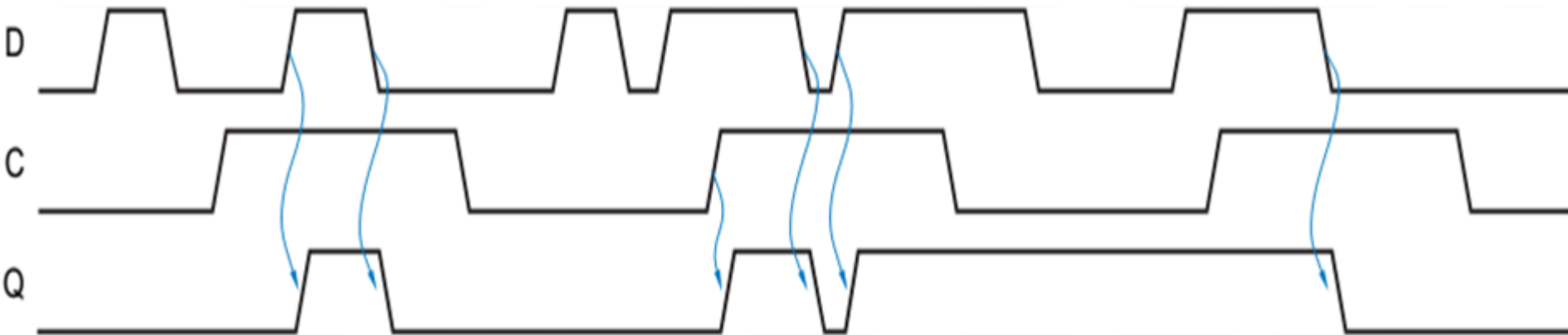
- Loại bỏ những hạn chế trong chốt S-R khi **S** và **R** chuyển từ 1 xuống 0 đồng thời
- Ngõ vào điều khiển **C** giống với ngõ vào cho phép (enable)
- Khi **C tích cực**, $Q = D \rightarrow$ chốt mở/trong suốt (transparent latch)
- **C không tích cực**, Q giữ giá trị trước đó \rightarrow chốt đóng (close latch)



Chốt D

C	D	Q	QN
1	0	0	1
1	1	1	0
0	x	last Q	last QN

Bảng sự thật



Hoạt động của chốt D

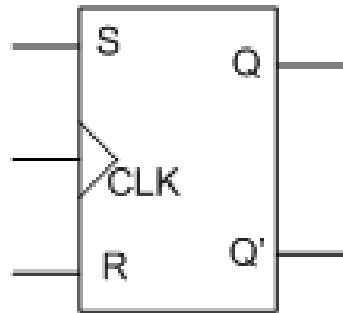


Nội dung

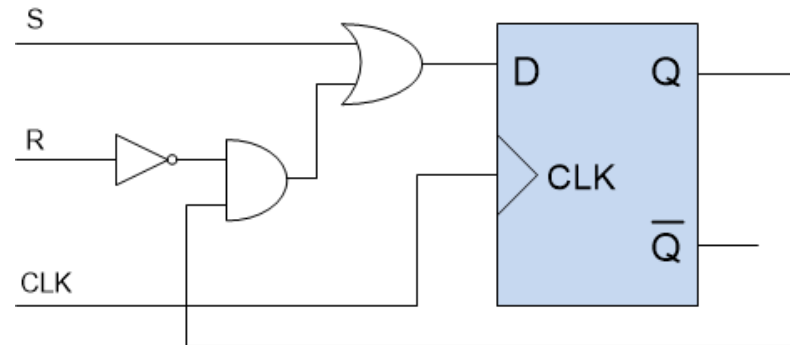
- Tổng quan
- Chốt S-R
- Chốt D
- Flipflop S-R
- Flipflop D
- Flipflop T
- Flipflop J-K
- Thiết kế chuyển đổi giữa các loại FF



FF-S_R kích cạnh lên (Positive-edge-triggered S_R flip-flop)



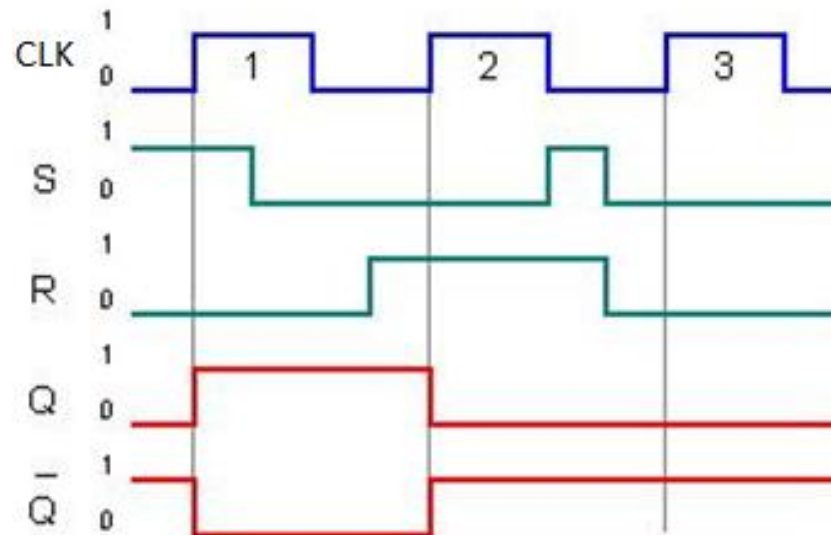
Ký hiệu



FF-S_R kích cạnh lên được thiết kế từ FF-D kích cạnh lên

S	R	CLK	Q	Q'
0	0	f	last Q	last Q'
0	1	f	0	1
1	0	f	1	0
1	1	f	×	×

Bảng sự thật



Hoạt động của FF-S_R kích cạnh lên




Nội dung

- Tổng quan
- Chốt S-R
- Chốt D
- Flipflop S-R
- **Flipflop D**
- Flipflop T
- Flipflop J-K
- Thiết kế chuyển đổi giữa các loại FF



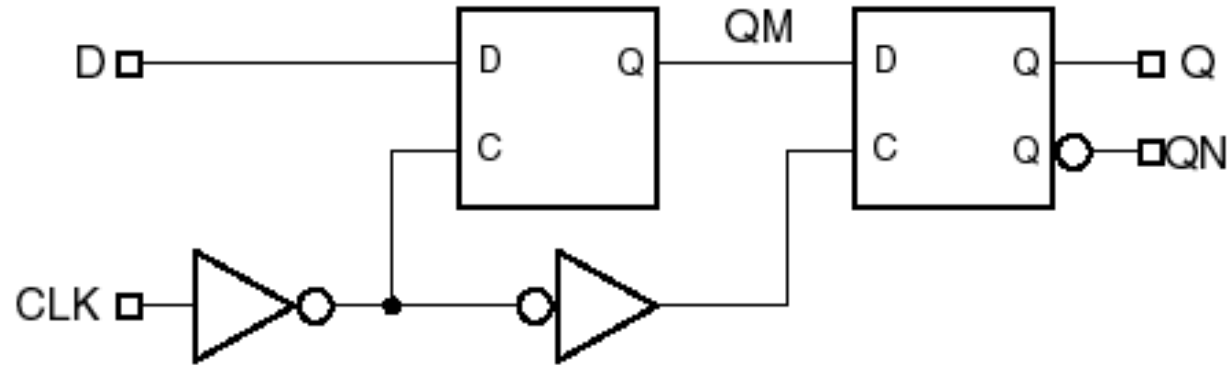
Flip-flop D(FF-D) kích cạnh lên

(Positive-edge-triggered D flip-flop)

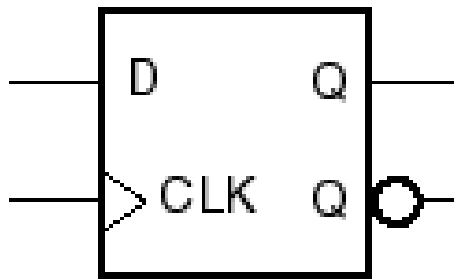


D	CLK	Q	QN
0		0	1
1		1	0

Bảng sự thật



Mạch logic



Ký hiệu

- Một **FF-D kích cạnh lên** bao gồm **một cặp chốt D** kết nối sao cho dữ liệu truyền từ ngõ vào D đến ngõ ra Q mỗi khi có cạnh lên của xung Clock (CLK)
- Chốt D đầu tiên gọi là Chủ (master), hoạt động tại mức 0 của ngõ vào xung CLK
- Chốt D thứ hai gọi là Tớ (slave), hoạt động tại mức 1 của ngõ vào xung CLK

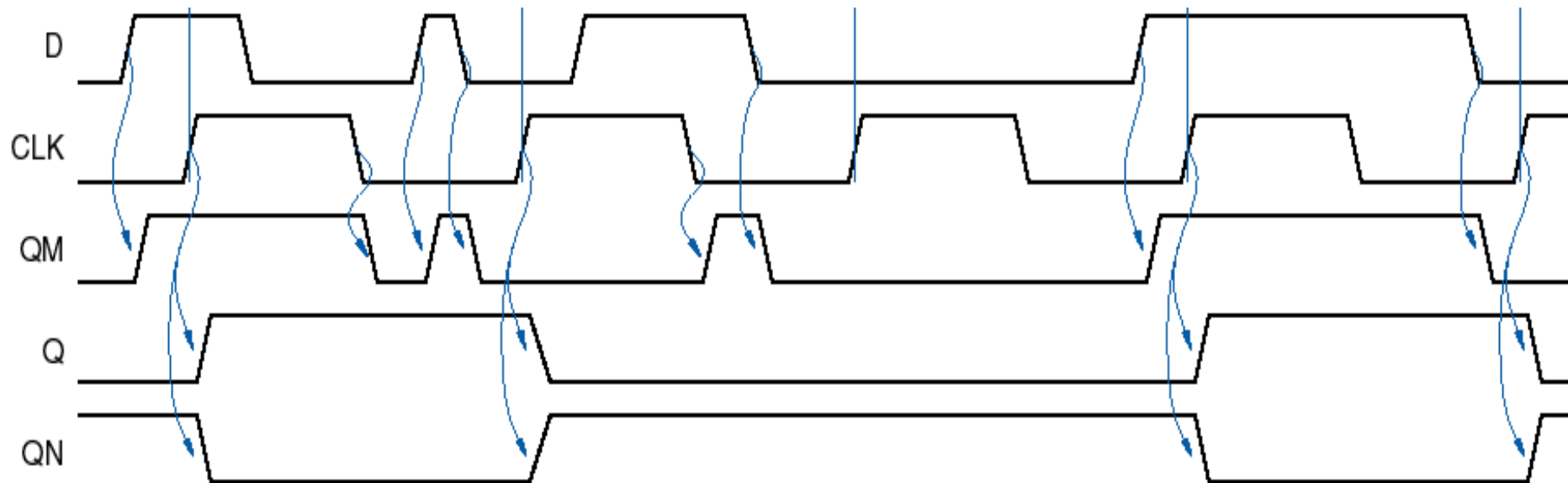
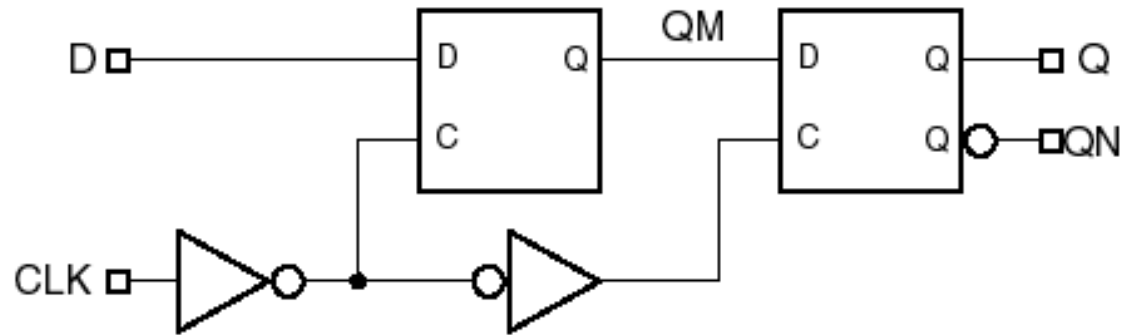


FF-D kích cạnh lên

(Positive-edge-triggered D flip-flop)

D	CLK	Q	QN
0		0	1
1		1	0

Bảng sự thật



Hoạt động của **FF-D** kích cạnh lên



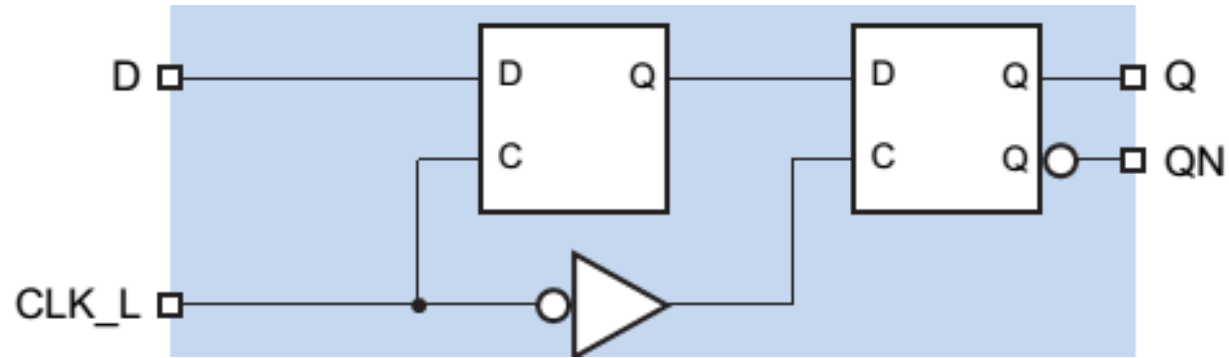
FF-D kích cạnh xuống

(Negative-edge-triggered D flip-flop)

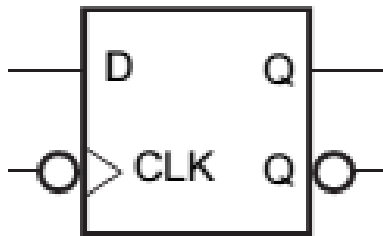


D	CLK_L	Q	QN
0		0	1
1		1	0

Bảng sự thật



Mạch logic



Ký hiệu

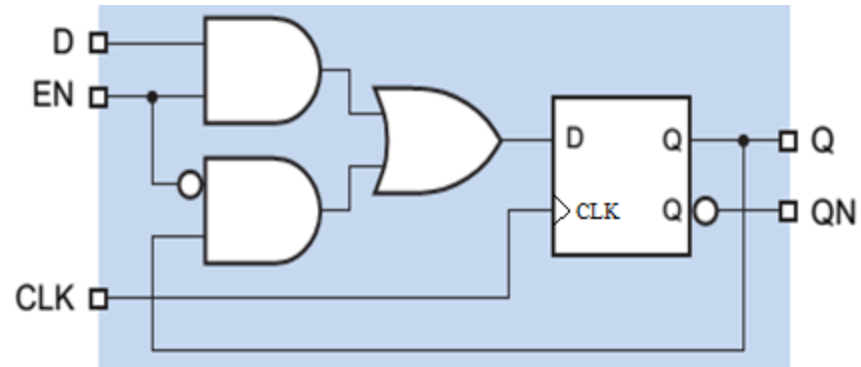
- Một FF-D kích cạnh xuống thiết kế giống với FF-D kích cạnh lên, nhưng đảo ngõ vào xung Clock của 2 chốt D



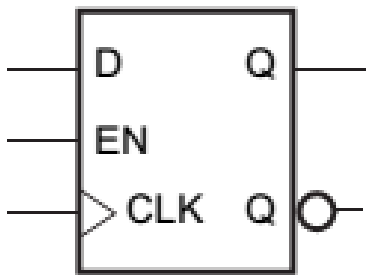
FF-D với ngõ vào điều khiển

D	EN	CLK	Q	QN
0	1		0	1
1	1		1	0
x	0		last Q	last QN

Bảng sự thật



Mạch logic



Ký hiệu

- Một chức năng quan trọng của FF-D là khả năng lưu giữ (store) dữ liệu sau cùng hơn là nạp vào (load) dữ liệu mới tại cạnh của xung Clock
- Để thực hiện được chức năng trên, ta thêm vào ngõ vào cho phép (enable input) của mỗi FF, thường ký hiệu là **EN** hoặc **CE** (chip enable)

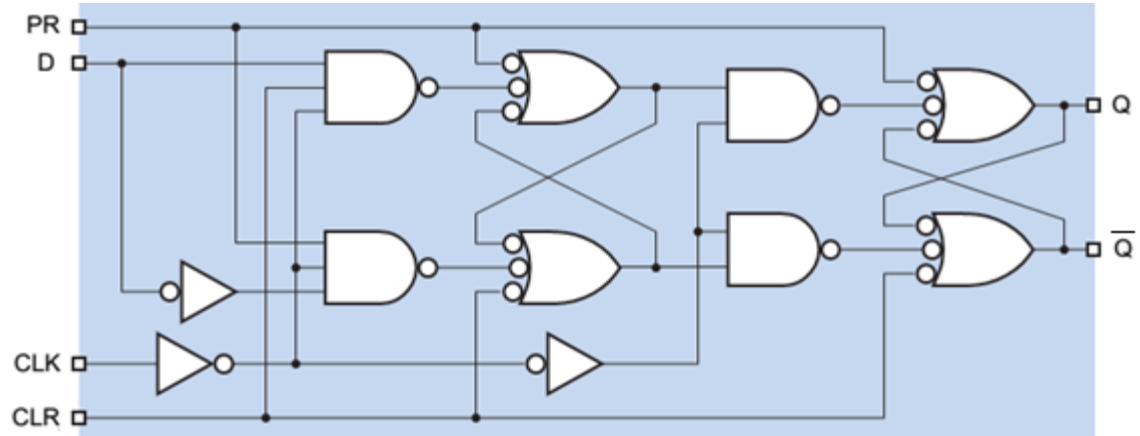


FF-D với ngõ vào điều khiển bất đồng bộ

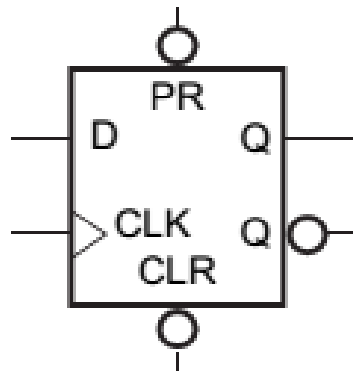
(D-FF with asynchronous inputs)

PR PRESET	CLR CLEAR	CLK CLOCK	D DATA	Q	\bar{Q}
1	1	↑	0	0	1
1	1	↑	1	1	0
0	1	X	X	1	0
1	0	X	X	0	1
0	0	X	X	1	1

Bảng sự thật



Mạch logic



Ký hiệu

- Các ngõ vào bất đồng bộ (Asynchronous inputs) thường được sử dụng để ép ngõ ra Q của FF-D đến một giá trị mong muốn mà không phụ thuộc ngõ vào D và xung CLK
- Những ngõ vào này thường ký hiệu **PR** (preset) và **CLR** (clear)
- PR** và **CLR** thường được dùng để khởi tạo giá trị ban đầu cho các FF hoặc phục vụ cho mục đích kiểm tra hoạt động của mạch.

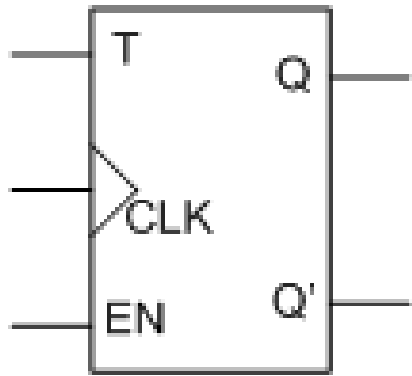


Nội dung

- Tổng quan
- Chốt S-R
- Chốt D
- Flipflop S-R
- Flipflop D
- Flipflop T
- Flipflop J-K
- Thiết kế chuyển đổi giữa các loại FF



FF-T (Toggle FF)

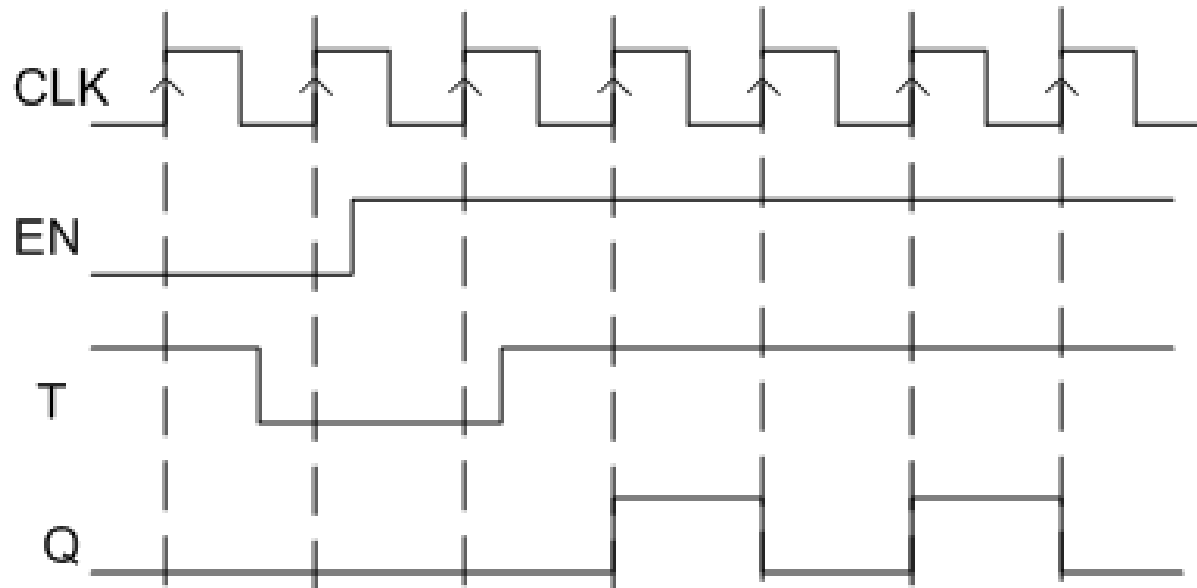


Ký hiệu

- Flip-flop đảo trạng thái tại cạnh lên của xung Clock (CLK) chỉ khi ngõ vào **EN** và **T** tích cực.

EN	T	CLK	Q	Q'
0	x	x	last Q	last Q'
1	0	f	last Q	last Q'
1	1	f	Q'	Q

Bảng sự thật



Hoạt động của **FF-T** tích cực
cạnh lên của xung Clock



Nội dung

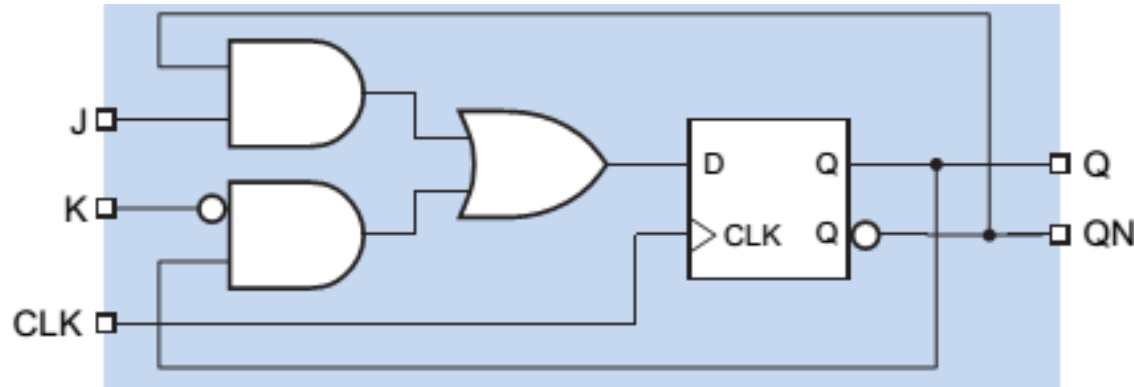
- Tổng quan
- Chốt S-R
- Chốt D
- Flipflop S-R
- Flipflop D
- Flipflop T
- Flipflop J-K
- Thiết kế chuyển đổi giữa các loại FF



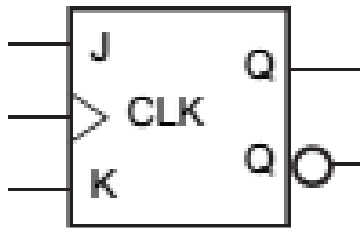
FF-J_K kích cạnh lên (Edge-triggered J_K flip-flop)

J	K	CLK	Q	QN
0	0		last Q	last QN
0	1		0	1
1	0		1	0
1	1		last QN	last Q

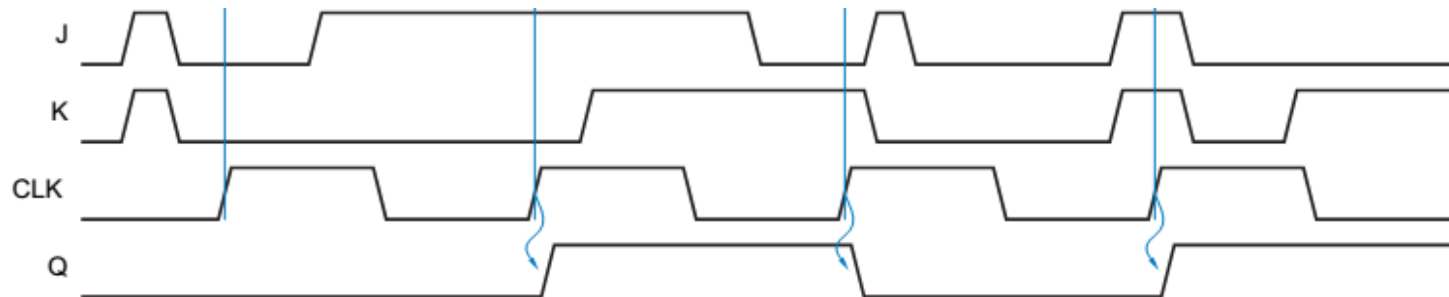
Bảng sự thật



FF-J_K kích cạnh lên được
thiết kế từ FF-D kích cạnh lên



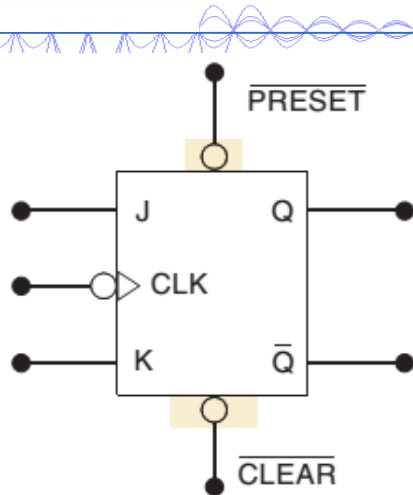
Ký hiệu



Hoạt động của FF-J_K kích cạnh lên



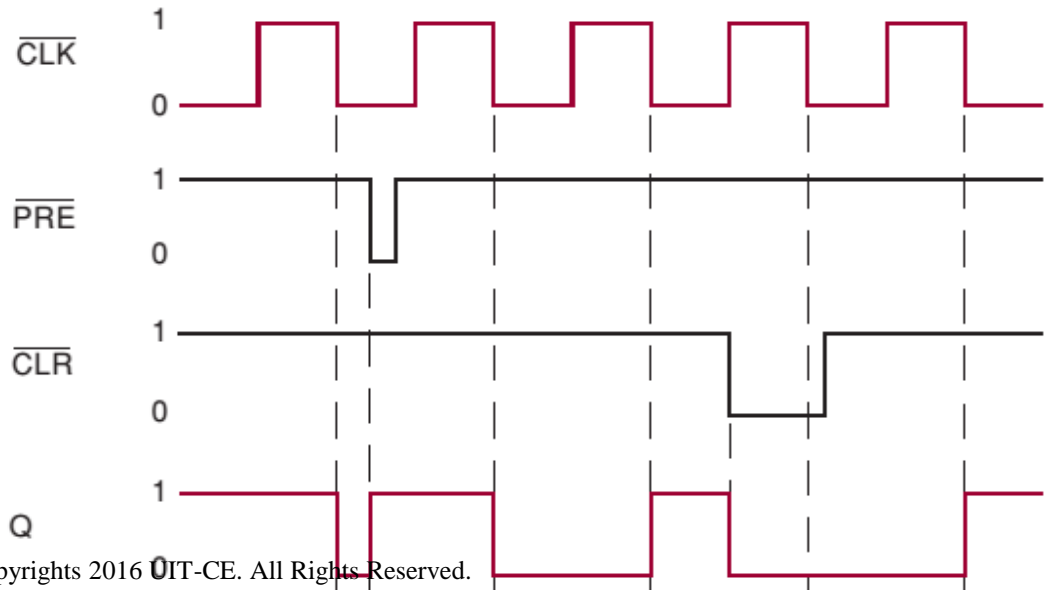
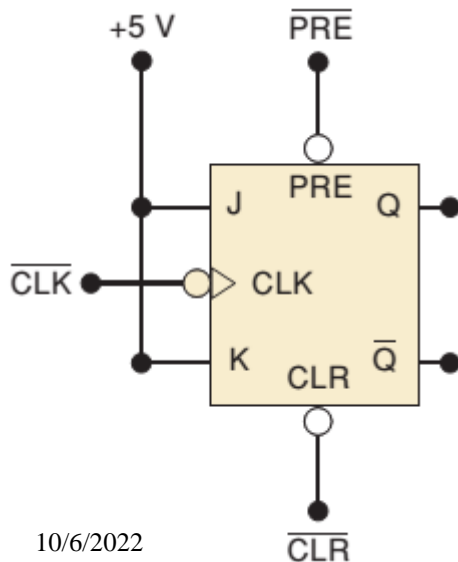
FF-JK với ngõ vào điều khiển bất đồng bộ



Ký hiệu

J	K	Clk	$\overline{\text{PRE}}$	$\overline{\text{CLR}}$	Q
x	x	x	1	0	0 (asynch clear)
x	x	x	0	1	1 (asynch preset)
x	x	x	0	0	(Invalid)
0	0	↓	1	1	Q (no change)
0	1	↓	1	1	0 (Synch reset)
1	0	↓	1	1	1 (Synch set)
1	1	↓	1	1	$\overline{\text{Q}}$ (Synch toggle)

Bảng sự thật





Nội dung

- Tổng quan
- Chốt S-R
- Chốt D
- Flipflop S-R
- Flipflop D
- Flipflop T
- Flipflop J-K
- Thiết kế chuyển đổi giữa các loại FF



Nội dung

- Tổng quan
- Chốt S-R
- Chốt D
- Flipflop S-R
- Flipflop D
- Flipflop T
- Flipflop J-K
- Thiết kế chuyển đổi giữa các loại FF



Thiết kế chuyển đổi giữa các loại FF

Q(t)	Q(t+1)	J	K	T	D	R	S
0	0	0	X	0	0	X	0
0	1	1	X	1	1	0	1
1	0	X	1	1	0	1	0
1	1	X	0	0	1	0	X

TK Flip flop sang T Flip-flop TK Flip flop sang D Flip-flop

$$J = T$$

$$K = T$$

$$J = D$$

$$K = D'$$

RS Flip flop sang JK Flip-flop D Flip flop sang T Flip-flop

$$R = KQ$$

$$S = JQ'$$

$$D = T'Q + TQ'$$



Tóm tắt nội dung chương học

- Qua Phần 1 - Chương 6, sinh viên cần nắm những nội dung chính sau:
 - Mạch tuần tự là gì? Kiến trúc tổng quát của mạch tuần tự? Khi nào thì trong thiết kế cần sử dụng mạch tuần tự?
 - Chức năng, hoạt động và thiết kế các loại mạch latch, flipflop: SR, D, T, JK
 - Phương pháp chuyển đổi thiết kế qua lại giữa các loại flipflop



COMPUTER ENGINEERING



UIT
TRƯỜNG ĐẠI HỌC
CÔNG NGHỆ THÔNG TIN

Thảo luận?

