

Bài tập Kỹ Thuật Số 1

Chương 1–Hệ thống số đếm

1.1 Chuyển các số thập phân sau:

- a) 245.357 b) 1457.11 c) 757.25 d) 123.17
sang số: nhị phân, bát phân, hex.

1.2 Chuyển đổi số hex:

- a) 2AD.EC b) EB1.6 c) 59D.C d) DEC.A
sang số nhị phân, bát phân và thập phân.

1.3 Cho các số nhị phân sau, hãy đổi sang mã Gray

- a) 0111 b) 1000 c) 01101110 d) 11000101

1.4 Cho các mã Gray sau, hãy đổi sang số nhị phân

- a) 0110 b) 1111 c) 11010001 d) 00100111

1.5 Cho các số nhị phân sau, hãy xác định giá trị của chúng nếu chúng là (i) số nhị phân không dấu; (ii) số có dấu theo độ lớn và dấu; (iii) số có dấu theo bù 2; (iv) mã BCD; (v) mã quá 3; (vi) mã Gray

- a) 1000011 b) 110101 c) 1101100 d) 01000010
e) 10000101 f) 0101101 g) 10000000 h) 01111111

1.6 Chuyển đổi các số sau sang: a) số có dấu theo độ lớn và dấu; b) số có dấu theo bù 2; c) mã BCD

- a) +102 b) -48 c) -0 d) -128 e) +63

1.7 Cho trước 2 số không dấu A và B, tính A-B bằng: a) phép trừ thông thường; b) trừ bằng cộng với số bù 2. Với các trường hợp sau:

A	B		A	B
110101110	01011110		110011	0101
00100101	10111		110111	1001011

Chương 2–Đại số Boole và các cổng logic

2.1 Chứng minh các đẳng thức sau bằng đại số

- $\overline{AB} + \overline{AD} + \overline{BCD} = (\overline{A} + D)(\overline{A} + \overline{C})(B + \overline{D})$
- $\overline{CD} + \overline{BC} + \overline{ABD} = (\overline{A} + \overline{C})(B + \overline{C})(\overline{B} + D)$
- $Z + XY + \overline{XZ} = (X + Z)(Y + Z)$
- $\overline{A \oplus B} = \overline{A} \oplus B$
- $AB(A \oplus B \oplus C) = ABC$

2.2 Cho bảng chân trị sau

C	B	A	F1	F2
0	0	0	0	1
0	0	1	0	0
0	1	0	1	0
0	1	1	0	1
1	0	0	0	1
1	0	1	1	1
1	1	0	0	1
1	1	1	1	0

- Viết biểu thức hàm F1 và F2 dưới dạng chính tắc 1 và 2.
- Rút gọn F1 và F2 theo dạng SOP.
- Rút gọn F1 và F2 theo dạng POS.

2.3 Cho bảng chân trị sau

A	B	C	F1	F2
0	0	0	1	1
0	0	1	0	X
0	1	0	X	0
0	1	1	0	1
1	0	0	0	1
1	0	1	1	X
1	1	0	X	X
1	1	1	0	0

- Viết biểu thức hàm F1 và F2 dưới dạng chính tắc 1 và 2.
- Rút gọn F1 và F2 theo dạng SOP.
- Rút gọn F1 và F2 theo dạng POS.

2.4 Cho các hàm sau

$$F_1(A, B, C, D) = \overline{A}BC\overline{D} + \overline{A}BD + ACD + \overline{A}\overline{C}$$

$$F_2(A, B, C, D) = (B + C + \overline{D})(\overline{A} + \overline{C} + \overline{D})(\overline{B} + \overline{D})$$

Hãy lập bảng chân trị của F1 và F2

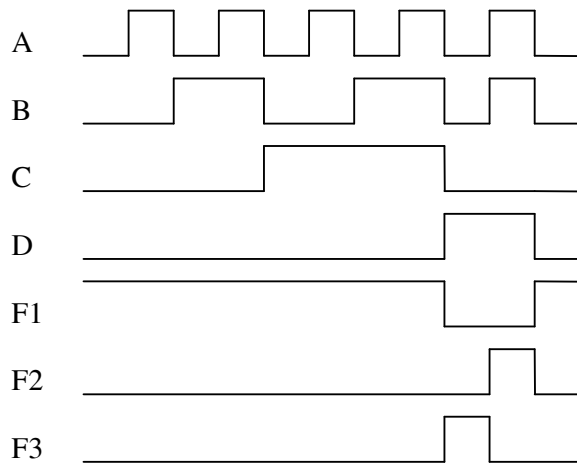
2.5 Cho các hàm sau

$$F_1(A, B, C, D) = \sum (0, 1, 2, 4, 6, 8, 12) + d(3, 13, 15)$$

$$F_2(A, B, C, D) = \prod (1, 3, 4, 5, 11, 12, 14, 15) \cdot d(0, 6, 7, 8)$$

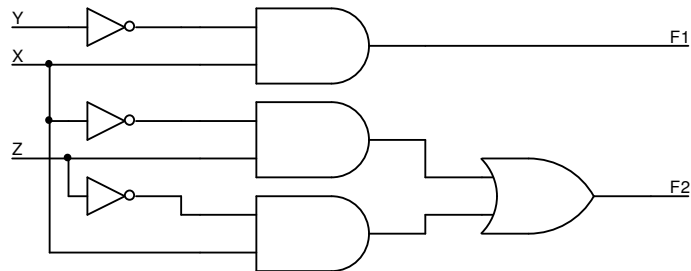
Hãy lập bảng chân trị của F1 và F2

2.6 Cho giản đồ xung sau

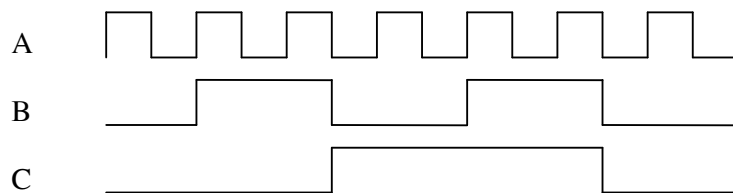
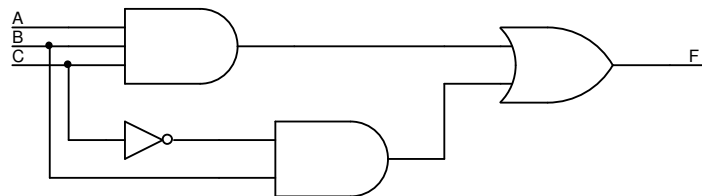


- Viết biểu thức đại số các hàm F1, F2 và F3
- Viết dạng chính tắc 1 và 2 cho hàm F1, F2 và F3

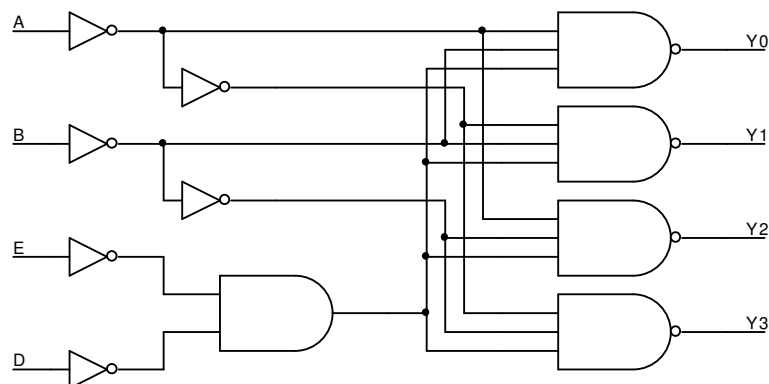
2.7 Cho sơ đồ mạch sau, hãy viết dạng chuẩn SOP và POS của F1 và F2



2.8 Cho sơ đồ mạch và giản đồ xung các tín hiệu vào như sau, hãy vẽ dạng tín hiệu F.



2.9 Cho sơ đồ mạch như sau



Lập bảng chân trị và viết các hàm trong các trường hợp sau

- a) $E=0$ và $D=0$
- b) $E=0$

2.10 Tìm dạng chính tắc 1 và 2 của các hàm sau

$$F_1(X, Y, Z) = XY + YZ + XZ$$

$$F_2(X, Y, Z) = XY + \overline{X}Z$$

$$F_3(A, B, C) = A + C + \overline{AB}$$

$$F_4(A, B, C) = \overline{(A \oplus B)} + \overline{ABC}$$

2.11 Sử dụng định lý DeMorgan để tính bù của các biểu thức Boole sau:

- a) $ABC + B(C' + D')$
- b) $X' + Y'$
- c) $X + YZ' + (Z \oplus Y)'$
- d) $(A \oplus B)(A'BC)$
- e) $X(Y + ZW' + V'S)$

2.12 Đơn giản hóa các hàm Boole sau bằng cách sử dụng các định lý của Đại số Boole

- a) $F = XY + XY' + X'Y'$
- b) $F = (X + Y)(X + Y')$
- c) $F = YZ' + X'YZ + XYZ$
- d) $F = (AD + A'C)(B'(C + BD'))$

2.13 Bằng cách sử dụng đại số Boole, chứng tỏ rằng (không được sử dụng bảng chân trị)

- a) $(X \oplus Y)' = X \oplus Y' = X' \oplus Y = XY + X'Y'$
- b) $(X \oplus Y) \oplus Z = X \oplus (Y \oplus Z) = X \oplus Y \oplus Z$
- c) $AB + BC + CA = (A + B)(B + C)(C + A)$
- d) $XY' + XYZ + X'Z = (X'Z' + YZ)'$

2.14 Đơn giản hóa các hàm Boole sau bằng cách sử dụng các định lý của Đại số Boole

- a) $XY + X'YZ' + YZ$
- b) $XY' + Z + (X' + Y)Z'$
- c) $X'Y \oplus YZ \oplus XY \oplus Y'Z'$
- d) $X'Y' + YZ + XZ + XY$

2.15 Tìm hàm bù (F') và hàm đối ngẫu (FD) của F :

$$F(A, B, C) = (A \oplus B)(A + BC)' + B$$

2.16 Cho hàm $F(A, B, C, D) = \prod M(0, 2, 3, 4, 7, 8)$. Hãy biểu diễn hàm bù F' theo dạng các minterm và theo dạng các maxterm.

2.17. Sử dụng các bảng K để đơn giản hóa các hàm sau theo dạng SOP và POS:

- a) $F(W, X, Y) = \prod M(0, 1, 6, 7)$
- b) $F(A, B, C, D) = \prod M(0, 1, 6, 7)$
- c) $F(A, B, C, D) = \prod M(3, 4, 8, 9, 12) \cdot D(2, 6)$
- d) $F(A, B, C, D) = \sum m(0, 2, 4, 6)$
- e) $F(A, B, C, D) = \sum m(0, 1, 4, 5, 12, 13)$
- f) $F(A, B, C, D) = \sum m(0, 2, 8, 9) + d(1, 3, 4)$
- g) $F(A, B, C, D) = \sum m(1, 7, 11, 13) + d(2, 4, 5, 6)$
- h) $F(A, B, C, D) = \sum m(2, 3, 5, 8, 11, 12) + d(9, 14)$

2.18 Sử dụng các bảng K để đơn giản hóa các hàm sau theo dạng SOP và POS:

- a) $F(W, X, Y) = \prod M(0, 1, 6, 7)$
- b) $F(A, B, C, D) = \prod M(0, 1, 6, 7)$
- c) $F(A, B, C, D) = \sum m(0, 2, 4, 6)$
- d) $F(A, B, C, D) = \sum m(0, 1, 4, 5, 12, 13)$
- e) $F(A, B, C, D) = \sum m(0, 2, 8, 9) + d(1, 3)$
- f) $F(A, B, C, D) = \sum m(1, 7, 11, 13) + d(2, 4)$

2.19 Tối thiểu hóa các hàm sau bằng bảng Karnaugh theo dạng SOP và POS:

- a) $F(X, Y, Z) = X'Y'Z' + X'YZ + XY'Z' + XYZ' + XY$
- b) $F(A, B, C) = (A + B' + C')(A' + C')(B + C)$
- c) $F(X, Y, Z) = \sum m(0, 2, 3, 5, 6)$
- d) $F(X, Y, Z) = \sum m(1, 3, 4, 5, 6)$
- e) $F(X, Y, Z) = \sum m(1, 3, 4, 6, 7)$
- f) $F(A, B, C, D) = AB'D + ABD' + ABCD + BC'D'$
- g) $F(A, B, C, D) = \sum m(0, 2, 8, 9, 10, 11)$
- h) $F(A, B, C, D) = \sum m(0, 2, 4, 5, 6, 7, 8, 10, 11, 12)$
- i) $F(A, B, C, D) = \sum m(6, 7, 14, 15) + d(1, 3, 4, 5, 8, 9)$
- j) $F(A, B, C, D) = \sum m(1, 3, 4, 7, 11, 13) + d(5, 8, 9, 10, 15)$

2.20 Cho các hàm Boole sau:

$$F = (\square P' + Q + R')\square\square (\square P + Q' + R)(\square\square\square P + R' + S\square\square\square)$$

$$G = Q'R' + PQ + QRS + P'RS$$

Chứng tỏ rằng hàm F và G tương đương nhau.

2.21 Người ta cần cài đặt các hàm Boole sau:

$$F = \sum m(3, 5, 8, 9, 10, 11) + d(2, 4, 13)$$

$$G = \prod M(0, 1, 10, 11, 12, 13) \cdot D(3, 6)$$

- a) Hãy tìm dạng tối thiểu hóa SOP của F và G.
- b) Cài đặt các biểu thức có từ a) bằng các cổng NAND.

2.22 Vẽ sơ đồ logic của hàm $F(A, B, C, D, E) = AB(C + D' + E')$ chỉ sử dụng các cổng NAND và NOR 2 ngõ vào.

2.23 Hãy tìm biểu thức tối thiểu hóa của hàm sau với dạng SOP và cài đặt bằng các cổng NAND 2 ngõ vào:

$$F(A, B, C, D, E) = \sum m(3, 11, 12, 19, 23, 29) + d(5, 7, 13, 27, 28)$$

2.24 Cho hàm $F(A, B, C, D) = A'BD + AB'D' + B'C'D' + A'D' + A'BCD$

Tìm biểu thức rút gọn của F theo dạng SOP và POS. Vẽ sơ đồ logic cài đặt cho hàm F dạng rút gọn POS ở trên chỉ dùng các cổng NOR 2 ngõ vào.

Chương 3–Hệ tổ hợp

3.1 Thiết kế mạch tổ hợp nhận 2 số vào A và B (mỗi số là số nhị phân 2 bit); và có 2 ngõ ra F và G. Ngõ ra F là 1 khi giá trị tuyệt đối của $A - B$ là số lẻ; ngõ ra G là 1 khi giá trị tuyệt đối của $A - B$ là số chẵn (0 được coi là chẵn). Tìm biểu thức logic được rút gọn cho F và G; cài đặt mạch thiết kế được chỉ dùng các cổng NAND.

3.2 Thiết kế mạch tổ hợp nhận 1 số vào là số nhị phân 4 bit: ABCD với D là LSB; ngõ ra F là 1 khi số nhị phân biểu diễn bởi ABCD chia hết cho 4 hoặc cho 5 hoặc cho 6 hoặc cho 7. Tìm biểu thức logic được rút gọn cho F và cài đặt mạch thiết kế được chỉ dùng các cổng NAND.

3.3 Thiết kế mạch tổ hợp thực hiện phép tính bù 2 của một số nhị phân 3 bit: ABC (A là MSB) và cho kết quả là số nhị phân 3 bit: XYZ (X là MSB).

3.4 Thiết kế một mạch tổ hợp có ngõ vào là số nhị phân 4 bit ($A_3A_2A_1A_0$), ngõ ra F là 1 nếu số vào là số nguyên tố và là 0 nếu số vào không phải là số nguyên tố. Hãy tìm dạng rút gọn SOP của F và cài đặt nó bằng các cổng NAND 2 ngõ vào.

3.5 Một mạch tổ hợp có 3 ngõ vào A, B, và C; và 2 ngõ ra X và Y. Ngõ ra X bằng 0 nếu 2 bit kế nhau trong ABC không giống nhau. Y bằng 1 nếu tổng số bit 1 trong ABC là 2 và bằng “don’t care” nếu tổng số bit 0 trong ABC là 2. Hãy tìm X theo dạng POS và Y theo dạng SOP. Vẽ sơ đồ logic mạch thiết kế.

3.6 Cho các hàm sau:

$$F(x, y, z) = zy'z + x'yz + xy + yz + x'yz'$$

$$G(x, y, z) = xz + yz'$$

Cài đặt 2 hàm trên chỉ dùng 1 mạch giải mã 3 sang 8 (74LS138) và 2 cổng AND (mỗi cổng có 3 ngõ vào).

3.7 Một mạch tổ hợp có 3 ngõ vào x, y, z và 2 ngõ ra C và S với quan hệ như sau:

$$S = x \oplus y \oplus z$$

$$C = xy + z(x \oplus y)$$

Cài đặt mạch trên chỉ dùng 2 MUX 4 sang 1 và 1 cổng NOT.

3.8 Cho các hàm sau:

$$F(x, y, z) = x'z' + xz + y'z + x'yz$$

$$G(x, y, z) = x'z + x'y + yz + xy'z'$$

Cài đặt 2 hàm trên bằng 1 mạch giải mã 3 sang 8 (74LS138) và một cổng AND có 2 ngõ vào và 1 cổng AND có 3 ngõ vào.

3.9 Một mạch tổ hợp có 3 ngõ vào x, y, z và 2 ngõ ra S, C với quan hệ như sau:

$$S = x \oplus y' \oplus z$$

$$C = xy + z(x' \oplus y)$$

Cài đặt mạch trên chỉ sử dụng 2 MUX 4 sang 1 và 1 cổng NOT.

3.10 Thiết kế mạch so sánh 2 số nhị phân 2 bit A_1A_0 và B_1B_0 , ngõ ra $F = 1$ nếu và chỉ nếu ($A_1=B_1$ và $A_0=B_0$).

a) Thiết kế mạch trên bằng 1 bộ dồn kênh 16 sang 1

b) Thiết kế mạch trên bằng 1 bộ dồn kênh 8 sang 1 và vài cổng NOT (nếu cần).

3.11 Hãy xây dựng MUX 8 sang 1 bằng: 2 bộ MUX 4 sang 1 và 1 bộ MUX 2 sang 1.

3.12 a) Hãy viết biểu thức Boole của ngõ ra F của MUX 4 sang 1 ở hình E.3.12 (biết A ở MUX là MSB).

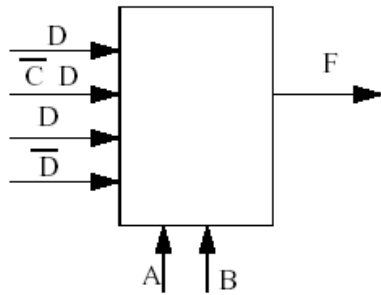
b) Hãy tìm biểu thức tối thiểu hóa dạng SOP của F.

3.13

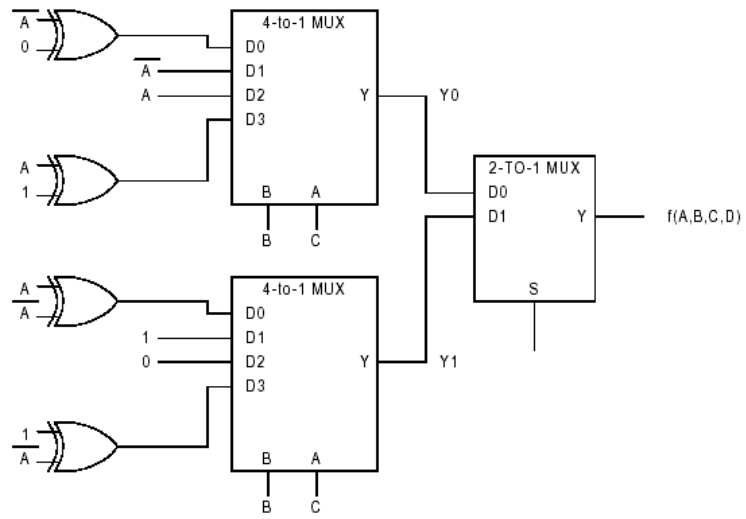
a) Tìm biểu thức Boole của hàm ra F của hình E.3.13.

- b) Dạng chính tắc SOP của F.
c) Tối thiểu hóa F theo dạng SOP.

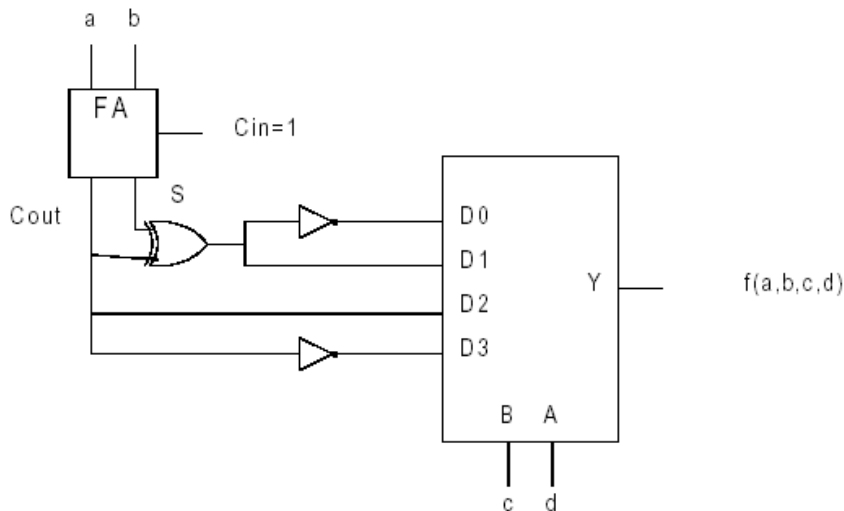
- 3.14** a) Hãy xác định hàm Boole được cài đặt ở hình E.3.14 biết B ở MUX là MSB.
b) Tìm dạng chính tắc SOP của F.



Hình 3.12



Hình E.3.13



Hình E.3.14

- 3.15** Thiết kế mạch cộng toàn phần FA bằng
a) mạch giải mã 3 sang 8: 74LS138
b) MUX 8 sang 1.

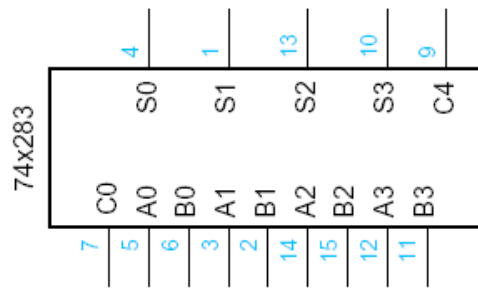
- 3.16** Cho các hàm sau:

$$F(x, y, z) = x'y' + yz + x'z' + xy'z$$

$$G(x, y, z) = x'z' + xy' + x'y'z$$

Cài đặt 2 hàm trên chỉ dùng 1 mạch giải mã 3 sang 8 (74LS138) và 2 cổng AND (mỗi cổng có 3 ngõ vào).

- 3.17** Cho trước một mạch cộng nhị phân toàn phần 4 bit (tương tự IC 74283, với C0 là số nhớ vào, C4 là số nhớ ra, A và B là hai số cần cộng và S là kết quả tổng, chỉ số 0 để chỉ LSB), hãy thực hiện mạch so sánh hai số nhị phân 4 bit A và B mạch cộng trên, mạch thiết kế có các ngõ ra chỉ (A < B), (A = B) và (A > B).



Hình E.3.39 Mạch cộng toàn phần 4 bit 74283

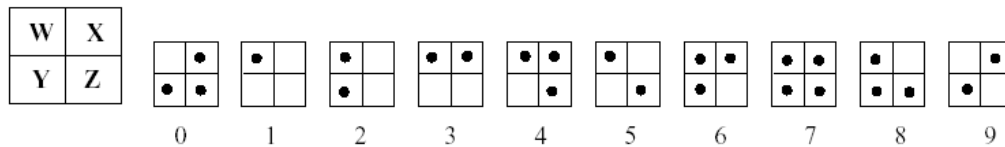
3.18 Cho các hàm sau:

$$F(x, y, z) = x' + z$$

$$G(x, y, z) = \sum m(2, 3, 5, 6)$$

- Cài đặt bằng 74LS138 và một số cổng.
- Cài đặt bằng MUX 4 sang 1.

3.19 Braille là hệ thống các chấm nổi dành cho người mù đọc. Các mẫu Braille được đơn giản hóa cho các số 0 đến 9 như ở hình E.3.40. Thiết kế hệ thống số chuyển đổi các số BCD thành Braille.



Hình E.3.19

- Suy ra phương trình tối thiểu hóa dạng SOP cho 4 ngõ ra Braille (W, X, Y, Z) với các ngõ vào BCD là $B_3B_2B_1B_0$.
- Cài đặt Y có từ a) chỉ bằng các cổng NAND 2 ngõ vào.
- Cài đặt W có từ a) bằng 1 hay nhiều MUX 8 sang 1 (74151) và với một số cổng.

3.20 Cho hàm F:

$$F(A, B, C, D) = A'BC + AD + AC$$

Cài đặt hàm F dùng:

- Mux 8 sang 1.
- Decoder 4 sang 16 với 1 cổng OR 16 ngõ vào.
- ROM 16 word (mỗi word 4 bit)
- PLA

3.21 Thiết kế mạch cho giá trị max của 2 số 4 bit vào A và B với:

- Chỉ dùng các cổng logic
- Chỉ dùng 1 IC so sánh 4 bit và 1 IC MUX (chứa 4 MUX 2 sang 1).

3.22 Thiết kế mạch chuyển mã nhị phân 4 bit sang mã BCD chỉ dùng vi mạch so sánh 4 bit (ngõ ra tích cực cao) và vi mạch cộng toàn phần FA.

3.23 Thiết kế mạch chuyển mã Gray 4 bit sang mã nhị phân, sử dụng

- Các cổng logic.
- Mạch giải mã (decoder) 4→16.

3.24 Thiết kế mạch chuyển mã BCD thành 7421 sử dụng decoder 4→16 có ngõ ra tích cực mức 0 và không quá 4 cổng NAND.

3.25

- Thiết kế mạch so sánh hai số nhị phân một bit A và B với các ngõ ra tích cực mức 1 sử dụng cổng logic.

- b) Thiết kế mạch so sánh hai số nhị phân 4 bit $X=x_3x_2x_1x_0$ và $Y=y_3y_2y_1y_0$ sử dụng cổng logic. Biết rằng ngõ ra $F=1$ khi $X=Y$ và $F=0$ khi $X \neq Y$.
- c) Thực hiện mạch ở câu (b) chỉ dùng mạch so sánh đã thiết kế ở câu (a) và một cổng AND. Vẽ mạch ở dạng sơ đồ chức năng.

3.26 Mạch tổ hợp có chức năng chuyển từ mã BCD thành mã BCD quá 3.

- a) Thiết kế mạch sử dụng cấu trúc NOR-NOR.
- b) Thiết kế mạch sử dụng vi mạch 7483 (mạch cộng 4 bit).

3.27 Sử dụng các mạch chọn kênh (Mux) $8 \rightarrow 1$ và mạch chọn kênh $4 \rightarrow 1$ để thiết kế mạch chọn kênh $32 \rightarrow 1$.

3.28 Cho F là một hàm 4 biến A, B, C, D . Hàm $F=1$ nếu trị thập phân tương ứng với các biến của hàm chia hết cho 3 hoặc 5, ngược lại $F=0$.

- a) Lập bảng chân trị cho hàm F .
- b) Thực hiện hàm F bằng mạch chọn kênh (Mux) $16 \rightarrow 1$.
- c) Thực hiện hàm F bằng mạch chọn kênh (Mux) $8 \rightarrow 1$ và các cổng (nếu cần).
- d) Thực hiện hàm F bằng mạch chọn kênh (Mux) $4 \rightarrow 1$ và các cổng (nếu cần).
- e) Hãy biểu diễn hàm F trên bìa Karnaugh
- f) Hãy rút gọn F và thực hiện F chỉ dùng các mạch cộng bán phần HA.

3.29 Cho hàm $F(A, B, C) = AB + BC + AC$. Hãy thiết kế mạch thực hiện hàm F chỉ sử dụng

- a) Một vi mạch 74138 (decoder $3 \rightarrow 8$, ngõ ra tích cực thấp) và một cổng có tối đa 4 ngõ vào.
- b) Một vi mạch 74153 (mux $4 \rightarrow 1$, có ngõ cho phép tích cực thấp).
- c) Hai mạch cộng bán phần HA và một cổng OR.

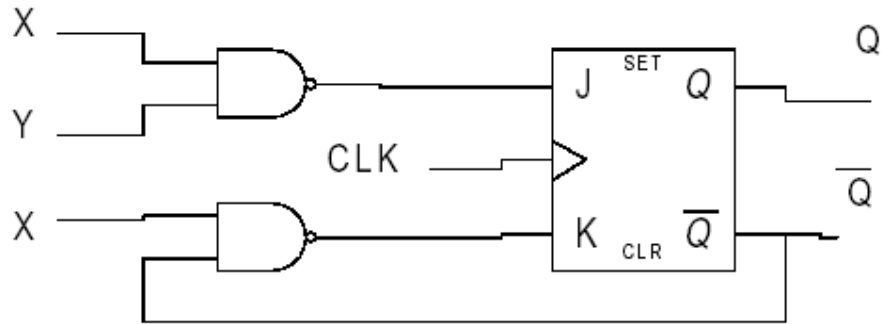
3.30 Sử dụng một decoder $4 \rightarrow 16$ không có ngõ cho phép (enable) để thực hiện một decoder $3 \rightarrow 8$ có ngõ cho phép. Không sử dụng thêm cổng.

3.31 Sử dụng ba mạch chọn kênh (Mux) $2 \rightarrow 1$ để thực hiện một mạch chọn kênh $4 \rightarrow 1$. Không dùng thêm cổng.

3.32 Sử dụng hai vi mạch 74148 (mạch mã hóa $8 \rightarrow 3$) để thực hiện một mạch mã hóa (encoder) $16 \rightarrow 4$.

Chương 4–Hệ tuần tự

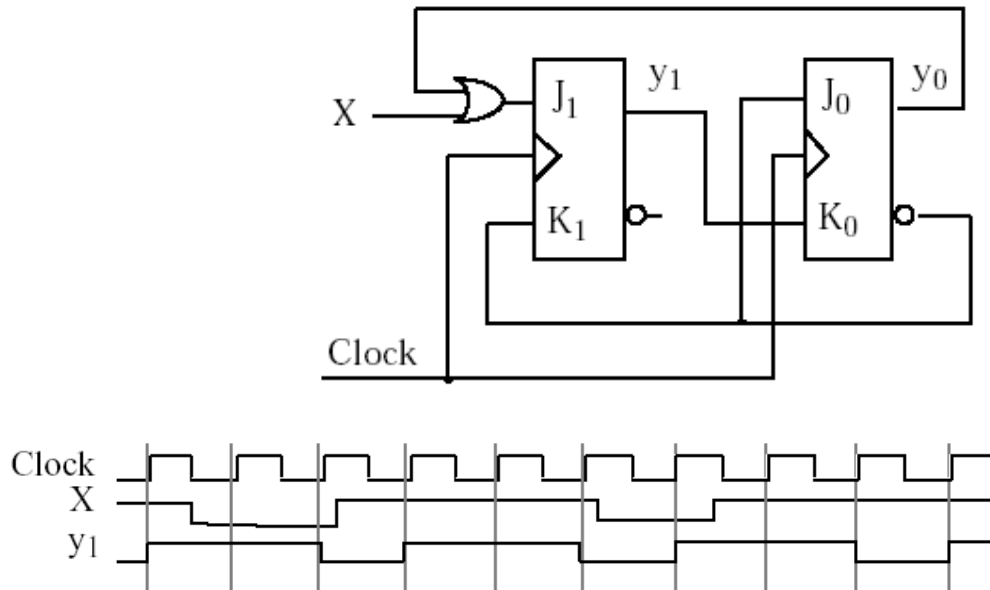
4.1 Giả sử ta muốn xây dựng một flipflop mới XY như hình sau: (bỏ qua chân SET và CLR)



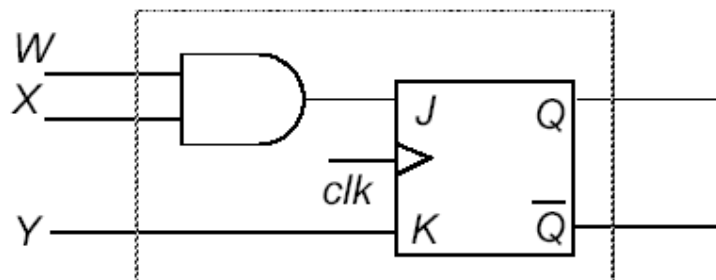
Hình E.4.1

- a) Tìm phương trình đặc trưng của flipflop XY.
- b) Suy ra bảng chân trị (bảng hoạt động) của flipflop XY.

4.2 Với hình E.4.2 hãy vẽ tiếp dạng sóng cho y_0 , giả sử lúc đầu $y_1=y_0=0$.



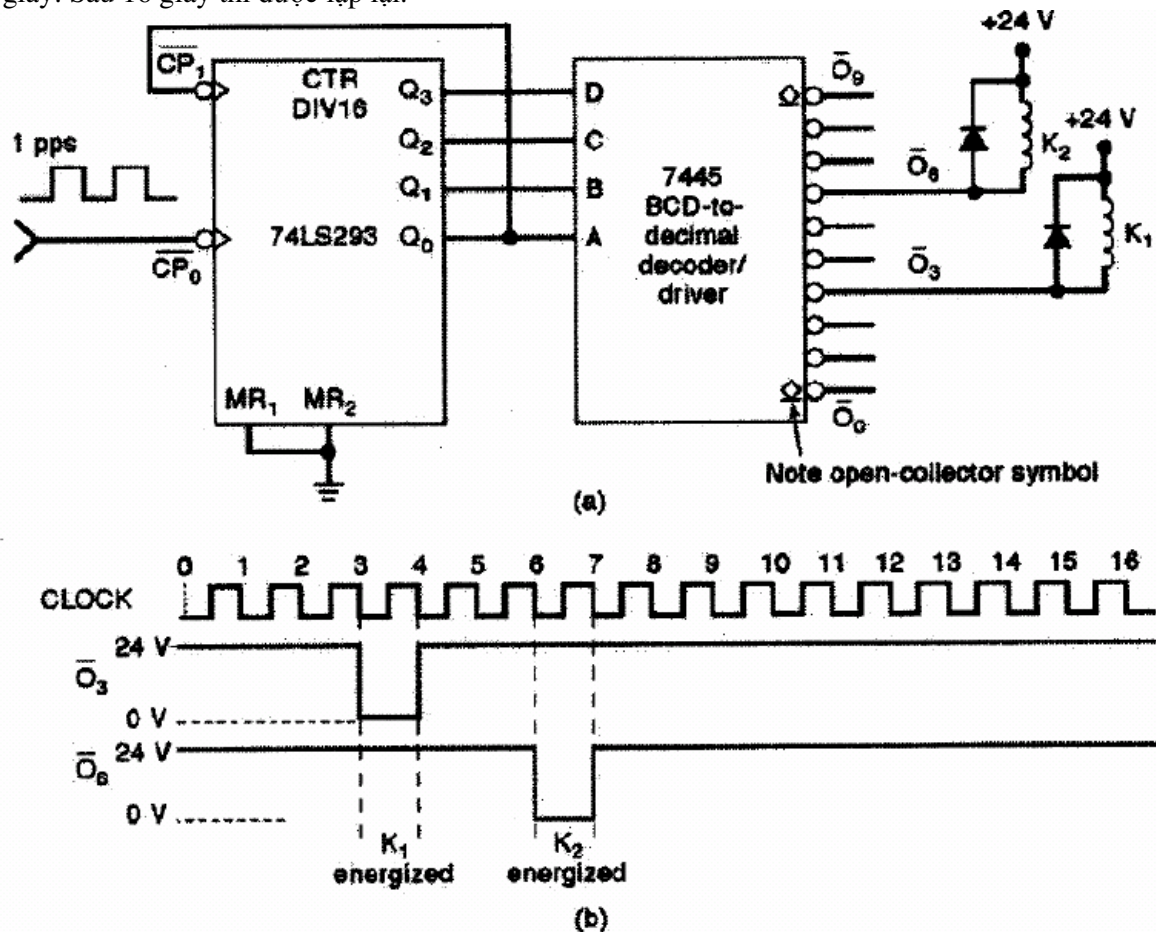
Hình E.4.2



Hình E.4.3

4.3 Cho mạch ở hình E.4.3, hãy tìm phương trình đặc tính Q^+ (hay Q_{t+1}) và chứng tỏ rằng khi $W=X$ và $Y=X'$ thì mạch trên chính là flipflop D.

4.4 Một bộ đếm 4 bit (74LS293) được cung cấp xung nhịp 1 Hz, các ngõ ra của bộ đếm được nối vào bộ giải mã BCD (7445) có các ngõ ra cực thu hút. Hai trong các ngõ ra của decoder lái các rơ-le K1 và K2. Giảm đồ thời gian cho thấy chuỗi giá trị ra khi các rơ-le K1 và K2 bị tác động. Nếu bộ đếm bắt đầu từ trạng thái 0000, rơ-le K1 bị tác động sau 3 giây và K2 bị tác động sau 6 giây và cả hai rơ-le sẽ được giữ kích hoạt trong 1 giây. Sau 16 giây thì được lập lại.



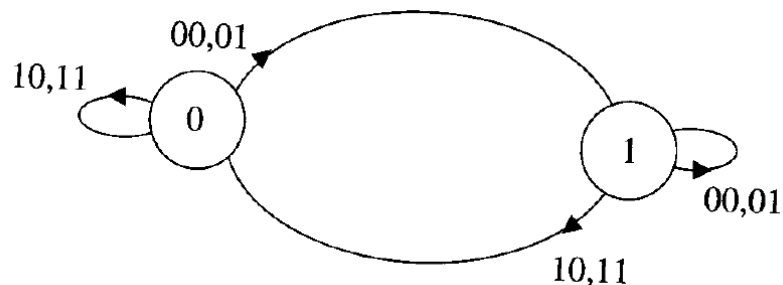
Hình E.4.4

Hãy sửa đổi lại mạch trên để thoả các yêu cầu sau:

- Rơ-le K1 phải bị tác động sau 2 giây (so với trạng thái bộ đếm 0000) và nó phải được giữ kích hoạt trong 3 giây.
- Kích hoạt cho rơ-le K2 phải bắt đầu sau 7 giây (so với trạng thái bộ đếm 0000) và nó phải được giữ kích hoạt trong 3 giây.

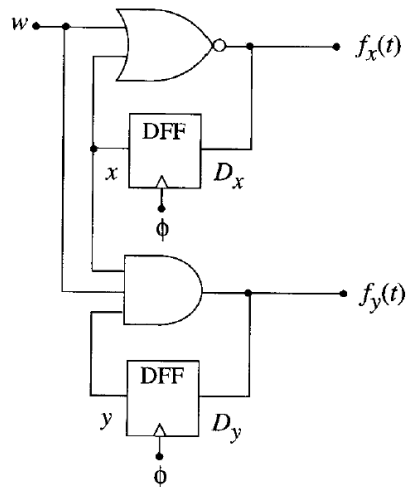
4.5 Cài đặt một bộ đếm vòng 5 bit bằng thanh ghi dịch 74LS164. Trong trường hợp lọt ra khỏi thứ tự chuỗi đếm thì bộ đếm phải khởi động lại từ trạng thái đầu của nó sau 6 xung nhịp.

4.6 Xây dựng bảng trạng thái cho hình E.4.40. Hãy thiết kế mạch thực hiện máy trạng thái này với D flipflop (F/F); với JF F/F ; hoặc T F/F.



Hình E.4.6

4.7 Xét mạch tuần tự 4 trạng thái ở hình E.4.7. Hãy tìm phương trình của $f_x(t)$, $f_y(t)$ và vẽ giản đồ trạng thái của mạch.



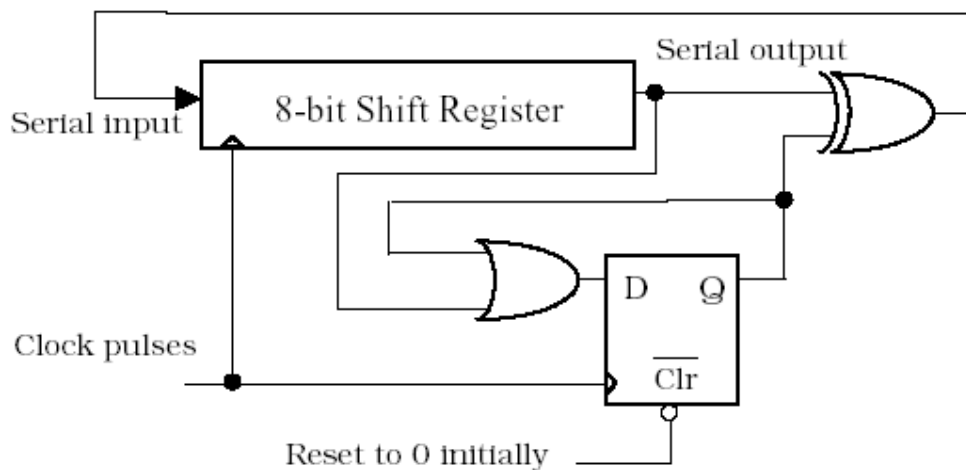
Hình E.4.41

4.8 Một bộ điều khiển tuần tự được dùng để mô phỏng một hệ đèn giao thông mới. Bộ điều khiển có 3 ngõ ra TTL tích cực thấp lái các đèn LED xanh, đỏ, và vàng tương ứng. Các LED giả lập chuỗi đèn giao thông như sau:

- LED xanh sáng trong 3 giây.
- Cả LED xanh và vàng sáng trong 1 giây.
- LED đỏ sáng trong 3 giây.

Thiết kế bộ điều khiển bằng cách sử dụng bộ đếm vòng có kích thước thích hợp và một số mạch logic khác. Giả sử bộ đếm dùng xung nhịp 2Hz. Trong trường hợp lọt ra khỏi thứ tự chuỗi đếm thì bộ đếm phải khởi động lại từ LED xanh trong vòng 8 xung nhịp.

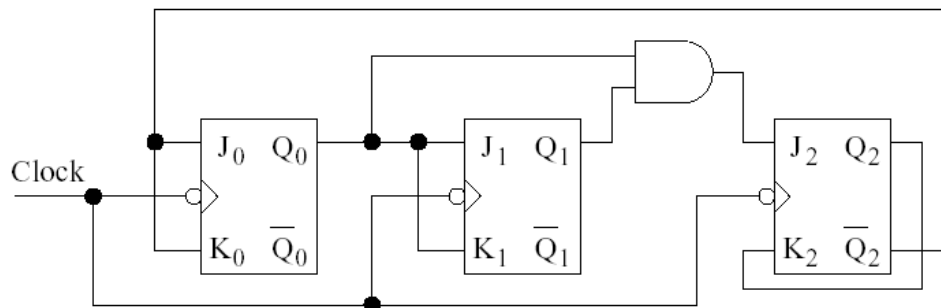
4.9 Cho mạch ở hình E.4.9. Ban đầu thanh ghi dịch được nạp với trị số 01011000 và D F/F bị xóa.



Hình E.4.9

- Xác định nội dung của thanh ghi dịch sau 8 xung nhịp.
- Mạch thực hiện phép toán gì trên 8 bit chứa trong thanh ghi. Giải thích.

4.10 Hãy vẽ giản đồ trạng thái của mạch ở hình E.4.10 với giá trị mã hóa cho trạng thái lấy từ $Q_2Q_1Q_0$.



Hình E.4.10

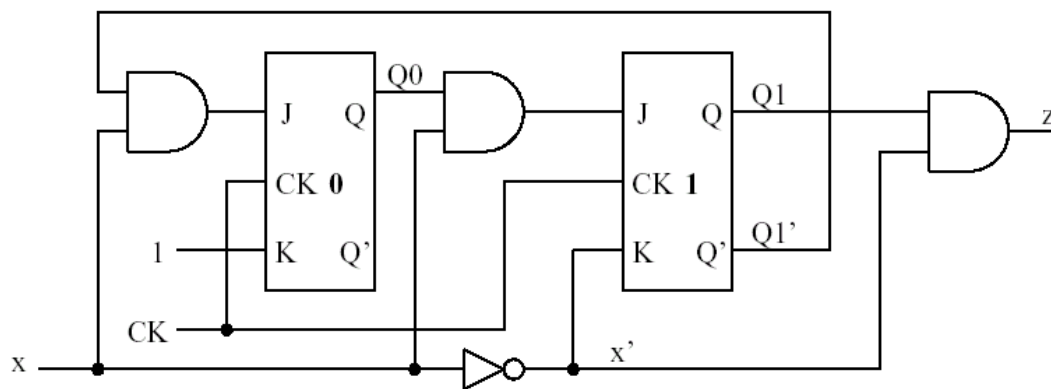
4.11 Thiết kế bộ đếm có chuỗi đếm sau: 0, 2, 3, 6, 5, 7, 1, 4, 0, 2,

- a) với D F/F b) với JK F/F c) với T F/F

4.12 Tương tự 4.11 với chuỗi đếm:

- a) 0, 2, 3, 6, 5, 0, 2, ...
b) 1, 3, 5, 7, 0, 2, 4, 6, 1, 3, ...
c) 0, 1, 3, 2, 6, 7, 5, 4, 0, 1, ...

4.13 Cho mạch sau:



Hãy vẽ dạng sóng của Q0, Q1 và Z trong 6 chu kỳ xung nhịp CK với (a) X=0, (b) X=1.

4.14 Sử dụng bộ đếm nhị phân đồng bộ 74x163 và 1 số cổng logic thích hợp, hãy thiết kế bộ đếm lên:

- a) từ 2 đến 11 và lặp lại.
b) từ 0 đến 6, bỏ qua 7, 8, 9, và tiếp tục 10, 11, rồi quay về 0.
c) từ 1 đến 6, bỏ qua 7, 8, 9, và tiếp tục 10, 11, rồi quay về 1.
d) 2, 4, 6, 8, 2, 4, 6, 8, ...

4.15 Sử dụng bộ đếm lên/xuống 74x169 thiết kế mạch đếm:

- a) 1, 2, 3, 4, 5, 6, 14, 13, 12, 1, 2, ...
b) 2, 4, 6, 8, 9, 7, 5, 3, 2, 4, 6, ...

4.16 Thiết kế mạch đếm nối tiếp mod 16 đếm lên dùng T-FF (xung clock cạnh lên, ngõ PR và ngõ CL tích cực mức thấp).

4.17 Thiết kế mạch đếm nối tiếp mod 16 đếm xuống dùng T-FF (xung clock cạnh lên, ngõ PR và ngõ CL tích cực mức thấp).

4.18 Dựa trên kết quả bài 4.16 thiết kế mạch đếm nối tiếp mod 10 đếm lên

0 → 1 → 2 → ... → 9 → 0 → ...

4.19 Dựa trên kết quả bài **4.17**, thiết kế mạch đếm nối tiếp mod 10 đếm xuống
 $15 \rightarrow 14 \rightarrow 13 \rightarrow \dots \rightarrow 6 \rightarrow 15 \rightarrow \dots$

4.20 Dựa trên kết quả bài **4.17**, thiết kế mạch đếm nối tiếp mod 10 đếm xuống
 $9 \rightarrow 8 \rightarrow 7 \rightarrow \dots \rightarrow 0 \rightarrow 9 \rightarrow \dots$

4.21 Nếu sử dụng JK-FF hoặc D-FF thay cho T-FF trong các bài **4.16** và **4.17** thì thay đổi thế nào?

4.22 Thiết kế mạch đếm nối tiếp có nội dung thay đổi theo quy luật của mã 2421, sử dụng JK-FF (xung clock cạnh xuống, ngõ Pr và ngõ Cl tích cực mức cao)

4.23 Thiết kế mạch đếm nối tiếp lên/xuống 4 bit dùng T-FF (xung clock cạnh xuống) với biến điều khiển U/\overline{D} . Khi $U/\overline{D}=1$ thì mạch đếm lên, khi $U/\overline{D}=0$ thì mạch đếm xuống.

4.24 Thiết kế mạch đếm song song dùng JK-FF (xung clock cạnh xuống) có dãy đếm như sau
 $000 \rightarrow 010 \rightarrow 011 \rightarrow 100 \rightarrow 110 \rightarrow 111 \rightarrow 000 \rightarrow \dots$

4.25 Làm lại bài **4.24** với yêu cầu các trạng thái không sử dụng trong dãy đếm được đưa về trạng thái 111 ở xung clock kế tiếp.

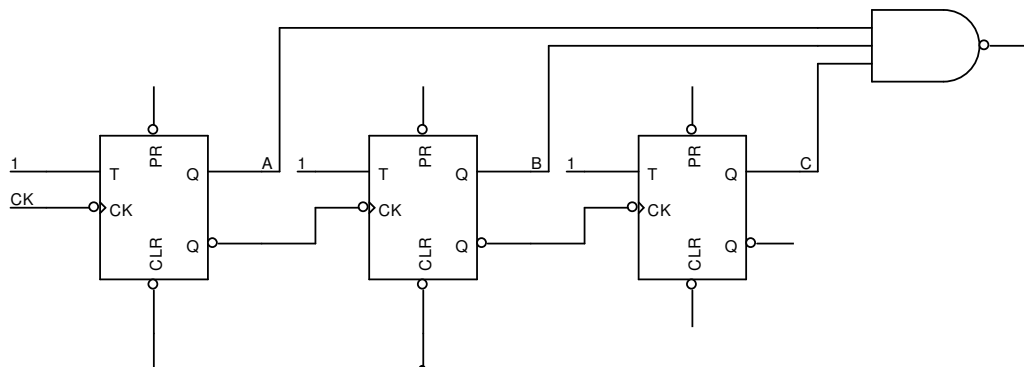
4.26 Làm lại bài **4.24** dùng D-FF.

4.27 Làm lại bài **4.24** dùng T-FF.

4.28 Làm lại bài **4.24** dùng SR-FF.

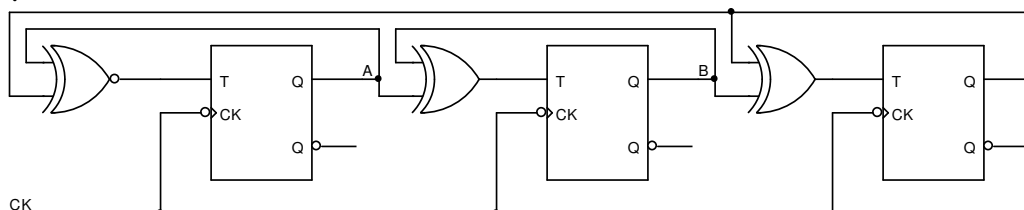
4.29 Thiết kế mạch đếm song song mod 10 có nội dung thay đổi theo quy luật của mã 2421 dùng T-FF.

4.30 Cho mạch đếm sau



Hãy vẽ dạng sóng A, B, C theo CK và cho biết dung lượng đếm của mạch

4.31 Cho mạch đếm sau



- Viết hàm kích thích (biểu thức các ngõ vào) cho mỗi FF.
- Lập bảng trạng thái chuyển đổi của mạch.
- Vẽ graph (giản đồ) trạng thái của bộ đếm.
- Bộ đếm có tự kích được không? Giải thích?