**THỰC HÀNH NHẬP MÔN MẠCH SỐ - LỚP PH002.N14.2**

**BÀI THỰC HÀNH 2: THIẾT KẾ MẠCH SỐ THEO HÀM LUẬN LÝ**

|  |  |  |  |
| --- | --- | --- | --- |
| **Giảng viên hướng dẫn** | **Đỗ Trí Nhựt** | | **ĐIỂM** |
| **Sinh viên thực hiện 1** | **Lại Quan Thiên** | **22521385** |  |
| **Sinh viên thực hiện 2** |  |  |  |
| **Sinh viên thực hiện 3** |  |  |  |
| **Sinh viên thực hiện 4** |  |  |  |

**1. Mục tiêu**

- Hiểu được cách thức hoạt động của một Mạch số.

- Kết nối các cổng luận lý thành một Mạch số có chức năng mong muốn.

**2. Nội dung**

**a. Thực hành trên lớp (làm theo nhóm)**

**Câu 1: Thiết kế mạch số theo hàm luận lý: F1(A, B, C, D) = AB + A’CD + AB’**

- Sử dụng đại số bool để hoàn thành F1 (lý thuyết) trong bảng sau: ☐

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **A** | **B** | **C** | **D** | **F1**  **(lý thuyết)** | **F1**  **(mô phỏng)** | **F1**  **(thực nghiệm)** |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 |

- Vẽ sơ đồ mạch trên Logisim: ☐

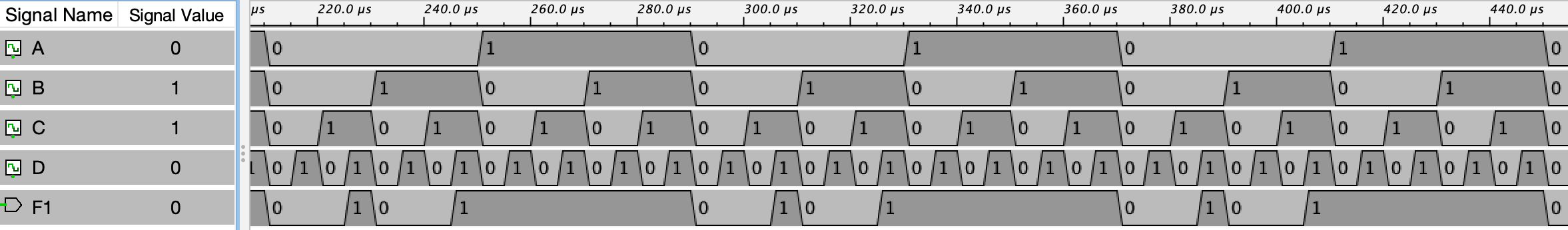
Diagram

Description automatically generated

- Đóng gói và mô phỏng trên Logisim và điền kết quả vào F1 (mô phỏng) vào bảng trên: ☐

Calendar

Description automatically generated



- [Tùy chọn] Nạp thiết kế xuống DE2 KIT và điền kết quả F1 (thực nghiệm) vào bảng trên: ☐

- [Tùy chọn] Nhận xét về giá trị của F1 (lý thuyết), F1 (mô phỏng) và F1 (thực nghiệm): ☐

-> Giá trị của F1 ở lý thuyết, mô phỏng, thực nghiệm là như nhau .

**Câu 2: Thực nghiệm kết quả rút gọn hàm luận lý F1 ở câu 1**

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| - Rút gọn hàm F1 ở câu 1 sau đó  điền giá trị của F1 vào cột F1 (rút gọn, lý thuyết): ☐  F1(A, B, C, D) = AB + A’CD + AB’  = A + CD |  | **A** | **B** | **C** | **D** | **F1 (rút gọn, lý thuyết)** | **F1 (rút gọn, mô phỏng)** | **F1 (rút gọn, thực nghiệm)** |  |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 |

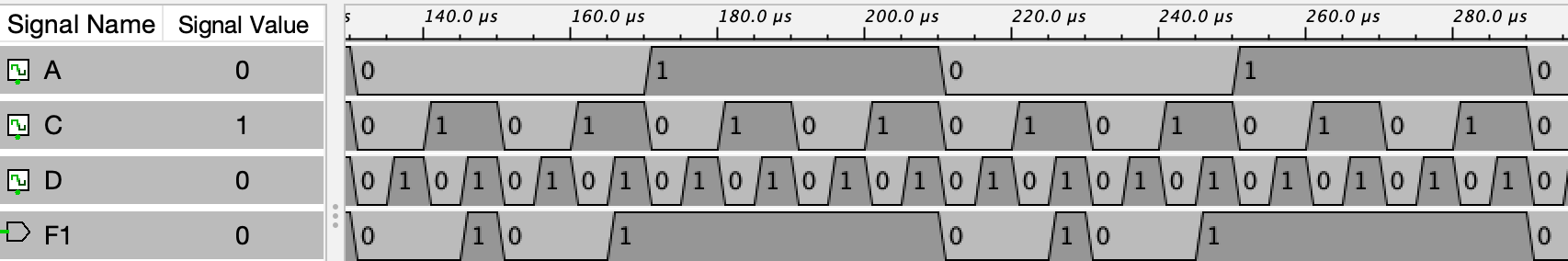
Diagram, schematic

Description automatically generated- Vẽ sơ đồ mạch trên Logisim: ☐

- Đóng gói, mô phỏng trên Logisim và điền kết quả vào F1 (rút gọn, mô phỏng) ở bảng trên: ☐

Calendar

Description automatically generated



***Nhận xét về giá trị của F1 (rút gọn, lý thuyết) và F1 (lý thuyết) ở câu 1: ☐***

* Mạch gọn hơn
* Dễ đánh giá hơn
* Kết quả cho ra trước và sau khi rút gọn là như nhau -> mạch rút rút gọn đúng và tiện hơn

***Nhận xét về giá trị của F1 (rút gọn, mô phỏng) và F1 (mô phỏng) ở câu 1: ☐***

* Mạch gọn hơn
* Dễ đánh giá hơn
* Kết quả mô phỏng cho ra trước và sau khi rút gọn là như nhau -> cho thấy mạch rút gọn đúng, tiện cho việc xử lý, đánh giá,….

- [Tùy chọn] Nạp thiết kế xuống DE2 KIT và điền kết quả F1 (rút gọn, thực nghiệm) vào bảng trên: ☐

- [Tùy chọn] Nhận xét về giá trị của F1 (rút gọn, thực nghiệm) và F1 (thực nghiệm) ở câu 1: ☐

+ Mạch sau khi rút gọn được gọn gàng và dễ nhìn hơn.

+ Không còn khó khăn trong việc đánh giá, xử lý số liệu.

+ Kết quả thực nghiệm cho ra trước và sau khi rút gọn là như nhau -> cho thấy mạch rút gọn đúng, tiện cho việc xử lý, đánh giá,….