

浙江大学

本科实验报告

课程名称:	数字逻辑设计
姓 名:	王浩雄
学 院:	竺可桢学院
系:	混合班
专 业:	计算机科学与技术
学 号:	3230106032
指导教师:	马德

2025 年 3 月 27 日

浙江大学实验报告

课程名称：____数字逻辑设计____实验类型：____
实验项目名称：____7 段数码管显示译码器设计____与应用____
学生姓名：____王浩雄____专业：____混合班____学号：____3230106032____
同组学生姓名：____无____指导老师：____马德____
实验地点：____紫金港东 4-509____实验日期：____2025 年 3 月 27 日____

一、实验目的和要求

- ① 掌握七段数码管显示原理；
- ② 掌握七段数码管显示译码设计；
- ③ 采用原理图设计电路模块；
- ④ 进一步熟悉 ISE 平台及下载实验平台物理验证。

二、实验内容和原理

1、实验背景

多位七段数码管显示原理：

MC14495 模块有六个输入，八个输出，其中：

- ① D3~D0：输入的 4 位二进制数字
- ② LE：使能信号，低电平有效
- ③ point：用来表示小数点是否点亮，高电平有效
- ④ 输出信号 a~g, p：均为低电平有效，对应数码管以及输入对应真值表如下：

	a	b	c	d	e	f	g	p
0	1	1	1	1	1	1	1	0
1	1	1	0	1	1	1	1	0
2	1	1	0	1	0	1	1	0
3	1	1	0	0	1	1	1	0
4	1	1	0	0	1	0	1	0
5	1	1	0	0	1	0	0	0
6	1	1	0	0	0	0	0	0
7	1	1	0	0	1	1	1	1
8	1	1	0	0	0	0	0	0
9	1	1	0	0	0	1	0	0
A	1	1	0	0	1	0	0	0
B	1	1	0	0	0	0	0	0
C	1	1	1	0	0	0	1	1
D	1	1	0	0	0	0	1	0
E	1	1	1	0	0	0	0	0
F	1	1	1	1	0	0	0	0

2、实验内容

- ① 原理图设计实现显示译码 MyMC14495 模块
- ② 用 MyMC14495 模块实现数码管显示

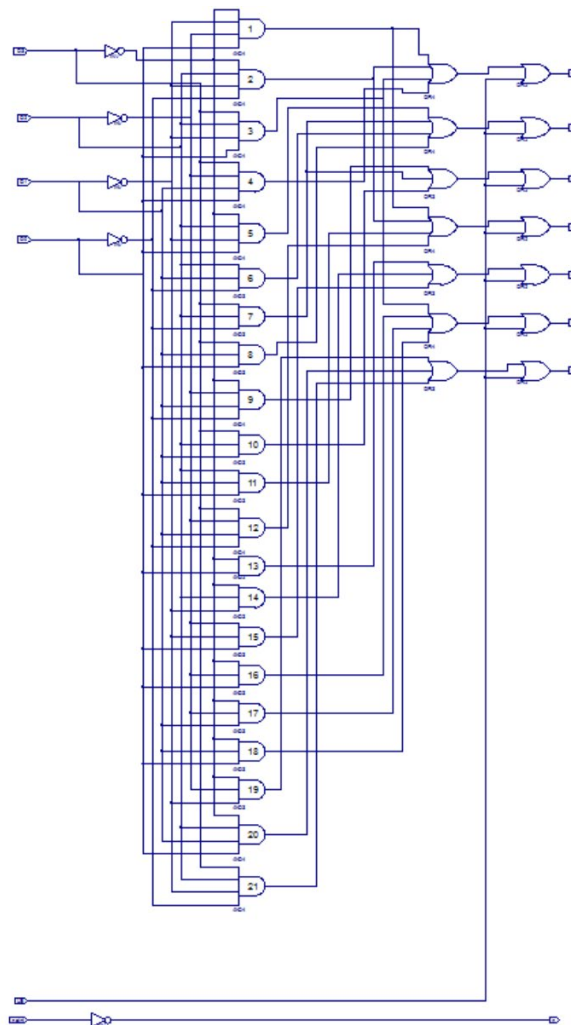
三、 主要仪器设备

- ① 装有 ISE 14.7 的计算机 1 台
- ② SWORD 开发板 1 套

四、 操作方法与实验步骤

1、原理图设计实现显示译码 MyMC14495 模块

- ① 新建 Schematic 文件，结合设计要求和真值表，绘制电路连接图如下：



② 由电路连接图生成的硬件描述代码如下：

```
module MyMC14495(D0, D1, D2, D3, LE, point, a, b, c, d, e, f, g, p);

    input D0, D1, D2, D3, LE, point;
    output a, b, c, d, e, f, g, p;

    wire XLXN_6, XLXN_7, XLXN_8, XLXN_9 ...; // 此处省略

    OR2 XLXI_1 (.I0(LE), .I1(XLXN_12), .O(a));
    OR2 XLXI_2 (.I0(LE), .I1(XLXN_11), .O(b));
    OR2 XLXI_3 (.I0(LE), .I1(XLXN_10), .O(c));
    OR2 XLXI_4 (.I0(LE), .I1(XLXN_9), .O(d));
    OR2 XLXI_5 (.I0(LE), .I1(XLXN_8), .O(e));
    OR2 XLXI_6 (.I0(LE), .I1(XLXN_7), .O(f));
    OR2 XLXI_7 (.I0(LE), .I1(XLXN_6), .O(g));
    OR4 XLXI_8 (.I0(XLXN_52), .I1(XLXN_50), .I2(XLXN_47),
        .I3(XLXN_46), .O(XLXN_12));
    OR4 XLXI_9 (.I0(XLXN_59), .I1(XLXN_58), .I2(XLXN_55),
        .I3(XLXN_53), .O(XLXN_11));
    OR4 XLXI_10 (.I0(XLXN_69), .I1(XLXN_68), .I2(XLXN_47),
        .I3(XLXN_46), .O(XLXN_9));
    OR4 XLXI_11 (.I0(XLXN_75), .I1(XLXN_74), .I2(XLXN_73),
        .I3(XLXN_50), .O(XLXN_7));
    OR3 XLXI_12 (.I0(XLXN_61), .I1(XLXN_55), .I2(XLXN_60),
        .O(XLXN_10));
    OR3 XLXI_13 (.I0(XLXN_72), .I1(XLXN_71), .I2(XLXN_70),
        .O(XLXN_8));
    OR3 XLXI_14 (.I0(XLXN_85), .I1(XLXN_77), .I2(XLXN_76),
        .O(XLXN_6));
    INV XLXI_102 (.I(D3), .O(XLXN_112));
    INV XLXI_103 (.I(D2), .O(XLXN_103));
    INV XLXI_104 (.I(D1), .O(XLXN_102));
    INV XLXI_105 (.I(D0), .O(XLXN_163));
    INV XLXI_120 (.I(point), .O(p));
    AND4 XLXI_122 (.I0(D0), .I1(XLXN_103), .I2(XLXN_102),
        .I3(XLXN_112), .O(XLXN_46));
    AND4 XLXI_123 (.I0(XLXN_163), .I1(XLXN_102), .I2(D2),
        .I3(XLXN_112), .O(XLXN_47));
    AND4 XLXI_124 (.I0(D0), .I1(XLXN_102), .I2(D2),
        .I3(D3), .O(XLXN_50));
    AND4 XLXI_125 (.I0(D0), .I1(D1), .I2(XLXN_103),
        .I3(D3), .O(XLXN_52));
    AND4 XLXI_126 (.I0(D0), .I1(XLXN_102), .I2(D2),
```

```

        .I3(XLXN_112), .O(XLXN_53));
AND3  XLXI_127 (.I0(XLXN_163), .I1(D1), .I2(D2), .O(XLXN_58));
AND3  XLXI_128 (.I0(XLXN_163), .I1(D2), .I2(D3), .O(XLXN_55));
AND3  XLXI_129 (.I0(D0), .I1(D1), .I2(D3), .O(XLXN_59));
AND4  XLXI_130 (.I0(XLXN_163), .I1(D1), .I2(XLXN_103),
               .I3(XLXN_112), .O(XLXN_60));
AND3  XLXI_131 (.I0(D1), .I1(D2), .I2(D3), .O(XLXN_61));
AND3  XLXI_132 (.I0(D0), .I1(D1), .I2(D2), .O(XLXN_68));
AND4  XLXI_133 (.I0(XLXN_163), .I1(D1), .I2(XLXN_103),
               .I3(D3), .O(XLXN_69));
AND2  XLXI_134 (.I0(D0), .I1(XLXN_112), .O(XLXN_70));
AND3  XLXI_135 (.I0(XLXN_102), .I1(D2), .I2(XLXN_112), .O(XLXN_71));
AND3  XLXI_136 (.I0(D0), .I1(XLXN_102), .I2(XLXN_103), .O(XLXN_72));
AND3  XLXI_137 (.I0(D0), .I1(XLXN_103), .I2(XLXN_112), .O(XLXN_73));
AND3  XLXI_138 (.I0(D1), .I1(XLXN_103), .I2(XLXN_112), .O(XLXN_74));
AND3  XLXI_139 (.I0(D0), .I1(D1), .I2(XLXN_112), .O(XLXN_75));
AND3  XLXI_141 (.I0(XLXN_102), .I1(XLXN_103), .I2(XLXN_112),
               .O(XLXN_76));
AND4  XLXI_142 (.I0(D0), .I1(D1), .I2(D2), .I3(XLXN_112), .O(XLXN_77));
AND4  XLXI_143 (.I0(XLXN_163), .I1(XLXN_102), .I2(D2), .I3(D3),
               .O(XLXN_85));

endmodule

```

③ 新建仿真激励文件 sim.v 如下：

```

module MyMC14495_MyMC14495_sch_tb();

// Inputs
reg LE, point, D0, D1, D2, D3;
// Output
wire p, a, b, c, d, e, f, g;

// Instantiate the UUT
MyMC14495 UUT (
    .LE(LE), .D3(D3), .p(p), .point(point), .b(b), .g(g), .f(f),
    .e(e), .d(d), .c(c), .a(a), .D2(D2), .D1(D1), .D0(D0));

// Initialize Inputs
integer i;
initial begin
    D3 = 0;
    D2 = 0;
    D1 = 0;
    D0 = 0;
    LE = 0;

```

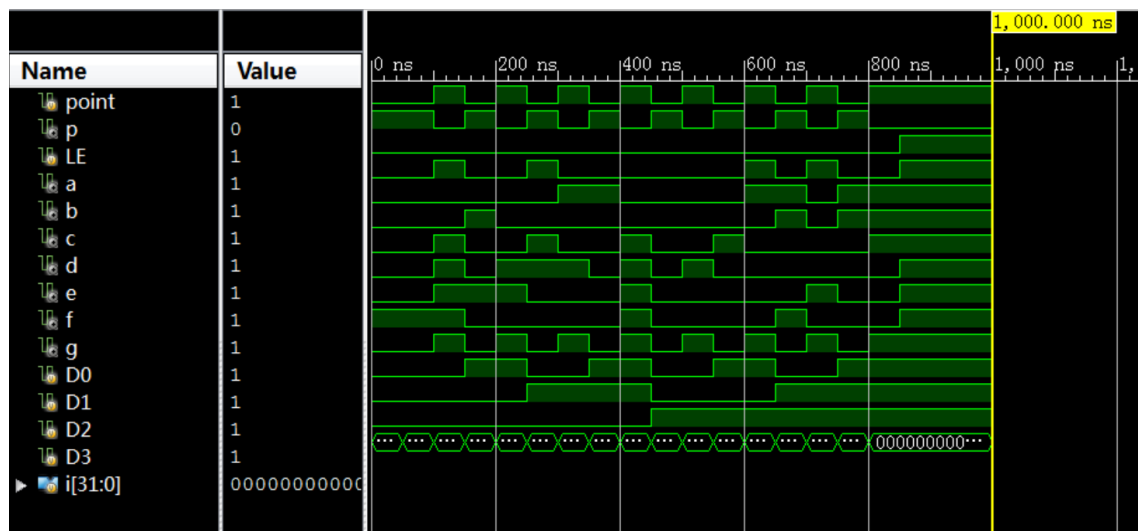
```

    point = 0;
    for (i=0; i<=15;i=i+1) begin
        #50;
        {D3,D2,D1,D0}=i;
        point = i;
    end
    #50;
    LE = 1;
end
endmodule

```

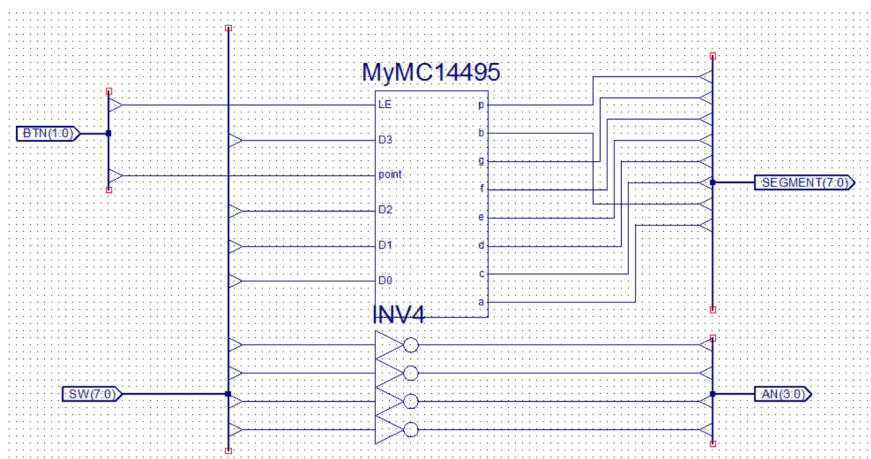
④ 运行仿真，得到如下的仿真波形。结合真值表（上文已给出）进行分析，该波形与预期相符，表明原理图绘制的正确性。

（注：由于显示问题，下图的变量名与波形没有对齐）



2、用 MyMC14495 模块实现数码管显示





① 新建项目，新建 Schematic 文件，绘制用拨盘开关控制模块的输入，用七段数码管作为模块的输出，验证模块的功能。

















② 下板，按下述情形分别进行验证。得到如下的结果。该结果与设计要求与预期相符。

组号	情形	拨盘开关输入	实验结果
1-16	显示 0-f 的数字	调节 SW[0]-SW[3]	成功
17	关闭使能	SW[14]=1	成功
18	显示小数点	SW[15]=1	成功
19	控制数字显示位数	SW[7:4]=4'b1010	成功

测试照片（节选）：

1		2	
3		4	

5		6	
7		8	
9		10	
11		12	
13		14	
15		16	
17		18	

19		20	
----	---	----	--

五、 实验结果与分析

（请见上方分析）

六、 讨论、心得

在本次实验中，我使用画图实现了显示译码 MyMC14495 模块的设计，并成功通过仿真和上板验证的方式验证其正确性。在前几次实验的基础上，结合学习与理解，我基本掌握了使用 Verilog 代码进行结构描述的能力，并初步具备对仿真、上板常见问题的解决能力。