

# 浙江大学

## 本科实验报告

课程名称: 数字逻辑设计

姓 名: 王浩雄

学 院: 竺可桢学院

系: 混合班

专 业: 计算机科学与技术

学 号: 3230106032

指导教师: 马德

2025 年 4 月 14 日

# 浙江大学实验报告

课程名称: 数字逻辑设计 实验类型: \_\_\_\_\_  
实验项目名称: 锁存器、触发器基本原理  
学生姓名: 王浩雄 专业: 混合班 学号: 3230106032  
同组学生姓名: 无 指导老师: 马德  
实验地点: 紫金港东 4-509 实验日期: 2025 年 4 月 14 日

## 一、 实验目的和要求

- ① 掌握锁存器与触发器构成的条件和工作原理;
- ② 掌握锁存器与触发器的区别;
- ③ 掌握基本 SR 锁存器、门控 SR 锁存器、D 锁存器、SR 锁存器、D 触发器的基本功能;
- ④ 掌握基本 SR 锁存器、门控 SR 锁存器、D 锁存器、SR 锁存器存在的时序问题。

## 二、 实验内容

- ① 实现基本 SR 锁存器, 验证功能和存在的时序问题;
- ② 实现门控 SR 锁存器, 并验证功能和存在的时序问题;
- ③ 实现 D 锁存器, 并验证功能和存在的时序问题;
- ④ 实现 SR 主从触发器, 并验证功能和存在的时序问题;
- ⑤ 实现 D 触发器, 并验证功能。

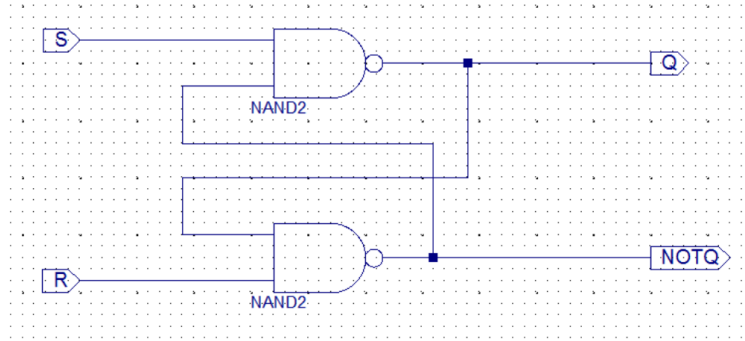
## 三、 主要仪器设备

- ① 装有 Xilinx ISE 14.7 的计算机 1 台

## 四、 操作方法与实验步骤

### 1、基本 SR 锁存器设计与验证

① 在 Xilinx ISE 中新建 Schematic 文件，结合设计要求（使用 NAND2 门），绘制电路连接图如下：



② 新建仿真激励文件如下：

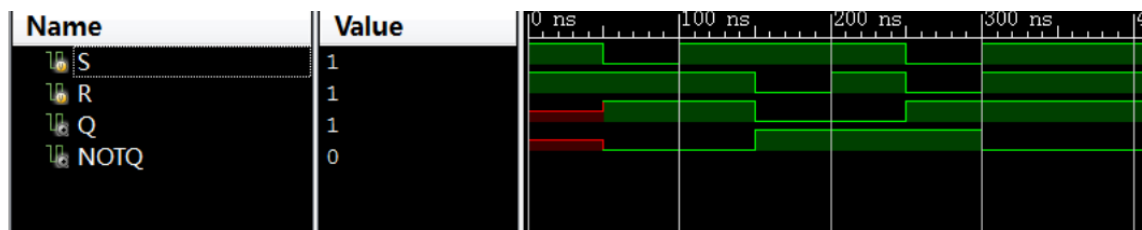
```
module SR_LATCH_SR_LATCH_sch_tb();

    reg R, S;
    wire Q, NOTQ;

    SR_LATCH UUT (.Q(Q), .NOTQ(NOTQ), .R(R), .S(S));

    initial begin
        R=1;S=1; #50;
        R=1;S=0; #50;
        R=1;S=1; #50;
        R=0;S=1; #50;
        R=1;S=1; #50;
        R=0;S=0; #50;
        R=1;S=1; #50;
    end
endmodule
```

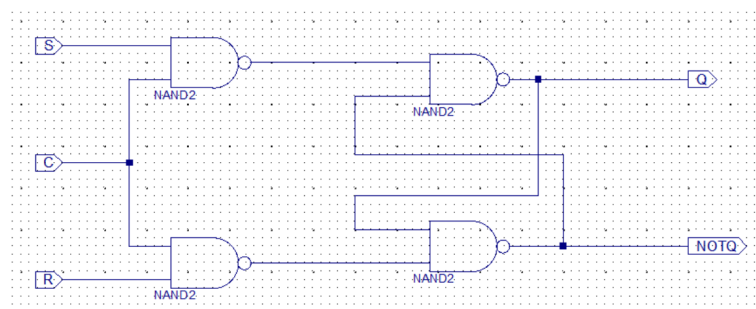
③ 运行仿真，得到如下的仿真波形。根据下表分析得知，该波形与预期相符，表明原理图绘制的正确性。



测试组别	S	R	Q	NOTQ	解释
1	1	1	X	X	
2	0	1	1	0	Q 置 1
3	1	1	1	0	Q 保持
4	1	0	0	1	Q 置 0
5	1	1	0	1	Q 保持
6	0	0	1	1	未定义
7	1	1	1	0	

## 2、门控 SR 锁存器设计与验证

① 在 Xilinx ISE 中新建 Schematic 文件，结合设计要求（使用 NAND2 门），绘制电路连接图如下：



② 新建仿真激励文件如下：

```
module CSR_LATCH_CSR_LATCH_sch_tb();

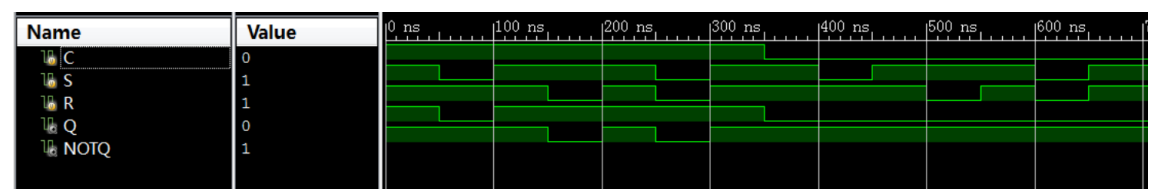
    reg C, S, R;
    wire NOTQ, Q;

    CSR_LATCH UUT ( .NOTQ(NOTQ), .Q(Q), .C(C), .S(S), .R(R) );

endmodule
```

```
initial begin
C = 1;
R = 1; S = 1; #50;
R = 1; S = 0; #50;
R = 1; S = 1; #50;
R = 0; S = 1; #50;
R = 1; S = 1; #50;
R = 0; S = 0; #50;
R = 1; S = 1; #50;
C = 0;
R = 1; S = 1; #50;
R = 1; S = 0; #50;
R = 1; S = 1; #50;
R = 0; S = 1; #50;
R = 1; S = 1; #50;
R = 0; S = 0; #50;
R = 1; S = 1; #50;
end
endmodule
```

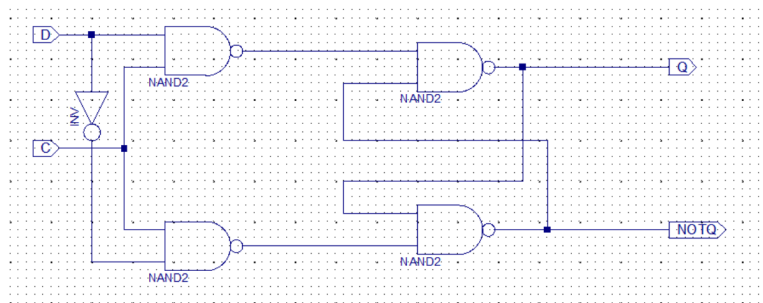
③ 运行仿真，得到如下的仿真波形。根据下表分析得知，该波形与预期相符，表明原理图绘制的正确性。



测试组别	C	S	R	Q	NOTQ	解释
1	1	1	1	1	1	未定义
2	1	0	1	0	1	Q 置 0
3	1	1	1	1	1	未定义
4	1	1	0	1	0	Q 置 1
5	1	1	1	1	1	未定义
6	1	0	0	1	0	Q 保持
7	1	1	1	1	1	未定义
8	0	X	X	0	1	Q 保持

### 3、D 锁存器设计与验证

① 在 Xilinx ISE 中新建 Schematic 文件，结合设计要求（使用 NAND2 门），绘制电路连接图如下：



② 新建仿真激励文件如下：

```
module D_LATCH_D_LATCH_sch_tb();

    reg C, D;

    wire NOTQ, Q;

    D_LATCH UUT (.NOTQ(NOTQ), .Q(Q), .C(C), .D(D));

    initial begin
        C=1;D=1; #50;
        D=0; #50;
        C=0;D=1; #50;
        D=0;
    end
endmodule
```

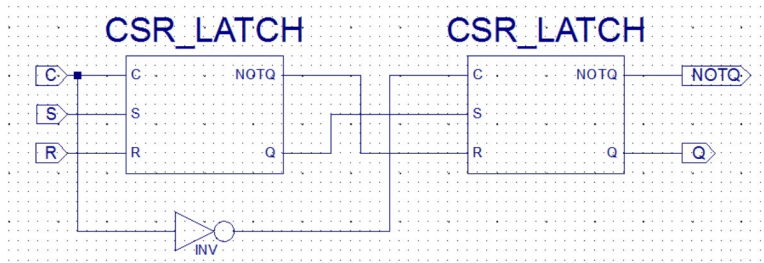
③ 运行仿真，得到如下的仿真波形。根据下表分析得知，该波形与预期相符，表明原理图绘制的正确性。

Name	Value	0 ns	50 ns	100 ns	150 ns	200 ns
C	0	1	1	0	0	0
D	0	1	0	1	1	1
Q	0	1	1	1	1	1
NOTQ	1	0	0	0	0	0

测试组别	C	D	Q	NOTQ	解释
1	1	1	1	0	Q 置 1
2	1	0	0	1	Q 置 0
3	0	X	0	1	Q 保持

#### 4、SR 触发器设计与验证

① 在 Xilinx ISE 中新建 Schematic 文件，结合设计要求（调用之前实现的 CSR\_LATCH），绘制电路连接图如下：



② 新建仿真激励文件。为了能够验证一次性采样问题，我编写的仿真激励如下：

```
module MS_FLIPFLOP_MS_FLIPFLOP_sch_tb();

    reg C, S, R;
    wire NOTQ, Q;

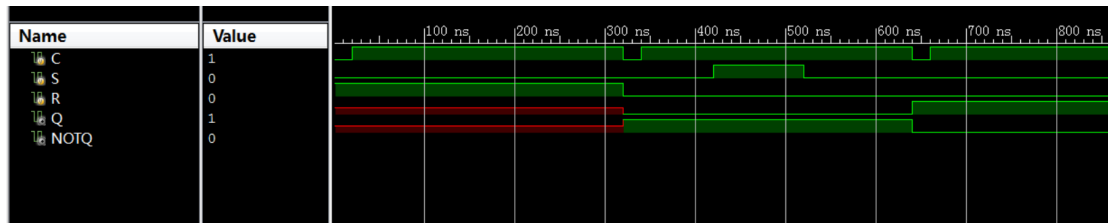
    MS_FLIPFLOP UUT (.C(C), .S(S), .R(R), .NOTQ(NOTQ), .Q(Q));

initial begin
    R=1;S=0; #320;
    R=0;S=0; #100;
    R=0;S=1; #100;
    R=0;S=0; #100;
end

always begin
    C=0; #20;
    C=1; #300;
end

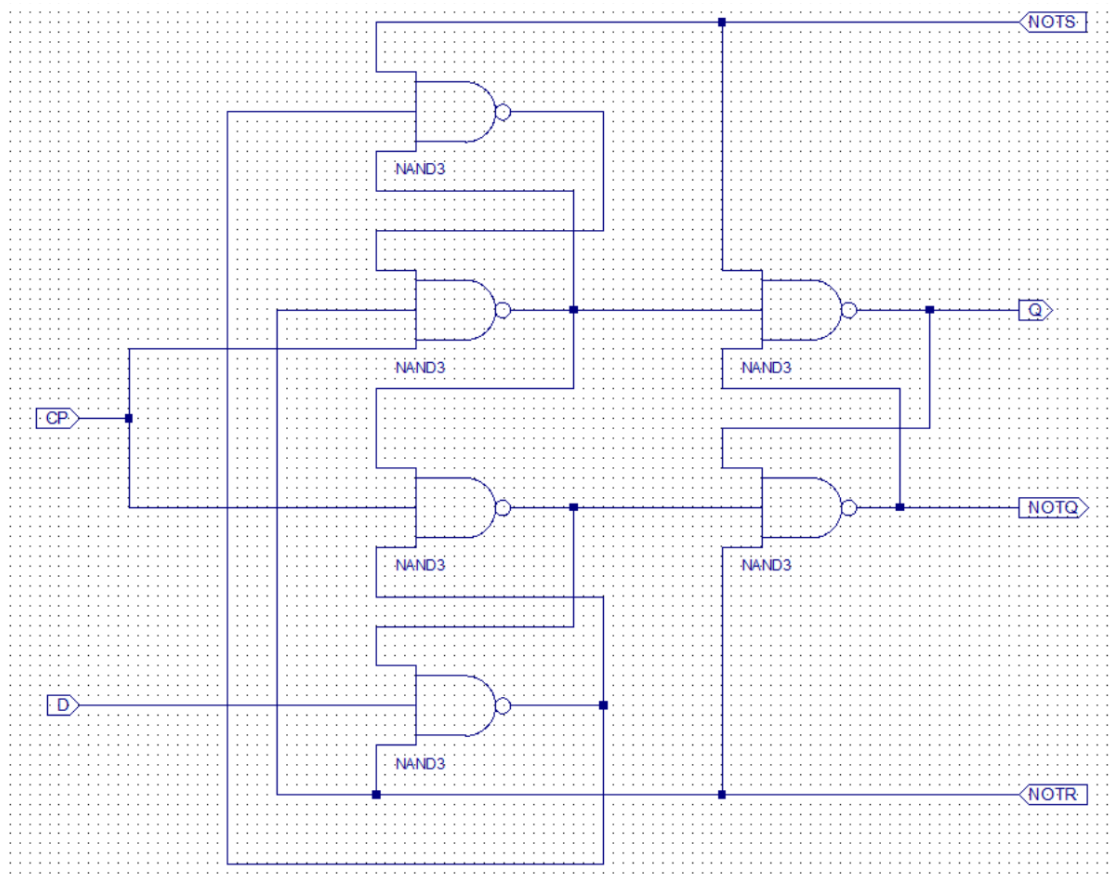
endmodule
```

③ 运行仿真，得到如下的仿真波形。在第一个时钟为高的阶段内，触发器被 Reset，随后的 Q=0 表明触发器被成功 Reset。在第二个时钟为高的阶段内，S 信号发生 0-1-0 抖动，随后的 Q=1 表明触发器被此处的抖动成功 Set。从而说明了 SR 触发器存在一次性采样问题。



## 5、D 触发器设计与验证

① 在 Xilinx ISE 中新建 Schematic 文件，结合设计要求和真值表（使用 NAND3 门），绘制电路连接图如下：





② 新建仿真激励文件如下：

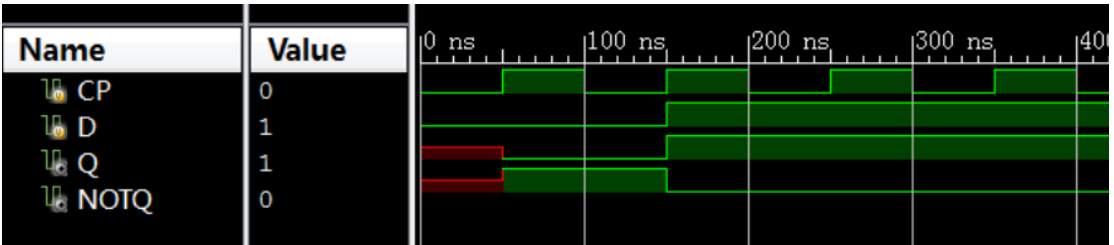
```
module D_FLIPFLOP_D_FLIPFLOP_sch_tb();

    reg D, CP, NOTR, NOTS;
    wire Q, NOTQ;

    D_FLIPFLOP UUT
    (.Q(Q), .NOTQ(NOTQ), .NOTS(NOTS), .NOTR(NOTR), .D(D), .CP(CP));

    initial begin
        NOTS = 1;
        NOTR = 1;
        D = 0; #150;
        D = 1; #150;
    end
    always begin
        C = 0; #50;
        C = 1; #50;
    end
end
endmodule
```

③ 运行仿真，得到如下的仿真波形。根据下表分析得知，该波形与预期相符，表明原理图绘制的正确性。



测试组别	C	D	Q	NOTQ	解释
1	0	0	X	X	
2	1	0	0	1	Q 置 0
3	0	0	0	1	
4	1	1	1	0	Q 置 1
5	0	1	1	0	

## 五、 实验结果与分析

（请见上方分析）

## 六、 讨论、心得

在本次实验中，我使用 ISE 完成了多种锁存器、触发器的设计与验证。通过本次实验，我巩固了课堂所学的知识，对锁存器、触发器的作用和原理有了更深入的理解，进一步加深了对时序逻辑电路的认识。