

浙江大学

本科实验报告

课程名称: 数字逻辑设计

姓 名: 王浩雄

学 院: 竺可桢学院

系: 混合班

专 业: 计算机科学与技术

学 号: 3230106032

指导教师: 马德

2025 年 3 月 6 日

浙江大学实验报告

课程名称： 数字逻辑设计 实验类型：

实验项目名称： 集成逻辑门电路的功能及参数测试

学生姓名： 王浩雄 专业： 混合班 学号： 3230106032

同组学生姓名： 无 指导老师： 马德

实验地点： 紫金港东 4-509 实验日期： 2025 年 3 月 6 日

一、 实验目的和要求

1. 熟悉基本逻辑门电路的功能、外部电气特性和逻辑功能；
2. 熟悉 TTL 与非门和 CMOS 或非门的封装及管脚功能；
3. 掌握主要参数和静态特性的测试方法，加深对各参数意义的理解；
4. 进一步建立信号传输有时间延时的概念；
5. 进一步熟悉示波器仪器的使用。

二、 实验内容和原理

1. 验证集成电路 74LS00 “与非” 门的逻辑功能；
2. 验证集成电路 CD4001 “或非” 门的逻辑功能；
3. 测量集成电路 74LS00 逻辑门的传输延迟时间 t_{pd} ；
4. 测量集成电路 CD4001 逻辑门的传输延迟时间 t_{pd} ；
5. 测量集成电路 74LS00 传输特性与开关门电平 V_{ON} 和 V_{OFF} 以及噪声容限。

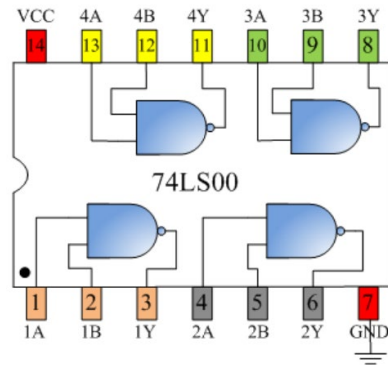
三、 主要仪器设备

1. 数字示波器 RIGOL-DS162 1 台
2. 函数发生器 YB1638 1 台
3. 数字万用表 1 只
4. 电路设计实验箱 1 台
5. 常用电子器件（两输入与非门 74LS00 1 片、两输入或非门 CD4001 1 片、
1K Ω 电位器 1 只、导线） 若干

四、 操作方法与实验步骤

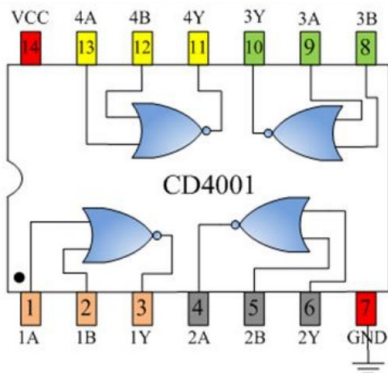
1、验证集成电路 74LS00 “与非” 门的逻辑功能

- ① 将芯片插入实验箱的 IC 插座中，注意芯片的方向；
- ② 按下图连接电路，74LS00 的 14 脚接电源+5V，7 脚接 GND；
- ③ 以真值表顺序遍历输入 A,B 所有组合，测量 A,B 及输出 F 电压并记录。



2、验证集成电路 CD4001 “或非” 门的逻辑功能

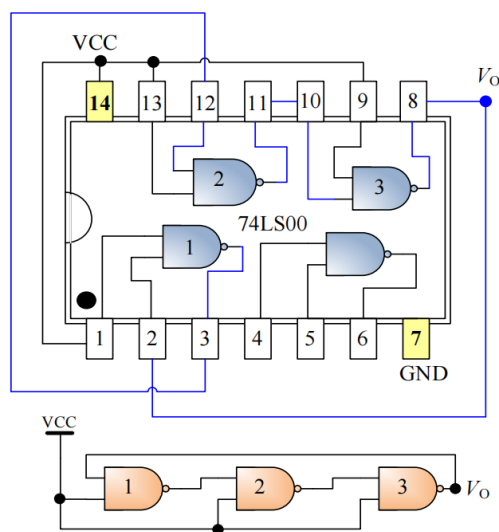
- ① 将芯片插入实验箱的 IC 插座中，注意芯片的方向；
- ② 按下图连接电路，CD4001 的 14 脚接电源+5V，7 脚接 GND；
- ③ 以真值表顺序遍历输入 A,B 所有组合，测量 A,B 及输出 F 电压并记录。



3、测量集成电路 74LS00 逻辑门的传输延迟时间 t_{pd}

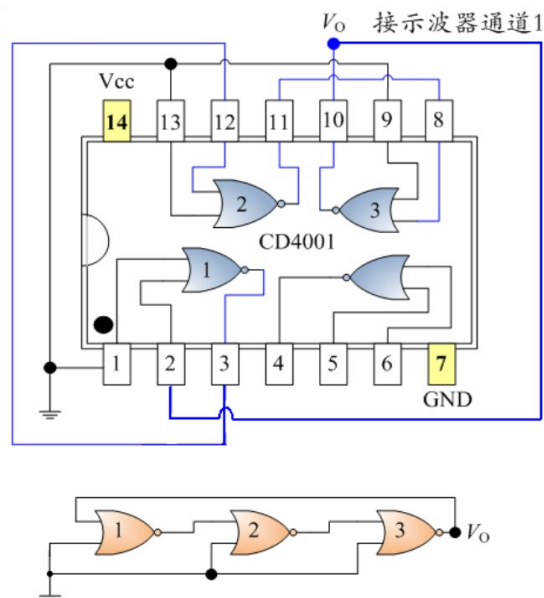
- ① 将芯片插入实验箱的 IC 插座中，注意芯片的方向；
- ② 按下图连接电路，74LS00 的 14 脚接电源+5V，7 脚接 GND，用 3 个与非门构成一个振荡器；
- ③ 将示波器接到振荡器的任何一个输入或输出端；

④ 调节示波器时基旋钮，测量 V_o 的波形，读出周期 T 并计算传输延迟时间。



4、测量集成电路 CD4001 逻辑门的传输延迟时间 t_{pd}

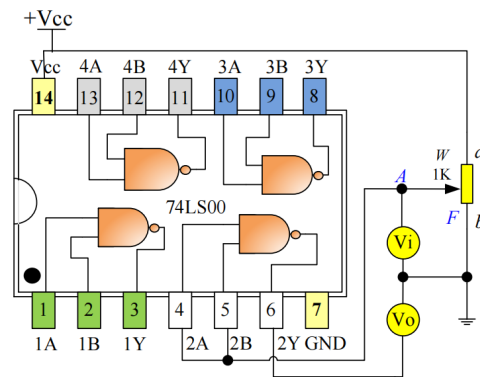
- ① 将芯片插入实验箱的 IC 插座中，注意芯片的方向；
- ② 按下图连接电路，CD4001 的 14 脚接电源+5V，7 脚接 GND，用 3 个或非门构成一个振荡器；
- ③ 将示波器接到振荡器的任何一个输入或输出端；
- ④ 调节示波器时基旋钮，测量 V_o 的波形，读出周期 T 并计算传输延迟时间。



5、测量集成电路 74LS00 传输特性与开关门电平 V_{ON} 和 V_{OFF} 以及噪声容限

- ① 将芯片插入实验箱的 IC 插座中，注意芯片的方向；

- ② 按图连接电路；
- ③ 将万用表接入 A、B 端作为 V_i ，直流电压表接与非门的输出 Y 端作为 V_o ；
- ④ 先将电位器 W 逆时针调到底，然后顺时针缓慢调节，观察 V_i 、 V_o 两电压表的读数，并记录数据填入表格；
- ⑤ 根据表格数据画出曲线图，并求 V_{ON} 和 V_{OFF} 和噪声容限。

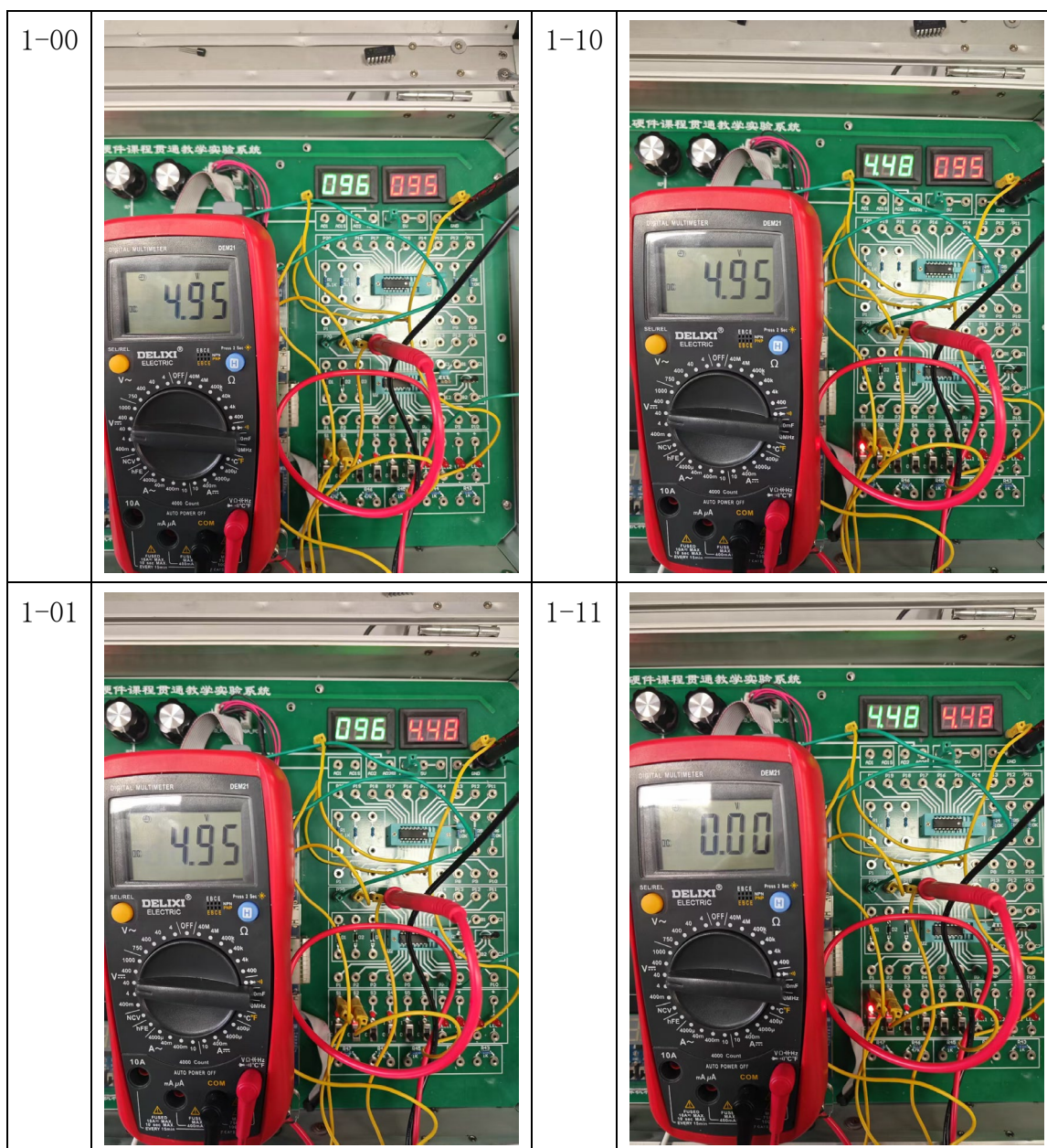


五、 实验数据记录和处理

1、验证集成电路 74LS00 “与非” 门的逻辑功能

对应图片编号	V_A/V	V_B/V	V_F/V	F 逻辑值
1-00	0.096	0.095	4.95	H
1-10	4.48	0.095	4.95	H
1-01	0.096	4.48	4.95	H
1-11	4.48	4.48	0.00	L

测试照片：

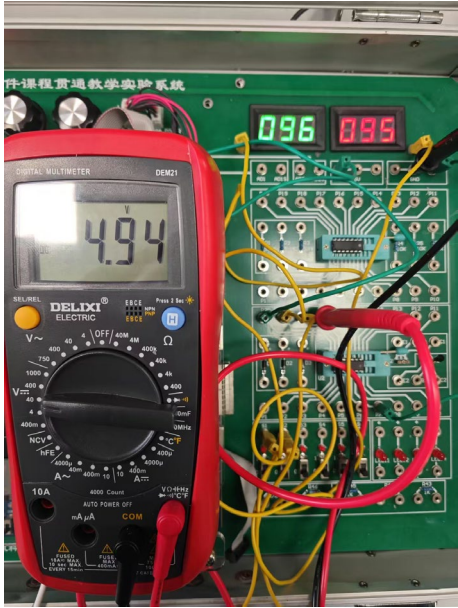
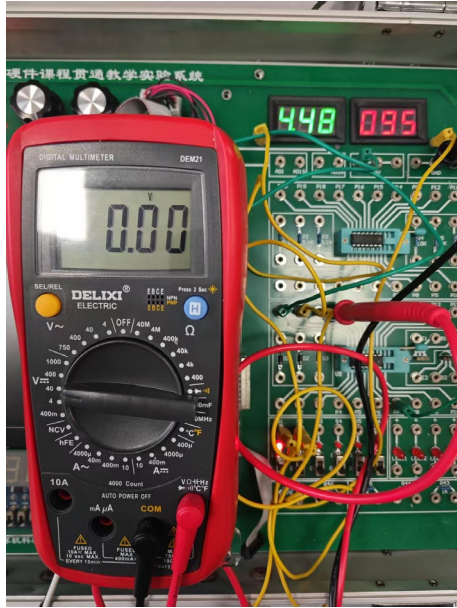
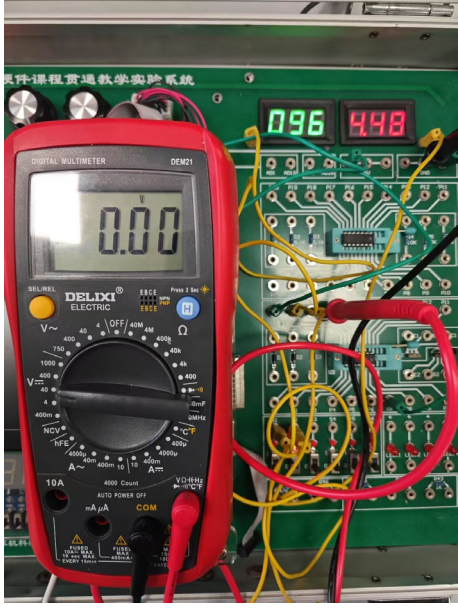
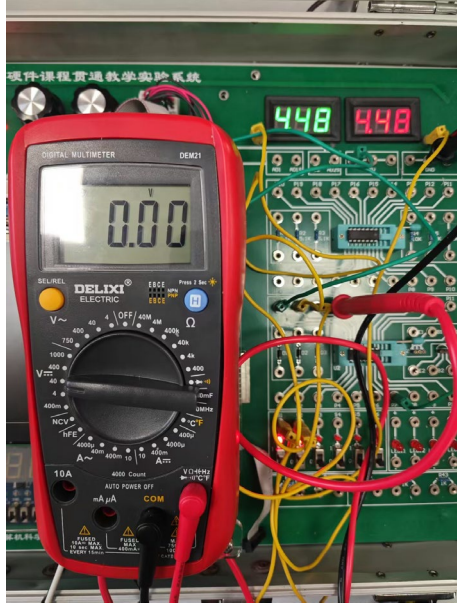


由实验数据可知，只有当 A 与 B 都是高电平时，逻辑值 F 才是低电平；其他情况下逻辑值 F 都是高电平，满足“与非”门逻辑。

2、验证集成电路 CD4001 “或非” 门的逻辑功能

对应图片编号	V_A/V	V_B/V	V_F/V	F 逻辑值
2-00	0.096	0.095	4.94	H
2-10	4.48	0.095	0.00	L
2-01	0.096	4.48	0.00	L
2-11	4.48	4.48	0.00	L

测试照片：

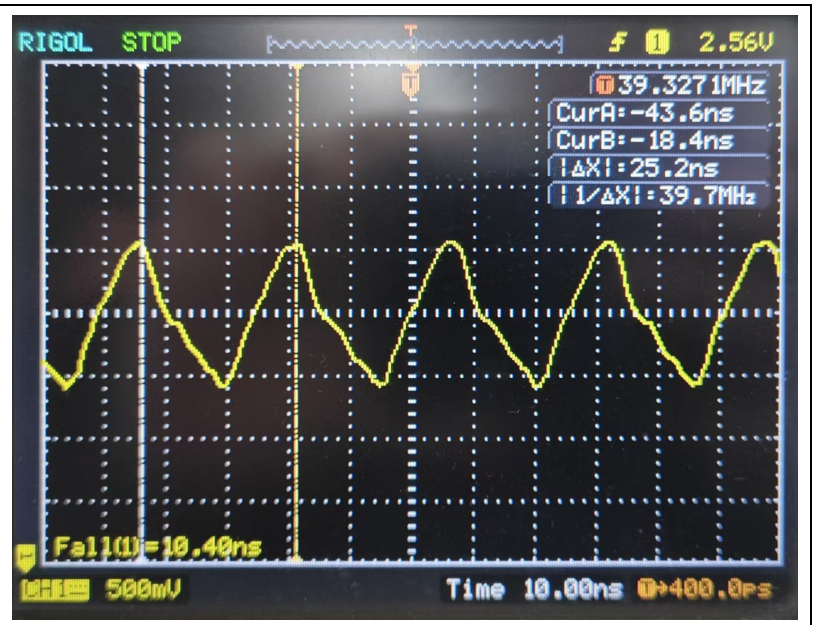
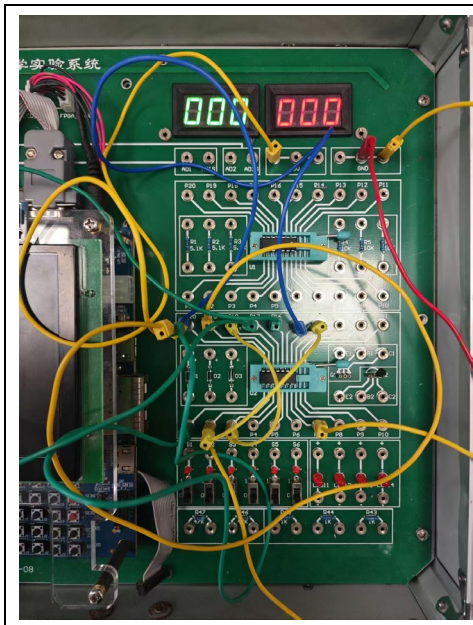
2-00		2-10	
2-01		2-11	

由实验数据可知，只有当 A 与 B 都是低电平时，逻辑值 F 才是高电平；其他情况下逻辑值 F 都是低电平，满足“或非”门逻辑。

3、测量集成电路 74LS00 逻辑门的传输延迟时间 t_{pd}

测试照片：

接线图	示波器
-----	-----

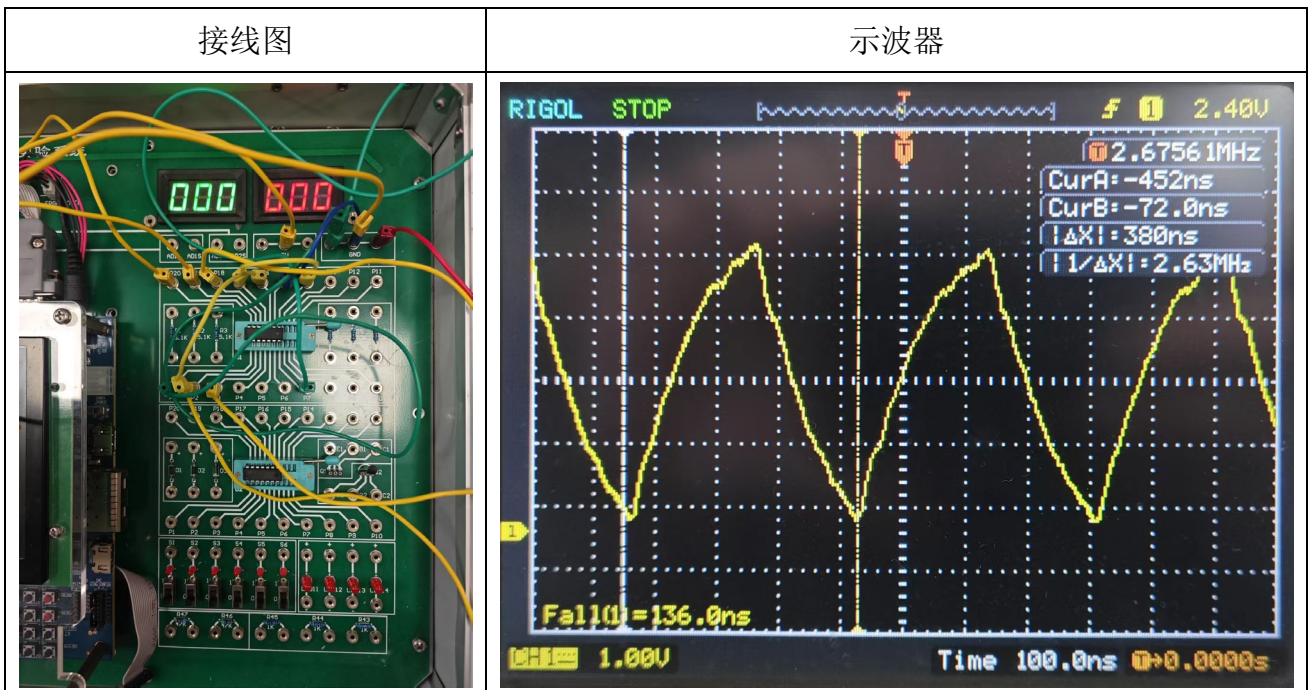


由示波器读出周期 $T=25.2\text{ns}$

传输延迟时间 $t_{pd}=T/6=4.2\text{ns}$

4、测量集成电路 CD4001 逻辑门的传输延迟时间 t_{pd}

测试照片：



由示波器读出周期 $T=380\text{ns}$

传输延迟时间 $t_{pd}=T/6=63.3\text{ns}$

5、测量集成电路 74LS00 传输特性与开关门电平 V_{ON} 和 V_{OFF} 以及噪声容限

原始数据：

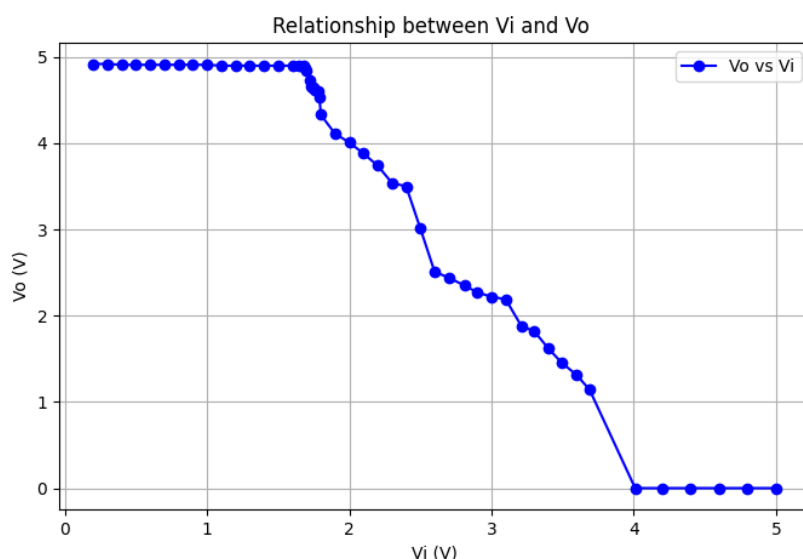
V_i/V	V_o/V
0.200	4.92
0.300	4.92
0.401	4.91
0.500	4.91
0.600	4.91
0.700	4.91
0.800	4.91
0.900	4.91
1.00	4.91
1.10	4.90
1.20	4.90
1.30	4.90
1.40	4.90
1.50	4.90
1.60	4.90
1.65	4.90
1.68	4.90
1.69	4.87
1.70	4.84
1.72	4.73
1.73	4.66
1.74	4.65
1.75	4.65
1.76	4.62
1.78	4.61

1.79	4.54
1.80	4.33
1.90	4.11
2.00	4.01
2.10	3.88
2.20	3.74
2.30	3.54
2.40	3.50
2.50	3.01
2.60	2.51
2.70	2.44
2.81	2.35
2.90	2.27
3.00	2.22
3.10	2.19
3.21	1.88
3.30	1.82
3.40	1.62
3.49	1.46
3.60	1.31
3.69	1.14
4.01	0.00

根据上述原始数据，使用 Matplotlib 绘制图像如下。

在实验过程中，当 V_i 在 3.70 左右时，无论多么细微地调节电位器， V_i 和 V_o 都会发生一次突变（ V_i 从 3.7 突变到 4.0 以上， V_o 从 1.1 突变到 0.0）。这与该型芯片的额定低电平电压 0.4V 不符，导致无法确定相关的 V_{on} 和 V_{oL} 。

由原始数据结合图像分析，可以确定的数据有： $V_{off}=2.72V$ ， $V_{oH}=4.92V$ 。



六、 实验结果与分析

（请见上方分析）

七、 讨论、心得

在本次实验中，我尝试使用由芯片提供的门电路并对其进行特性测试，对相关芯片的特性有了更为直观的了解，并进一步建立起信号传输有时间延时的概念。本次实验不仅加深了我对计算机硬件原理的理解，也为我后续学习更复杂的数字电路设计打下了坚实基础。