

2022 年《计算机组成原理》期末试题

注意事项:

1. 答卷前, 考生务必将自己的姓名和准考证号填写在答题卡上。
2. 回答选择题时, 选出每小题答案后, 用铅笔把答题卡对应题目的答案标号涂黑。如需改动, 用橡皮擦干净后, 再选涂其它答案标号。回答非选择题时, 将答案写在答题卡上。写在本试卷上无效。
3. 考试结束后, 将本试卷和答题卡一并交回。请认真核对监考员在答上所粘贴的条形码上的姓名、准考证号与您本人是否相符。

一、选择题

1. 完整的计算机系统应包括 ()。
A. 运算器、存储器、控制器
B. 外设和主机
C. 主机和实用程序
D. 配套的硬件设备和软件系统
2. 下列因素中, 与 cache 的命中率无关的是 ()。
A. 主存的存取时间 B. 块的大小 C. cache 的组织方式 D. cache 的容量
3. 某机字长 32 位, 其中 1 位符号位, 31 位表示尾数。若用定点小数表示, 则最大正小数 of ()。
A. $+(1 - 2^{\{-32\}})$ B. $+(1 - 2^{\{-31\}})$ C. $2^{\{-32\}}$ D. $2^{\{-31\}}$
4. 设变址寄存器为 X, 形式地址为 D, 某机具有先变址后间址的寻址方式, 则这种寻址方式的有效地址为 ()。
A. $EA = (X) + D$ B. $EA = (X) + (D)$ C. $EA = ((X) + D)$ D. $EA = (X + (D))$
5. 一条机器指令的功能一般对应于 ()。
A. 一段微程序 B. 一条微指令 C. 一条微命令 D. 一个微操作
6. 由于 CPU 内部的操作速度较快, 而 CPU 访问一次主存所花的时间较长, 因此机器周期通常用 () 来规定。
A. 主存中读取一个数据字的最长时间 B. 主存中读取一个指令字的最短时间
C. 主存中写入一个数据字的平均时间 D. 主存中读取一个数据字的平均时间
7. CPU 与 Cache 交换信息的单位是 (), CPU 与主存交换信息的单位是 ()。
A. 字, 块 B. 字, 字 C. 块, 字 D. 块, 块
8. 在 cache 的地址映射中, 若主存中的任一块均可映射到 cache 内的任意一块的位置上, 则这种方法称为 ()。
A. 直接映射 B. 全相联映射 C. 组相联映射 D. 混合映射

9. 流水 CPU 是由一系列叫做“段”的处理线路所组成。和具有 m 个并行部件的 CPU 相比, 一个 m 段流水 CPU ()。
A. 具备同等水平的吞吐能力
B. 不具备同等水平的吞吐能力
C. 吞吐能力大于前者的吞吐能力
D. 吞吐能力小于前者的吞吐能力
10. 可改变程序运行顺序的指令是 ()。
A. 数据传送指令
B. 算术运算指令
C. 转移指令
D. 移位指令
11. 下列说法中正确的是 ()。
A. 采用变形补码进行加减法运算可以避免溢出
B. 只有定点数运算才有可能溢出, 浮点数运算不会产生溢出
C. 只有带符号数的运算才有可能产生溢出
D. 只有将两个正数相加时才有可能产生溢出
12. 下列设备中, 不是 I/O 设备的是 ()。
A. 内存条
B. 硬盘
C. 键盘
D. 显示器
13. 假设某计算机的存储系统由 Cache 和主存组成。某程序执行过程中访存 1000 次, 其中访问 Cache 缺失(未命中)40 次, 则 Cache 的命中率是 ()。
A. 94%
B. 95%
C. 96%
D. 40%
14. 下列部件中不属于执行部件的是 ()。
A. 控制器
B. 存储器
C. 运算器
D. 外围设备
15. 操作数的地址存放在寄存器的寻址方式叫 () 寻址方式。
A. 变址
B. 直接
C. 寄存器
D. 寄存器间接
16. 某种格式的指令的操作码有 4 位, 能表示的指令有 () 条。
A. 4
B. 8
C. 16
D. 32
17. 为了便于实现多级中断, 保存现场信息最有效的方法是采用 ()。
A. 通用寄存器
B. 堆栈
C. 存储器
D. 外存
18. 采用串行接口进行 7 位 ASCII 码传送, 带有一位奇校验位、1 位起始位和 1 位停止位, 当波特率为 9600 波特时, 字符传送速率为 ()。
A. 960
B. 873
C. 1371
D. 480
19. 在 CPU 中跟踪指令后继地址的寄存器是 ()。
A. 地址寄存器
B. 指令计数器
C. 程序计数器
D. 指令寄存器
20. 在中断系统中, CPU 一旦响应中断, 则立即关闭 () 标志, 以防止本次中断响应过程被其他中断源产生另一次中断干扰。
A. 中断允许
B. 中断请求
C. 中断屏蔽
D. 设备完成

二、填空题 (共 10 题, 每空 1 分, 共 20 分)

1. 衡量总线的重要指标是 (), 为总线本身所能达到的最高 ()。
2. 某 SRAM 芯片, 存储容量为 $512K \times 16$ 位, 该芯片地址线 and 数据线数目分别为 ()、()。
3. 外围设备的编址方式可分为 () 和 () 两大类。
4. 硬磁盘的磁头可分为 () 和 ()。
5. 一个完善的计算机指令系统应满足如下四方面要求: ()、()、有效性、()、兼容性。
6. 若采用双符号位, 则发生正溢出和负溢出的特征是: 双符号位分别为 () 和 ()。
7. 双端口存储器和多模块交叉存储器属于并行存储器结构, 其中前者采用 () 并行技术, 后者采用 () 并行技术。
8. CPU 从内存取出一条指令并执行该指令的时间称为 (), 它常用若干个 () 来表示。
9. 反映主存速度指标的三个术语是存取时间、() 和 ()。
10. 微指令的格式大体分成 () 和 () 两类。

三、判断题 (共 10 题, 每题 1 分, 共 10 分)

1. 一个字节为 8 位二进制数, 则字长为 16 位二进制数。 ()
2. 在常用磁盘中, 外圈容量比内圈容量大。 ()
3. 虚拟存储系统对系统程序员和应用程序员均是“透明”的。 ()
4. 断电后, EEPROM 中的数据不会丢失。 ()
5. 中断向量就是中断服务程序的入口地址。 ()
6. 8 位带符号数补码的表示范围是 $-127 \sim +127$ 。 ()
7. 在二地址指令中指令地址码字段存放的一定是操作数的地址。 ()
8. 每个程序的虚地址空间可以远大于实地址空间, 也可以远小于实地址空间。 ()
9. 中断处理过程中, 开中断和关中断都是由硬件实现。 ()
10. 二维多级中断是指每一级中断中有二个中断源。 ()

四、简答题 (共 4 题, 每题 4 分, 共 16 分)

1. (4 分) 简述冯·诺依曼型计算机的主要设计思想。它由哪些部件组成?
2. (4 分) 指令的寻址方式有两种, 分别是什么? 并列出四种以上常用的数据寻址方式。
3. (4 分) 列出 CPU 管理外围设备进行信息交换的四种方式, 并简述每种方式的特点。
4. (4 分) 存储器容量的扩充有两种基本的扩充方法, 分别是什么? 并简述它们的扩充原理。

五、综合题 (共 4 题, 共 34 分)

1. (a) (3 分) 已知 $x = 11011$, $y = -10101$, 用变形补码计算 $x + y$, 同时指出结果是否溢出。
(b) (4 分) 设阶码 3 位、尾数 6 位, $x = 2^{011} \times 0.100101$, $y = 2^{-010} \times (-0.011110)$, 按浮点运算方法, 完成 $x + y$ 的运算。

2. (7 分) 设存储器容量为 256M, 字长 64 位, 模块数 $m = 8$, 分别用顺序方式和交叉方式进行组织, 存储周期 $T = 400 \text{ ns}$, 数据总线宽度为 64 位, 总线传送周期 $\tau = 50 \text{ ns}$. 若连续读出 8 个字, 问顺序存储器和交叉存储器的带宽各是多少?
3. (10 分) 磁盘组有 6 片磁盘, 每片有两个记录面, 最上最下两个面不用. 存储区域内径 18cm, 外径 30cm, 道密度为 40 道/cm, 内层位密度 400 位/cm, 转速 6000 转/分. 问: (a) 盘组总存储容量是多少? (b) 数据传输率多少?
4. (a) (4 分) 某机有 8 条微指令 $I_1 - I_8$, 每条微指令所包含的微命令控制信号如下表所示. a-j 分别对应 10 种不同性质的微命令信号. 假设一条微指令的控制字段仅限为 8 位, 请安排微指令的控制字段格式。

微指令	a	b	c	d	e	f	g	h	i	j
I_1	✓	✓	✓	✓	✓					
I_2	✓			✓		✓	✓			
I_3			✓						✓	
I_4				✓						
I_5			✓		✓		✓		✓	
I_6	✓							✓		✓
I_7			✓	✓				✓		
I_8	✓	✓						✓		

Table 1: 微命令控制信号表

- (b) (6 分) 假设主存只有 e,f,g 三个页框, 组成 e 进 g 出的 FIFO 队列, 进程访问页面的序列是 0,1,2,4,2,3,0,2,1,3,2 号. 若采用①FIFO 算法, ②FIFO 算法+LRU 算法, 分别求两种替换策略情况下的命中率. 并分析为什么 FIFO 算法+LRU 算法命中率更高。