

# 数字集成电路物理设计读书笔记

## 目 录

<b>一、集成电路物理设计方法 .....</b>	<b>1</b>
(一) 数字集成电路设计流程.....	1
1.展平式物理设计.....	1
2.硅虚拟原型设计.....	1
3.层次化物理设计.....	1
(二) 数字集成电路设计收敛.....	1
1.时序收敛.....	1
2.功耗分析.....	1
3.可制造性分析.....	1
(三) 数字集成电路设计数据库.....	1
<b>二、物理设计健库与验证 .....</b>	<b>1</b>
(一) 集成电路工艺与版图.....	1
1.CMOS 集成电路制造工艺简介 .....	1
2.CMOS 器件的寄生闩锁效应 .....	2
3.版图设计基础.....	2
(二) 设计规划检测.....	2
1.版图设计规则.....	2
2.DRC 的图形运算函数 .....	2
3.DRC 在数字 IC 中的检测 .....	2
(三) 电路规则检测.....	3
1.电路提取与比较.....	3
2.电气连接检查.....	3
3.器件类型和数目及尺寸检查.....	3
4.LVS 在数字 IC 中的检查 .....	3
(四) 版图寄生参数提取与设计仿真.....	3
1. 版图寄生参数提取.....	3
(五) 逻辑单元库的建立.....	3
1.逻辑单元类别.....	4
(二) 逻辑单元电路.....	4
1.标准单元.....	4
2.模块单元.....	5

3.输入输出单元.....	5
(三) 物理单元建库与数据文件.....	5
1.标准单元.....	5
2.模块单元.....	6
3.I/O 单元 .....	6
4.标准单元中的特殊单元.....	6
5.物理库交换格式（LEF）文件的产生 .....	6
(四) 时序单元建库与数据文件.....	7
1.集成电路仿真程序（SPICE） .....	7
2.器件延时基本定义.....	7
3.器件延时理论模型.....	7
4.功耗.....	7
5.噪声.....	7
6.时序库文件.....	7
(五) 工艺过程中的天线效应.....	7
<b>三、布图规划和布局 .....</b>	<b>7</b>
(一) 布图规划.....	8
1.布图规划的内容和目标.....	8
2.I/O 接口单元的放置与供电 .....	8
3.布图规划方案与延迟预估.....	8
4.模块布放与布线通道.....	8
(二) 电源规划.....	9
1.电源网络设计.....	9
2.数字与模拟混合供电.....	10
3.时钟网络.....	10
4.多电源供电（MSV） .....	10
(三) 布局.....	11
1.展平式布局.....	11
2.层次化布局.....	11
3.布局目标预估.....	11
4.标准单元布局优化算法.....	11
(四) 扫描链重组.....	12
1.扫描链定义.....	12
2.扫描链重组.....	12

(五) 物理设计网表文件.....	12
1.设计交换格式文件（DEF） .....	12
<b>四、时钟树综合 .....</b>	<b>13</b>
(一) 时钟信号.....	13
1.系统时钟与时钟信号的生成.....	13
2.时钟信号的定义.....	13
3.时钟信号偏差.....	13
(二) 时钟树综合方法.....	13
1.时钟树综合与标准设计约束文件.....	13
2.时钟树结构.....	14
3.时钟树约束文件与综合 .....	14
(三) 时钟树设计策略.....	14
1.时钟树综合策略.....	14
2.时钟树案例.....	15
3.异步时钟树设计.....	15
4.锁存器时钟树.....	15
5.门控时钟.....	15
(四) 时钟树分析.....	16
1.时钟树与时序分析.....	16
2.时钟树与功耗分析.....	16
3.时钟树与噪声分析.....	17
<b>五、布线 .....</b>	<b>17</b>
(一) 全局布线.....	17
1.全局布线目标.....	18
2.全局布线规划.....	18
(二) 详细布线.....	18
1.详细布线目标.....	18
2.详细布线与设计规则.....	18
3.布线修正.....	18
(三) 其他特殊布线.....	19
1 电源网络布线.....	19
2.时钟树布线.....	19
3.总线布线.....	19
4.实验布线.....	19

(四) 布线算法.....	19
1.通道布线和面积布线.....	19
2.连续布线和多层次布线.....	19
3.模块设计和模块布线.....	19
<b>六、静态时序分析 .....</b>	<b>19</b>
(一) 延迟计算与布线参数提取.....	19
1.延迟计算模型.....	19
2.电阻参数提取.....	19
3.电容参数提取.....	19
4.电感参数提取.....	19
(二) 寄生参数与延迟.....	19
1.寄生参数格式 SPF 文件 .....	20
2.标准寄生参数交换格式文件.....	20
2.标准延迟格式 SDF 文件 .....	20
3.SDF 文件的应用 .....	20
(三) 静态时序分析.....	21
1.时序约束文件.....	21
2.时序路径与时序分析.....	21
3.时序分析特例.....	22
4.统计静态时序分析.....	22
(四) 时序优化.....	22
1.造成时序违例的因素.....	22
2.解决方案.....	22
<b>七、功耗分析 .....</b>	<b>22</b>
(一) 静态功耗分析.....	23
(二) 动态功耗分析.....	23
1.开关功耗.....	23
2.短路功耗.....	23
3.动态功耗分析与总功耗.....	23
(三) 电压降分析与电迁移分析.....	23
1.电压降与供电网络.....	23
2.电压降与封装.....	24
3.电压降与时序违例.....	24
4.电迁移与电流密度.....	24

(四)功耗分析数据与文件.....	24
1.功耗分析与功耗数据.....	24
2.电源网格视图库（PGV） .....	24
3.通用功耗格式文件与应用.....	24
<b>八、信号完整性分析 .....</b>	<b>24</b>
(一) 信号串扰与功能故障.....	24
1.串扰的产生.....	24
2.噪声容限.....	25
(二) 串扰信号分析.....	25
1.串扰分析.....	25
2.串扰与延迟.....	25
3.电压降与串扰.....	25
4.串扰与低功耗.....	25
5.串扰的多层次分析.....	25
(三) 信号串扰预防与修复.....	25
1.串扰预防.....	26
2.串扰修复.....	26
3.虚拟串扰和靴值分析.....	26
(四) 噪声数据库.....	26
1.噪声模型.....	26
2.噪声数据库.....	26
3.互连线噪声模型.....	26
<b>九、低功耗设计技术与物理实施 .....</b>	<b>26</b>
(一) 低功耗设计方案综述.....	26
1.低功耗设计方案的选择.....	27
2.低功耗设计代码编写.....	27
3.低功耗设计逻辑综合.....	27
4.低功耗设计测试.....	28
5.低功耗设计功能验证.....	28
(二) 低功耗设计基本方法与物理实施.....	28
1.面积优化（最经典的一种方法） .....	28
2.多阈值电压技术.....	28
3.门控时钟.....	28
(三) 低功耗设计先进方法与物理实施.....	28

1.多电源多电压技术.....	28
2.电源关闭与状态保持电源门控技术.....	29
3.动态电压与频率调节技术.....	29
4.衬底偏置技术.....	29
<b>十、芯片设计的最终验证与签核 .....</b>	<b>29</b>
<b>(一) 时序验证.....</b>	<b>29</b>
1.反向标定.....	29
2.时序分析与功耗分析.....	29
3.时序分析与信号完整性分析.....	29
4.用 MMMC (多模式多端角) 做时序验证的方法 .....	29
5.用 MMMC 做时序验证的实例 .....	30
<b>(二) 物理验证与芯片组装.....</b>	<b>30</b>
1.设计规则检查.....	30
2.光刻检查和可制造性设计.....	30
3.电路检查.....	30
4.芯片集成.....	30
<b>(三) 逻辑等效验证与 ECO.....</b>	<b>30</b>
1.形式验证.....	30
2.逻辑等效验证.....	30
3.验证与 ECO.....	30
<b>(四) 数据交换及检查.....</b>	<b>30</b>
1.数据交换.....	30
2.检查内容及方法.....	31

## 一、集成电路物理设计方法

### (一) 数字集成电路设计流程

#### 1. 展平式物理设计

自上而下 周期长 不用分配边界约束 全局优化 易获得更好的时序结果

#### 2. 硅虚拟原型设计

RTL 设计、功能验证和物理实施三项工作同时进行，尽早预估设计能否实现时序收敛

#### 3. 层次化物理设计

自上而下 先分割块，再对分割块进行展平式处理，最后顶层完成组装  
串行工作—>并行 节约设计周期

### (二) 数字集成电路设计收敛

收敛任务：① 数字系统；② 优化引擎；③ 分析引擎。

#### 1. 时序收敛

对布局布线后的数据进行静态时序分析 STA。

静态时序分析中最重要的任务是寻找最长延时路径以及最坏情况下的延时。

#### 2. 功耗分析

- (1) 静态功耗：用时序库提供的器件功耗数据进行计算。
- (2) 动态功耗：需要提供设计仿真数据。适用于功能验证、RTL 综合、形式验证到布局布线约束的通用功耗格式文件（CPF，common power format）  
低功耗设计要点：减小时钟电路功耗。

#### 3. 可制造性分析

- (1) 设计检验：光刻分辨率带来的影响并进行校正。
- (2) 设计产额与制造。
- (3) 设计质量。

### (三) 数字集成电路设计数据库

数据库的好坏很大程度上决定了 EDA 工具性能的优劣。

## 二、物理设计健库与验证

### (一) 集成电路工艺与版图

#### 1. CMOS 集成电路制造工艺简介

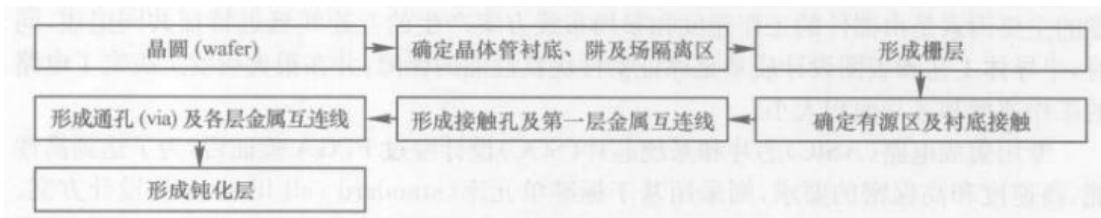


图 2-1 简化的 CMOS 电路工艺顺序

## 2.CMOS 器件的寄生闩锁效应

产生原因：两个寄生晶体管的电流增益乘积大于 1，使电流不断放大，形成正反馈回路。

减小闩锁效应必须减低寄生双极晶体管的基极偏置电压，减小基极偏置电阻和两管增益值。

CMOS 采用预防闩锁效应：增加 well tap 或保护环。

另一种防止方法：采用 SOI 材料代替硅材料，避免器件之间的耦合。

## 3. 版图设计基础

根据电路功能和性能要求以及工艺条件的限制，设计工艺制造过程中必须的光刻掩模版图。

### (二) 设计规划检测

#### 1. 版图设计规则

DRC 目的：检查版图中所有因违反设计规划而引起潜在短路、断路或不良效应的物理验证过程。

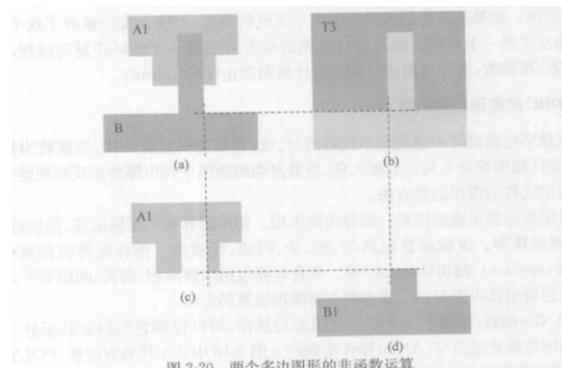
设计规划是保证流片较高良率的统计结果。

#### 2.DRC 的图形运算函数

(1) 与 (AND) 函数：把两个多边形进行图形与操作，可以得到它们的公共部分。

(2) 或 (OR) 函数：类似求和运算，将多边形组合成一个大的多边形。

(3) 非 (NOT) 函数：顺序敏感，谁前谁后结果不同。

图 2-20 两个多边形的非函数运算  
(a) A 和 B 图形；(b) 对 B 进行非操作得 T3；(c) “A NOT B”的结果；(d) “B NOT A”的结果

#### 3.DRC 在数字 IC 中的检测

分成两步：顶层 DRC 检查和全芯片的 DRC 检查。

### (三) 电路规则检测

LVS (layout versus schematic) 与 DRC 同属于物理验证过程，目的是验证版图与电路原理图的电路结构是否一致。

检测内容：①所有信号的电气连接关系是否一致；②器件类型尺寸是否一致。

LVS 文件由器件提取规则、电路比较规则、器件捆绑规则三部分组成。

#### 1. 电路提取与比较

(1) 抽取：根据 LVS 提取规则，EDA 工具从版图中抽取版图所确定的网表文件；

(2) 比较：将抽取出的网表文件与电路网表文件进行比较。

#### 2. 电气连接检查

EDA 电气对连接检查包括：输入、输出、电源信号、地信号以及器件所有连接点。

#### 3. 器件类型和数目及尺寸检查

(1) 器件类型包括：电阻、电容、电感、双极晶体管、MOS 管、二极管等。

可能产生伪错误，通过捆绑文件（binding file）解决。

(2) 器件数目与尺寸检查

#### 4. LVS 在数字 IC 中的检查

(1) 检查器件数目

(2) 检查器件类型

(3) 检查节点数量

(4) 检查电源线和接地线的连接

(5) 从关键点找起

### (四) 版图寄生参数提取与设计仿真

#### 1. 版图寄生参数提取

原因：转化到硅片后，由于同层及不同层材料之间寄生参数的影响会使电路性能与最初仿真结果产生偏差甚至使电路无法正常工作。故电路完成 DRC 和 LVS 检查后进行版图寄生参数提取（LPE，layout parasitic extraction）和寄生电阻提取（PRE，parasitic resistance extraction）。

版图设计完整寄生参数包括：R、C、L（电感）、K（互感）。

LPE/PRE 提取主要参数为 MOS 管源漏的周长、面积、电阻、沟道的长与宽，双极晶体管和二极管的结面积、结周长等等。

### (五) 逻辑单元库的建立

逻辑单元的建库流程归纳为以下五步：（需反复迭代）

- (1) 方案设计与论证
- (2) 电路设计
- (3) 版图设计与物理库生成
- (4) 标准单元特征化及库模型生成
- (5) 设计验证

## 1.逻辑单元类别

完整单元库在芯片中的应用可以分为三类：

- (1) 标准单元 (standard cell) 放置于芯片核心区起逻辑粘接作用
- (2) 模块宏单元 (macro block) 核心区嵌入式存储器 (RAM 和 ROM) 等
- (3) 输入输出单元 (I/O pad cell) 核区周围，芯片信号的输入、输出和电源供给。

与单元库相关的标准数据格式：

- (1) 电路级 (SPICE 或 CDL 网表) 用于器件级仿真或 LVS 检查
  - (2) 符号级 (逻辑图)，逻辑分析，包括单元名称，符号，输入输出端口
  - (3) 版图级 GDSII 文件，记录版图完整信息
  - (4) 硬件描述语言 (HDL) 所描述的网表文件：Verilog HDL 或 VHDL。
  - (5) 物理库 LEF 文件，是版图级的抽象文件，主要用于布局、布线。
  - (6) 时序库 liberty 文件，用于电路综合，时序分析。
  - (7) 功耗库，用于功耗分析。
  - (8) 噪声库，用于信号完整性 (signal integrity) 分析
  - (9) 其他库，例：用于 PCB 设计的 I/O 的 IBIS 模型。
- (1) ~ (3) 主要用于版图设计，(4) ~ (8) 用于布局与布图，(9) 所罗列的类型用于测试和板级 PCB 设计仿真。

## (二) 逻辑单元电路

### 1.标准单元

标准单元逻辑电路的两大类型：组合逻辑电路和时序逻辑电路。

组合逻辑电路简称组合电路，指任意时刻的输出信号与信号作用前电路的状态无关，输出仅取决于该时刻输入信号的电路。组合电路包括：

- (1) 反向逻辑电路
- (2) 非反向逻辑电路
- (3) 其他常用逻辑电路
- (4) 特殊功能的逻辑电路

表 2-5 标准单元逻辑电路两大类型:组合逻辑电路和时序逻辑电路

组合逻辑电路类型		
类 型	种 类	特 征
互补型	PUN, PDN	设计简单, 用于静态
反向型	INV, NAND, NOR	NAND 快于 NOR
非反向型	BUF, AND, OR	
其他	MUX, XOR, TBUF, AOI/OAI	逻辑关系复杂

时序逻辑电路类型		
类 型	种 类	特 征
锁存器	Latch(例如, DLatch)	电平驱动, 时序复杂
寄存器类	flip flop, register(例如, DFF), counter, memory(ROM, RAM)	前沿驱动, 时钟控制

时序逻辑电路简称时序电路，特点：记忆功能。主要被用于时钟电路设计中，包括：



2.模块单元

分为 5 种类型，最典型的为 ROM 和 RAM 两大类存储单元，也属于时序逻辑电路。

- (1) 存储单元: ROM、EPROM 等
  - (2) RAM: 静态随机存储器 SRAM (低功耗、低噪声、速度快、面积大) 和动态随机存储器 DRAM (集成度更高、需刷新)。
  - (3) 专用模块
  - (4) “黑盒子”商业 IP 模块
  - (5) 模拟电路模块, 时钟锁相环 PLL 模块

### 3. 输入输出单元

输入信号（考虑静电放电 ESD 的防护）、输出信号、三态、双向、电源和接地单元。

静申放申的基本模型：

- (1) 人体模型 (HBM)
  - (2) 机器模型 (MM)
  - (3) 带电器件模型 (CDM)
  - (4) 电场感应模型 (FIM)

### (三) 物理单元建库与数据文件

## 1. 标准单元

包括反相器、与门、寄存器、选择器、全加器等多种基本单元。

为实现工具的自动布局布线，建库特殊的设计规则：

- (1) 所有单元都是等高或整数倍的矩形;

- (2) 为保证放置时不引起 DRC 错误，所有版图要用预先定义的模板进行设计。
- (3) 所有单元的输入输出端口的位置、大小、形状都尽量满足网格间距的基本要求，以提高布线器的效率；
- (4) 电源线和地线位于单元上下边界，以便于连接共享，减小芯片面积。

## 2.模块单元

包括各种规模的数字模块：RAM、ROM、电压比较器等，也包括模拟模块：运算放大器、ADC/DAC、振荡器等。

## 3.I/O 单元

芯片与印刷电路板通信的接口电路统称为 I/O 电路。必须具有较大驱动能力，抵御静电放电的能力，抗噪声干扰的能力以及足够的带宽和放电保护功能。

组成大致分为三部分：PAD 接口、信号缓冲器电路和静电放电保护电路 ESD。

## 4.标准单元中的特殊单元

(1) 填充单元：把扩散层连接起来满足 DRC 规则和设计需求，并形成电源线和地线轨道。

(2) 电压钳位单元：数字电路中某些信号端口，或闲置信号端口需要钳位在固定的逻辑电平上；隔离普通信号和特殊信号的作用，在作 LVS 分析或形式验证时不引起逻辑混乱。

(3) 二极管单元：避免加工过程中天线效应导致器件栅氧击穿，避免器件失效。

(4) 去耦单元：避免动态电压降对电路动态供电电压下降或地线电压升高，引起动态电压降。

(5) 时钟缓冲单元：为保证时钟到达各个触发器时间偏差尽可能小。

(6) 延时缓冲单元：调整电路路径延时以符合时序电路。

(7) 阵连接单元：限制电源或地与衬底之间的电阻大小，减小闩锁效应。

(8) 电压转换单元：低功耗多供电多电压转换。

(9) 隔离单元：用于低功耗设计，与电压转换结合使用做成双重功能的单元。

(10) 开关单元

## 5.物理库交换格式 (LEF) 文件的产生

在逻辑综合产生门级网表和物理设计做布线布局的过程中的两个重要库文件：物理库文件（对版图的抽象描述，使自动布局布线成为可能并大大提高工具效率）和时序库文件。

为便于管理和应用分为技术 LEF 文件（定义设计规则与晶圆厂的工艺信息）和单元 LEF 文件（定义标准单元、模块单元、I/O 单元和各种特殊单元的物理信息）。

#### (四) 时序单元建库与数据文件

器件延时和互连线延时两部分。

##### 1. 集成电路仿真程序 (SPICE)

使用电路网表和器件模型对电路各个节点进行直流分析、交流分析和瞬态分析等各类精确电路仿真。

##### 2. 器件延时基本定义

信号通过一个逻辑门时经历的时间反映了门对输入信号变化响应的快慢。

##### 3. 器件延时理论模型

- (1) 开关线性 RC 模型：得出器件延时
- (2) K-Factor 模型：查找表中得出的延时数据
- (3) NLDM 模型：采用特征方程计算延时
- (4) SPDM 模型：可伸缩多项式模拟延时数据
- (5) ECSM 模型：建立物理模型处理时序、功耗、噪声等
- (6) CCSM 模型：与 ECSM 相似。

##### 4. 功耗

主要是电路状态跳变时引起的动态功耗。

##### 5. 噪声

互连线间耦合电容的存在。

##### 6. 时序库文件

描述单元库各个单元时序信息的重要库文件。

- (1) 时序库文件格式：liberty、TLF、ALF 等
- (2) 时序库的 PTV 条件：process：工艺、temperature：温度、voltage：电压
- (3) 时序库中的线负载模型
- (4) 时序库中的单元信息：延迟时间表、功耗数值表，单元特征（面积、静态功耗、端口类型、逻辑关系）

#### (五) 工艺过程中的天线效应

工艺过程中电荷积累导致晶体管被击穿，导致器件损坏，简称 PAE (process antenna effect)

### 三、布图规划和布局

## (一) 布图规划

表 3-1 布图规划时所需数据

类 型	种 类	特 征
设计网表	gate-level netlist, (例如, chip_design. v)	单个完整文件
设计约束文件	chip_design. sdc	与时序要求相关的文件
物理库文件	standard. lef, io. lef, rom. lef, ram. lef	单个完整文件或多个文件
时序库文件	standard. lib, io. lib, rom. lib, ram. lib	单个完整文件或多个文件
I/O 文件	I/O constraints file	单个文件
布图要求文件	floorplan configuration file	单个文件

关系到芯片的时序收敛、布线通畅、电源稳定以及良品率

三大内容：布图规划、电源规划和布局

### 1.布图规划的内容和目标

数据的完整性和准确性是布图规划的可靠保证。

布图规划的目标分为 4 部分：

- (1) 确定芯片的面积。
- (2) 确保时序的收敛
- (3) 保证芯片的稳定
- (4) 满足布线的要求

### 2.I/O 接口单元的放置与供电

- (1) I/O 单元的类型与布局

- (2) I/O 单元的供电

可分为信号接口（选择驱动的大小）与电源（供电电源的数量计算和摆放）两种类型

I/O 单元分为三类：给模拟器件供电的 I/O 单元、给数字器件供电的 I/O 单元和隔离数字供电 I/O 单元和模拟供电 I/O 单元隔离 I/O 单元。

### 3.布图规划方案与延迟预估

- (1) 展平式设计

根据标准单元布局，采用静态时序分析方法，对整个芯片的延迟做出估算，用时序违例（负值剩余时间）评估哪种布图规划更合理。

延迟主要有门延迟和线延迟。

- (2) 层次化设计

将大规模的顶层设计分解成多个子模块，每个子模块并行完成布局布线，最后在顶层组装。

三步骤：芯片顶层设计规划、子模块分割与实现以及芯片顶层组装的实现。

### 4.模块布放与布线通道

布线轨道（routing track）芯片内部专门用于布线的路径

布线通道（routing channel）是每两条或多条布线轨道的空间。

## （二）电源规划

给整个芯片的供电设计出一个均匀的网络。

三部分内容分析：电源网络设置、数字与模拟混合供电、单电源与多电源供电电源网络设置。

### 1. 电源网络设计

- (1) 电源连接关系的定义，又称为 global net connect。
- (2) 芯片核内(core)部分的电源环设计，又称为 power ring。
- (3) 芯片内所包含的硬核(如 RAM、ROM 以及 IP、COT 模块等)的电源环设计。
- (4) 芯片核内纵横交错的电源网格的设计，又称为 power stripe。
- (5) 芯片的供电单元与电源环的连接，又称为 I/O 单元 power。
- (6) 芯片内部电源网格和硬核电源环连接部分的设计，又称为 ring pins。
- (7) 将标准单元的供电网络与核内电源网格总连接设计，又称为 followpins\*。
- (8) I/O 供电单元电源环的设计，又称为 I/O 单元 power ring。

最后我们还需要对电源网格进行检查，检查是否存在短路和开路以及供电不足等问题。对于 Flip Chip 的设计，供电网络的设计还包括电源凸点 bump 的设计以及布线。下面分别介绍各部分的内容。

#### （1）全局电源

全局电源网络连接：把相应端口和网络连接到合适的电源和接地网络上。

- ① 电源和接地网络
- ② 接高电压和接低电压网络
- ③ 电源和接地端口
- ④ 填充单元网络

#### （2）电源环线

均匀供电，也是连接供电 I/O 单元和标准单元的桥梁。

电源网络为了平均分布电流，缩短电流回路，有效减小电压降，避免电流分布不均时造成热点现象以及电迁移问题。

电源环设计主要有 3 个参数：电源环的宽度  $w$ 、电源环的间距  $d$ 、电源环的对数  $n$ 。电源环宽度的估算：

$$w = \frac{I_p}{C_d \cdot 4n} \cdot k$$

$I_p$ ：芯片的峰值电流；

$C_d$ ：厂家工艺库所给出的电流密度的上限；

$n$ ：电源环的数量；

$k$ ：调整因子，根据芯片的供电 I/O 单元分布决定。

一般情况为最小间距的 2 倍左右，但也会尽量减小电源环之间的间距，从而增大电源环的耦合电容，起到过滤电源噪声的作用。

一般宽线需要打孔散热。

金属的层数  $n$  由芯片的面积、厂家的设计规则、金属的层数等多种因素决定。

金属的层数较多时，可以选用多层金属布置电源环，从而有效减小电源环的宽度和减小电源环所占据的芯片的面积。

### (3) 电源条线

通常为不规则或不均匀分布，电源网格是均匀分布的电源条线。

## 2. 数字与模拟混合供电

用模拟模块 PLL 作为时钟信号发生器，在数模混合供电设计中，需特别注意电源信号之间的干扰和隔离，需建立不同的电源区域。

布局前的考虑处理：

- (1) 模拟模块的工作区域一般放置于芯片的某个角落。
- (2) 模拟区域需要单独供电，给模拟信号供电的 I/O 单元应放在模拟模块边上，缩短线路距离。
- (3) 在模拟模块的周围布置保护隔离环，从而实现数字信号和模拟信号电源之间的隔离。

电源规划中的细节问题：

- (1) 数模信号模块的放置。
- (2) 数模信号模块的供电。
- (3) 数模信号模块中的电源环。
- (4) 数模信号模块中的电源网络。
- (5) 数模信号模块中的电源设计方案。

## 3. 时钟网络

先找到时钟的入口，再在入口处选择相应的位置，手动插入特定强驱动能力的时钟驱动缓冲器，从驱动输出端画一级驱动时钟网络，再根据需要插入二级缓冲器，并画出二级驱动时钟网络，直至满足设计要求。

## 4. 多电源供电 (MSV)

数模混合供电方案中，MSV 专指多组电源同样电压供给不同电路（数字、模拟）。

低功耗设计技术更多采用多组电源多组电压供电 (MSMV)。关键模块采用高电压供电，频率较低模块采用低电压供电，有效降低功耗。

### (1) 电源规划

每一个电压域当中必须有完整电源和地线电源环。

(2) 电平转换单元的插入

(3) 隔离单元的插入

存在被关闭的电压域，为不使关闭区域与非关闭区域互相影响，必须在所有的接口处添加隔离单元。

### (三) 布局

对标准单元的布局

#### 1. 展平式布局

(1) 模块的摆放和布局

(2) 标准单元的摆放和优化

#### 2. 层次化布局

过程：①分配子模块；②作子模块级的布局，方法与展平式一样；③所有子模块完成后在顶层组装，布局方法与展平式一样。

(1) 子模块约束类型的制定

向导约束、区域约束、限制约束

(2) 子模块大小位置的制定

各个模块指定约束后，需要在芯片内部指定模块的大小（主要看面积利用率）和位置。

#### 3. 布局目标预估

标准单元布局优化后，需对设计进行拥塞分析、静态时序分析、噪声分析和电源分析从而确定布局好坏。

(1) 拥塞预估

(2) 时序预估

(3) 供电预估

#### 4. 标准单元布局优化算法

布局分为三个阶段：结群布局、全局布局、详细布局。

优化目标上优化算法分为三类：基于布线拥塞的布局优化算法、基于时序的布局算法、预防噪声的布局算法。

(1) 布局优化算法

结群算法：模拟退火算法、K-L 算法、F-M 算法、比率分割算法。

全局布局：最小切割法算法、力向量算法、NRG 算法、HA-LO 算法等。

以布局的对象为目标出发，分为三类：纯标准单元布局算法、模块布局算法、混合单元布局算法。

(2) 基于布线拥塞的布局优化

以布线可以布通为标准单元布局的出发点。

### (3) 基于时序的布局算法

以满足时序为首要目标，以路径为基础的实现方法和以网线为基础的实现方法。

### (4) 预防噪声的布局算法

在布局阶段考虑噪声的影响。

## (四) 扫描链重组

扫描链是可测试性设计 (DFT) 的重要内容，将芯片中所应用的普通寄存器替换为带扫描功能的多输入多输出扫描寄存器，首尾连接成串，从而实现附加的测试。

### 1. 扫描链定义

(1) 以扫描链的起点和终点来定义

(2) 通过综合工具导出的 DEF 文件来定义

### 2. 扫描链重组

将连接在扫描链上的在芯片内随机分布的扫描寄存器单元按照其物理位置，在不影响逻辑功能的前提下，重新进行连接，从而减少扫描链的走线长度。

对于内核限制型可以有效地减少拥塞，从而保证芯片的布通率。

有效节约布线空间，对于利用率不高的 I/O 限制型设计，可以跳过重组扫描链。

两种方法实现：本地化重组和基于扫描 DEF 的重组。

#### (1) 本地化重组

① 扫描链上连接的触发器属于单一时钟域，由单一边沿触发。

② 触发器跨越多个时钟域，不同时钟域由数据锁存器件分开。

③ 共享功能输出信号链

④ 带有两端口逻辑单元的扫描链

#### (2) 基于扫描 DEF 的扫描链重组方法

处理方法与本地重组方法在过程上一致，处理范围更加广泛，能够处理重组多种复杂类型的扫描链。

## (五) 物理设计网表文件

在布图规划、电源规划与布局阶段的格式有 4 种：DEF、PDEF、SPF 和 SDF。

### 1. 设计交换格式文件 (DEF)

是扁平式的设计网表文件，目前应用最广泛的数据交换格式，具有跨平台、易兼容、语法简单等特点。

DEF 带有物理信息的网表，除包含 Verilog 包含的连接信息外，还有各个单元所存在的物理信息。定义了芯片的面积（布图规划后的记录）、布图规划区域定义、电压域定义（电源规划后的记录）、标准单元行等内容。

在布局阶段可以根据不同的需求导出相应的布图规划和布局信息，从而实现数据交互。

## 四、时钟树综合

时钟信号是数据传输的基准，对同步数字系统的功能、性能和稳定性起决定性作用。通常是整个芯片种最大扇出、通过最长距离、以最高速度运行的信号。保证在最差条件下，关键时序要求能得到满足。

### (一) 时钟信号

#### 1.系统时钟与时钟信号的生成

系统时钟是控制多个芯片之间时钟结构网络并控制相互之间时序关系的时钟结构。常用的有 RC 时钟、晶体振荡时钟、锁相环倍频时钟。

#### 2.时钟信号的定义

时钟信号的特性参数：时钟的周期（频率）、时钟延迟以及时钟信号的不确定性是组成上述任意一个时钟的三要素。

标准设计约束 SDC 文件中对时钟本身的定义分为三部分内容：

- (1) 时钟的定义；
- (2) 时钟延滞的定义：插入延迟，时钟源插入延迟（来自芯片到当前模块或时钟源到当前芯片）时钟根节点之间的延迟和时钟网络插入延迟（时钟树的延迟）。
- (3) 时钟不确定性。时钟抖动（信号时间与理想事件时间的偏差）含有确定抖动成分和随机抖动成分。

#### 3.时钟信号偏差

同一时刻到达该时钟域内的不同寄存器之间的时间偏差。衡量时钟树性能的重要参数。

时钟树综合的目的是为了减小偏差，值有正负两种。

### (二) 时钟树综合方法

时钟分为两类：真实时钟（两模式：时钟树综合前没有延时的理想时钟和时钟树综合后的传播时钟）与虚拟时钟。

#### 1.时钟树综合与标准设计约束文件

时钟树综合（CTS）需要对期望实现的参数做出定义，通过“时钟约束文件”来提供。约束文件中首先是对时钟信号本身的定义，直接来源于标准设计约束 SDC 文件。

SDC 文件：规定到达同步寄存器的数据与时钟之间满足设计要求的一种时序关系。SDC 文件由三部分组成：时钟定义、输入延迟、输出延迟。

表 4-2 标准设计约束 SDC 中对时序约束的主要内容

类 别	时钟参数	命 令	可选项与说明
时钟定义	时钟	create_clock create_generate_clock	周期, 占空比
	时钟延滞	set_clock_latency	source, setup(hold), rise(fall)
延迟定义	时钟不确定性	set_clock_uncertainty	rise(fall)
	输入延迟	set_input_delay	min(max), setup(hold), rise(fall)
驱动定义	输出延迟	set_output_delay	min(max), setup(hold), rise(fall)
	最小延迟	set_min_delay,	
特殊路径	最大延迟	set_max_delay	setup(hold), rise(fall)
	输入驱动	set_drive, set_driving_cell	定义驱动输入端口的驱动类型
	输出驱动	set_load	负载电容的大小
	冗余路径	set_false_path	setup(hold), rise(fall)
	多周期路径	set_multi_cycle	setup(hold), rise(fall)

对时钟的定义、时钟延迟的定义、时钟不确定性定义是为了在布局、时钟树综合和布线时提供时序约束参考点。时钟的定义将通过时钟综合来实现，而时钟延迟与时钟抖动或不确定性将在静态时序分析时进行检查。

## 2.时钟树结构

时钟信号的起点叫做根节点，时钟信号经过一系列分布结点最终到达寄存器时钟输入端或其他时钟终点被称为叶节点。

**时钟树综合：**时钟网络从根节点逐级插入驱动器，从而到达其叶节点，按照芯片时钟网络的约束要求产生时钟树的过程。

时钟树根据在芯片内的分布特征，可以分为多种结构：H 树、X 树、平衡树，以及梳状或脊椎状时钟网。

## 3.时钟树约束文件与综合

时钟树约束文件可以由标准设计约束文件自动产生。

在时钟约束文件中，对应于每一个将要综合的时钟树，分别定义它的名称、周期、时钟根节点、最大插入延迟、最小插入延迟、最大偏差、定义专供时钟树综合选用的时钟 buffer、inverter。

### (三) 时钟树设计策略

#### 1.时钟树综合策略

##### (1) 自我交叉

## (2) 相互交叉时钟

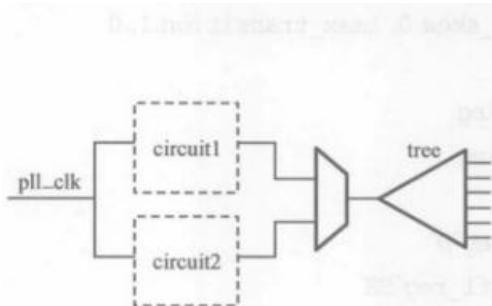


图 4-22 自我收敛时钟树

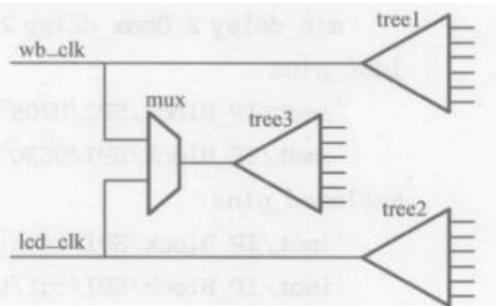


图 4-23 交叉线时钟

## (3) 有用偏差

(4) OCV 与 CPPR 在时钟树时序分析时的应用

(5) 与布局相结合的手动时钟树设计

(6) 对时钟插入多驱动的 buffer

## 2.时钟树案例

### 3.异步时钟树设计

通常各模块间时钟同属于同一个主时钟，因此能量功耗也最大，若将结构 bus 做成自我定时各个模块的时钟成为相互独立，时钟偏差与平衡也就容易实现。在实际 SoC 设计中，以非同步时钟设计来实现，从而降低功耗。

时钟树综合对同步电路实现的优点：

电路结构简单明朗，具有较好的鲁棒性，验证简单。

缺点：较大时钟在物理实施时具有一定的难度，封装电感和电源电阻会在同步时钟跳变的瞬间产生很大噪声。

异步电路与同步电路相反，电路不规则，速度快，功耗低，将全局时钟变为多个局部时钟。

### 4.锁存器时钟树

特点：数据在有效电平区间内传输，而非在时钟的边沿传输。相较于寄存器电路，锁存器半个时钟周期内直通，故能在本周期内容忍一定的负的剩余时间或借用下一级的时间，故锁存器上的时序更容易满足。

锁存器可以实现较高频率的电路，但锁存器在半个周期内透明的特性增加了电路的灵活性，也由于噪声的影响，数据上的毛刺信号很容易在锁存器电路中传递，从而造成功能的错误，抗噪性比较差。

不提倡使用，但在物理设计中采用一定抗噪方法的前提下，可以考虑采用锁存器。

### 5.门控时钟

降低功耗的最常用方法。

用一个控制信号控制时钟的开启，在模块不工作时关闭时钟，在工作时打开时钟，从而降低触发器的总的翻转率达到降低功耗的目的。

根据关闭触发器的数量可以分为

粗粒度门控时钟：一个门控单元关闭整个模块（时钟树综合，放置在靠近根节点的位置）；

中粒度门控时钟、

细粒度门控时钟：一个模块中部分不工作的寄存器。

在 EDA 工具中，需要对其进行特殊处理。

#### (四) 时钟树分析

##### 1. 时钟树与时序分析

紧密相关，时序分析离不开对时钟的分析。

###### (1) 偏差与建立时间

由于时钟偏差（skew）的存在，在分析建立时间会导致预留寄存器之间延迟时间减小，降低芯片的工作频率，即降低了芯片的性能。

###### (2) 偏差与保持时间

通过降低工作频率，牺牲性能可以解决时钟偏差造成的建立时间违例问题，但却不能解决时钟偏差导致的保持时钟违例，从而导致芯片错误的动作。

减小时钟偏差对增加芯片的性能和稳定性起到了至关重要的作用，在时钟树综合时，尽量获得较小的时钟偏差从而获得性能和稳定性的提升。

##### 2. 时钟树与功耗分析

功耗由静态功耗、短路功耗与跳变功耗三部分组成。

$$\begin{aligned} P &= P_{\text{static}} + P_{\text{short}} + P_{\text{switching}} \\ &= P_0 \sum_N K_i + \frac{1}{12} \cdot \kappa \cdot \tau \cdot f_{\text{clk}} (V_{\text{DD}} - 2V_T)^3 + \alpha \cdot f_{\text{clk}} \cdot C_0 \cdot V^2 \cdot L(T) \end{aligned} \quad (4-5)$$

式中： $P_0$ ——尺寸最小的 buffer 的静态功耗，也即单位 buffer 的静态功耗；

$N$ ——时钟树上总共插入的 buffer 数量；

$K_i$ ——第  $i$  个 buffer 的尺寸，单位是最小 buffer 的整数倍；

$\alpha$ ——常数；

$f_{\text{clk}}$ ——时钟树上时钟的频率；

$C_0$ ——时钟树上单位长度的电容值；

$L(T)$ ——时钟树总的走线长度；

$V_T$ ——NMOS 和 PMOS 的阈值电压；

$V_{\text{DD}}$ ——工作电压；

$\kappa$ ——NMOS 和 PMOS 的介电常数；

$\tau$ ——输入波形的上升沿或下降沿转换时间。

时钟树静态功耗为各个 buffer 上静态功耗的和，故减小静态功耗的方法是减少 buffer 的加权数。

时钟树短路功耗是芯片短路功耗的重要组成部分，阈值电压由工艺条件决定，降低时钟树上的功耗关键在于降低波形的转换时间。

时钟树上的跳变功耗为整个芯片功耗的重要组成部分，由门的加权数值以及互连线总的电容决定，减低互连线的长度可以降低跳变功耗。

降低功耗：时钟树长度与驱动的加权数降为最小，实现方案：

- (1) 减小时钟信号转换时间
- (2) 降低节点电容

减小互连线的长度也是优化时序的关键。

### 3.时钟树与噪声分析

- (1) 噪声主要类型
  - a.耦合电容对寄存器的效应
  - b.耦合电容对时钟的效应
- (2) 降低噪声方法
  - a.局部电源地保护
  - b.增加驱动
  - c.高层金属多倍间隔走线

信号延迟主要有电阻和电容两个因素决定；噪声的主要因素是耦合电容

## 五、布线

布局与时钟树综合之后的重要物理实施任务，内容是将分布在芯片内核模块、标准单元和输入输出接口单元按照逻辑关系进行 100% 互连并满足各种约束关系进行优化。

优化工作指标：消除布线拥塞（congestion）、优化时序（timing）、减小耦合效应（coupling）、消除串扰（crosstalk）、降低功耗、保证信号完整性（signal integrity）、预防 DFM 问题与提高良品率等

### (一) 全局布线

制定全局布线目标，根据设计特征做出具体规划。

## 1.全局布线目标

全局布线速度快、时间短，能加快收敛，它为用时很长的最终布线做好规划。如果全局布线发现问题，人们可以及时解决调整，而不必再花费很长时间去做最终布线及其他后续工作。全局布线的主要目标有：

- (1) 使总连接线最短。
- (2) 布线分散均匀不致引起局部拥塞。
- (3) 使关键路径延时最小，遵守时序规则。
- (4) 理解信号完整性的要求，避免串扰(cross talks)。
- (5) 保持将 BUS 总线聚集相连等。

## 2.全局布线规划

将芯片核区划分为大方块，进行纵横方向走线。

### (二) 详细布线

#### 局部布线

##### 1.详细布线目标

属于同一个 net 的所有 pin 连接上；不同 net 的终端不能连接；要遵守设计规则要求的距离间隔等。

详细布线是物理实施的最后步骤，实现的结果被用来作为参数提取和时序分析。

#### 详细布线要求：

- (1) 必须理解所有设计规则(见 5.2.2 节)。
- (2) 自动切换并综合利用多层金属作连线。
- (3) 遵守时序规则(见 4.2.1 节和 6.3.1 节)，优先使关键路径的延时满足要求。
- (4) 对总连线长度进行优化。

## 2.详细布线与设计规则

- (1) 设计规则
- (2) 通孔与最小面积要求
- (3) 密度要求
- (4) 掩模光刻过程中的工艺天线效应 (PAE)
- (5) 串扰在布线中的预防和修复  
用布线器进行预防和修复的方法包括：①增加走线间隔；②将关键信号线屏蔽；③缩短平行走线的长度；④转换到另一层连线；⑤加入缓冲器等，如图 5-6 所示。关于信号完
- (6) 纳米布线规划
- (7) 对角 45° 布线规划

## 3.布线修正

- (1) 自动修正
- (2) 渐进修正
- (3) 局部修正

### (三) 其他特殊布线

专指“电源网络布线”与“时钟树布线”还有总线布线和实验布线等

#### 1 电源网络布线

包括建立电源环线、电源条线和连接标准单元供电电源网络总连接。

#### 2.时钟树布线

要求时钟信号延时很小。

#### 3.总线布线

要求布线长度同步一致，减小同一组总线延时的差别。

#### 4.实验布线

尽快尽早了解设计的初步结果，供时序分析使用。

### (四) 布线算法

#### 1.通道布线和面积布线

#### 2.连续布线和多层次布线

#### 3.模块设计和模块布线

## 六、静态时序分析

首先对芯片物理版图设计进行参数提取，再进行延时计算。

### (一) 延迟计算与布线参数提取

#### 1.延迟计算模型

RC 提取可以在布局也可在时钟树综合之后。

只有在布线结束后，互连线的物理特性被确定，RC 提取才是真实的

#### 2.电阻参数提取

将连线以线宽的方式分割成若干小方块，再以小方块为计算单位，线同理。

#### 3.电容参数提取

总电容：面积电容、侧面电容、边缘电容。

#### 4.电感参数提取

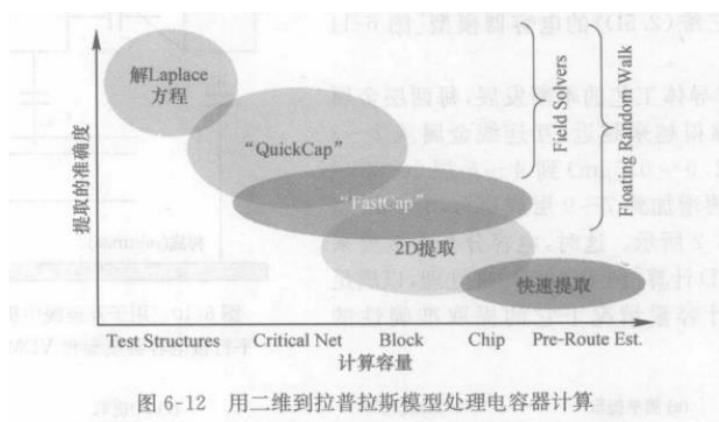


图 6-12 用二维到拉普拉斯模型处理电容器计算

### (二) 寄生参数与延迟

## 1. 寄生参数格式 SPF 文件

共有以下 4 种主要格式。

- (1) SPF-Standard Parasitic Format(File), 标准寄生参数格式(文件)。
- (2) DSPF-Detailed Standard Parasitic Format (File), 详细标准寄生参数格式(文件)。
- (3) RSPF-Reduced Standard Parasitic Format (File), 简化标准寄生参数格式(文件)。
- (4) SPEF-Standard Parasitic Exchange Format (File), 标准寄生参数交换格式(文件)。

## 2. 标准寄生参数交换格式文件

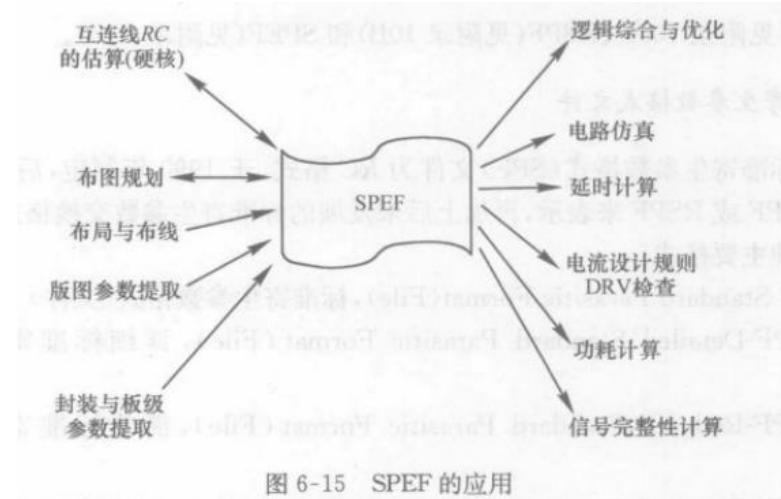


图 6-15 SPEF 的应用

## 2. 标准延迟格式 SDF 文件

中间信息文件

## 3. SDF 文件的应用

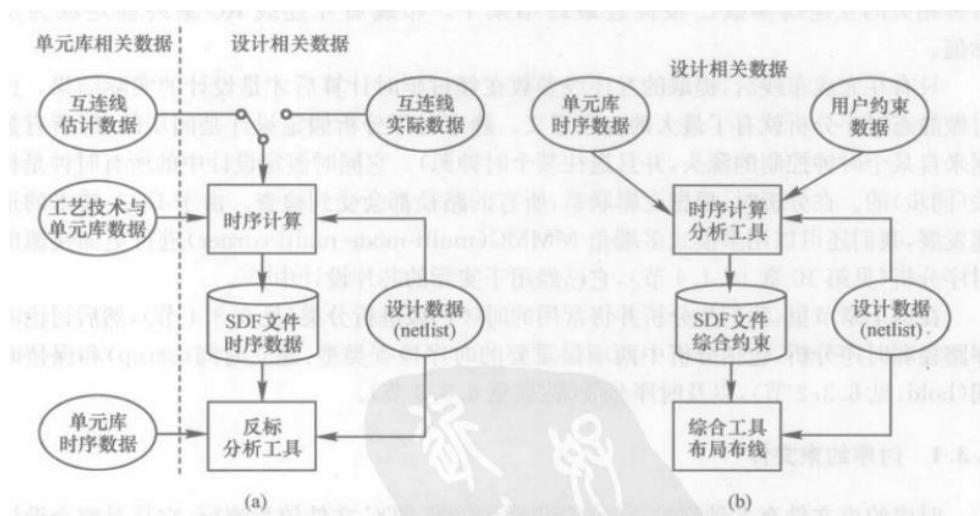


图 6-17 用 SDF 文件作时序分析的流程图

对布局布线后的设计状态延时的报告，最广泛的应用：

**反标：**即与布局布线后的设计网表检查设计的时序是否达到要求。

**正标：**延迟数据可以作为时序约束文件来使用。

### (三) 静态时序分析

从 RTL 逻辑综合到布局、时钟树综合、布线和反标，直到出带，目的都是为了检查设计结果是否满足设计的约束条件，检查时序是否达到要求。不同在于时序结果与设计约束之间相差的准确性。

时序检查类型：建立时间（setup）和保持时间（hold）以及时序分析特例。

#### 1. 时序约束文件

表 6-3 标准设计约束指令类别 (SDC 1.4 版本)

设计环境约束：	时序约束：	时序特例：
set_drive	create_clock	set_false_path
set_driving_cell	create_generated_clock	set_max_delay
set_fanout_load	set_clock_latency	set_multicycle_path
set_input_transition	set_clock_transition	
set_load	set_clock_uncertainty	必须的 8 条时序约束：
set_port_fanout_number	set_disable_timing	create_clock
设计规则约束：	set_input_delay	set_clock_uncertainty
set_max_capacitance	set_max_time_borrow	set_input_delay
set_max_fanout	set_output_delay	set_output_delay
set_max_transition	set_propagated_clock	set_load
		set_driving_cell
		set_operating_conditions
		set_wire_load_model

#### 2. 时序路径与时序分析

时序分析根本目的是检查再时钟的控制和要求的约束下，与其相关的数据能否符合时序要求被记录存储下来，即建立时间时序和保持时间时序

##### (1) 时序路径与同步

先找起点和终点，再路径分类。

路径分类：I2C、C2C、C2O。

##### (2) 时序分析的建立和保持

**Setup:** 时钟作用前沿（或后沿）到达前，同步输入信号必须保持稳定的那段时间以使信号不至于丢失。

**Hold:** 时钟作用前沿（或后延）到达后，同步输入信号必须保持稳定的那段时间以使信号不至于丢失。

##### a. 关于建立时序的违例

检查 setup 时序，在典型的情况是用“最差条件”时序库。出现 setup 违例解决：让时钟变慢（增长周期），要么缩短数据路径延迟。

##### b. 关于保持时序违例

检查 hold 时序，在典型情况下应当用“最佳条件”时序库。解决违例方法：增长数据路径的延迟，要么加快时钟到达。

### (3) 时序路径类型

表 6-4 时序类型与时序要求的定义

类 型	定 义 要 求
R2R	时钟
I2R	时钟、数据到达时间
R2O	时钟、输出延迟
I2O	根据同步输入与输出的延迟分配时序要求

### (4) 时序分析的环境与时钟特性

类型：

确定驱动、确定驱动单元、确定负载、确定扇出。

特性参数：时钟插入延时、时钟抖动、时钟转换时间。

### (5) 锁存器的时序分析

## 3.时序分析特例

多周期路径和虚假路径

## 4.统计静态时序分析

## (四) 时序优化

### 1.造成时序违例的因素

- (1) 由于系统设计的复杂性和抽象性，有些约束不合理或不可能实现。
- (2) 一些约束在逻辑综合时可能依据了不合理的 WLM，生成的网表在物理实施时不可能实现；
- (3) 设计太大，互连线的相互牵制引起时序违例；
- (4) 不合理布局使得物理实施后的设计时序无法满足要求。

### 2.解决方案

#### (1) 原地优化（时序优化）

时序问题，先解决 setup 违例的问题，再处理 hold 违例，相互牵制，有时需要重复进行优化过程。如今可同时处理 setup 和 hold 违例。

设计规则违例：最大负载、最大扇出和最大转换。

方法：

- a.挑选并替换驱动能力大小不一样的逻辑单元（最简单、最重要）
- b.克隆法，复制逻辑单元去分担负载。
- c.添加缓冲器（buffering）或用缓冲器替代两个反相器。

## 七、功耗分析

动态与静态分析

芯片功耗分析与电源网络的电压降有关。供电好坏可以用电压降来测量，过大电压降会引起时钟偏差增大和时序违例。

功耗计算有有向量法和无向量法。

### (一) 静态功耗分析

静态功耗（泄漏功耗）电路处于等待或不激活状态时泄漏电流产生的功耗。

包括：反偏二极管泄漏电流、亚阈值泄漏电流、门栅感应漏极泄漏电流、门栅泄漏电流。

### (二) 动态功耗分析

芯片工作中，晶体管处于跳变状态产生的功耗，开关电流引起的动态开关功耗以及短路电流产生的短路功耗。

由动态开关电流引起的动态开关功耗（跳变功耗）以及短路电流产生的短路功耗组成。

#### 1. 开关功耗

逻辑门的开关事件中产生的功耗，电源对输出节点电容的充电产生的功耗。

动态功耗主要是逻辑门的输出电容引起。

逻辑门的输出电容主要包括三个部分<sup>[2]</sup>：门自身的输出节点电容  $C_{\text{drain}}$ 、总的互连电容  $C_{\text{interconnect}}$ 、被驱动门的输入电容  $C_{\text{input}}$ 。其中  $C_{\text{drain}}$  是由晶体管漏极扩散区（包括 PMOS 与 NMOS）引起的寄生电容，其大小和结面积近似为线性关系。门之间的互连线决定了  $C_{\text{interconnect}}$  的大小。 $C_{\text{input}}$  主要由连接在输入晶体管的栅氧化层电容所决定，而栅氧化层的电容是由晶体管的栅面积所决定的。给定总的负载电容为  $C_L$ ，

$$C_L = C_{\text{drain}} + C_{\text{interconnect}} + C_{\text{input}} \quad (7-6)$$

#### 2. 短路功耗

CMOS 逻辑门被有限上升沿与下降沿的输入电压来驱动时，在开关的过程中 PMOS 和 NMOS 晶体管会在短时间内同步导通，形成电源与地之间的直流通路，产生短路功耗。

#### 3. 动态功耗分析与总功耗

实际将开关功耗分为器件功耗和网线负载功耗。

### (三) 电压降分析与电迁移分析

由于芯片内部供电网络寄生参数（电阻、电容、电感）的存在，从而导致电源从输入输出接口（PAD，凸点）到达芯片内部各点的电势不同，其差值称为电压降（IR Drop）。

电压降的存在会影响延迟的变化，降低噪声容限的值，导致芯片时序违例，甚至功能失效。

#### 1. 电压降与供电网络

供电网络主要由电源凸点、电源环、电源分支组成。

电压降引起原因：连接电源线通孔的遗漏或不足、电源线宽度不够、电源规划的不合理等。

## 2. 电压降与封装

在纳米设计中，除计算芯片的电压降低外，还要考虑与封装相关的电压降。通过封装形式的改进减小电压降的值。

芯片设计时，需要将电源和地总电压降控制在供电电压的 5% 以内，以保证芯片的性能和功能。

## 3. 电压降与时序违例

5% 的电压降低会增大 10%~15% 的线延迟，，延迟值的增加会造成时序违例的产生，引起 setup 和 hold 违例。

## 4. 电迁移与电流密度

信号电迁移，焦耳热效应。

电迁移容限的测量方法：漂移速度法、低频噪声法、电阻模型模拟等

最常用的是寿命测试法：测量一定数量的相同样品在规定条件下的失效时间，取中值作为这批样品的平均失效时间。

## (四) 功耗分析数据与文件

首先设计电源网络，分析电源，评估性能，布线后对芯片进行 sign-off 的功耗分析、电压降分析和电迁移分析（包括电流密度分析等）。

### 1. 功耗分析与功耗数据

静态功耗分析可以用简化了的信号网络的翻转信息 TCF 文件；做动态功耗分析时输入两个重要信息：电源凸点的位置分布信息和动态功耗仿真 VCD 文件或 TWF 文件。

### 2. 电源网格视图库（PGV）

分析电压降效应的库文档格式。

### 3. 通用功耗格式文件与应用

低功耗设计：CPF、UPF。

## 八、信号完整性分析

### (一) 信号串扰与功能故障

#### 1. 串扰的产生

互连线之间的寄生耦合引起的噪声，反应了物理世界非理想化的特性。

串扰会导致信号延迟与毛刺两类问题。

将产生串扰信号源的网络称为侵害网络，受到串扰的网络称为受害网络。

**毛刺：**噪声使信号出现非单调转换，便产生一个伪脉冲。

**毛刺干扰：**过冲（受害节点上的信号超过电源电压）和下冲（低于接地电压）两种。

这些脉冲破坏门电路所保存的状态，使门电路不起作用，或错误作用，造成带有门电路输入的触发器和锁存器出现的功能故障。

## 2. 噪声容限

CMOS 电路单元承受一定程度的噪声，而不会导致单元输出故障，称为噪声抵抗能力。

两种定义方法：单源噪声容限、多源噪声容限。

### (二) 串扰信号分析

#### 1. 串扰分析

串扰脉冲的分析和串扰延迟的分析，分别体现为电压敏感值的计算以及延迟的计算。

分析噪声需要考虑的因素：时序窗、噪声阈值设定、噪声库以及噪声模型的选择和耦合电容的过滤等。

延迟计算的主要参数：绝对耦合电容、相对耦合电容、单个峰值耦合噪声及累计峰值耦合噪声。当两条信号线之间的耦合电容小于一定值时，便忽略计算其噪声。

延迟计算主要有以下三种情况：

- (1) 最大可能延时：假设所有侵害网络静止，用保持电阻计算。
- (2) 最小延时：侵害网络与受害网络同向，用最快 slew 和最快 vector 计算。
- (3) 最大延时：侵害网络与受害网络反向，用最慢 slew 和最慢 vector 计算。

#### 2. 串扰与延迟

耦合噪声也会改变关键路径延时，导致电路建立或保持时间的违例。

串扰延迟：串扰使信号转换变慢或变快。

#### 3. 电压降与串扰

电压降对于串扰的影响体现在：毛刺的传播（产生电路误操作）和延迟的变化（产生 setup 和 hold 的时序违例）。

#### 4. 串扰与低功耗

降低电压则晶体管的噪声容限阈值变小，可能导致串扰脉冲的传播以及不同路径上串扰延迟的增加而产生 setup 和 hold 的时序违例。

#### 5. 串扰的多层次分析

### (三) 信号串扰预防与修复

方法：提高受害网络驱动器的驱动强度、在受害网络中插入缓冲器、降低侵害网络驱动器的驱动强度、将受害网络从主要侵害网络处移开等。

## 1.串扰预防

### (1) 保护受害网络

将时钟网络布线间隔增加 1 或 2 倍，再将布线限制在拥挤程度不高的顶部金属层内，可以有效消除时钟网络的串扰延迟。

屏蔽时钟网络布线，但时钟等待时间会因接地电容增大而增加。

增加间隔、采用屏蔽及利用保留金属层三种方法适用于时钟和其他高扇出网络，但都会占用额外的布线空间和资源。

### (2) 增强受害网络对串扰的免疫力

使用高驱动单元，提高潜在侵害网络的门限，从而降低受害网络的受害程度和数量。

## 2.串扰修复

### (1) 增强驱动器单元能力

### (2) 在受害网络上插入缓冲器

### (3) 插入延迟单元

### (4) 采用网络排斥法

### (5) 调整布线

## 3.虚拟串扰和靴值分析

靴值分析是低噪声电子学中常用分析方法，是作用于地线上的地冲或作用于电源上的上冲噪声干扰信号。

## (四) 噪声数据库

### 1.噪声模型

建立噪声库时所用的模型，决定了噪声分析的准确性。

噪声模型分为标准单元噪声模型以及互连线的噪声模型。

单元噪声模型以标准单元为基础，建立思想是以最简单的方法模拟晶体管的工作特性。

### 2.噪声数据库

cdB 库与.lib 库。

### 3.互连线噪声模型

## 九、低功耗设计技术与物理实施

### (一) 低功耗设计方案综述

## 1. 低功耗设计方案的选择

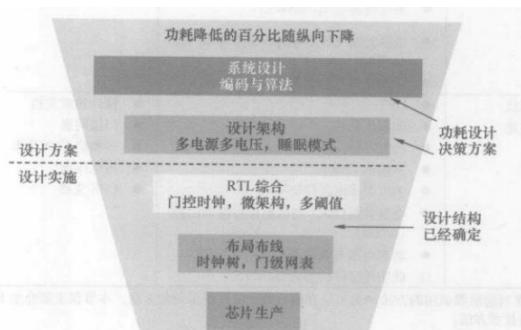


表 9-1 不同设计阶段的低功耗解决方案和技术

设计阶段	解决方案	设计方法或工具
系统级 算法级	<input type="checkbox"/> 系统分割 <input type="checkbox"/> 内存组织管理 <input type="checkbox"/> 电源管理 <input type="checkbox"/> 电压与频率降低	<input type="checkbox"/> C 语言 <input type="checkbox"/> SystemC <input type="checkbox"/> SystemVerilog
系统级 算法级	<input type="checkbox"/> 算法评估 <input type="checkbox"/> 算法转换	
仿真验证 可测试性	<input type="checkbox"/> 形式验证 <input type="checkbox"/> 逻辑验证 <input checked="" type="checkbox"/> DFT	<input type="checkbox"/> SystemVerilog <input type="checkbox"/> Verilog HDL, VHDL <input checked="" type="checkbox"/> CPF 文档
RTL 编码 逻辑综合	<input type="checkbox"/> 状态编码 <input type="checkbox"/> 数据与地址线编码 <input type="checkbox"/> 信号隔离 <input checked="" type="checkbox"/> DFT <input checked="" type="checkbox"/> 面积优化 <input checked="" type="checkbox"/> 门控时钟(clock gating) <input checked="" type="checkbox"/> 多阈值 CMOS <input checked="" type="checkbox"/> 多电源多电压(MSMV) <input checked="" type="checkbox"/> 电源关断(PSO)与状态保持电源门控(SRPG) <input checked="" type="checkbox"/> 动态电压与频率调节技术(DVFS)	<input type="checkbox"/> Verilog HDL, VHDL <input checked="" type="checkbox"/> 设计约束文档 <input checked="" type="checkbox"/> 门级网表 <input checked="" type="checkbox"/> 多阈值 CMOS 库 <input checked="" type="checkbox"/> 多电压库 <input checked="" type="checkbox"/> CPF 文档
布局布线 物理实施	<input checked="" type="checkbox"/> DFT <input checked="" type="checkbox"/> 面积优化 <input checked="" type="checkbox"/> 门控时钟(clock gating) <input checked="" type="checkbox"/> 多阈值 CMOS <input checked="" type="checkbox"/> 多电源多电压(MSMV) <input checked="" type="checkbox"/> 电源关断(PSO)与状态保持电源门控(SRPG) <input checked="" type="checkbox"/> 动态电压与频率调节技术(DVFS) <input type="checkbox"/> 低功耗时钟树综合(LPCTS)	<input checked="" type="checkbox"/> 设计约束文档 <input checked="" type="checkbox"/> 门级网表 <input checked="" type="checkbox"/> 多阈值 CMOS 库 <input checked="" type="checkbox"/> 多电压库 <input checked="" type="checkbox"/> CPF 文档

注:□为仅在当前阶段采用的方法;●为可以在前后两个阶段都采用的方法。本节仅主要介绍 RTL 综合与物理实现两阶段所用的技术方法。

## 2. 低功耗设计代码编写

在 RTL 级代码编写阶段, 为减小信号跳变频率, 可以采用优化的状态编码技术与方法。

## 3. 低功耗设计逻辑综合

逻辑综合工具在逻辑映射阶段可通过降低电路的节点翻转率或者降低节点负载电容, 达到降低功耗的目的。

### (1) 门的合并与组合

将节点翻转率较高的逻辑门合并到复杂门电路中，从而降低节点的等效电容，以达到降低功耗的目的。

### (2) 优化门的大小

逻辑门驱动能力大小的选择也会影响功耗。

### (3) 管脚优化

### (4) 逻辑重建

## 4.低功耗设计测试

降低测试电路功耗可以有以下几种方案：①减小芯片端口数目从而降低端口翻转数，因此降低测试过程中的功耗(图 9-8)；②重新分割或分配 ATPG(自动测试向量)和存储器的 BIST(内置自测试逻辑)从而降低峰值功耗；③设计 DFT 时产生能够识别节省低功耗的测试向量。

## 5.低功耗设计功能验证

包括：

- (1) 等价检查：比较 RTL 和门级网表的逻辑是否一致。
- (2) 功能和结构检查
- (3) 晶体管级检查：应用低功耗省电模式的低功耗设计方法，会增加潜在的晶体管级的功耗泄露通道。

## (二) 低功耗设计基本方法与物理实施

### 1.面积优化（最经典的一种方法）

RTL 逻辑综合的主要目标包括优化时序、功耗和面积。在物理实施同样需要优化芯片的总面积和心核面积，进一步减小功耗。

时钟树综合，一方面，通过约束文件，加速时钟信号的传输，减小时钟树的总功耗；另一方面，优化选用反向器，而非缓冲器，减小逻辑门的面积。

### 2.多阈值电压技术

减小泄漏功耗：在关键路径使用低阈值电压的逻辑器件，非关键路径使用高 阈值电压的逻辑器件。

### 3.门控时钟

减小由于不必要的时钟跳变而产生的功耗。

## (三) 低功耗设计先进方法与物理实施

### 1.多电源多电压技术

会使得电路中某些模块工作于较低电压，更容易受到电压降的影响，从而引起时序违反。

静态电压降效应的解决方法是改进优化电源网络。

## 2.电源关闭与状态保持电源门控技术

### (1) 电源关闭 (PSO) 技术

降低泄漏功耗的最有效方法，关闭芯片中暂时不需要的某个区域或者子模块的供电电压，达到减小功耗的功耗。

### (2) 状态保持电源门控 SRPG 技术

时钟门控技术和电源关闭技术都是建立在门控制或电压门的基本原理。两种结构的电压门：精细结构，粗制结构。

## 3.动态电压与频率调节技术

### 4.衬底偏置技术

进入纳米设计，泄漏电流对功耗的影响会更加显著。

## 十、芯片设计的最终验证与签核

时序验证、物理验证和逻辑功能验证

### (一) 时序验证

包括反向标定、时序与功耗的检验、时序与信号完整性的检验，与当代低功耗纳米先进设计中的“多模式多端角检验”。

#### 1.反向标定

在 RTL 编码完成后，通过仿真验证并满足设计指标 RTL 网表再由综合工具产生门级网表。检查门级网表时序的目前更准确的方法可以用 PLE，当完成布图布线后，进行动态仿真验证则由最终布线后产生的 SDF 完成。用 SDF 作动态仿真验证的方法称为反向标定。

影响时序的参数：驱动能力、互连线参数、总负载、环境因素 PTV 条件。

#### 2.时序分析与功耗分析

电源网络设计和功耗分析统称为功耗分析。前者在做电源预算规划时为芯片的供电提供可靠保障，后者在做功耗分析时对其规划方案的最终结果进行检查并分析。

#### 3.时序分析与信号完整性分析

对于信号串扰的预防，主要在布线阶段去最终实现。

#### 4.用 MMMC (多模式多端角) 做时序验证的方法

最重要模式是集成电路设计的功能要求，标准时序约束模式，其他模式还有扫描模式、自检 BIST 模式、DVFS 模式等。多端角包括了半导体器件约束条件 (PVT 的时序库) 与 RC 条件 (参数提取和 derating)

##### (1) 单模式单端角

##### (2) 两个时序库或两个端角

##### (3) 最佳和最差时序库与时序“降频”

- (4) 片上误差 OCV 与“共同路径悲观消除法”CPPR
- (5) RC 端角的定义
- (6) 模式和端角的选择

## 5.用 MMMC 做时序验证的实例

- (1) 建立环境
- (2) CTS 与时序收敛
- (3) SI 与时序收敛
- (4) SPEF 方法和 SDF 方法
- (5) 低功耗 CPF 方法

### (二) 物理验证与芯片组装

90nm 以下的设计还要进行光刻检查和可制造性检查，最后实现流片前的芯片集成和组装。

#### 1.设计规则检查

#### 2.光刻检查和可制造性设计

#### 3.电路检查

包括电源与接地和信号线连接两大部分。

#### 4.芯片集成

### (三) 逻辑等效验证与 ECO

#### 1.形式验证

功能验证和形式验证

#### 2.逻辑等效验证

#### 3.验证与 ECO

### (四) 数据交换及检查

#### 1.数据交换

为保证芯片的成功流片，芯片设计方与芯片制造商之间的所需要交换的数据。

芯片设计者需要提供给制造商的数据有：

- (1) 芯片的版图文件：GDSII 文件。
- (2) 进行 DRC/LVS 检查的规则文件。
- (3) 进行 DRC/LVS 检查的结果文件。

时芯片设计者还需要提供芯片的 SPICE 网表文件，以配合完成检查工作。另外，设计方还应该准备封装导线表给封装厂商，封装导线表主要包括三个内容：

- (1) 裸片上每个管脚的坐标位。
- (2) 裸片管脚与封装管脚的对应关系。
- (3) 封装管脚的名称。

## 2.检查内容及方法