

座位号：

杭州电子科技大学学生考试卷（A）卷

考试课程	计算机组成原理（甲）		考试日期	2020 年 月 日		成 绩	
课程号	A0507030	教师号		任课教师姓名			
考生姓名		学号（8 位）		年 级		专 业	

题号	第一大题 (共 55 分)							总分
	1	2	3	4	5	6	7	
分数	10	11	2	2	6	10	14	
得分								
题号	第二大题 (45 分)							
	1	2	3	4				
分数	12	7	15	11				
得分								

请把答案写在试卷规定的地方，其它地方一律无效。

答题纸

一、（本大题共55分）

1.（本题 10 分）

（1）（3 分）

（2）（3 分）

（3）（2 分）

（4）（2 分）

2.（本题 11 分）

（1）（2 分）

（2）（2 分）

（3）（2 分）

（4）（5 分）

3.（本题 2 分）

4.（本题 2 分）

5.（本题 6 分）

（1）（3 分）

座位号：

(2) (3 分)

6. (本题 10 分)

(1) (3 分)

(2) (3 分)

(3) (4 分)

7. (本题 14 分)

表 3

指令序号	助记符	寻址方式	源操作数	执行结果
1	1)	2)	3)	
2	4)	5)	6)	
3	7)	8)	9)	10) (R1) = 11) (FR) =

12) \_\_\_\_\_ 13) \_\_\_\_\_ 14) \_\_\_\_\_

二、(本大题共45分)

1. (本题12分)

(1) (6分)

(2) (6分)

2. (本题7分)

3. (本题15分)

(1) (5分)

(2) (10分)

座位号：

1) (4分)

2) (2分)

3) (4分)

4. (本题11分)

(1) (2分)

(2) (4分)

(3) (5分)

座位号：

试 题

所有试题均做在答题纸上，否则不计分！

一、（本大题共 55 分）图 1 是某 8 位模型机的结构框图，其中 IR 为指令寄存器，PC 为程序计数器，MEM 为主存，AR 为地址寄存器，R0-R3 是通用寄存器，ALU 能完成各种算术运算和逻辑运算。各部件的控制信号均已标出，控制信号的命名准则是：‘→’符号前的部分是数据发送方部件，‘→’符号后部分的是数据接收方部件，并且控制信号中的 B 表示数据总线（在图 1 中各部件均使用唯一的数据总线 B）。例如 B→DA1 表示由数据总线 B 将数据打入暂存器 DA1 的控制信号。另外， $\overline{J1} \sim \overline{J3}$  控制指令译码时转移到微程序的执行入口的散转方式， $\overline{MEMR}$  控制存储器读， $\overline{MEMW}$  控制存储器写。

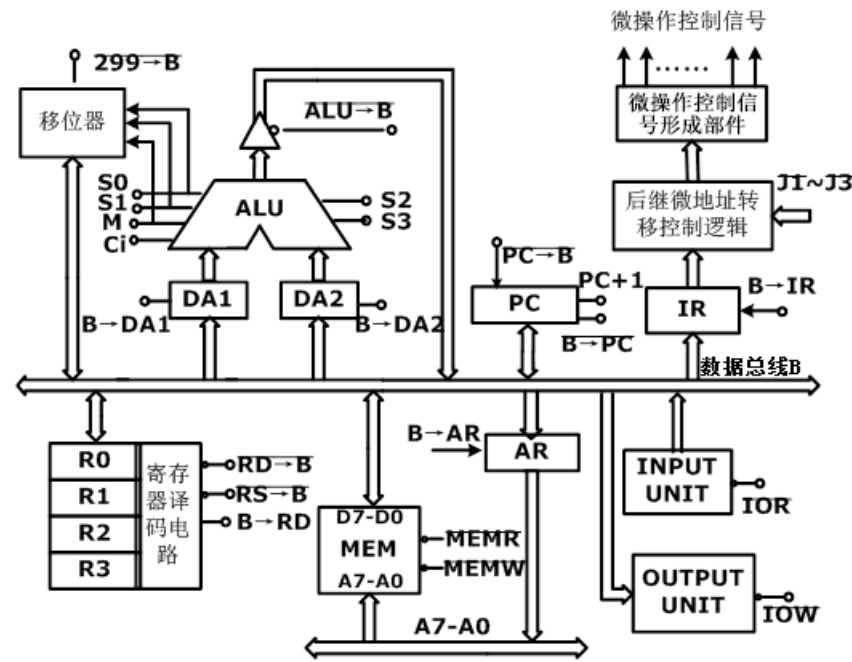


图 1 模型机结构框图

- 1.（本题 10 分）图 1 所示的计算机中，
- （1）（3 分）哪些部件属于控制器部分？
- （2）（3 分）如果该计算机中的微指令由控制字段、判别测试字段和下址字段三部分构成，其中控制字段采用直接控制法，判别测试字段控制指令译码时的散装方式，采用直接编译法，控制存储器有 256 个地址单元。那么微指令的长度是多少位？下址字段多少位？
- （3）（2 分）图 2 中的指令是什么指令？采用什么寻址方式？

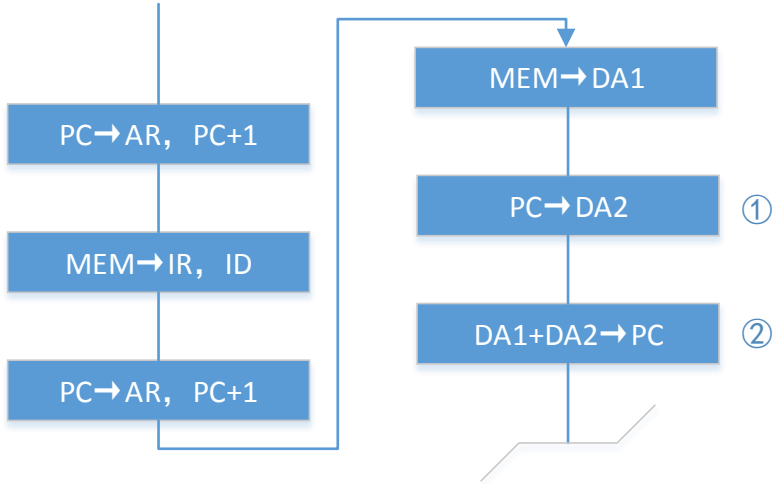


图 2 指令执行流程图

- （4）（2 分）写出图 2 中标注①、②的 2 条微指令必须发送的微操作控制信号。
- 2.（本题 11 分）假设该机另具有一个 16 位数据宽度的浮点运算部件（图 1 中未画出），浮点数的格式为

数符（1 位）	尾数（7 位）	阶符（1 位）	阶码（7 位）
---------	---------	---------	---------

其中阶码用移码表示；尾数用补码表示。已知： $(X)_{10} = 7/32$ ，Y 的浮点数表示为 A87FH。

- （1）（2 分）在浮点数格式中，用规格化数表示尾数，有什么优点？
- （2）（2 分）写出 X 的规格化浮点数表示形式。
- （3）（2 分）求 Y 的二进制真值。
- （4）（5 分）求 X+Y 浮点数  $[X+Y]_{浮}$ （采用 0 舍 1 入法，列出计算步骤）。
- 3.（本题 2 分）从图 1 中可以看出，该计算机采用的是体系结构是 \_\_\_\_\_。
- A. 哈佛结构 B. 冯 诺依曼结构 C. ARM 结构 D. MIPS 结构
- 4.（本题 2 分）CPU 采用程序中断的方式与外设交换数据，下面说法错误的是 \_\_\_\_\_。
- A. 实时性强 B. CPU 与外设可并行工作 C. 中断发生的时间可预知 D. 支持中断控制的硬件相对复杂
- 5.（本题 6 分）假设该机的指令长度为两个字节，每个操作数的长度为 5 个 bit，采用指令操作码扩展技术，要求编写 62 条双操作数指令，63 条单操作数指令和 30 条无操作数指令。
- （1）（3 分）画出双操作数指令、单操作数指令和无操作数指令的格式。
- （2）（3 分）写出双操作数指令、单操作数指令和无操作数指令所占的编码范围。
- 6.（本题 10 分）假设图 1 所示模型机 CPU 与主存之间添加了一个 Cache，在 Cache 中缺失的数据总能

座位号：

在主存中找到。Cache 的访问时间为 5 纳秒，局部命中率为 97%；主存的访问时间为 60 纳秒。

- (1) (3 分) CPU 访问由 Cache/主存构成的存储体系的平均访问时间是多少纳秒？
- (2) (3 分) 如果 Cache 和主存之间采用组相联映射，请画出主存地址可以划分成的字段及其名字。
- (3) (4 分) 进行哪些方面技术改进，可以缩短该存储体系的平均访问时间？

7. (本题 14 分) 该计算机指令系统支持的双字指令格式如下：

OP (4 位)	MOD (2 位)	DR (2 位)
ADDR/ DATA / DISP/PORTAR		

单字指令格式同上述指令格式的第一字，其中，DR 为目的寄存器号，MOD 为寻址方式码字段（该字段对于单字指令无意义，可以填入任意编码，如 00），指令第二字为地址、数据、偏移量或者端口号；源操作数由 MOD 字段和指令第二字共同确定。除了 HALT 和 DEC 指令为单字指令外，其他指令均为双字指令；各字段解释如表 1，某内存地址的部分单元内容如表 2 。已知一段程序中的 6 条指令，其中 L0 和 L1 是标号。

L0: 指令 1；  
指令 2 ；  
指令 3 ；

L1: OUT [00H], R1；  
DEC R3；  
JMP L1；采用相对跳转的寻址方式

(1) 设该机有一个标志寄存器 FR，其高 4 位为 0，低 4 位分别为 CF、OF、ZF、SF。若 (PC) =20H，变址寄存器 (SI) =11H，此时计算机从上面那段程序的 L0 开始执行，则程序执行的前三条指令如表 3，请填写完整。（对于算术类运算，为带符号数运算，并按如下方式进行：目的操作数 op 源操作数→ 目的操作数）

(1) 表 1

指令助记符	OP	指令助记符	OP	MOD	寻址方式	RD	寄存器
MOV	0000	ADD	0100	00	立即寻址	00	R0
SUB	0001	JMP	1000	01	直接寻址	01	R1
DEC	0010	.....	.....	10	变址寻址 (SI)	10	R2
IN	0011	HALT	1111	11	相对寻址	11	R3

(2) 表 2

单元地址	内容	单元地址	内容	单元地址	内容
16H	22H	21H	51H	26H	51H
17H	90H	22H	15H	27H	37H
18H	10H	23H	18H	.....	.....
19H	11H	24H	49H	37H	F8H
20H	01H	25H	26H	38H	63H

(3) 表 3

指令序号	助记符	寻址方式	源操作数	执行结果
1	1)	2)	3)	
2	4)	5)	6)	
3	7)	8)	9)	10) (R1) = 11) (FR) =

(2) 指令 DEC R3 机器码为 12)。

(3) 无条件转移指令 JMP L1 第一个字的地址为 13)，按照相对跳转的寻址方式，指令第二字中的 8 位二进制偏移量采用补码表示，它的值是 14)。

二、(本大题共 45 分) 图 3（见下页）是实现 32 位 MIPS 单周期的模型机结构 and 数据通路。

1. (本题 12 分) 对于指令：addi rt, rs, imm (rs+符号位扩展imm→rt, imm为偏移量)，则：

- (1) (6 分) 如果 imm\_s 信号恒为 0，请回答该指令在此 32 位 MIPS 模型机下能否正常运行？为什么？
- (2) (6 分) 如果该模型机的所有控制信号均能正常使用，请简单描述除了控制信号外，该条指令执行过程中经过的所有部件的数据通路。

2. (本题 7 分) 在该系统中，如果变量 i 的值为 65533，sizeof(int) 和 sizeof(short) 分别为 4 和 2。则在执行如下程序后：

```
int i = 65533;
short j = (short) i;
int k = j;
```

分析变量 i, j, k 的真值分别为多少 (3 分)？写出详细分析过程 (4 分)。

座位号：

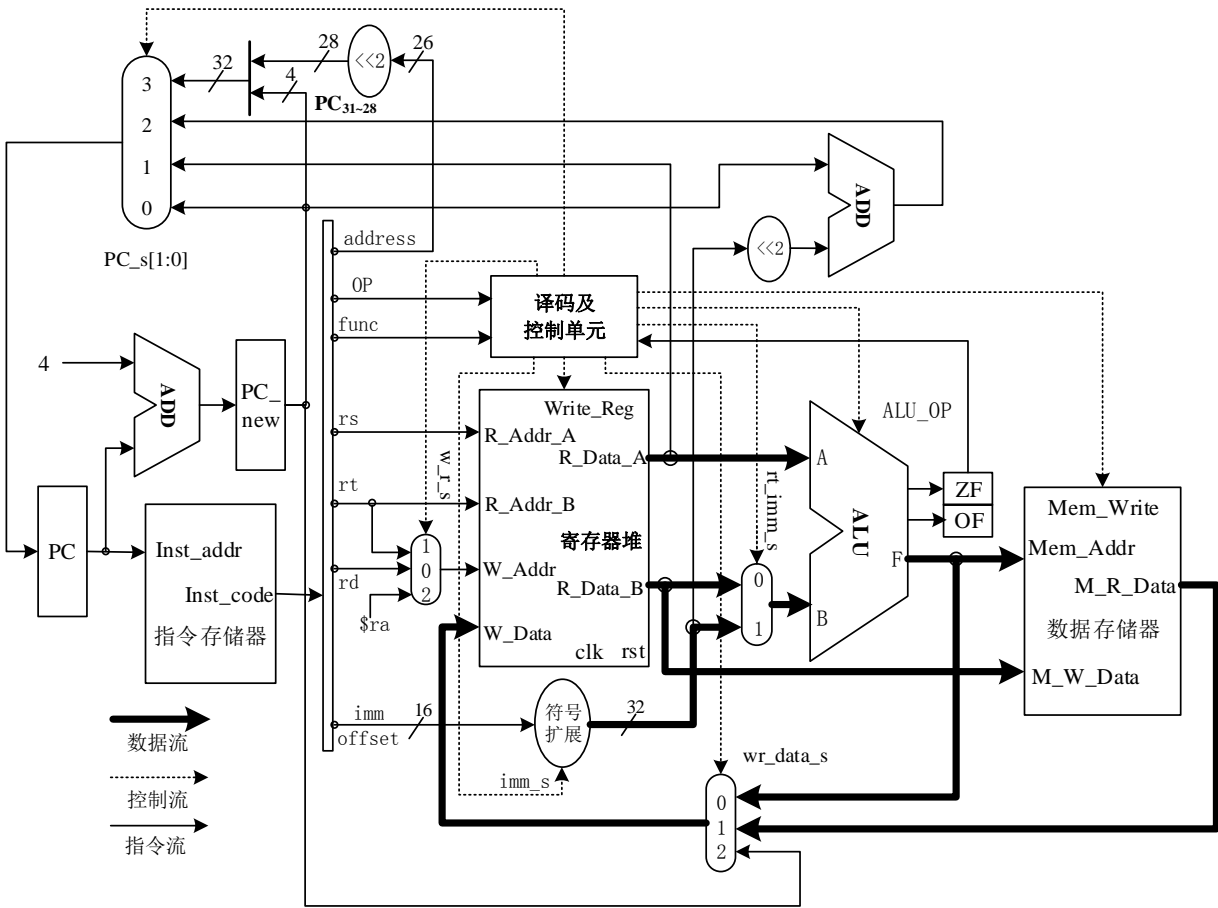


图3 MIPS单周期CPU结构图

3.（本题15分）针对某条高级语言循环语句：

while（Binary[count] == Dest\_Char）count += 1;

如果模型机编译生成的MIPS代码如下：

```
loop: sll reg_1,reg_2,2      #左移: (reg_2 << 2) → reg_1
      add reg_1,reg_1,reg_3  # reg_1 + reg_3 → reg_1
      lw reg_4,0(reg_1)      #取数: mem(reg_1 +offset)→reg_4
      bne reg_4,reg_5,exit   #不相等转移: if (reg_4 ≠ reg_5) then goto exit
      addi reg_2,reg_2,1     # reg_2 = reg_2 + 1
      j loop                #goto loop
exit: 。。。
```

其中，reg\_i(i = 1, 2, ..., 5)代表某个寄存器的名称，变量count和Dest\_Char分别分配在寄存器reg\_2和reg\_5中，数组Binary的首地址放在寄存器reg\_4中，问：

- (1)（5分）该程序中哪些是R型指令？哪些是I型指令？
- (2)（10分）假设从 loop 处开始的指令序列放在内存 30000 处，上述代码对应的 MIPS 机器码如表 4

所示，则：

表4 指令机器代码

指令	内存地址	6 位	5 位	5 位	5 位	5 位	6 位
sll reg_1,reg_2,2	30000	0	0	19	9	2	0
add reg_1,reg_1,reg_3	30004	0	9	22	9	0	32
lw reg_4,0(reg_1)	30008	35	9	8	0		
bne reg_4,reg_5,exit	30012	5	8	21	2		
addi reg_2,reg_2,1	30016	8	19	21	1		
j loop	30020	2	20000				
	30024	.....					

且已知对应的寄存器序号和寄存器名称如表 5 所示。

表 5 寄存器序号和寄存器名称

寄存器序号	寄存器名称
\$2-\$3	\$v0-\$v1
\$4-\$7	\$a0-\$a3
\$8-\$15	\$t0-\$t7
\$16-\$23	\$s0-\$s7
\$24-\$25	\$t8-\$t9
\$26-\$27	\$k0-\$k1
.....	.....

- 1)（4分）请写出寄存器 reg\_3 和 reg\_4 对应的寄存器名称？并说明理由。
- 2)（2分）编号 exit 的值是多少？
- 3)（4分）该 MIPS 模型机的编址单位是什么？每个数组元素 Binary[i]占几个字节？
- 4.（本题 11 分）如果该模型机的数据存储器采用 DRAM 实现，其容量为 64K \* 16 位，由 16K\*4 位的 DRAM 芯片（芯片内部是 256\*256 结构）构成，存储器读/写周期为 500ns。则：
  - (1)（2分）该数据存储器存储位元共有多少个？
  - (2)（4分）如 DRAM 采用异步刷新方式，如单元刷新间隔不超过 2ms，则刷新信号周期是多少？存储器刷新一遍最少用多少时间？
  - (3)（5分）如果由上述 16K\*4 位的 DRAM 芯片构成数据存储器，需要多少个这样的 DRAM 芯片？请简述存储器芯片的扩展方式，并写出每一组存储区域（大小为 16K\*16 位）的地址范围。

座位号：

杭州电子科技大学学生考试卷（A）卷

考试课程	计算机组成原理（甲）		考试日期	2020 年 月 日		成绩	
课程号	A0507030	教师号		任课教师姓名			
考生姓名		学号（8 位）		年级		专业	

题号	第一大题(共 55 分)							总分
	1	2	3	4	5	6	7	
分数	10	11	2	2	6	10	14	
得分								
题号	第二大题(45 分)							
	1	2	3	4				
分数	12	7	15	11				
得分								

请把答案写在试卷规定的地方，其它地方一律无效。

一、（本大题共 55 分）

1.（本题 10 分）

（1）（3 分）

答：PC、IR、后继微地址转移控制逻辑、微操作控制信号形成部件、AR。（错或少 1 个扣 0.5 分）

（2）（3 分）

答：控制字段 22 位，判别测试字段 2 位，下址字段 8 位（1.5 分），微指令的长度 32 位（1.5 分）。

（3）（2 分）

答：转移指令（1 分），相对寻址（1 分）。

（4）（2 分）

答：①： $\overline{PC} \rightarrow B, B \rightarrow DA2$ （1 分），②： $S0 - S3, M, Ci, \overline{ALU} \rightarrow B, B \rightarrow PC$ （1 分）。

2.（本题 11 分）

（1）（2 分）

答：使用规格化浮点数的优点：①有效利用存储空间；②提高了浮点数据的精度；③使程序能够更方便地交换浮点数据；④可以使浮点数的运算更为简化。（说出任何 2 种，即可得 2 分）

（2）（2 分）写出 X 的规格化浮点数表示形式

答： $(X)_{10} = 7/32 = 0.111 \times 2^{-2}$ ，浮点数表示的 2 进制数据为：01110000 01111110，即十六进制的 707EH

（3）（2 分）求 Y 的二进制真值

答：-0.01011

（4）（5 分）求 X+Y 浮点数  $[X-Y]_{\text{浮}}$ （采用 0 舍 1 入法，列出计算步骤）。

a. 对阶：X 对向 Y；

$[X]_{\text{浮}} = 0.0111000\ 0, 1111111$

b. 尾数相加：

$[Y]_{\text{浮}} = 1.0101000\ 0, 1111111$

00.0111000

+ 11.0101000

11.1100000

c. 结果规格化

没有规格化，需要左归 2 位，变为 1.0000000

阶码减去 2，变为 -3，即 0,111101

d. 舍入：无需舍入

结果： $[X+Y]_{\text{浮}} = 1\ 0000000\ 0\ 111101$  即 807DH

评分标准：a、b、c、d 各 1 分，结果 1 分

3.（本题 2 分）

B

4.（本题 2 分）

C

5.（本题 6 分）

（1）（3 分）

每个 1 分

	位15		位0
双操作数指令	操作码 (6位)	操作数1 (5位)	操作数2 (5位)
单操作数指令	操作码 (11位)		操作数1 (5位)
无操作数指令	操作码 (16位)		

座位号：

(2) 双操作数指令：62 个编码。(1 分)

OP (6 位)	A1 (5 位)	A2 (5 位)
000000 ..... 111101 (62 条)		

单操作数指令：共 32+31=63 个编码。(1 分)

OP (6 位)	OP (5 位)	A2 (5 位)
111110	×××××× (32 条)	
111111	00000 ..... 11110 (31 条)	

无操作数指令：30 个编码(1 分)

OP (6 位)	OP (5 位)	OP (5 位)
111111	11111	00000 ..... 11101 (30 条, 可选)

6. (10 分)

(1) (3 分) 如果答案错误，但是公式对，得 1.5 分

答：t<sub>a</sub>=t<sub>c</sub>\*h +(1-h)t<sub>m</sub>=5\*97%+(1-97%)\*60=6.65(ns)

(2) (3 分) 各 1 分

主存字块标记	组地址	块内地址
--------	-----	------

(3) (4 分)

采用速度更快的主存，多体交叉存取的存储器，提高 Cache 的命中率，增加一级更大的二级 Cache，采用软硬件预取等。(只要写出两种或者两种以上的技术，均给 4 分，若只写出一种技术，扣 2 分)

7. (本题 14 分) 每空 1 分

表 3

指令序号	助记符	寻址方式	源操作数	执行结果
1	1) MOV R1, 51H	2)立即寻址	3) 51H	
2	4) SUB R1, [18H]	5)直接寻址	6) 10H	
3	7) ADD R1, [SI+26H]	8)变址寻址	9) F8H	10) (R1) = 39H 11) (FR) = 08H

(12) 23H 或 00100011B (13) 29H 或 00101001B (14) FBH 或 11111011B

27H,或者2BH , 或者2FH

二、(本大题共 45 分) 图 3 是实现 32 位MIPS 单周期的模型机结构和数据通路。

1. (本题12分) 对于指令：addi rt, rs, imm ( rs+符号位扩展imm→rt, imm为偏移量)，则：

(1) (6分)

答：1) 不能 (2分) 2) 因为addi是有符号数的加法指令，立即数imm是16位带符号数，应该进行符号位扩展为32位的立即数 (imm\_s=1) 才能运算正确；imm\_s恒零会导致运算错误。(4分)

(2) (6分)

答：1) 在时钟周期上跳沿，将 PC 内容作为指令存储器地址，执行读操作，读出 32 位指令机器码， OP 和 func 字段送“译码及控制单元”；同时 PC 送自增加法器，执行+4 操作；(2分)

2) “译码及控制单元”依据 addi 的 OP 字段， 发送出对应控制信号， ALU\_OP 为addi的运算码；指令码的 rs 字段送寄存器堆的 A 口地址， rt 字段送寄存器堆的写端口地址， A 口读出数据送 ALU 的 A 端， 操作码的低 16 位经过符号扩展后的 32 位数据送 ALU 的 B 端， ALU 执行 addi操作 (ALU\_OP 指定)；(2分)

3) 在时钟周期的下跳沿， 运算结果写入 rt 字段指定的寄存器； 并且 PC 的自增值 PC+4 置入 PC。(2分)

2. (本题7分) 分析变量i, j, k的真值分别为多少(3分)？写出详细分析过程(4分)。

答：1) i = 65533, j = -3, k = -3。(3分, 1个1分)

2) 分析过程 (4分)：

在MIPS 32位机器上执行上述代码后，i为32位补码表示的定点整数 (0000FFFDH)。j = (short) i 强制转换将32位带符号数i (0000\_FFFDH) 截断为16位带符号整数j (FFFDH，即[-3]<sub>补</sub>)。int k = j 又将j符号位扩展为32位补码k (FFFF\_FFFD)。

65533的32位补码：0000\_FFFDH

j的16位补码：FFFDH (真值：-3)

k的32位补码：FFFF\_FFFD (真值：-3)

3. (本题15分)

(1) (5分)

答：R型指令：

sll reg\_1,reg\_2,2 (1分)

add reg\_1,reg\_1,reg\_3 (1分)

I 型指令：

lw reg\_4,0(reg\_1) (1分)

bne reg\_4,reg\_5,exit (1分)

addi reg\_2,reg\_2,1 (1分)

(2) (10 分)



座位号：

(1) (4分)

答： reg\_3: \$s6 reg\_4: \$t0 (2分，如果给出的是寄存器号，则得1分)

理由：从第2条指令可以看出，reg\_3对应的编号为22，寄存器名称为\$s6。

从第3和第4条指令可以看出，reg\_4对应的编号为8，其寄存器名称为\$t0; (2分)

(2) (2分)

答：30024

(3) (4分)

答：按字节编址 (2分)；4个字节 (2分)

4. (本题 11分)

(1) (2分)

存储位元的个数：64K\*16，或者： $2^6*2^{10}*2^4=2^{20}$ 个 (2分)

(2) (4分)

刷新信号周期：2ms/256 或者 7.8125us (2分)

存储器刷新一遍最少用时：以下两个答案都可以得2分

只考虑刷新时间： $256 * 500\text{ns} = 128\text{us}$

或者考虑实际的刷新+访问时间：2ms

(3) (5分) 需要 DRAM 芯片个数： $64\text{K}*16\text{位}/16\text{K}*4\text{位} = 16\text{个}$  (1分)

存储器扩展方式：字位扩展。其中4片DRAM芯片为一组进行位扩展，构成16K\*16位的存储区域，  
总共4组进行字扩展，构成64K\*16位的存储器。(2分)

每一组存储区域（大小为16K\*16位）的地址范围 (2分，一个0.5分)：

第一组 16K\*16位存储区域地址范围：0000H – 3FFFH

第二组 16K\*16位存储区域地址范围：4000H – 7FFFH

第三组 16K\*16位存储区域地址范围：8000H - BFFFH

第四组 16K\*16位存储区域地址范围：C000H - FFFFH

座位号：

杭州电子科技大学学生考试卷（B）卷

考试课程	计算机组成原理（甲）		考试日期	2020 年 月 日		成 绩	
课程号	A0507030	教师号		任课教师姓名			
考生姓名		学号（8 位）		年 级		专 业	

题号	第一大题(共 55 分)							总分
	1	2	3	4	5	6	7	
分数	10	11	2	2	6	10	14	
得分								
题号	第二大题(45 分)							
	1	2	3	4				
分数	12	7	15	11				
得分								

请把答案写在试卷规定的地方，其它地方一律无效。

答题纸

一、（本大题共55分）

1.（本题 10 分）

- (1)（3 分）
- (2)（3 分）
- (3)（2 分）
- (4)（2 分）

2.（本题 11 分）

- (1)（2 分）
- (2)（2 分）
- (3)（2 分）
- (4)（5 分）

- 3.（本题 2 分）
- 4.（本题 2 分）
- 5.（本题 6 分）
- (1)（3 分）

座位号：

(2) (3 分)

6. (本题 10 分)

(1) (3 分)

(2) (3 分)

(3) (4 分)

7. (本题 14 分)

(1) (10 分)

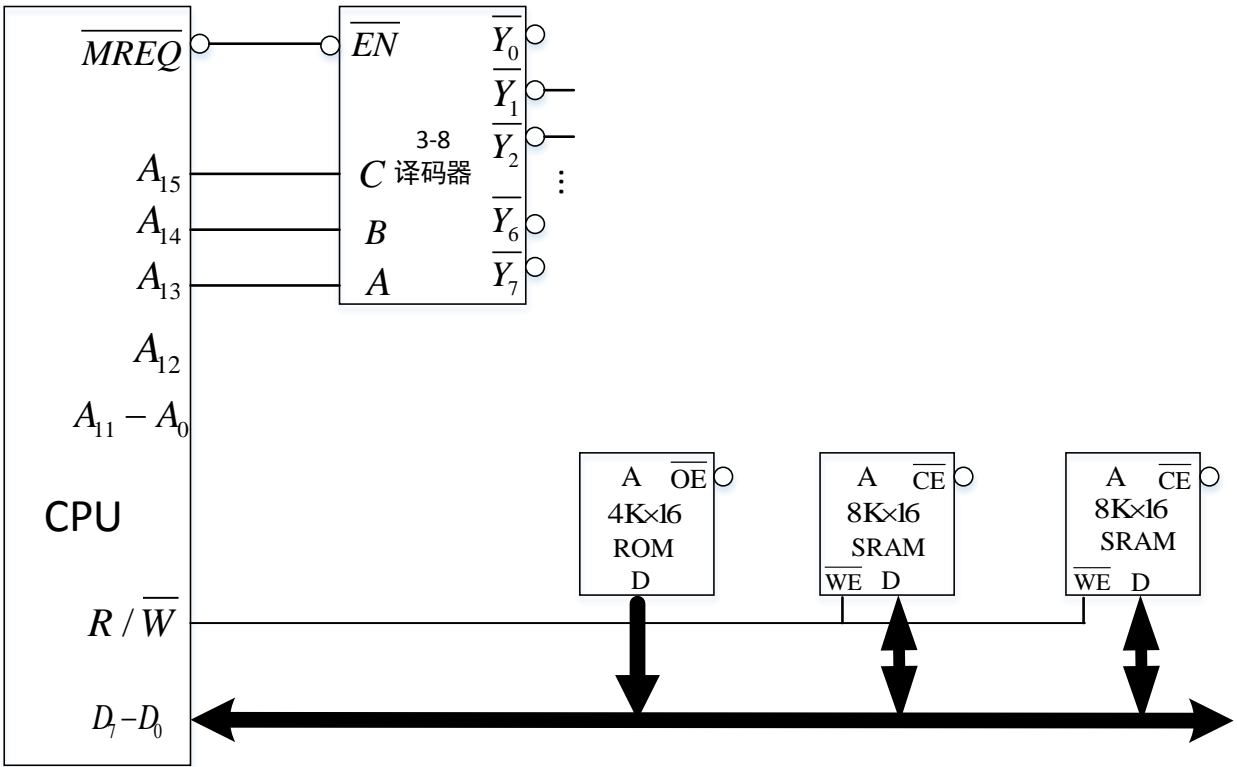


图 3

(2) (4 分)

二、(本大题共45分)

1. (本题12分)

(1) (6 分)

(2) (6 分)

座位号：

2.（本题7分）

(3) (5 分)

3.（本题15分）

(1) (5 分)

(2) (10 分)

1)

2)

3)

4.（本题11分）

(1) (2 分)

(2) (4 分)

座位号：

试 题

所有试题均做在答题纸上，否则不计分！

一、（本大题共 55 分）图 1 是某 8 位模型机的结构框图，其中 IR 为指令寄存器，PC 为程序计数器，MEM 为主存，AR 为地址寄存器，R0-R3 是通用寄存器，ALU 能完成各种算术运算和逻辑运算。各部件的控制信号均已标出，控制信号的命名准则是：‘→’符号前的部分是数据发送方部件，‘→’符号后的部分是数据接收方部件，并且控制信号中的 B 表示数据总线（在图 1 中各部件均使用唯一的数据总线 B）。例如 B→DA1 表示由数据总线 B 将数据打入暂存器 DA1 的控制信号。另外， $\overline{J1} \sim \overline{J3}$  控制指令译码时转移到微程序的执行入口的散转方式， $\overline{MEMR}$  控制存储器读， $\overline{MEMW}$  控制存储器写。

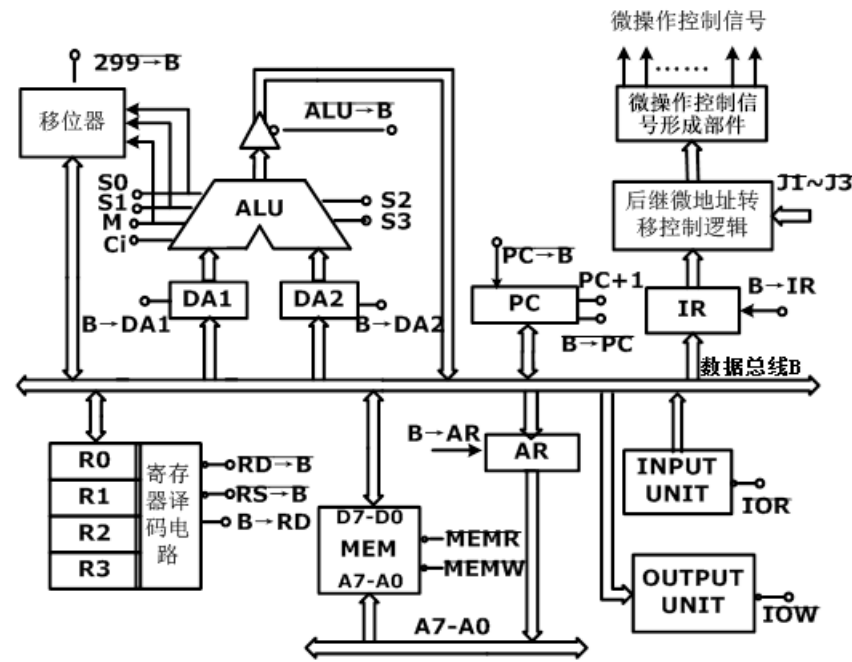


图 1 模型机结构框图

- 1.（本题 10 分）图 1 所示的计算机中，
- （1）（3 分）对于一个完整的计算机控制器而言，还有哪些重要部件在图 1 中没有画出？
- （2）（3 分）如果该计算机中的微指令由控制字段、判别测试字段和下址字段三部分构成，其中控制字段采用直接控制法，判别测试字段控制指令译码时的散装方式，采用直接编译法，控制存储器有 256 个地址单元。那么微指令的长度是多少位？下址字段多少位？
- （3）（2 分）图 2 中的指令是什么指令？完成什么功能。

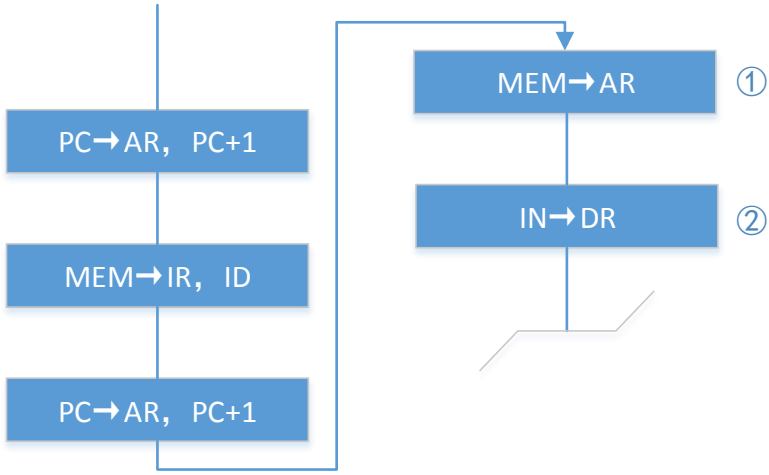


图 2 指令执行流程图

- （4）（2 分）写出图 2 中标注①、②的 2 条微指令必须发送的微操作控制信号。
- 2.（本题 11 分）假设该机另具有一个浮点运算部件（图 1 中未画出），浮点数的表示格式为
- |         |         |         |         |
|---------|---------|---------|---------|
| 数符（1 位） | 尾数（9 位） | 阶符（1 位） | 阶码（5 位） |
|---------|---------|---------|---------|
- 其中阶码用移码表示；尾数用补码表示。已知： $(X)_{10} = 17/32$ ，Y 的真值为 -0.10101。
- （1）（2 分）尾数的补码表示的规格化数，有什么要求？
- （2）（2 分）写出 X 的规格化浮点数表示形式。
- （3）（2 分）写出 Y 规格化浮点数表示形式。
- （4）（5 分）求 X-Y 浮点数  $[X-Y]_{浮}$ （采用 0 舍 1 入法，列出计算步骤）。
- 3.（本题 2 分）外设与 CPU 之间交换数据，硬件成本最低的方式是 \_\_\_\_\_。
- A. DMA 方式 B. 中断方式 C. 程序轮询方式 D. 通道方式
- 4.（本题 2 分）硬布线和微程序方式实现的控制器，描述错误的是 \_\_\_\_\_。
- A. 硬布线方式通常速度快 B. 微程序方式通常易于修改 C. 微程序方式广泛应用于当前控制器的设计中 D. 两种方式可以联合使用
- 5.（本题 6 分）假设该机的指令长度为四个字节，每个操作数的长度为 8 个位，采用指令操作码扩展技术，要求编写 250 条三操作数指令，300 条双操作数指令和 128 条无操作数指令。
- （1）（3 分）画出三操作数指令、双操作数指令和无操作数指令的格式。
- （2）（3 分）写出三操作数指令、双操作数指令和无操作数指令所占的编码范围。
- 6.（本题 10 分）假设图 1 所示模型机 CPU 与主存之间添加了一个 Cache，在 Cache 中缺失的数据总能在主存中找到。Cache 的访问时间为 10 纳秒，局部命中率为 90%；主存的访问时间为 60 纳秒。

座位号：

- (1) (3分) Cache 设计的目的是什么？利用的是什么原理？
- (2) (3分) 该存储体系的平均访问时间是多少？
- (3) (4分) 作为一级 Cache，通常采用哪种地址映射算法，为什么？

7. (本题 14 分) 设有 CPU 字长 16 位，地址线有 16 根，为 A0~A15，A0 为地址线低位，A15 为地址线高位，数据线有 16 根，为 D0~D15，D0 为数据线低位，D15 为数据线高位， $\overline{WE}$  为控制存储器的读写信号， $\overline{MREQ}$  是 CPU 访问存储器的请求信号。设存储器系统由 1 片 4K×16bit 的 ROM 芯片和 2 片 8K×16bit 的 SRAM 芯片组成。 $\overline{RD}$  和  $\overline{WE}$  分别为存储器芯片的读、写控制信号， $\overline{CS}$  为存储器的片选信号，下图是 CPU 与存储器的不完整的连接图，ROM 占据从 0000H 开始的 4K 地址空间，SRAM 占据最高的 16K 地址空间，存储器按字编址。

(1) (10 分) 请按照给出条件，添加若干逻辑电路，并直接在图 3 上完成 CPU 与存储器系统连接。未标出信号线的请标出（有数字的部分），地址线需要标出连接存储器实际的地址线数（例如存储器需地址线 10 根，则标出 A<sub>0</sub>~A<sub>9</sub>）。

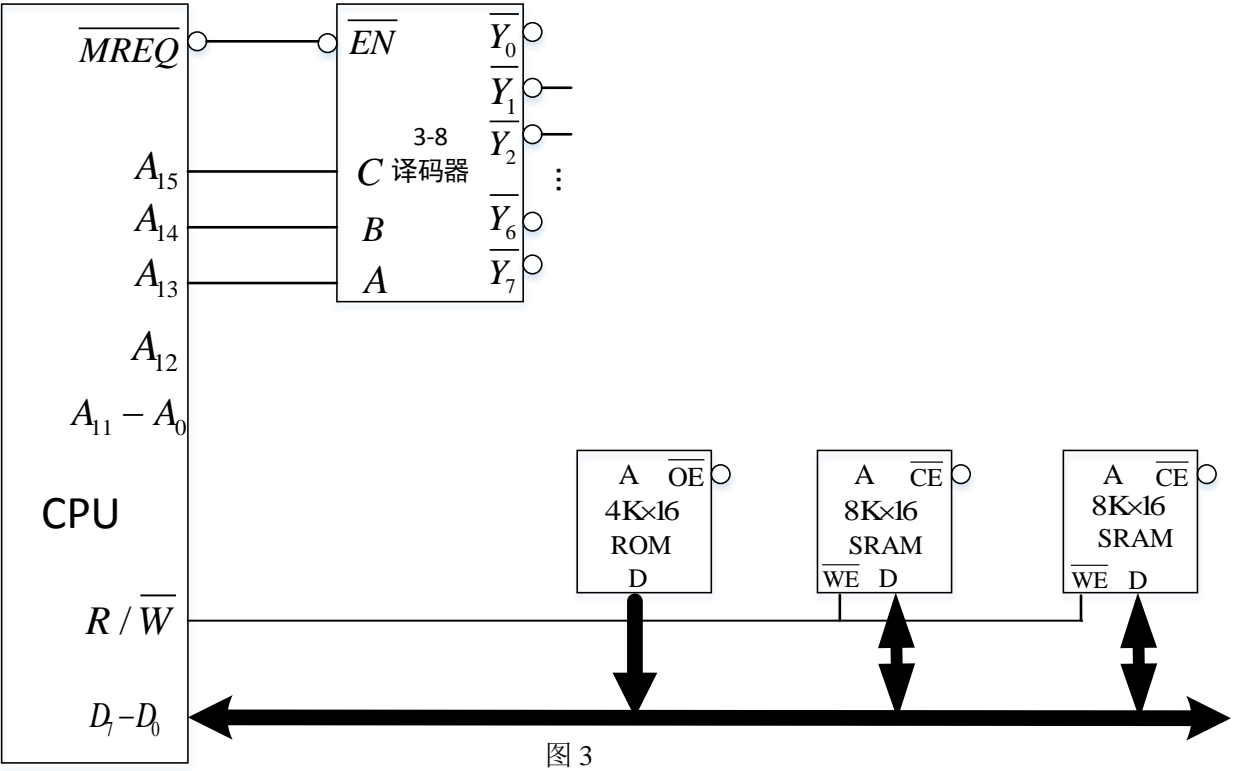


图 3

(2) (4 分) 如果 CPU 和主存之间有一级 Cache，要提高主存和 CPU 之间的存储器访问的带宽，可以采用哪两种技术？这两种技术有什么优缺点？

二、(本大题共 45 分) 图 4 是实现 32 位 MIPS 单周期的模型机结构和数据通路。

1. (本题 12 分) 对于指令：xor rd,rs,rt; 位异或：rs⊕rt→rd，则：

- (1) (6分) 如果w\_r\_s信号恒为1，请回答该指令在此32位MIPS模型机下能否正常运行？为什么？
- (2) (6分) 如果该模型机的所有控制信号均能正常使用，请简单描述除了控制信号外，该条指令执行过程中经过的所有部件的数据通路。

2. (本题 7 分) 在该系统中，如果变量 i 的值为 65535，sizeof(int) 和 sizeof(short) 分别为 4 和 2。则在执行如下程序后：

```
int i = 65535;
short j = (short) i;
int k = j;
```

分析变量 i, j, k 的二进制补码分别为多少 (3 分)？写出详细分析过程 (4 分)。

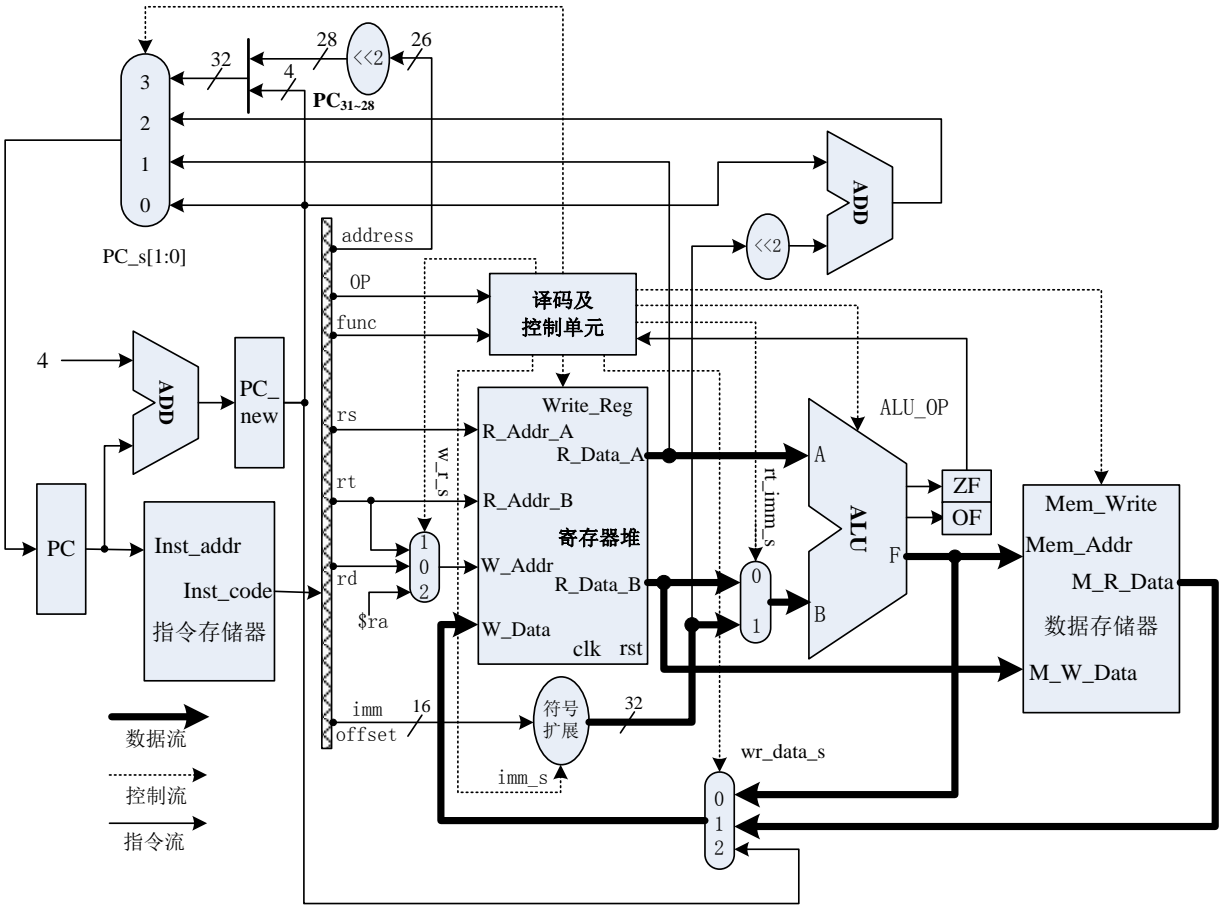


图4 MIPS单周期CPU结构图

3. (本题 15 分) 如果模型机中有如下循环代码：

```
loop: sll $t1,$s3,2      #左移: ($s3 << 2) → $t1
      add $t1,$t1,$s6     # $t1 + $s6 → $t1
```

座位号：

```
lw $t0,0($t1)      #取数： mem($t1 +offset)→t0
bne $t0,$s5,exit    #不相等转移： if ($t0 ≠ $s5) then goto exit
addi  $s3,$s3,1     # $s3 = $s3 + 1
j loop              #goto loop
```

exit: 。。。

若程序编译时，将变量i和k分别分配在寄存器\$s3和\$s5中，数组save的基址放在\$t0中，问：

- (1) (5分) 该程序中哪些是R型指令？哪些是I型指令？
- (2) (10分) 假设从 loop 处开始的指令序列放在内存 10000 处，上述代码对应的 MIPS 机器码如表 1 所示，则：
  - 1) (4分) 寄存器\$t0 和\$s6 对应的编号分别为多少？
  - 2) (2分) 编号 exit 的值是多少？
  - 3) (4分) 该 MIPS 模型机的编址单位是什么？每个数组元素 save[i]占几个字节？

表1 指令机器代码

指令	内存地址	6 位	5 位	5 位	5 位	5 位	6 位
sll \$t1,\$s3,2	10000	0	0	19	9	2	0
add \$t1,\$t1,\$s6	10004	0	9	22	9	0	32
lw \$t0,0(\$t1)	10008	35	9	8	0		
bne \$t0,\$s5,exit	10012	5	8	21	2		
addi \$s3,\$s3,1	10016	8	19	21	1		
j loop	10020	2	20000				
	10024	.....					

4. (本题 11 分) 如果该模型机的数据存储器采用 DRAM 实现，其容量为 64K \* 16 位，由 16K\*4 位的 DRAM 芯片（芯片内部是 256\*256 结构）构成，存储器读/写周期为 500ns。则：
- (1) (2分) 该数据存储器存储位元共有多少个？
  - (2) (4分) 如 DRAM 采用异步刷新方式，如单元刷新闻隔不超过 2ms，则刷新信号周期是多少 (2')？存储器刷新一遍最少用多少时间？
  - (3) (5分) 如果由上述 16K\*4 位的 DRAM 芯片构成数据存储器，需要多少个这样的 DRAM 芯片？请简述存储器芯片的扩展方式，并写出每一组存储区域（大小为 16K\*16 位）的地址范围。

座位号：

杭州电子科技大学学生考试卷（B）卷

考试课程	计算机组成原理（甲）		考试日期	2020 年 月 日		成 绩	
课程号	A0507030	教师号		任课教师姓名			
考生姓名		学号（8 位）		年 级		专 业	

题号	第一大题(共 55 分)							总分
	1	2	3	4	5	6	7	
分数	10	11	2	2	6	10	14	
得分								
题号	第二大题(45 分)							
	1	2	3	4				
分数	12	7	15	11				
得分								

请把答案写在试卷规定的地方，其它地方一律无效。

试 题

一、（本大题共 55 分）

1.（本题 10 分）

（1）（3 分）对于一个完整的计算机控制器而言，还有哪些重要部件在图 1 中没有画出？

答：时序信号产生器、数据寄存器 DR

（2）（3 分）如果该计算机中的微指令由控制字段、判别测试字段和下址字段三部分构成，其中控制字段采用直接控制法，判别测试字段控制指令译码时的散装方式，采用直接编译法，假设控制存储器有 256 个 8 位的地址单元。那么微指令的长度是多少位？下址字段多少位？

答：微指令的长度 32 位（1 分），下址字段 8 位（1 分）。

（3）（2 分）答：IO 输入指令，完成从 IO 端口输入操作数的功能。

（4）（2 分）写出图 2 中标注①、②的 2 条微指令必须发送的微操作控制信号。

答：①： $\overline{MEMR}, B \rightarrow AR$ （1 分），以及 $\overline{IOR}, B \rightarrow RD$ （1 分）。

2.（本题 11 分）假设该机另具有一个浮点运算部件（图 1 中未画出），浮点数格式为

数符（1 位）	尾数（9 位）	阶符（1 位）	阶码（5 位）
---------	---------	---------	---------

其中阶码用移码表示；尾数用补码表示。已知： $(X)_{10} = 17/32$ ，Y 的真值为-0.10101。

（1）（2 分）尾数的补码表示的规格化数，有什么要求？

答：符号位的符号与最高数值位的符号相反。

（2）（2 分）写出 X 的规格化浮点数表示形式

答： $(X)_{10} = 17/32 = 0.10001 \times 2^{-1}$ ，浮点数表示的 2 进制数据为：0100010000 011111，即十六进制的 441FH

（3）（2 分）写出 Y 规格化浮点数表示形式。

答： $[Y]_{\text{浮}}$ 为 1 010110000 1 00000，即十六进制的 AC20H

（4）（5 分）求 X-Y 浮点数  $[X-Y]_{\text{浮}}$ （采用 0 舍 1 入法，列出计算步骤）。

答：

a. 对阶：X 向 Y 的阶码对齐，需要右归 1 位；其尾数的补码为：0 010001000

b. 尾数相减：

**-Y 的尾数的补码为：0 101010000**

00.010001000

+ 00.101010000

00.111011000

c. 结果规格化

阶码已经规格化

d. 舍入：无需舍入

**结果： $[X+Y]_{\text{浮}} = 0\ 111011000\ 1\ 00000$  即 7620H**

**评分标准：a、b、c、d 各 1 分，结果 1 分**

3.（本题 2 分）外设与 CPU 之间交换数据，硬件成本最低的方式是 \_\_\_\_\_。

A. DMA 方式 B. 中断方式 C. ☒ 程序轮询方式 D. 通道方式

4.（本题 2 分）硬布线和微程序方式实现的控制器，描述错误的是 \_\_\_\_\_。

A. 硬布线方式通常速度快 B. 微程序方式通常易于修改 C. ☒ 微程序方式广泛应用于当前

控制器的设计中 D. 两种方式可以联合使用



座位号：

5.（本题 6 分）假设该机的指令长度为四个字节，每个操作数的长度为 8 个位，采用指令操作码扩展技术，要求编写 250 条三操作数指令，300 条双操作数指令和 128 条无操作数指令。

（1）（3 分）画出三操作数指令、双操作数指令和无操作数指令的格式。

答：



（2）（3 分）写出三操作数指令、双操作数指令和无操作数指令所占的编码范围。

答：

三操作数指令，从位 31 到位 24，取值 00000000-11111010，共 250 个编码。（1 分）

双操作数指令，从位 31 到位 24，取值 11111011，从位 16 到位 23，取值 00000000-11111111，共 256 个编码，从位 31 到位 24，取值 11111100，从位 16 到位 23，取值 00000000-00101011，共 44 个编码。（1 分）

无操作数指令，从位 31 到位 8，全部取值 1，从位 7 到位 0，取值 00000000-01111111，共 128 个编码。（1 分）

6.（本题 10 分）假设图 1 所示模型机 CPU 与主存之间添加了一个 Cache，在 Cache 中缺失的数据总能在主存中找到。Cache 的访问时间为 10 纳秒，局部命中率为 90%；主存的访问时间为 60 纳秒。

（1）（3 分）Cache 设计的目的是什么？利用的是什么原理？

答：使访存的速度与 CPU 的速度匹配（1.5 分）。利用的是局部性原理（1.5 分）。

（2）（3 分）该存储体系的平均访问时间是多少？

答： $t_a=t_1+(1-h)t_2=10+(1-90\%)*60=16(\text{ns})$

（3）（4 分）作为一级 Cache，通常采用哪种地址映射算法，为什么？

答：直接映射（2 分），因为直接映射算法简单，具有最快的命中时间（2 分）。

7.（本题 14 分）

（1）（10 分）

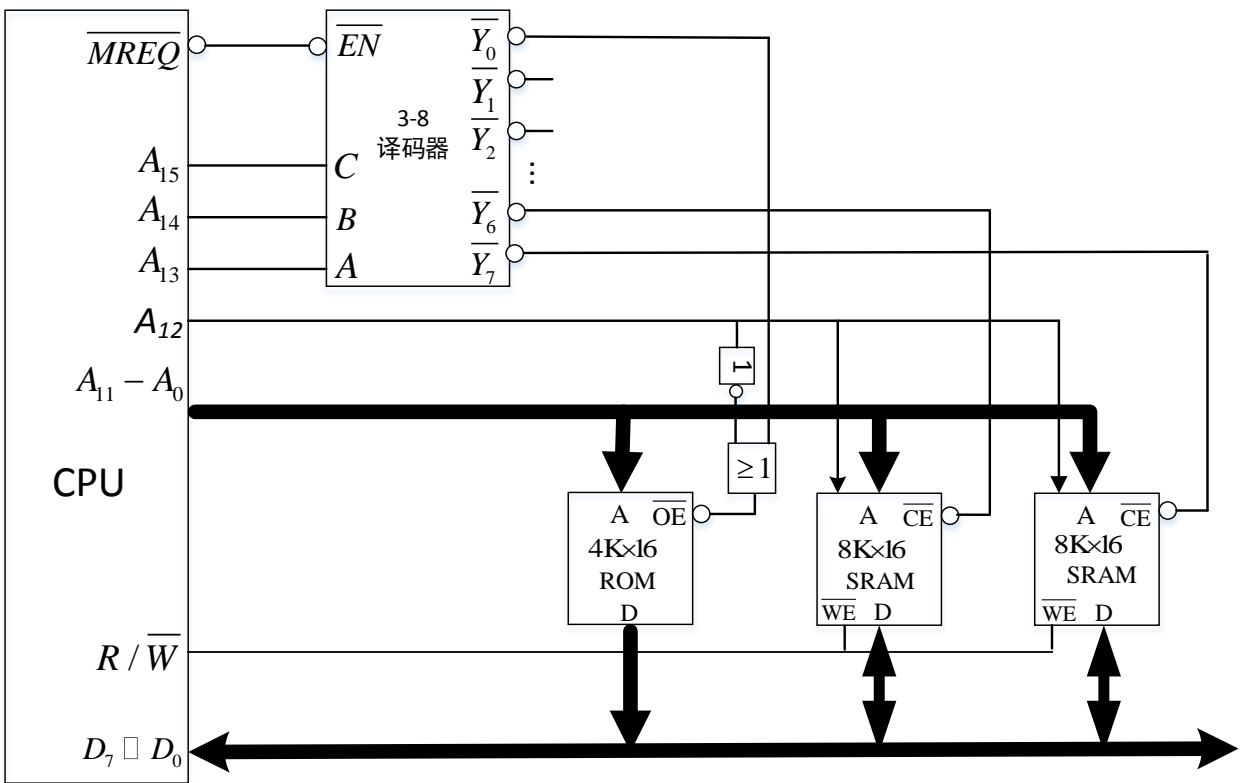


图 3

（2）（4 分）如果要提高主存和 CPU 的存储器访问的带宽，可以采用哪两种技术？这两种技术有什么优缺点？

答：单体多字和多体交叉（2 分）。单体多字会在 Cache 和 CPU 之间因多路选择器的存在，降低 Cache 访问速度，多体交叉技术需要额外添加相应的控制器和地址、数据寄存器，并需要按照流水线方式对主存访问进行设计和组织。（2 分）

二、（本大题共 45 分）图 4 是实现 32 位 MIPS 单周期的模型机结构 and 数据通路。

1.（本题 12 分）对于指令：xor rd,rs,rt；位异或： $rs \oplus rt \rightarrow rd$ ，则：

（1）（6 分）如果 w\_r\_s 信号恒为 1，请回答该指令在此 32 位 MIPS 模型机下能否正常运行？为什么？

答：不能（2 分），因为无法写 rd。（4 分）

（2）（6 分）如果该模型机的所有控制信号均能正常使用，请简单描述除了控制信号外，该条指令执行过程中经过的所有部件的数据通路。

答：1）在时钟周期上跳沿，将 PC 内容作为指令存储器地址，执行读操作，读出 32 位指令机器码，OP 和 func 字段送“译码及控制单元”；同时 PC 送自增加法器，执行+4 操作；（2 分）

2）“译码及控制单元”依据 xor 的 OP 和 func，发送出相应控制信号，ALU\_OP 为异或的运算码，指令码的 rs 字段和 rt 字段送寄存器堆的 A 口和 B 口地址，读出数据送 ALU 的 A 端和 B 端，ALU 执行异或操作（ALU\_OP 指定）；（2 分）

座位号：

3) 在 时钟周期下跳沿， 运算结果写入 rd 字段指定的寄存器； 并且 PC 的自增值 PC+4 置入 PC (2分)

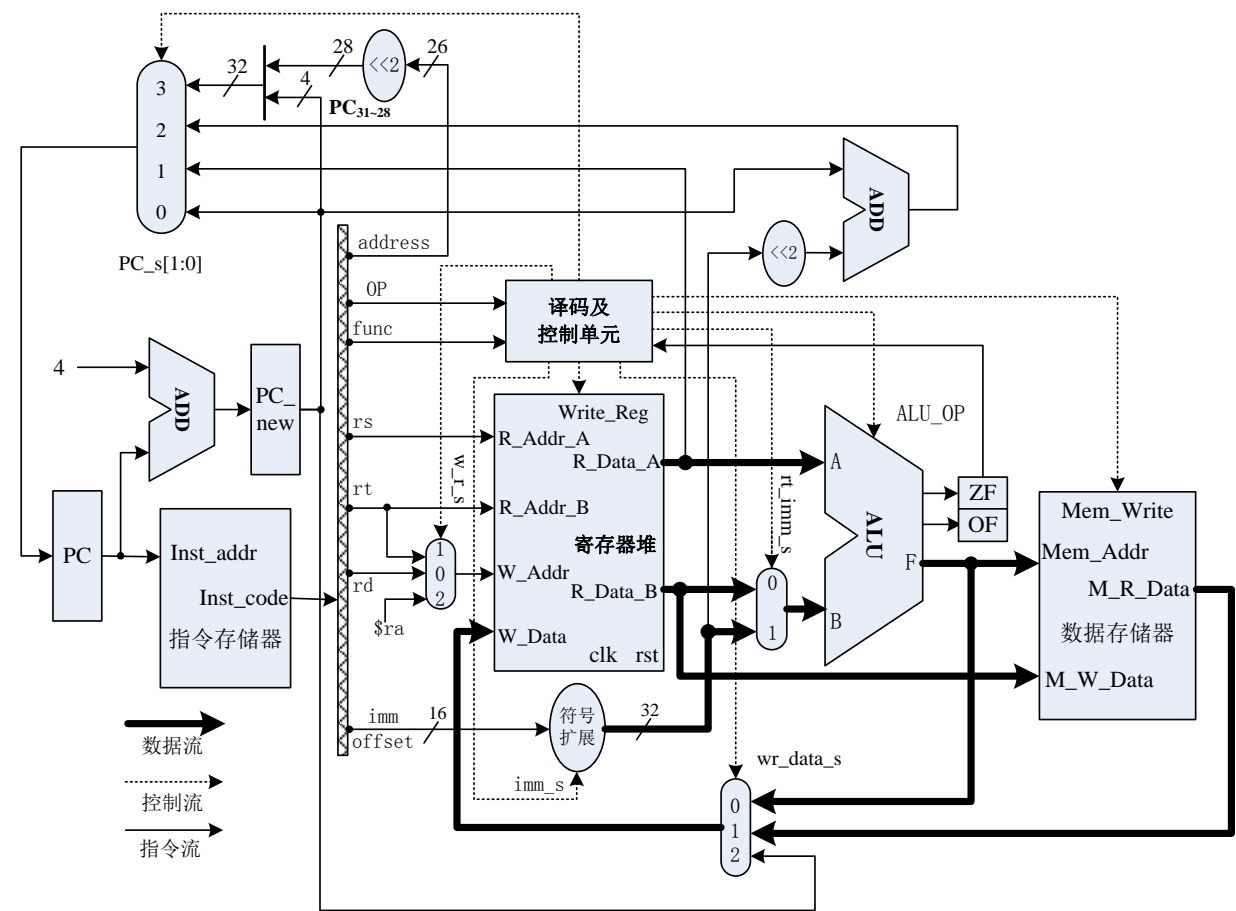


图4 MIPS单周期CPU结构图

2. (本题7分) 在该系统中，如果变量i的值为65535，sizeof(int)和sizeof(short)分别为4和2。则在执行如下程序后：

```
int i = 65535;
short j = (short) i;
int k = j;
```

分析变量i, j, k的真值分别为多少（3分）？写出详细分析过程（4分）。

答：i = 65535, j = -1, k = -1 (3分)

分析过程：(4分)

在MIPS 32位机器上执行上述代码后，i为32位补码表示的定点整数。j = (short) i 强制转换将32位带符号数截断为16位带符号整数。int k = j 又符号位扩展为32位补码。

65535的32位补码：0000FFFFH

j的16位补码：FFFFH (真值：-1)

k的32位补码：FFFF FFFF (真值：-1)

3. (本题15分) 如果模型机中有如下循环代码：

```
loop: sll $t1,$s3,2      #左移: ($s3 << 2) → $t1
      add $t1,$t1,$s6    # $t1 + $s6 → $t1
      lw $t0,0($t1)      #取数: mem($t1 +offset)→t0
      bne $t0,$s5,exit   #不相等转移: if ($t0 ≠ $s5) then goto exit
      addi $s3,$s3,1     # $s3 = $s3 + 1
      j loop             #goto loop

exit: . . .
```

若程序编译时，将变量i和k分别分配在寄存器\$s3和\$s5中，数组save的基址放在\$t0中，问：

(1) (5分) 该程序中哪些是R型指令？哪些是I型指令？

答：R型指令：sll \$t1,\$s3,2 (1分)  
add \$t1,\$t1,\$s6 (1分)  
I型指令：lw \$t0,0(\$t1) (1分)  
bne \$t0,\$s5,exit (1分)  
addi \$s3,\$s3,1 (1分)

(2) (10分) 假设从 loop 处开始的指令序列放在内存 10000 处，上述代码对应的 MIPS 机器码如表 1 所示，则：

表1 指令机器代码

指令	内存地址	6 位	5 位	5 位	5 位	5 位	6 位
sll \$t1,\$s3,2	10000	0	0	19	9	2	0
add \$t1,\$t1,\$s6	10004	0	9	22	9	0	32
lw \$t0,0(\$t1)	10008	35	9	8	0		
bne \$t0,\$s5,exit	10012	5	8	21	2		
addi \$s3,\$s3,1	10016	8	19	21	1		
j label1	10020	2	20000				
	10024	.....					

1) (4分) 寄存器\$t0 和\$s6 对应的编号分别为多少？

答：寄存器\$t0 对应编号 8 (2分)，\$s6 对应编号 22 (2分)。

2) (2分) 编号 exit 的值是多少？

答：10024。

3) (4分) 该 MIPS 模型机的编址单位是什么？每个数组元素 save[i]占几个字节？

座位号：

答：按字节编址（2分）；4 个字节（2分）

4.（本题 11 分）如果该模型机的数据存储器采用 DRAM 实现，其容量为 64K \* 8 位，由 16K\*4 位的 DRAM 芯片（芯片内部是 128\*128 结构）构成，存储器读/写周期为 500ns。则：

（1）（2 分）该数据存储器存储位元共有多少个？

（2）（4 分）如 DRAM 采用异步刷新方式，如单元刷新间隔不超过 2ms，则刷新信号周期是多少？存储器刷新一遍最少用多少时间？

（3）（5 分）如果由上述 16K\*4 位的 DRAM 芯片构成数据存储器，需要多少个这样的 DRAM 芯片？请简述存储器芯片的扩展方式，并写出每一组存储区域（大小为 16K\*16 位）的地址范围。

答：

（1）存储位元的个数：64K\*16，或者： $2^6*2^{10}*2^4=2^{20}$  个（2 分）

（2）刷新信号周期：2ms/256 或者 7.8125us （2 分）

存储器刷新一遍最少用时：256 \* 500ns = 128us （2 分）

（3）64K\*16 位/16K\*4 位 = 16 个 （1 分）

存储器扩展方式：字位扩展。其中 4 片 DRAM 芯片为一组进行位扩展，构成 16K\*16 位的存储区域，总共 4 组进行字扩展，构成 64K\*16 位的存储器。（2 分）

每一组存储区域（大小为 16K\*16 位）的地址范围（2 分）：

第一组 16K\*16 位存储区域地址范围：0000H – 3FFFH

第二组 16K\*16 位存储区域地址范围：4000H – 7FFFH

第三组 16K\*16 位存储区域地址范围：8000H - BFFFH

第四组 16K\*16 位存储区域地址范围：C000H - FFFFH