

座位号:

杭州电子科技大学学生考试卷（A）卷

|      |            |            |      |              |  |     |  |
|------|------------|------------|------|--------------|--|-----|--|
| 考试课程 | 计算机组成原理（乙） |            | 考试日期 | 2019 年 7 月 日 |  | 成绩  |  |
| 课程号  | A0507030   | 教师号        |      | 任课教师姓名       |  |     |  |
| 考生姓名 |            | 学 号 （ 8 位） |      | 年 级          |  | 专 业 |  |

| 题号 | 第一大题 |   |      | 第二大题 |              |    |    | 总分 |
|----|------|---|------|------|--------------|----|----|----|
|    | 1    | 2 | 3    | 1    | 2            | 3  | 4  |    |
| 分数 | 10   | 8 | 20   | 6    | 4            | 10 | 16 |    |
| 得分 |      |   |      |      |              |    |    |    |
| 题号 | 第三大题 |   | 第四大题 |      |              |    |    |    |
|    | 1    | 2 | 1    | 2    | 小计           |    |    |    |
| 分数 | 6    | 4 | 2    | 14   | 38+36+10+16= |    |    |    |
| 得分 |      |   |      |      | 100          |    |    |    |

请把答案写在试卷规定的地方，其它地方一律无效。

试 题

壹、 综合题（本大题共 38 分）设有 CPU 字长 16 位，地址线有  $A_0 \sim A_{15}$ ， $A_0$  为地址线低位， $A_{15}$  为地址线高位，数据线有  $D_0 \sim D_7$ ， $D_0$  为数据线低位， $D_7$  为数据线高位， $\overline{WE}$  为控制存储器的读写信号， $\overline{MREQ}$  是 CPU 的访问存储器的请求信号。设存储器系统由 2 片  $8K \times 16\text{bit}$  和 1 片  $16K \times 16\text{bit}$  的 SRAM 组成。 $\overline{RD}$  和  $\overline{WR}$  分别为存储器芯片的读写控制信号， $\overline{CS}$  为存储器的片选信号，下图是 CPU 与存储器的不完整的连接图，设该存储器系统从地址 2000H 开始占有连续 32KB 空间，存储器按字编址，存储器与 CPU 的控制信号功能如表 1 所示。

1. （本题共 10 分）请按照给出条件，添加若干逻辑电路，并直接在图 1 上完成 CPU 与存储器系连接。未标出信号线的请标出（有数字的部分），地址线需要标出连接存储器实际的地址线数（比如存储器器需地址线 10 根，则标出  $A_0 \sim A_9$ ）。

表 1 存储器与 CPU 控制信号逻辑功能

| $\overline{CS}$ | $\overline{RD}$ | $\overline{WR}$ | 存储器功能 | $\overline{MREQ}$ | $\overline{WE}$ | CPU 对存储器的控制 |
|-----------------|-----------------|-----------------|-------|-------------------|-----------------|-------------|
| 1               | X               | X               | 无操作   | 1                 | X               | 无操作         |
| 0               | 0               | 1               | 读存储器  | 0                 | 1               | 读存储器        |
| 0               | 1               | 0               | 写存储器  | 0                 | 0               | 写存储器        |
| 0               | 1               | 1               | 无操作   |                   |                 |             |
| 0               | 0               | 0               | 禁止    |                   |                 |             |

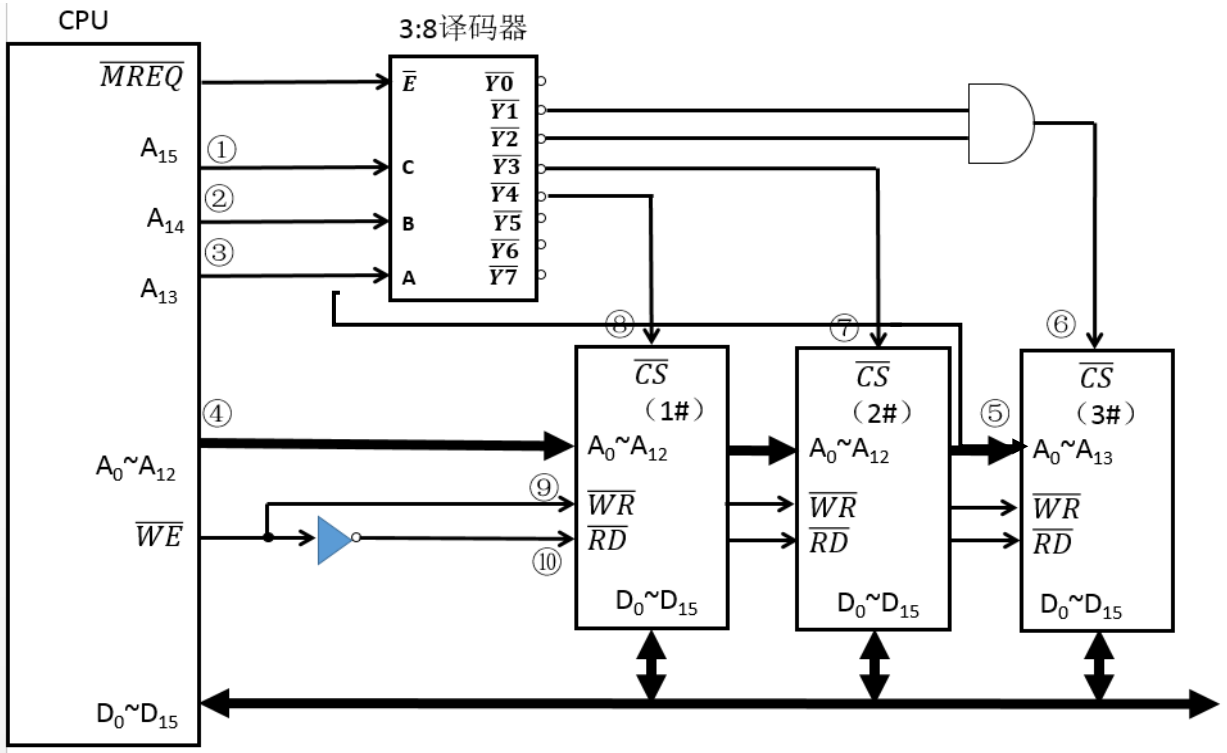


图 1

评分标准：每个数字 1 分，共 10 分。其中 6-8 的连线不唯一，合理的都对。

2 （本题共 8 分）如果采用  $8K \times 16\text{bit}$  SRAM 组成 64KW 存储系统，设存储器读写时间是总线传送时间的 8 倍，若要提高存储器带宽，

（1）. 可采用什么方式组织存储器（本小题 2 分）？

答：采用 8 体交叉方式。

评分标准：答对 2 分。

（2）. 请写出存储器组织的地址格式并标出各字段的含义和位数（本小题 4 分）。

|            |         |
|------------|---------|
| 体内地址（13 位） | 体号（3 位） |
|------------|---------|

说明：存储器采用 8K 为一个存储体，需体内地址 13 位作为主存地址高位，主存地址低 3 位，作为选择存储体选择。

评分标准：写对一个位数 1 分，体内地址和体号位置对各 1 分，共 4 分。

（3）. 该机器是 SISD, SIMD, MISD, MIMD 四种体系结构那种结构？（本小题 2 分）？

答：SISD

评分标准：答对 2 分。

3. （共 20 分）设该机支持如下浮点数

|                |                |                |               |
|----------------|----------------|----------------|---------------|
| 数 符 （ 1 位<br>） | 尾 数 （11 位<br>） | 阶 符 （ 1 位<br>） | 阶 码 （3 位<br>） |
|----------------|----------------|----------------|---------------|

设  $(X)_{10} = 13 / 64$ ,

浮点数格式如下，阶码移码表示，尾数补码表示

座位号:

(1) (2分) 求X的二进制规格化真值(科学表达式)

$X=0.11010000000\times2^{-010}$

(2) (2分) 将[X]<sub>浮</sub>的编码格式填入下面格子中, 每格填一位二进制数。

|   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|

=680EH

评分标准: 写对任一个得2分。

(3) (2分) 如果数据采用小端格式存储, 该浮点数在内存地址N开始存储的16进制数值填入表2中。

表2

| 地址  | 数据  |
|-----|-----|
| N   | 06H |
| N+1 | 68H |

评分标准: 转换对1分, 存放格式对1分, 共2分。

(4)、(4分) 浮点数加减运算除操作数检查外, 还需要哪4个步骤?

答: 1.对阶, 2.尾数相加减, 3规格化, 4.舍入

评分标准: 每对一个1分, 共4分。

(5)、(10分) 设: [X]<sub>浮</sub>= 0.11010 100000 1, 101;

$[Y]_{浮}=1.00111\ 010111\ 1, 010;$

求[X+Y]<sub>浮</sub>。要求阶码用移码运算, 尾数用补码运算, 请写出每个步骤计算过程。

第一步计算过程: (4分)

对阶  $\Delta E=[Ex]_{移}+[-Ey]_{补}=01,101+11,110=01,011$ , My 右移3 bit, Ey 加3

第一步完成的结果:

得:  $[X]_{浮}=0.11010\ 100000\ 1, 101;$

$[Y]_{浮}=1.11100\ 111010\ (111)\ 1, 101;$

评分标准: 对阶计算对2分, 浮点数写对2分, 共4分。

第二步计算过程(2分):

(2) 尾数相减得

$[Mz]_{补}=[Mx+My]_{补}=[Mx]+[-My]_{补}=0\ 0.11010100000$

$+1\ 1.11100111010\ (111)$

$=00.10111011010\ (111)$

评分标准: 尾数计算对2分。

第三步处理过程(2分):

(3)规格化, 已经规格化:

评分标准: 得2分。

第四步处理过程(2分):

0舍1入: 得 $[X+Y]_{浮}=0.10111011011\ 1,101$ ,或截断法 $[X+Y]_{浮}=0.10111011010\ 1,101$

评分标准: 2分。

二、.(共34分) 若给主存容量为64KW的存储器配备一个容量为1KW的cache, 采用2路组相联, 每块2个字(字长16bit)。

1、画出主存字地址格式, 并标出每个字段的含义和位数(本题6分)。

解题过程:

根据题意: 因为每块2字, 所以 $2^b=2$ , 块内地b=1位。

采用2路组相联, 所以 $2^r=2$ , r=1

因为cache容量1KB, 所以cache可分组数 $=1K/(2^b*2^r)=2^{10}/(2^1*2^1)=2^8$

所以组地址需8位。

主存地址共16位, 所以高位地址(标记)=16-8-1=7

结果:

|          |         |          |
|----------|---------|----------|
| 高位标记(7位) | 组地址(8位) | 块内地址(1位) |
|----------|---------|----------|

评分标准: 位数每个1分, 格式对每格1分, 共6分。

2、(本题2分) 主存地址2300H可映射到cache的那一组?

主存地址2300H=0010 0011 0000 0000B, 提取8位组地址: 1 0000 000B

结果: 所以主存地址2300H可映射到组号=80H组(128组)

评分标准: 组号对2分。

3. 如果该机采用RISC指令系统, 设共有8个16位寄存器, 指令字长固定为双字长(机器字长16位), 要求可以最多定义128种操作, 具有立即、直接、间接、寄存器、寄存器间接、变址、相对、堆栈等8种寻址方式, 指令包括R-R型, R-S类型指令。

(10分) 请设计画出该机的指令格式, 并说明各字段的功能与位数。

指令格式:

|                         |           |           |         |
|-------------------------|-----------|-----------|---------|
| OP(7位)                  | 寄存器RS(3位) | 寄存器Rd(3位) | MOD(3为) |
| ADDR/data/imm/disp(16位) |           |           |         |

说明: OP操作码,

RS-源寄存器地址,

RD-目标寄存器地址

MOD寻址方式

ADDR/data/imm/disp: 在立即寻址方式中表示的是立即数DATA,

在直接寻址方式中表示的是直接地址ADDR,

在间接寻址方式中表示的是间接地址ADDR,

在变址寻址方式中表示的是偏移地址DISP,

在相对寻址方式中表示的是相对偏移地址DISP,

在寄存器寻址和寄存器间距寻址中, 该字不用。

评分标准: 每格(位置顺序可以不一样), 位数每个1分, 说明1分, 共10分。

4、(12分) 若改变机器结构, 采用哈佛结构, 在指令存储器设置一个容量为1KW的cache, 采用2路组

座位号:

相联，每块 2 个字（字长 16bit）。按照题 3 的指令格式，（指令为 32 位固定字长，设形式地址 16 位），

```
int SUM=0;
int ad_value[16];
for (i=0;i<=16;i++)
    SUM=SUM+ ad_value[i];
```

设经编译后得到如下汇编语言程序

```
        SUM:  DW  1    ; 保留 1 个字（1 字长 16 位）
        ad_value; DW  16  ; 保留 16 个字（1 字长 16 位）
2100H L0:  MOV  R0, #0    ; 0→寄存器 R0,
2102H      MOV  R1, #0    ; 0→寄存器 R1
2104H      MOV  R2, #ad_value ; 将存放数组 ad_value 的首地址→变址寄存器 R2
2106H L1:  MOV  R0, SUM    ; 将内存地址 SUM 单元的数据→寄存器 R0
        2108H      ADD  R0, [R2+0] ; 内存地址 EA=[(R2)+0], [EA]+(R0)→R0
        210AH      MOV  SUM,R0    ; (R0)→内存地址 SUM 中
210CH      ADD  R2, #2    ; 地址+2,指向下个数据
210EH      ADD  R1, #1    ; 计数值+1
2110H      CMP  R1, #16   ; R1 与 16 比较, 置零标志条件码 ZF 等
2112H      JNE  L1        ; 结果不相等, 转 L1 处执行, 否则, 顺序执行
        L2:  ...
```

(1)、(4 分) 将标号 L1 开始的 4 条指令的源操作数采用的寻址方式填入表 3 中。

表 3

| 序号 | 指令              | 源操作数寻址方式 |
|----|-----------------|----------|
| 1  | L1: MOV R0, SUM | 直接       |
| 2  | ADD R0, [R2+0]  | 变址       |
| 3  | MOV SUM,R0      | 寄存器      |
| 4  | ADD R2, #2      | 立即       |

评分标准: 每格 1 分, 共 4 分。

(2)、分析执行上述指令段（从标号 L0 开始的指令开始到 L2（不包括 L2 所在的指令），求执行该段程序指令 cache 的命中率 h 是多少？简要写出分析过程（4 分）。

每条指令是 2 个字，每块也是 2 字，由于 cache 容量够大，总共 10 条指令，其中 7 条在循环体内（包括转移指令），每条指令取指令需访存 2 次（数据总线 16 位），第一次不命中，后 1 次命中，循环体内有 7 条指令，从第二便开始，指令都已经在 cache 中了，所以全部命中。

取指令时: 命中次数=循环体外指令数总数\*1+循环体内指令数 2\*15=10\*1+7\*2\*15=220

所以: 存取总次数=取指令次数+ (3\*2+7\*2\*16) =230

结果: h=220/230=95.65%

评分标准: 分析思路基本对得 2 分, 结果 2 分, 共 4 分。

(3)、设存储器读写操作需时间 10ns, cache 读写时间是 2ns, 则主存/CACHE 系统的平均访问时间 ta 是多少(需写出计算公式) (2) ?

ta=h\*tc+(1-h)tm=0.9565\*2+0.043\*10=2.3ns 或 ta=h\*tc+(1-h)\*(tm+tc)=0.9565\*2+0.043\*12=2.386ns

评分标准: 公式对得 1 分, 结果 1 分 (允许误差 1%) , 共 2 分。

(4)、效率 e 是多少 (2 分) ?

$e=tc/ta=2/2.3=87\%$  或  $e=tc/ta=2/2.386\approx83.82\%$

评分标准: 公式对得 1 分, 结果 1 分 (允许误差 1%) , 共 2 分。

(5)、如果上面的指令地址(L0)从 2100H 开始存放，则标号 L1 所在的指令地址是多少 (2 分) ?

L1: MOV R0, SUM 的指令地址=2106H

评分标准: 共 2 分

(6)、(2 分) 指令 JNE L1 的偏移地址(指令第二个字)是多少 (需写出计算公式) ?

DISP=目标地址- (当前指令地址+2) = - (2112H+2-2106 H) = - 000EH

[Disp]<sub>补</sub>=FFF2H (采用 16 位偏移量) 或 F2H (8 位偏移量) 根据设计的指令格式

评分标准: 公式对 1 分, 答案对 1 分, 共 2 分

三、(共 12 分) 设有一模型机，字长 8 位,地址总线 8 位，如图 2 所示，采用微程序控制器方式，分析该图中标出的控制信号外，其中 J1~J3 微指令判断测试字段，如果该机共有指令 100 条，每条指令平均需 7 条微指令实现，其中 3 条是共用的，如果微指令控制方法采用直接控制法，微指令的下条指令地址由微指令下址字段给出，单控制信号 J1~J3 采用译码输出，

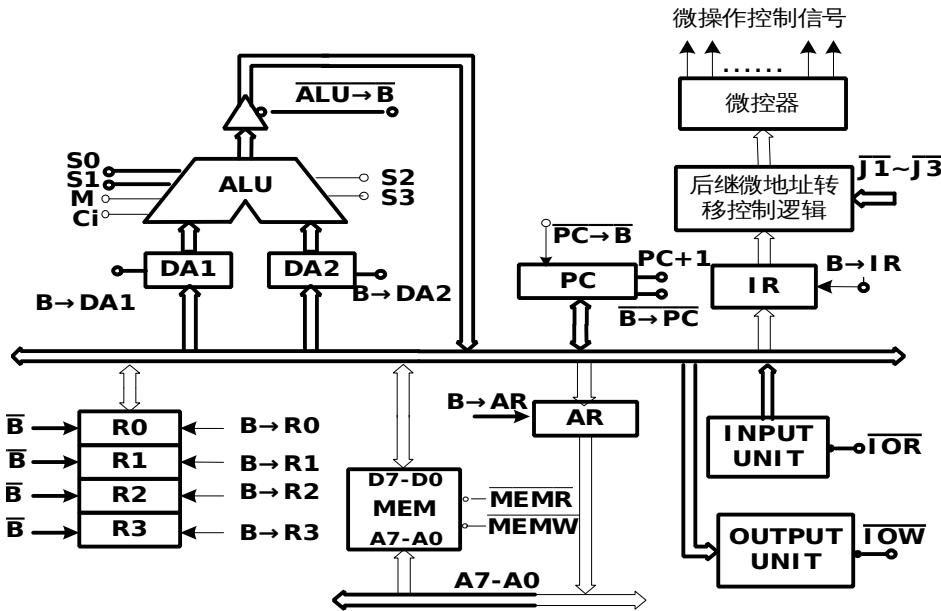


图 2

1、(6 分) 请设计微指令格式，并说明各字段的位数和含义。

解: 根据题意 100 条机器指令，共需微指令 100\*4+3=403 条微指令

所以控制存储器至少需 403 个单元。所以取 9 位微指令下址字段，

图中有 26 个控制信号，采用直接控制法，需 26 位

4 个译码控制，采用译码方式，需 2 位

所以微指令格式:

|            |              |               |
|------------|--------------|---------------|
| 微命令 (26 位) | 指令译码字段 (2 位) | 微指令下址字段 (9 位) |
|------------|--------------|---------------|

评分标准: 位数每个 1 分, 格式每对一个 1 分, 共 6 分

2、(6 分)图 3 是实现指令 ADD R0, 10H 的不完整的微程序流程图，请填入合适的微指令，完成该指令(指令功能: [R0]+10H→R0, 2 字节指令，第二字节为 10H)的微程序流程图，并说明执行

座位号:

微指令所产生 PC→AR, PC+1→PC 的微命令信号。

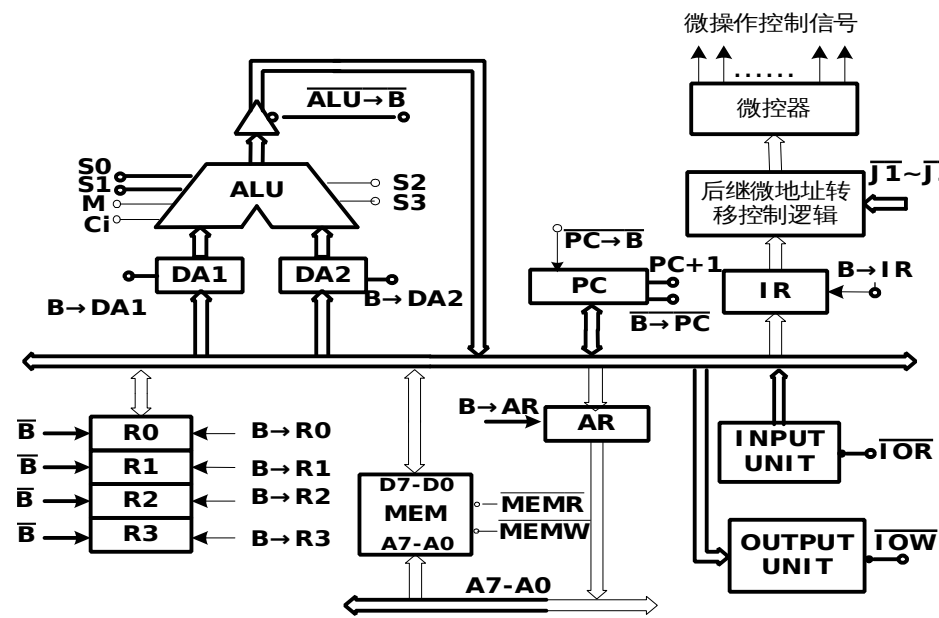
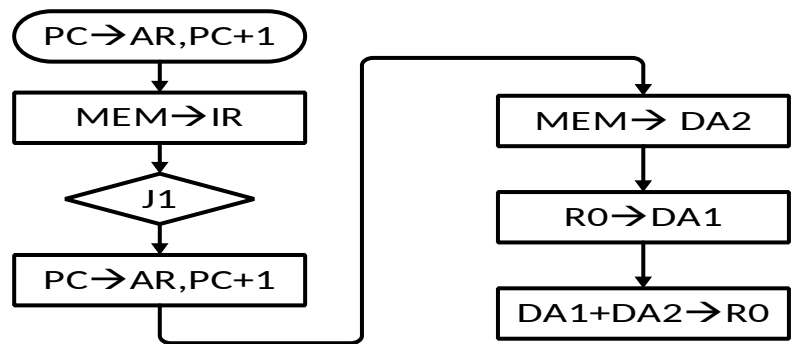


图 2:



微指令所产生 PC→AR, PC+1→PC 的微命令信号: PC→B, B→AR,PC+1

评分标准: 每填对一条微指令得 1 分, 每写对 1 个微命令得 1 分, 共 6 分

四、(共 16 分) 图 2 是实现 32 为 MIPS 单周期的模型机结构 and 数据通路。ALU 有 16 种运算功能, 加法时 ALU\_OP=ADD(0100); 减法时 ALU\_OP=SUB(0101); 逻辑左移 ALU\_OP=SLL (0011); 位与运算 ALU\_OP=AND (0010)。

1. 指令 Lw rt, (rs+imm) ; 是访存取数指令: [(rs)+imm]→rt, imm为偏移量

(1) .请在图上直接画出该指令从取指令到完成执行的数据通路(用箭头线表示, 画出除控制信号外所有经过的部件数据通路, 如果数据经过多路选择开关, 则将箭头线将经过对应开关的数值覆盖) (6分)。

评分标准: 共19条, 少3条线或画错3条, 扣1分。

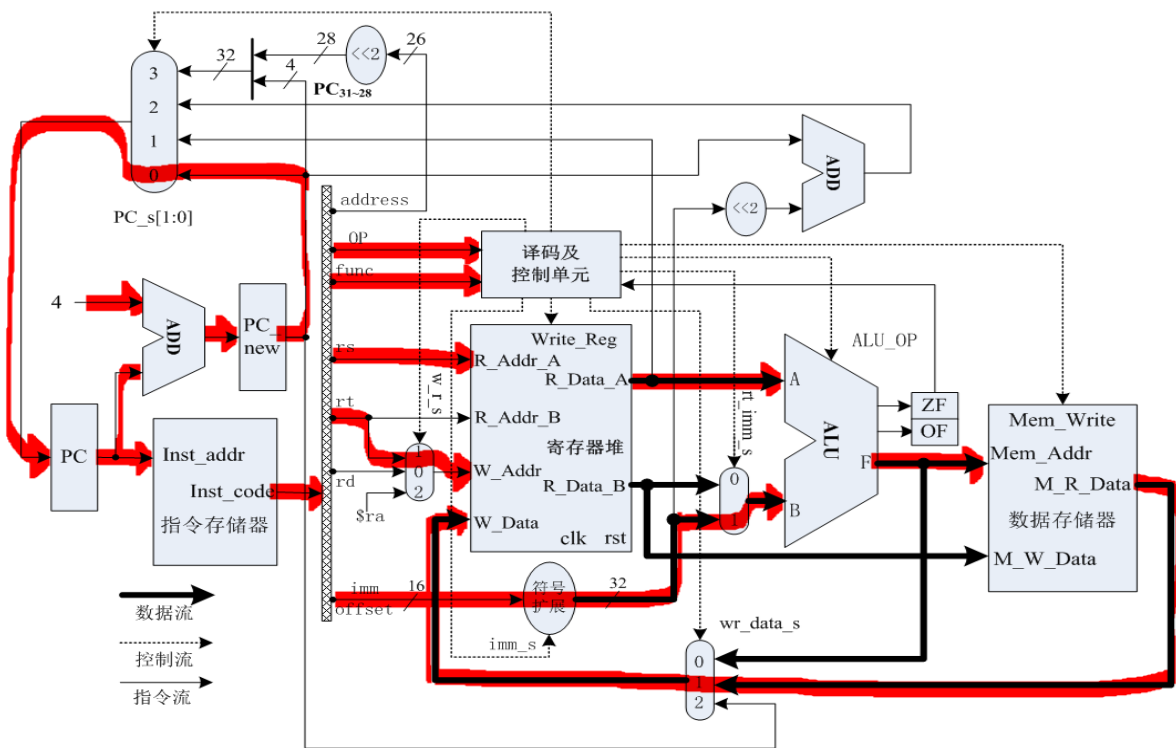


图2 MIPS单周期CPU结构图

(2) 指出该机器采用哈佛体系结构还是普利斯顿体系结构? , 它和冯·诺依曼体系结构有何不同 (2分)。

哈佛体系结构, 冯·诺依曼体系结构采用是普利斯顿体系结构。或其他合理的表达。

评分标准: 每问 1分, 共2分。

(3) 写出表3中该指令的数据通路对应的控制信号之值 (3分)。

表4

| 指令              | Write_Reg | Mem_Write | PC_s |
|-----------------|-----------|-----------|------|
| Lw rt, (rs+imm) | 1         | 0         | 0    |

评分标准: 每格 1分, 共3分。

(4) 设指令在时钟的上沿开始执行, 则 PC\_NEW 中的值应该在时钟上沿还是下沿送入 PC 中 (2分)。

答案: PC\_NEW 中的值应该在时钟下沿送入 PC 中。

评分标准: 共2分。

(5) (3分) 在虚拟存储器管理中, 实现虚存地址到物理地址的变换有那三种方式?

答案: 页式、段式和段页式三种管理方式。

评分标准: 每对一个1分, 共3分。