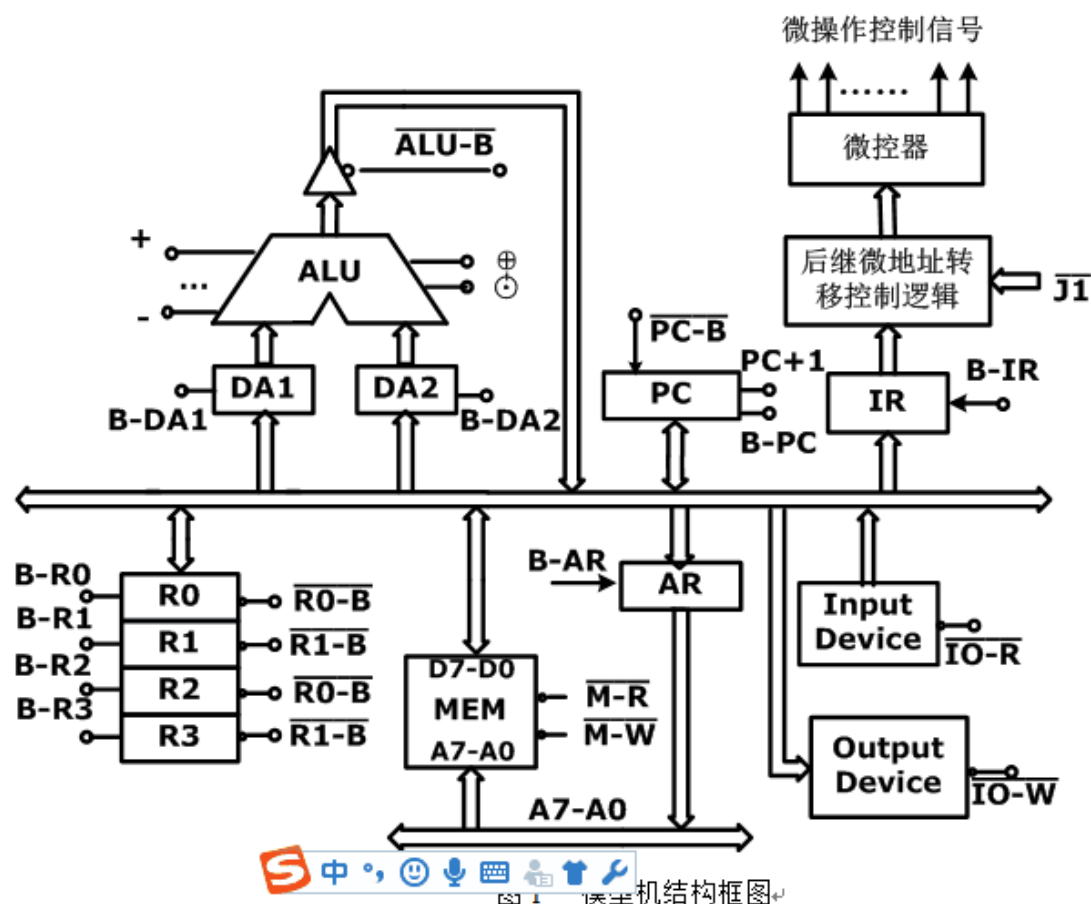


所有试题均做在答题纸上，否则不计分！

一. (59 分) 图 1 是某单总线结构计算机，机器字长 8 位，IR 为指令寄存器，PC 为程序计数器，M 为主存，AR 为地址寄存器，DR 为数据缓冲寄存器，ALU 能完成算术加、减运算和逻辑运算，R0~R3 是通用寄存器。各部件的控制信号均已标出，控制信号的命名准则是：‘-’符号前的是数据发送方部件，‘/’符号后的是数据接收方部件，并且控制信号中的 B 表示 IB 总线，另外，J1#控制指令译码，R/W#控制存储器读/写 (=1：读；=0：写)，CS#是存储器的片选信号。例如 B-DA1 表示由总线 IB 将数据打入暂存器 DA1 的控制信号。



1. (15 分) 假如该机另具有浮点运算部件 (图 1 中未画出)，两个二进制补码数据 X 和 Y 分别放在浮点寄存器 f0 和 f1 中，浮点格式为：阶码 4 位，包含 1 位符号位，尾数 8 位，包含 1 位符号位，阶码和尾数均用补码表示，排列顺序为：

阶符 (1 位)	阶码 (3 位)	数符 (1 位)	尾数 (7 位)
----------	----------	----------	----------

已知：(X)₁₀ = -2.875，Y 的规格化浮点表示为 F64H。

- (2 分) 写出 X 的规格化浮点数表示形式。
- (2 分) 求 Y 的二进制真值。

(4) (3 分) 假如使用图 1 中的 ALU 和相关部件来完成浮点数乘法中的阶码运算，两个阶码分别存放在 R0 和 R1 中，“和”存放在 R0 中，请用微程序流程图描述阶码加法运算的过程。

(5) (3 分) 按照该浮点格式，写出其规格化浮点数可表示数据的范围。

2. (3 分) 假如该机采用微程序控制器，其控制存储器容量为 256*40 位，下址字段可寻址整个控制存储器，有 7 个转移控制状态 (采用译码形式)，微指令格式如下，其 3 个字段分别是几位？

操作控制字段	判别测试字段	下址字段
--------	--------	------

3. (5 分) 有一段程序在图 1 所示模型机上运行，该程序段用汇编语言描述如下所示，已知所有指令都是 2 字节，假如存储器按字节编址，该程序被装入内存地址低端，起始地址为 0，请问存放最后一条指令 JMP LL 内存地址是 ① 和 ②，LL 是标号，按照相对寻址方式，无条件转移指令 JMP LL 的 8 位二进制偏移量是 ③。

```

LL: MOV  R0, 40H;      40H→R0
    ADD  R0, [10H];     R0+[10H]→R0
    STA  [10H], R0;     R0→[10H]
    OUT  [PORTAR], R0;  R0→LED
    JMP  LL;            PC+偏移量→PC
    
```

- (6 分) 结合图 1 所示的模型机实例，谈谈微程序控制器由哪些部件组成，各部件主要功能是什么？
- (12 分) 假如该模型机支持的机器指令格式如下，根据指令功能，指令字长可为 1~2 字节。

OP (4 位)	MOD (2 位)	RD (2 位)
ADDR / DATA / DISP		

其中，RD 为源/目的寄存器号，MOD 为寻址方式码字段，指令第二字为地址、数据或偏移量；源操作数由 MOD 字段和指令第二字共同确定。除了 HALT 指令为单字指令外，其他指令均为双字指令；操作码字段解释见表 1-1，MOD 字段解释见表 1-2，RD 字段解释见表 1-3。

表 1-1

指令助记符	操作码	指令助记符	操作码
MOV	0000	SBB	0100
ADD	0001	JMP	1000
SUB	0010
AND	0011	HALT	1111

表 1-2

MOD	寻址方式
00	立即寻址
01	直接寻址
10	变址寻址(SI)
11	间接寻址

表 1-3

RD	寄存器
00	R0
01	R1
10	R2
11	R3

(1) (2 分) 指令 **ADD R1, ((40H))** 的功能: $R1 = ((40H)) + R1$; 指令使用间接寻址, 则该指令机器码第一字节为 H, 第二字节为 H。

(2) (10 分) 内存地址的部分单元内容如表 2:

表 2

单元地址	内容	单元地址	内容	单元地址	内容
10H	80H	20H	10H	24H	39H
11H	90H	21H	11H	25H	03H
12H	10H	22H	05H	26H	F0H
13H	11H	23H	12H	27H	20H

若 (PC) = 20H, 变址寄存器 (SI) = 10H, R0、R1 和 R3 寄存器内容初始为 0; 则此时启动程序执行, 问执行了几条指令程序停止? 请按以下格式, 写出每条指令的助记符、寻址方式、EA、操作数和执行结果。

指令序号	指令助记符	源操作数及寻址方式	执行结果
------	-------	-----------	------

6. (6 分) 图 1 所示模型机经改造升级后, 扩大了主存容量, 并在 CPU 与主存之间添加了一个 Cache, 假设 CPU **总是** 从 Cache 取得数据, 在一段时间内, Cache 完成存取的次数为 2100 次, 主存完成的存取次数为 400 次, 已知 Cache 的存储周期为 12ns, 主存的存储周期为 80ns。则 Cache 的命中率为 ④ , Cache/主存系统的平均访问时间为 ⑤ ns。设升级后的主存容量为 128KB, 存储器**按字节编址**; Cache 容量 8KB, 每块 8 字节, Cache 按照 4 路组相联方式组织, 则主存字节地址 ⑥ 位; 其中“标记”字段 ⑦ 位, Cache 组地址 ⑧ 位, 主存地址 09B3H 映射到 Cache 的 ⑨ 组。

7. (6 分) 假如图 1 所示模型机的存储器采用 4 体交叉方式进行组织, 当连续读出多个字, 访存时间比顺序编址方式 ⑩ (长/短)。为了提高访问存储器的速度还可以采用 ⑪ 存储器。虚拟存储器指的是 ⑫ , 设置虚拟存储器的主要目的是 ⑬ 。

8. (4 分) 假如图 1 所示模型机连接的输出设备是一台打印机, 打印采用 16×16 的点阵汉字字形, 现需要打印一篇 20 个汉字构成的短文, 请问: 这篇短文占用内存 ⑭ 字节的存储容量来存储其纯文本。假如 20 个字不重复, 打印这篇短文使用的字模码一共是 ⑮ 字节。

9. (2 分) 假如图 1 所示模型机与接口进行通信时采用海明码进行校验, 8 位数据采用 4 位偶校验码, 若接收到的编码为 100110111100, 试判断该海明码是否有误: ⑯ 。若有, 则写出正确的 8 位有效信息 ⑰ 。

二. (41 分) 图 2 是实现 32 位 MIPS 单周期的 CPU 结构和数据通路, ALU 有 16 种运算功能, 加法时 ALU_OP=0100; 减法时 ALU_OP=0101; 位或非运算 ALU_OP=0011; 位与运算 ALU_OP=0010

1. (4 分) 访问 IO 设备实际上就是通过端口地址访问 IO 接口中的寄存器, 假如为实现独立编址的输入输出功能, **使用 I 型指令格式**实现输入指令 in 和输出指令 out 的功能, 端口地址由指令低 16 位 I₁₅₋₀ 提供, 读写 IO 设备的控制信号分别是 IO_R 和 IO_W, 按照表 1 格式, 仿照 xori 指令的写法, 分别写出 in 和 out 指令的格式和指令功能描述。

表 1

指令	功能描述
<u>xori</u> <u>rt,rs,imm</u>	逻辑异或: <u>rs</u> ⊕ <u>imm</u> → <u>rt</u>

2. (6 分) 为实现 IN 和 OUT 指令的数据通路, 写出译码与控制单元所需设置的控制信号以**二进制**形式填入表 2。若某信号无论取何值都不影响指令的功能, 则该信号填“-”。

表 2

指令	<u>w r s</u>	IO_R	IO_W	<u>imm s</u>	<u>rt imm s</u>	<u>wr data s</u>	ALU_OP	<u>Write Reg</u>	<u>Mem Write</u>	PC_s
in										
out										

3. (8 分) 假如图 2 所示 MIPS 系统中, 有如下 3 条指令,

指令助记符	指令功能描述
<u>nor</u> <u>rd,rs,rt</u>	; 位或非: $\sim(rs rt) \rightarrow rd$
<u>andi</u> <u>rt,rs,imm</u>	; 位与: $(rs) \& imm \rightarrow rt$
<u>sw</u> <u>rt,offset(rs)</u>	; 存数: $rt \rightarrow mem(rs + offset)$

写出上述 3 条指令的数据通路对应的控制信号之值、指令格式类型填入表 3。

表 3 指令格式与控制信号表

指令	w_r_s	imm_s	rt imm_s	wr_data_s	ALU_OP	Write_Reg	Mem_Write	PC_s	指令格式
<u>nor</u>									
<u>andi</u>									
<u>sw</u>									

4. (4 分)图 2 所示 MIPS 系统中,如果数据存储器是采用 DRAM 材料,那么该 DRAM 是利用__⑬__存储电荷来表示‘0’和‘1’信息的,访问 DRAM 的速度__⑭__ (快/慢) 于 SRAM 的速度。

5. (4 分) 假如该 MIPS 系统经过改造升级,数据存储器容量扩展为 32K×16 位,由 32 个 16K×1 位的 DRAM 芯片 (芯片内是 128×128 结构) 构成,存储器读/写周期为 100ns,那么,如果采用集中刷新方式,则刷新一遍需要__⑮__ μs,采用异步刷新方式,存储器行刷新周期是__⑯__ μs。

6. (3 分) CISC 是指__⑰__, RICS 是指__⑱__,硬布线控制器适合于__㉒__。

7. (12 分) 假如该 MIPS 系统的数据存储器容量为 32M×32 位,位于存储器空间的最低端,试问:

- (1) (4分) 数据存储器的地址范围是: __⑳__ H~ __㉑__ H。
- (2) (2分) 如果由 8M×16 位的 SRAM 存储器构成其数据存储器,则需要__㉒__个芯片。
- (3) (6 分) 画出上述 SRAM 芯片扩展成数据存储器的连接图,请清晰标示地址、数据和控制信号线。

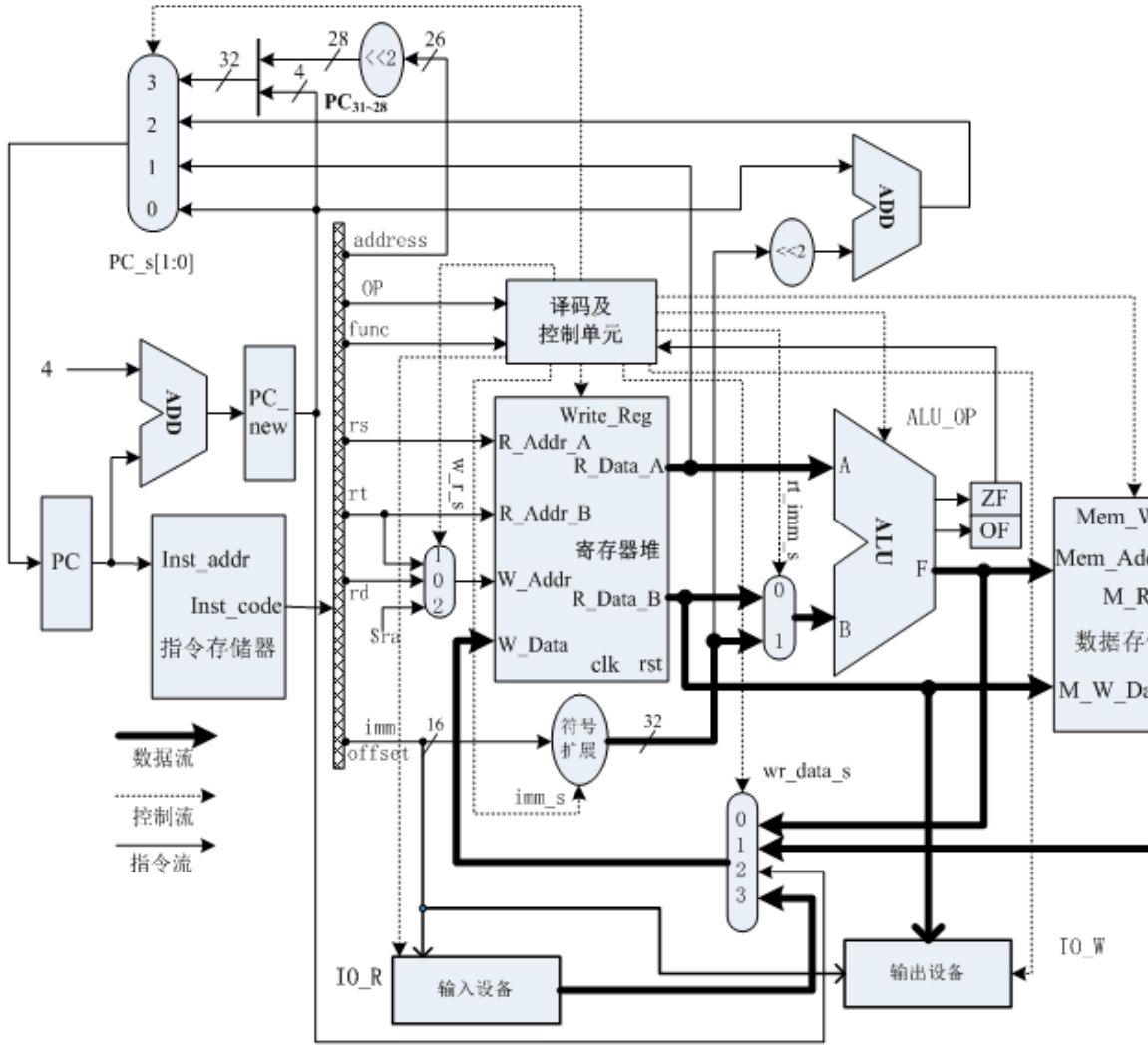


图 2 MIPS 单周期 CPU 结构和数据通路