

座位号:

杭州电子科技大学学生考试卷（A）卷

考试课程	计算机组成原理（甲）		考试日期	2020 年 月 日		成 绩	
课程号	A0507030	教师号		任课教师姓名			
考生姓名		学 号 （ 8 位）		年 级		专 业	

题号	第一大题(共 55 分)							总分
	1	2	3	4	5	6	7	
分数	10	11	2	2	6	10	14	
得分								
题号	第二大题(45 分)							
	1	2	3	4				
分数	12	7	15	11				
得分								

请把答案写在试卷规定的地方，其它地方一律无效。

答题纸

一、（本大题共55分）

1. （本题 10 分）

- (1) （3 分）
- (2) （3 分）
- (3) （2 分）
- (4) （2 分）

2. （本题 11 分）

- (1) （2 分）
- (2) （2 分）
- (3) （2 分）
- (4) （5 分）

3. （本题 2 分）
4. （本题 2 分）
5. （本题 6 分）
- (1) （3 分）

- (2) （3 分）

座位号:

6. (本题 10 分)

(1) (3 分)

(2) (3 分)

(3) (4 分)

7. (本题 14 分)

表 3

指令序号	助记符	寻址方式	源操作数	执行结果
1	1)	2)	3)	
2	4)	5)	6)	
3	7)	8)	9)	10) (R1) = 11) (FR) =

12)_____ 13)_____ 14)_____

二、(本大题共45分)

1. (本题12分)

(1) (6分)

(2) (6分)

2. (本题7分)

3. (本题15分)

(1) (5分)

(2) (10分)

1) (4分)

2) (2分)

3) (4分)

4. (本题11分)

(1) (2分)

座位号:

(2) (4分)

(3) (5分)

座位号:

试 题

所有试题均做在答题纸上，否则不计分！

一、（本大题共 55 分）图 1 是某 8 位模型机的结构框图，其中 IR 为指令寄存器，PC 为程序计数器，MEM 为主存，AR 为地址寄存器，R0-R3 是通用寄存器，ALU 能完成各种算术运算和逻辑运算。各部件的控制信号均已标出，控制信号的命名准则是：‘→’符号前的部分是数据发送方部件，‘→’符号后部分的是数据接收方部件，并且控制信号中的 B 表示数据总线（在图 1 中各部件均使用唯一的数据总线 B）。例如 B→DA1 表示由数据总线 B 将数据打入暂存器 DA1 的控制信号。另外， $\overline{J1}$ 控制指令译码， \overline{MEMR} 控制存储器读， \overline{MEMW} 控制存储器写。

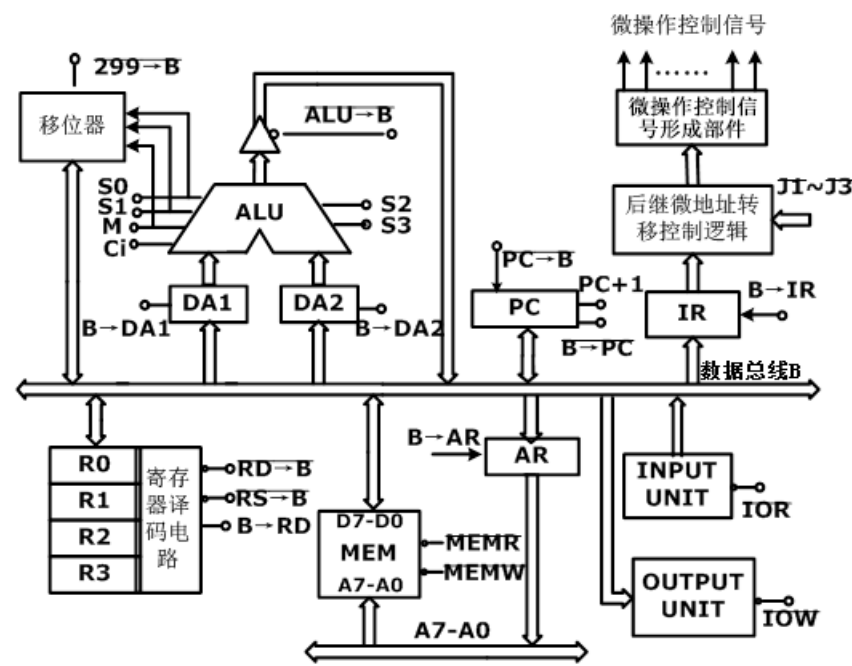


图 1 模型机结构框图

1. （本题 10 分）图 1 所示的计算机中，
- (1) （3 分）哪些部件属于控制器部分？
- (2) （3 分）如果该计算机中的微指令由控制字段、判别测试字段和下址字段三部分构成，其中控制字段采用直接控制法，判别测试字段采用直接编译法，控制存储器有 256 个地址单元。那么微指令的长度是多少位？下址字段多少位？
- (3) （2 分）图 2 中的指令是什么指令？采用什么寻址方式？

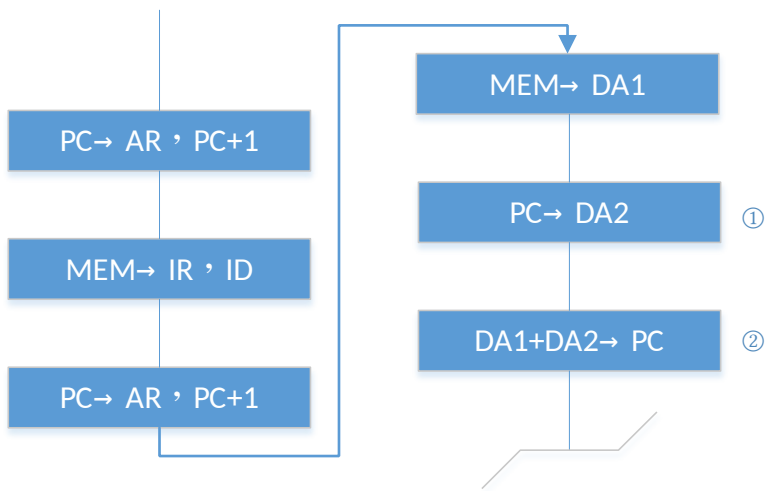


图 2 指令执行流程图

- (4) （2 分）写出图 2 中标注①、②的 2 条微指令必须发送的微操作控制信号。
2. （本题 11 分）假设该机另具有一个 16 位数据宽度的浮点运算部件（图 1 中未画出），浮点数的格式为
- | 数符（1 位） | 尾数（7 位） | 阶符（1 位） | 阶码（7 位） |
|---------|---------|---------|---------|
|---------|---------|---------|---------|
- 其中阶码用移码表示；尾数用补码表示。已知： $(X)_{10} = 7/32$ ，Y 的浮点数表示为 A87FH。
- (1) （2 分）在浮点数格式中，用规格化数表示尾数，有什么优点？
- (2) （2 分）写出 X 的规格化浮点数表示形式。
- (3) （2 分）求 Y 的二进制真值。
- (4) （5 分）求 X+Y 浮点数 $[X+Y]_{浮}$ （采用 0 舍 1 入法，列出计算步骤）。
3. （本题 2 分）从图 1 中可以看出，该计算机采用的是体系结构是 _____。
- A. 哈佛结构 B. 冯·诺依曼结构 C. ARM 结构 D. MIPS 结构
4. （本题 2 分）CPU 采用程序中断的方式与外设交换数据，下面说法错误的是 _____。
- A. 实时性强 B. CPU 与外设可并行工作 C. 中断发生的时间可预知 D. 支持中断控制的硬件相对复杂
5. （本题 6 分）假设该机的指令长度为两个字节，每个操作数的长度为 5 个 bit，采用指令操作码扩展技术，要求编写 62 条双操作数指令，63 条单操作数指令和 30 条无操作数指令。
- (1) （3 分）画出双操作数指令、单操作数指令和无操作数指令的格式。
- (2) （3 分）写出双操作数指令、单操作数指令和无操作数指令所占的编码范围。
6. （本题 10 分）假设图 1 所示模型机 CPU 与主存之间添加了一个 Cache，在 Cache 中缺失的数据总能在主存中找到。Cache 的访问时间为 5 纳秒，局部命中率为 97%；主存的访问时间为 60 纳秒。

座位号：

- (1) (3分) CPU 访问由 Cache/主存构成的存储体系的平均访问时间是多少纳秒？
- (2) (3分) 如果 Cache 和主存之间采用组相联映射，请画出主存地址可以划分成的字段及其名字。
- (3) (4分) 进行哪些方面技术改进，可以缩短该存储体系的平均访问时间？

7. (本题 14 分) 该计算机指令系统支持的双字指令格式如下：

OP (4 位)	MOD (2 位)	DR (2 位)
ADDR/ DATA / DISP/PORTAR		

单字指令格式同上述指令格式的第一字，其中，DR 为目的寄存器号，MOD 为寻址方式码字段（该字段对于单字指令无意义，可以填入任意编码，如 00），指令第二字为地址、数据、偏移量或者端口号；源操作数由 MOD 字段和指令第二字共同确定。除了 HALT 和 DEC 指令为单字指令外，其他指令均为双字指令；各字段解释如表 1，某内存地址的部分单元内容如表 2。已知一段程序中的 6 条指令，其中 L0 和 L1 是标号。

L0: 指令 1；
指令 2；
指令 3；

L1: OUT [00H], R1；
DEC R3；
JMP L1；采用相对跳转的寻址方式

(1) 设该机有一个标志寄存器 FR，其高 4 位为 0，低 4 位分别为 CF、OF、ZF、SF。若 (PC) = 20H，变址寄存器 (SI) = 11H，此时计算机从上面那段程序的 L0 开始执行，则程序执行的前三条指令如表 3，请填写完整。（对于算术类运算，为带符号数运算，并按如下方式进行：目的操作数 op 源操作数→目的操作数）

(1) 表 1

指令助记符	OP	指令助记符	OP	MOD	寻址方式	RD	寄存器
MOV	0000	ADD	0100	00	立即寻址	00	R0
SUB	0001	JMP	1000	01	直接寻址	01	R1
DEC	0010	10	变址寻址 (SI)	10	R2
IN	0011	HALT	1111	11	相对寻址	11	R3

(2) 表 2

单元地址	内容	单元地址	内容	单元地址	内容
16H	22H	21H	51H	26H	51H
17H	90H	22H	15H	27H	37H

18H	10H	23H	18H
19H	11H	24H	49H	37H	F8H
20H	01H	25H	26H	38H	63H

(3) 表 3

指令序号	助记符	寻址方式	源操作数	执行结果
1	1)	2)	3)	
2	4)	5)	6)	
3	7)	8)	9)	10) (R1) = 11) (FR) =

- (2) 指令 DEC R3 机器码为 12)。
- (3) 无条件转移指令 JMP L1 第一个字的地址为 13)，按照相对跳转的寻址方式，指令第二字中的

8 位二进制偏移量采用补码表示，它的值是 14)。

二、（本大题共 45 分）图 3（见下页）是实现 32 位 MIPS 单周期的模型机结构和数据通路。

1. (本题12分) 对于指令：addi rt, rs, imm（rs+符号位扩展imm→rt, imm为偏移量），则：
(1) (6分) 如果imm_s信号恒为0，请回答该指令在此32位MIPS模型机下能否正常运行？为什么？
(2) (6分) 如果该模型机的所有控制信号均能正常使用，请简单描述除了控制信号外，该条指令执行过程中经过的所有部件的数据通路。
2. (本题7分) 在该系统中，如果变量i的值为65533，sizeof(int)和sizeof(short)分别为4和2。则在执行如下程序后：
int i = 65533;
short j = (short) i;
int k = j;

分析变量i, j, k 的真值分别为多少（3分）？写出详细分析过程（4分）。

座位号:

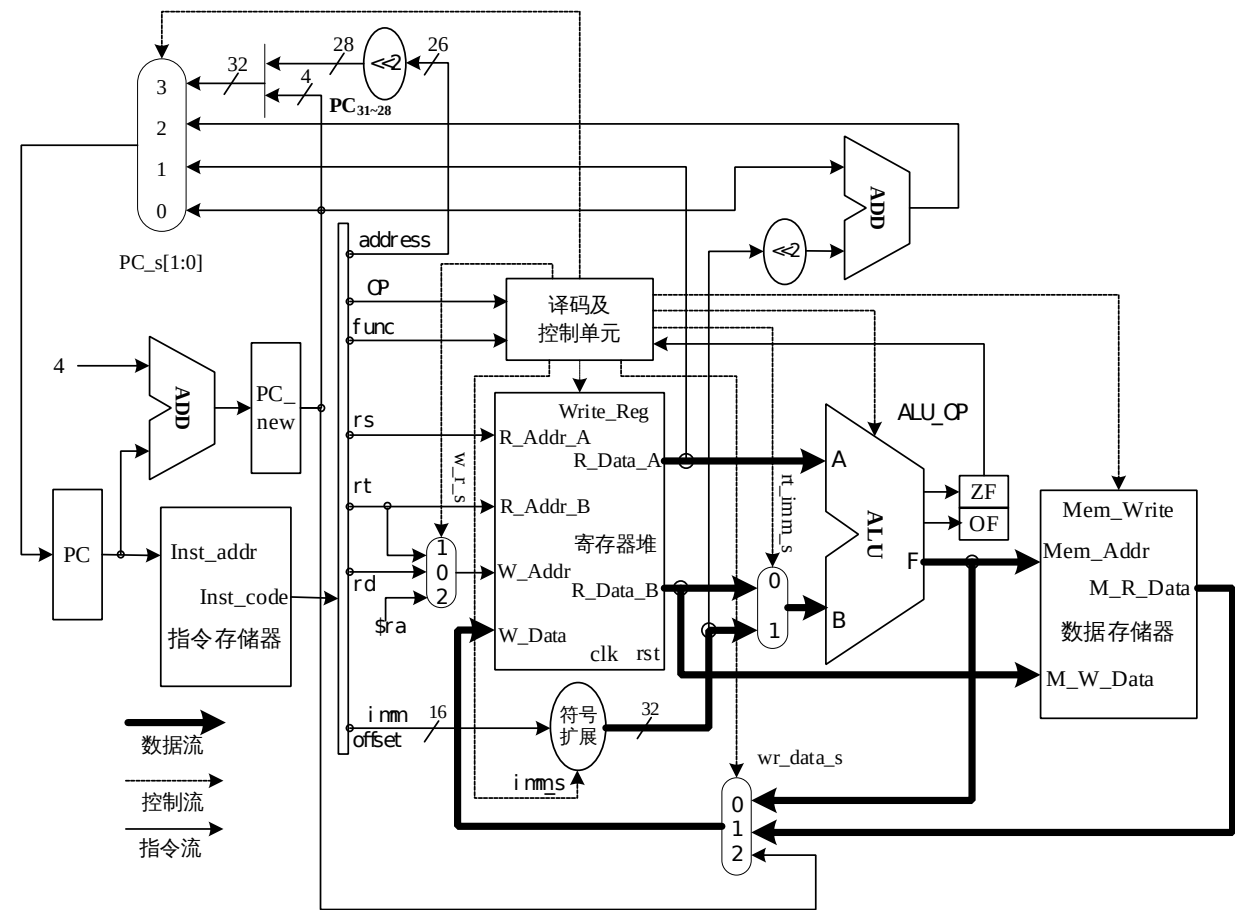


图3 MIPS单周期CPU结构图

3. (本题15分) 针对某条高级语言循环语句:

```
while (Binary[count] == Dest_Char) count += 1;
```

如果模型机编译生成的MIPS代码如下:

```
loop: sll reg_1,reg_2,2      #左移: (reg_2 << 2) → reg_1
      add reg_1,reg_1,reg_3  # reg_1 + reg_3 → reg_1
      lw reg_4,0(reg_1)      #取数: mem(reg_1 + offset) → reg_4
      bne reg_4,reg_5,exit   #不相等转移: if (reg_4 ≠ reg_5) then goto exit
      addi reg_2,reg_2,1     # reg_2 = reg_2 + 1
      j loop                #goto loop
exit: . . .
```

其中, reg_i(i = 1, 2, ..., 5)代表某个寄存器的名称, 变量count和Dest_Char分别分配在寄存器reg_2和reg_5中, 数组Binary的首地址放在寄存器reg_4中, 问:

- (1) (5分) 该程序中哪些是R型指令? 哪些是I型指令?
- (2) (10分) 假设从 loop 处开始的指令序列放在内存 30000 处, 上述代码对应的 MIPS 机器码如表 4 所示, 则:

表4 指令机器代码

指令	内存地址	6 位	5 位	5 位	5 位	5 位	6 位
----	------	-----	-----	-----	-----	-----	-----

sll reg_1,reg_2,2	30000	0	0	19	9	2	0
add reg_1,reg_1,reg_3	30004	0	9	22	9	0	32
lw reg_4,0(reg_1)	30008	35	9	8	0		
bne reg_4,reg_5,exit	30012	5	8	21	2		
addi reg_2,reg_2,1	30016	8	19	21	1		
j loop	30020	2	20000				
	30024					

且已知对应的寄存器序号和寄存器名称如表 5 所示。

表 5 寄存器序号和寄存器名称

寄存器序号	寄存器名称
\$2-\$3	\$v0-\$v1
\$4-\$7	\$a0-\$a3
\$8-\$15	\$t0-\$t7
\$16-\$23	\$s0-\$s7
\$24-\$25	\$t8-\$t9
\$26-\$27	\$k0-\$k1
.....

- 1) (4分) 请写出寄存器 reg_3 和 reg_4 对应的寄存器名称? 并说明理由。
- 2) (2分) 编号 exit 的值是多少?
- 3) (4分) 该 MIPS 模型机的编址单位是什么? 每个数组元素 Binary[i]占几个字节?
4. (本题 11 分) 如果该模型机的数据存储器采用 DRAM 实现, 其容量为 64K * 16 位, 由 16K*4 位的 DRAM 芯片 (芯片内部是 256*256 结构) 构成, 存储器读/写周期为 500ns。则:
- (1) (2分) 该数据存储器存储位元共有多少个?
- (2) (4分) 如 DRAM 采用异步刷新方式, 如单元刷新间隔不超过 2ms, 则刷新信号周期是多少? 存储器刷新一遍最少用多少时间?
- (3) (5分) 如果由上述 16K*4 位的 DRAM 芯片构成数据存储器, 需要多少个这样的 DRAM 芯片? 请简述存储器芯片的扩展方式, 并写出每一组存储区域 (大小为 16K*16 位) 的地址范围。