

第三第四章例题：设浮点数的格式为：阶码5位，包含一位符号位，尾数6位，包含一位符号位，阶码和尾数均用补码表示，排列顺序为：

阶符（1位）	阶码（4位）	数符（1位）	尾数（5位）
--------	--------	--------	--------

- (1) 若 $(X)_{10} = 15/32$, $(Y)_{10} = -3.25$, 则求X和Y的规格化浮点数表示形式。
- (2) 求 $[X-Y]_{\text{浮}}$ (要求用补码计算，列出计算步骤)。

第六章例题1：设某8位计算机指令格式如下：

OP（4位）	MOD（2位）	RD（2位）
ADDR/ DATA / DISP		

其中，RD为目的寄存器号，MOD为寻址方式码字段，指令第二字为地址、数据或偏移量；源操作数由MOD字段和指令第二字共同确定。除了HALT指令为单字指令外，其他指令均为双字指令；各字段解释如表1。

表1

指令助记符	OP	指令助记符	OP	MOD	寻址方式	RD	寄存器
MOV	0000	SBB	0100	00	立即寻址	00	R0
ADD	0001	JMP	1000	01	直接寻址	01	R1
SUB	0010	10	变址寻址 (SI)	10	R2
AND	0011	HALT	1111	11	相对寻址	11	R3

- ①指令AND R2, [56H]的功能是将R2寄存器的内容与内存地址56H单元的内容，进行“逻辑与”操作，结果存入R2寄存器，则该指令机器码第一字节为（ ）H，第二字节为（ ）H。
- ②内存地址的部分单元内容如表2，若（PC）=12H，变址寄存器（SI）=10H，则此时启动程序执行，将程序执行前三条指令的情况与结果，填写到表3。

表2

单元地址	内容	单元地址	内容	单元地址	内容
10H	50H	14H	17H	18H	F0H
11H	60H	15H	20H	19H	13H
12H	0BH	16H	33H	20H	15H
13H	01H	17H	0FH	21H	17H

表3

指令序号	助记符	寻址方式	源操作数	执行结果
1	(11)	(12)	(13)	---
2	(14)	(15)	(16)	---
3	(17)	(18)	(19)	(20)

第五章例题：某机字长8 位，CPU地址总线20位，数据总线8位，存储器按字节编址，CPU 的控制信号线有：MREQ#（存储器访问请求，低电平有效），R/W#（读写控制，低电平为写信号，高电平为读信号）。试问：

① 若该机主存采用64K×1位的DRAM芯片（内部为256×256阵列）构成最大主存空间，则共需多少个芯片？若采用异步刷新方式，单元刷新周期为8ms，则刷新信号的周期为多少时间？刷新用的行地址为几位？

② 若为该机配备4K×8位的Cache，每块8字节，采用2路组相联映象，试写出对主存地址各个字段的划分（标出各个字段的位数）；若主存地址为03280H，则该地址可映象到的Cache的哪一组？

第六章例题2：设某8位计算机指令格式如下：

Opcode (4位)	M (2位)	Rd (2位)
A (8位)		

其中，各部分的含义如下：

Opcode=	源操作数的寻址方式M=	Rd=
0000—MOV	00—直接寻址	00—R0
0001—ADD	01—立即数寻址	01—R1
0010—JMP	10—变址寻址（变址寄存器为R3）	10—R2
... ..		11—R3
1111—HALT	11—相对寻址	

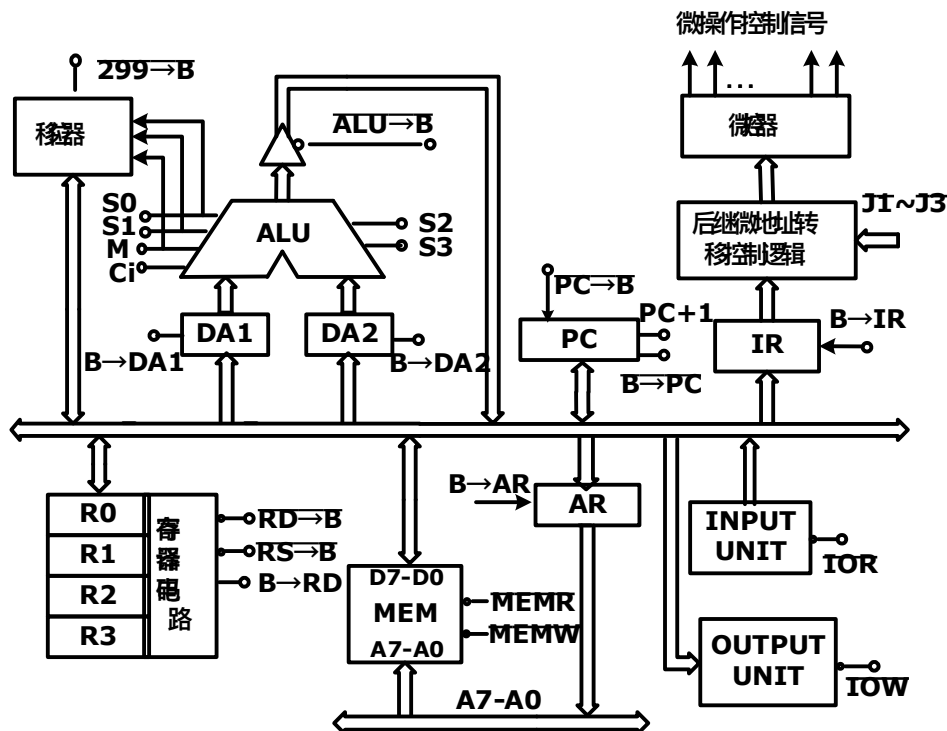
主存部分单元的内容如下表。假设当前（PC）=00H；变址寄存器（R3）=10H，问：这时CPU启动程序运行，简述计算机所执行程序流程？写出CPU所执行的每一条指令的功能、寻址方式。（共10分）

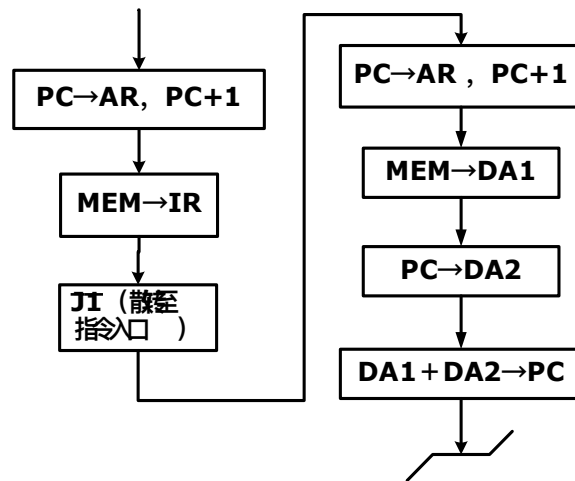
地址：	内容	地址：	内容	地址：	内容
00H：	01H	04H：	F0H	30H：	F0H
01H：	06H	05H：	00H	31H：	00H
02H：	15H	06H：	22H	32H：	30H
03H：	07H	07H：	33H	33H：	35H

第七章例题微程序：某8位模型机采用微程序控制器，结构如图1所示。其中MEM为主存，R0-R3是通用寄存器。各部件的控制信号均已标出，控制信号的命名准则是：‘→’符号前的是数据发送方部件，‘→’符号后的是数据接收方部件，并且控制信号中的B表示总线；J1#控制指令译码，其他读写信号具有普通意义。例如：B→DA1表示总线上的数据送入DA1暂存器；ALU→B#表示ALU运算的结果送到总线上（低电平有效），

- 图1中有22个微操作控制信号，另外3个信号J1#~J3#是用于微指令转移的判别测试条件。在微指令中，控制字段采用直接控制法，判别测试字段采用译码法编码，下址字段8位，则微指令字长多少位？该模型机的控存容量是多少？
- 模型机的某条指令的微程序流程图如图2所示，写出该条指令的功能、寻址方式、指令第二字的含义。
- 写出MEM→DA1微指令必须发送的微操作控制信号。
- 根据图1所示的数据通路，写出ADDRD，[ADDR]指令的微程序流程图。指令功能为 (RD) + (ADDR) → RD，即寄存器RD的内容加内存单元ADDR的内容送回RD寄存器。指令格式如下：

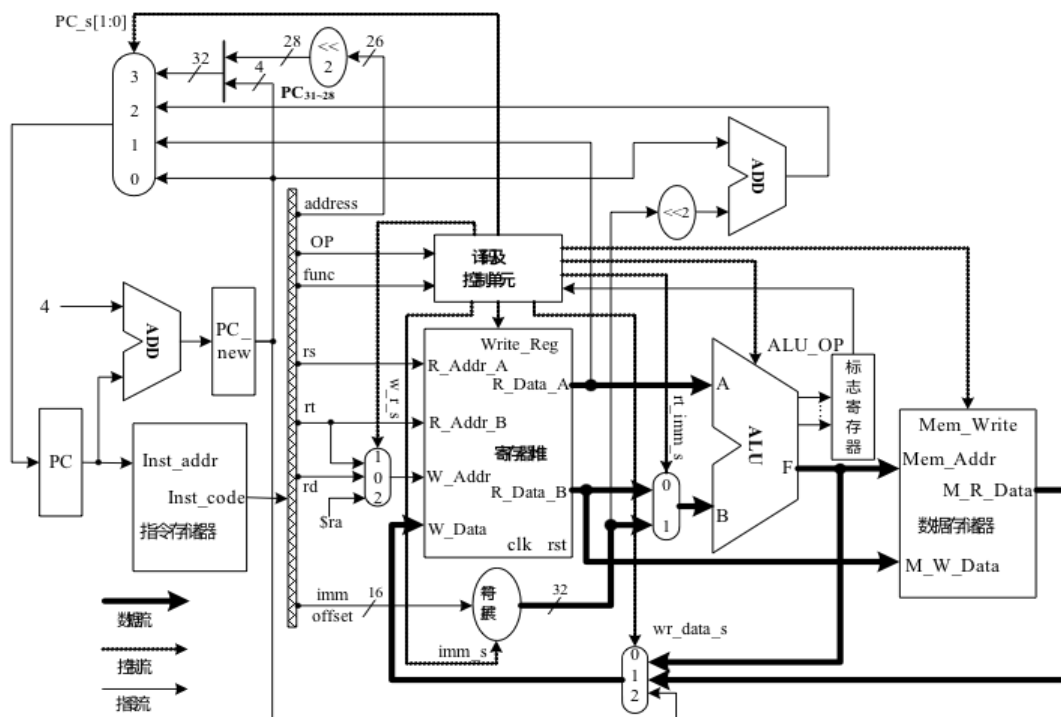
OP (4 位)	xx	RD (2位)
ADDR		





第七章例题硬布线：一个MIPS32 架构的CPU如图所示，其三种指令格式如表1所示，ALU的操作码ALU_OP及func编码如表2所示，其核心指令含7条，如下：

- `nor rd,rs,rt` ; 位或非： $\sim(rs||rt) \rightarrow rd$
- `sllv rd,rs,rt` ; 逻辑左移： $(rt \ll rs) \rightarrow rd$
- `andi rt,rs,imm` ; 位与： $(rs) \& imm \rightarrow rt$
- `beq rs, rt, label` ; 相等转移： $\text{if } (rs=rt) \text{ then } PC+4+\text{offset} \times 4 \rightarrow PC$
- `lw rt, offset(rs)` ; 取数： $\text{mem}(rs + \text{offset}) \rightarrow rt$
- `sw rt, offset(rs)` ; 存数： $rt \rightarrow \text{mem}(rs + \text{offset})$
- `j addr` ; 无条件跳转： $\{(PC+4)\text{高}4\text{位}, \text{addr}, 0, 0\} \rightarrow PC$



请回答问题：

1. 该MIPS CPU是单周期还是多周期CPU？为什么？
2. 为何要使用两个存储器？说出这种结构的名称。
3. 写出核心指令集各条指令的格式类型填入表3；
4. 选择下面任意2条指令，写出其16进制编码；
 - ① `nor $7,$8,$9` ; OP=000000, func=100111
 - ② `andi $7,$8,0x000f` ; OP=001100
 - ③ `lw $7, 0x1000($8)` ; OP=100011
 - ④ `j 0x556677` ; OP=000010
5. 选择任意两条指令，将其数据通路对应的控制信号之值填入表3；
6. 选择任意一条指令，描述其指令执行过程；
7. （附加题）考虑新增如下一条指令，请分析：是否能实现？如果不能，则需要添加什么部件或者功能才能实现？
`sltu rd,rs,rt` ; 无符号数小于则置位：if (rs < rt) then rd=1 else rd=0
8. （附加题）考虑新增如下一条指令，请分析：是否能实现？如果不能，则需要添加什么部件或者功能才能实现？
`sll rd,rt,shamt` ; 逻辑左移：(rt << shamt)→rd, shamt为R指令字段

表1 MIPS指令格式

R型 指令	字段	OP	rs	rt	rd	shamt	func
	位数	6	5	5	5	5	6
I型 指令	字段	OP	rs	rt	offset		
	位数	6	5	5	16		
J型 指令	字段	OP	address				
	位数	6	26				

表2 ALU_OP编码及func编码

ALU_OP	操作
000	算术加
001	算术减

010	位与
011	位或非
100	逻辑左移

表3 指令格式与控制信号表

指令	w_r_s	imm_s	rt_imm_s	wr_data_s	ALU_OP	Write_Reg	Mem_Write	PC_s	指令格式
nor									
sllv									
andi									
beq									
lw									
sw									
j									

(9) （附加题）选择给出的MIPS模型机CPU结构图中合适的部件和连接，自行画出只执行一条“lw rt, offset(rs)”指令时必需的通路。