

# 数字电路与逻辑设计

Digital circuit and logic design

## 第七章 中规模通用集成电路及其应用

主讲教师 | 何云峰

07

## ■ 本章知识要点

常用中规模通用  
集成电路的逻辑  
符号、基本逻辑  
功能、外部特性  
和使用方法

应用常用中规模  
通用集成电路作  
为基本部件完成  
各种逻辑电路的  
设计

常用中规模信号  
产生与变换电路  
的分析与设计

# ■ 提纲



**常用中规模组合逻辑电路**



**常用中规模时序逻辑电路**



**常用中规模信号产生与变换电路**



# 提 纲



## 常用中规模组合逻辑电路



二进制并行加法器



译码器



编码器



多路选择器



多路分配器

## ■ 常用中规模组合逻辑电路

二进制并行加法器

译码器和编码器

多路选择器和多路分配器

## 常用中规模组合逻辑电路

### 二进制并行加法器



一种能并行产生两个二进制数算术和的组合逻辑部件

按进位方式分类

串行进位二进制并行加法器

超前进位二进制并行加法器



## 二进制并行加法器

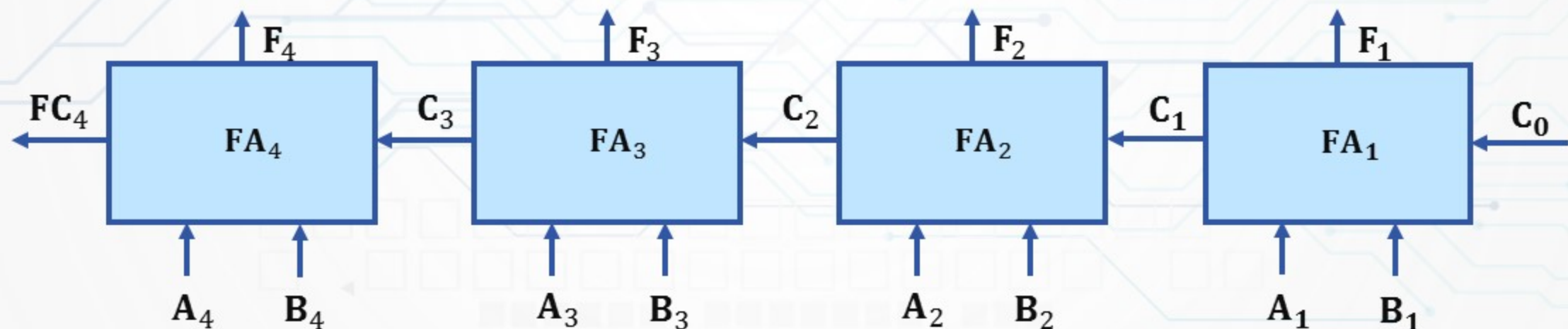
### 串行进位二进制并行加法器



由全加器级联构成



高位的进位输入依赖于低位的进位输出



## 二进制并行加法器

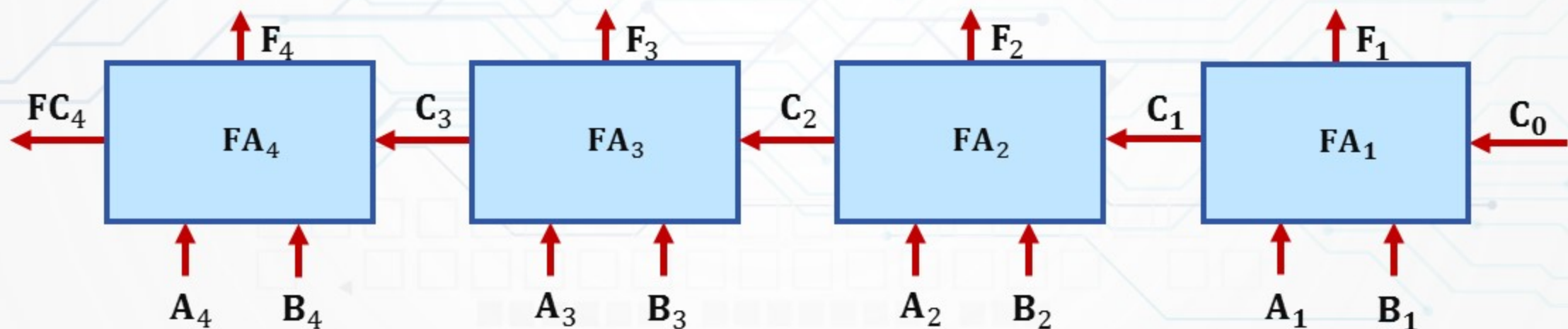
### 串行进位二进制并行加法器



由全加器级联构成



高位的进位输入依赖于低位的进位输出





## ■ 二进制并行加法器

### 超前进位二进制并行加法器

二进制并行加法器是根据输入信号同时形成各位向高位的进位，然后同时产生各位的和。



超前进位二进制并行加法器



先行进位二进制并行加法器

## 二进制并行加法器

### 构成思想



由全加器的结构，第*i*位全加器的进位输出函数表达式为

$$\begin{aligned}C_i &= \overline{A_i}B_iC_{i-1} + A_i\overline{B_i}C_{i-1} + A_iB_i\overline{C_{i-1}} + A_iB_iC_{i-1} \\ &= (A_i \oplus B_i)C_{i-1} + A_iB_i\end{aligned}$$



令  $A_i \oplus B_i \rightarrow P_i$  （进位传递函数）

$A_iB_i \rightarrow G_i$  （进位产生函数）



则有

$$C_i = P_iC_{i-1} + G_i$$

## 二进制并行加法器



$$C_i = f(P_i, G_i, C_0)$$



$C_i$  只跟  $A_i, B_i, C_0$  有关, 可同步生成各位进位



$$C_1 = P_1 C_0 + G_1$$

$$C_2 = P_2 C_1 + G_2 = P_2 P_1 C_0 + P_2 G_1 + G_2$$

$$C_3 = P_3 C_2 + G_3 = P_3 P_2 P_1 C_0 + P_3 P_2 G_1 + P_3 G_2 + G_3$$

$$C_4 = P_4 C_3 + G_4 = P_4 P_3 P_2 P_1 C_0 + P_4 P_3 P_2 G_1 + P_4 P_3 G_2 + P_4 G_3 + G_4$$

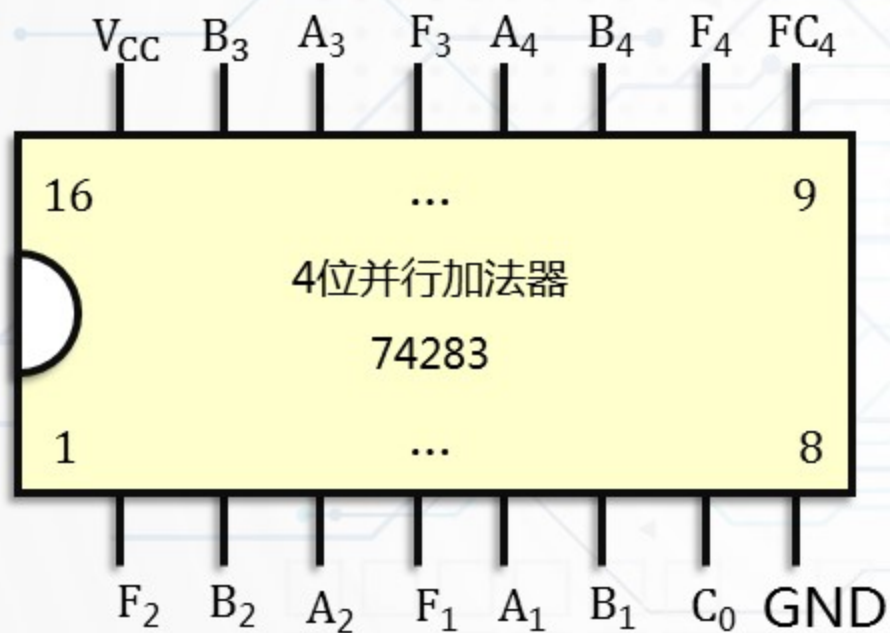


## 二进制并行加法器

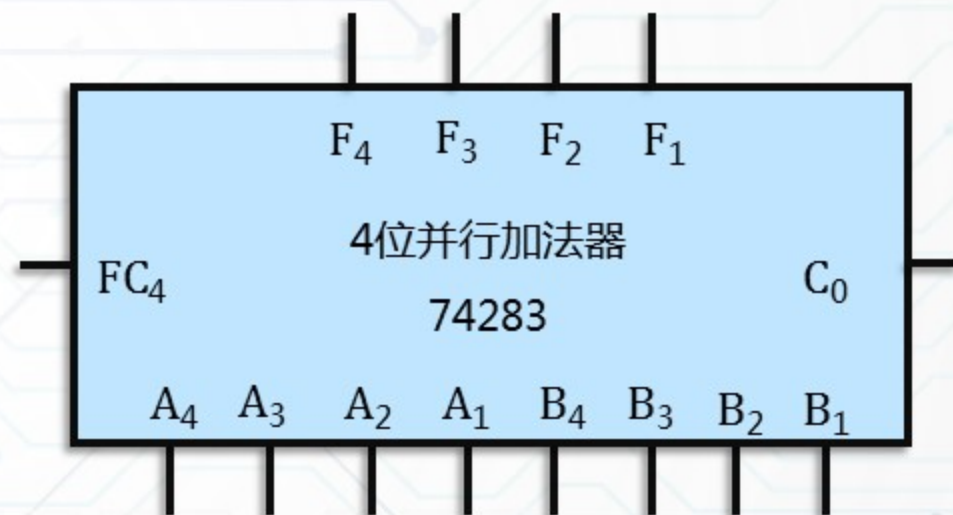
### 典型芯片



四位超前进位并行加法器74283



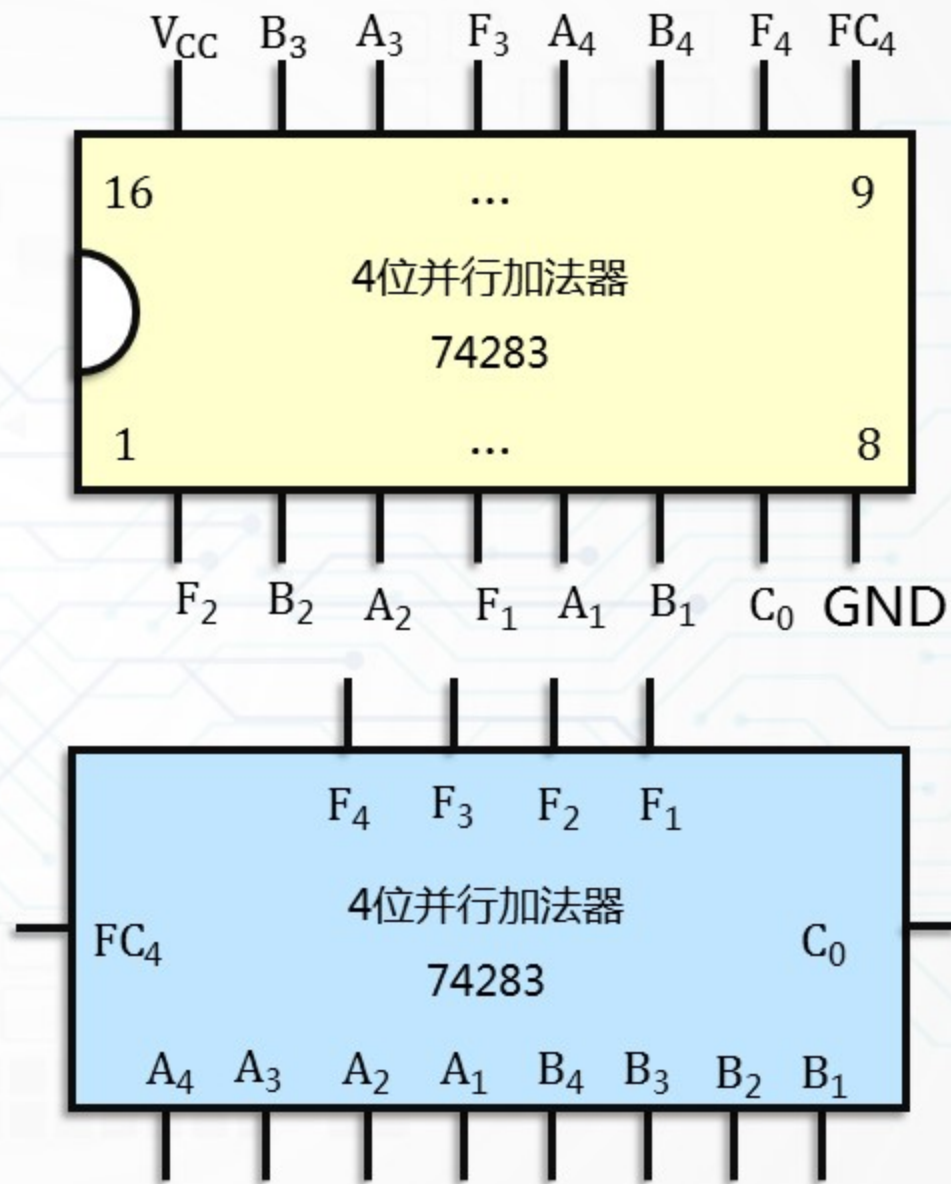
74283芯片的引脚排列图



74283芯片的逻辑符号

## 二进制并行加法器

输入

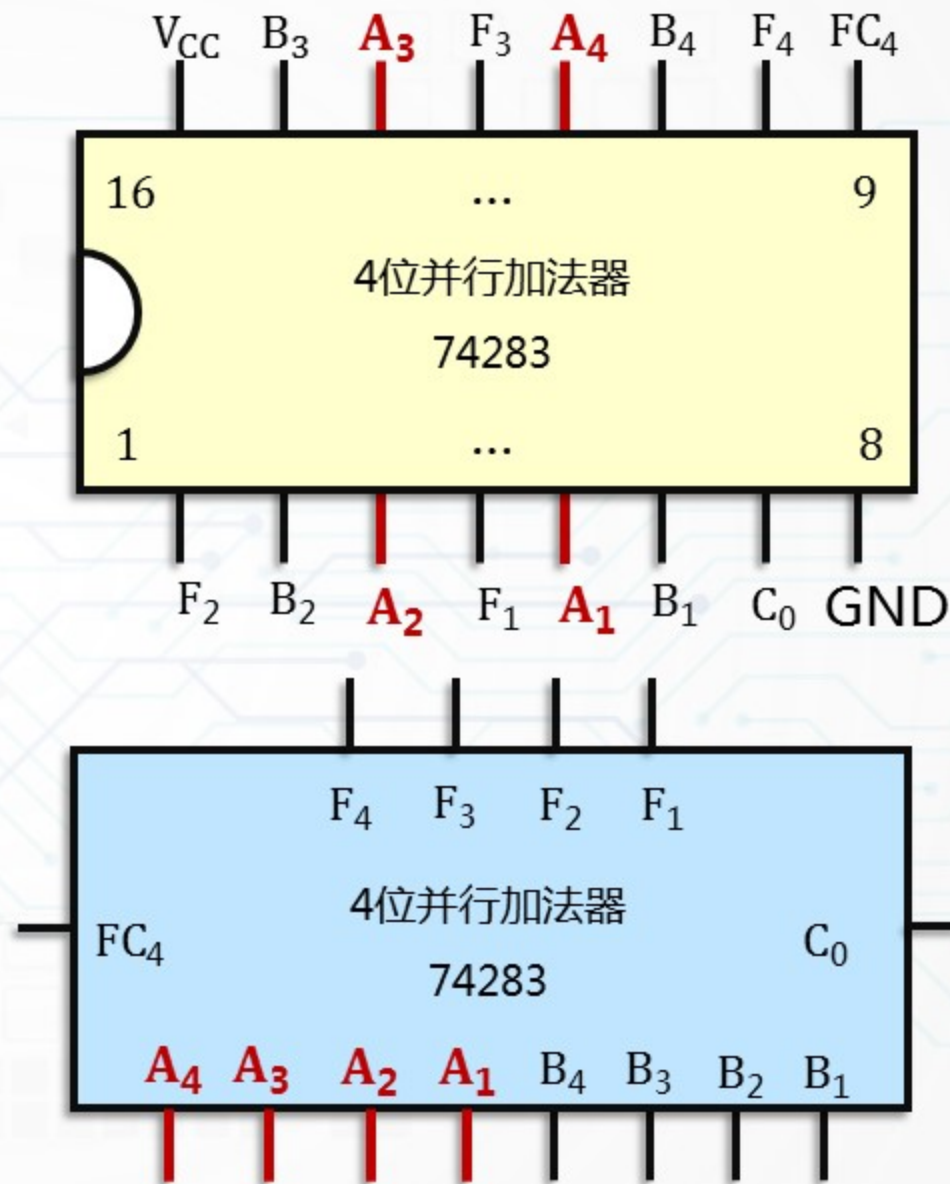


# 二进制并行加法器

输入



二进制被加数 ---  $A_4$ 、 $A_3$ 、 $A_2$ 、 $A_1$





# 二进制并行加法器

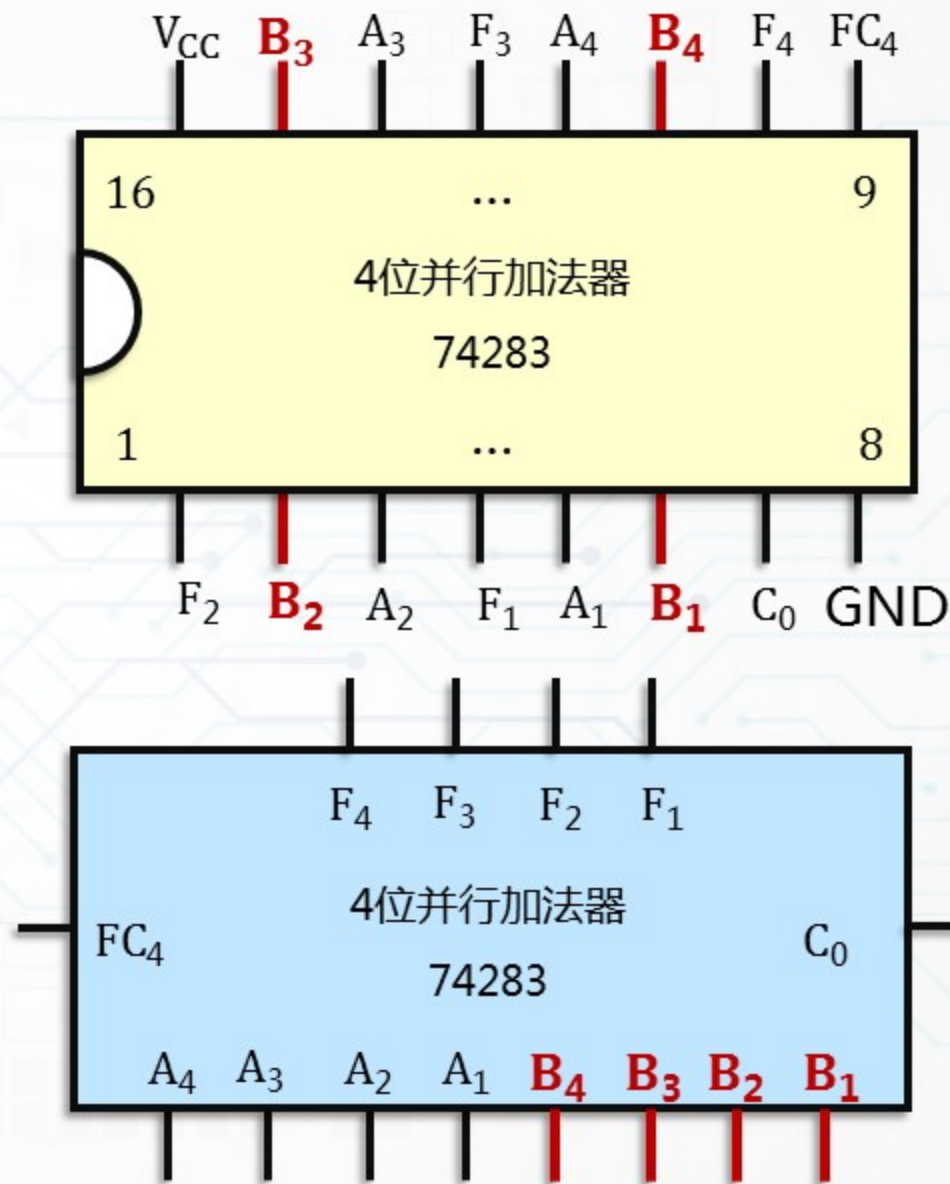
## 输入



二进制被加数 ---  $A_4$ 、 $A_3$ 、 $A_2$ 、 $A_1$



二进制加数 ---  $B_4$ 、 $B_3$ 、 $B_2$ 、 $B_1$



## 二进制并行加法器

### 输入



二进制被加数 ---  $A_4$ 、 $A_3$ 、 $A_2$ 、 $A_1$

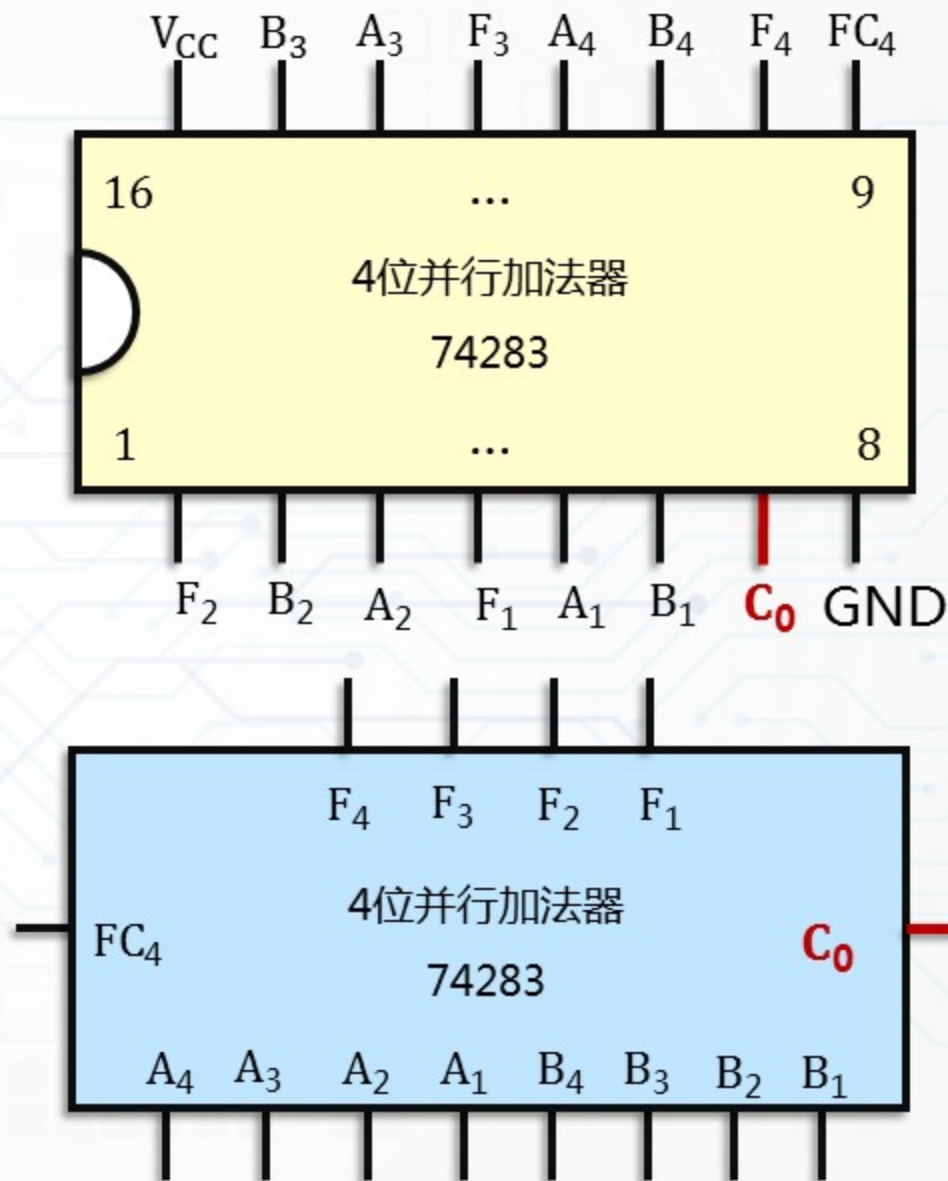


二进制加数 ---  $B_4$ 、 $B_3$ 、 $B_2$ 、 $B_1$



来自低位的进位输入 ---  $C_0$

### 输出



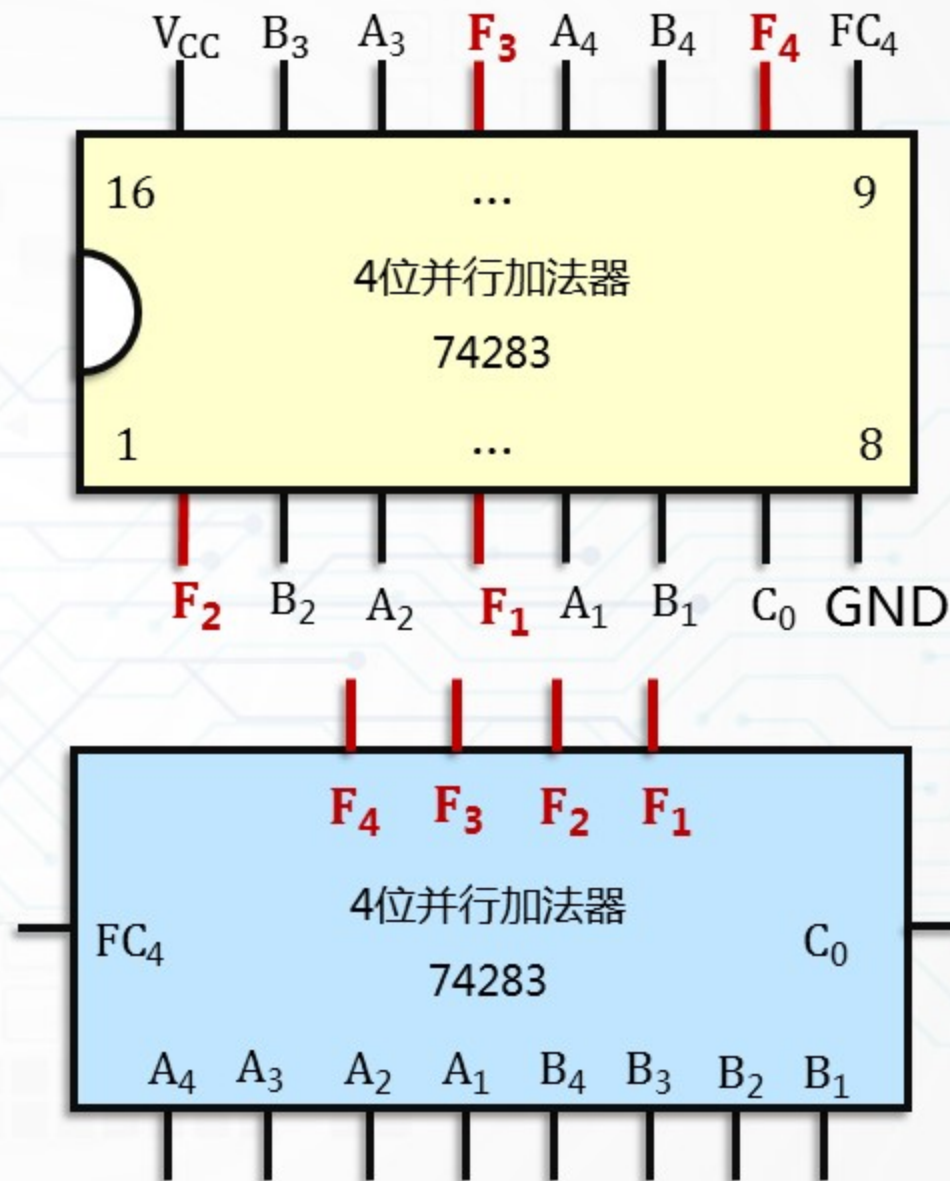
## 二进制并行加法器

### 输入

- 二进制被加数 — — —  $A_4$ 、 $A_3$ 、 $A_2$ 、 $A_1$
- 二进制加数 — — —  $B_4$ 、 $B_3$ 、 $B_2$ 、 $B_1$
- 来自低位的进位输入 — — —  $C_0$

### 输出




- 和 — — —  $F_4$ 、 $F_3$ 、 $F_2$ 、 $F_1$







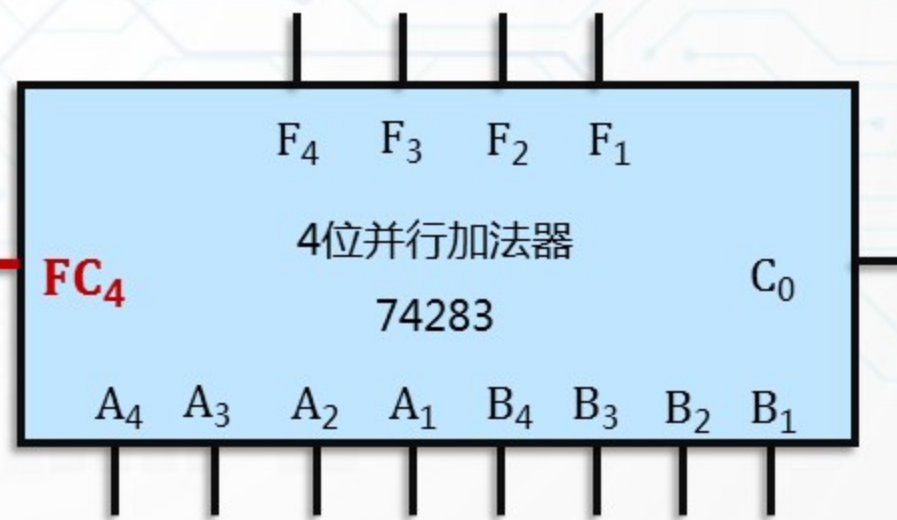
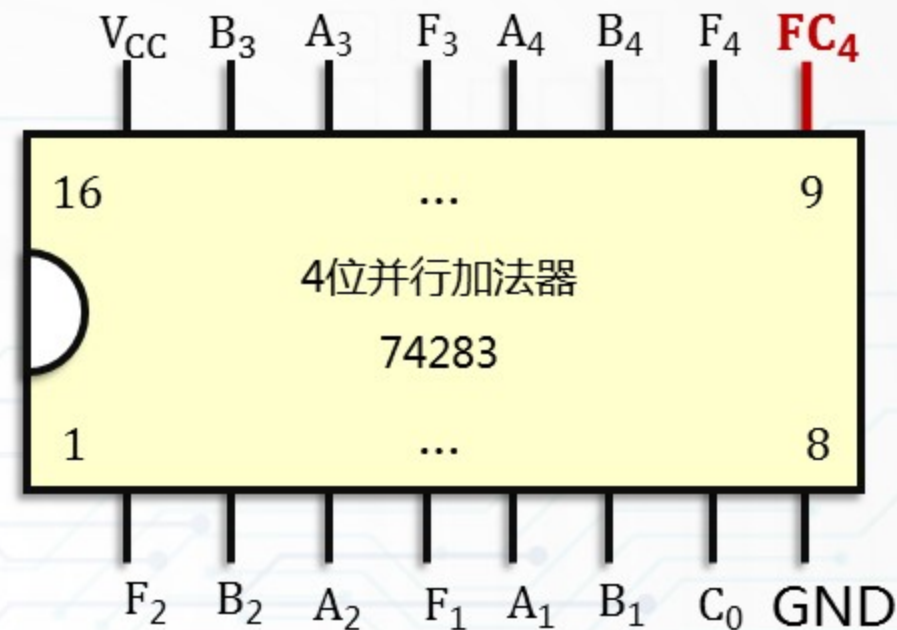
## 二进制并行加法器

### 输入

-  二进制被加数 — — —  $A_4$ 、 $A_3$ 、 $A_2$ 、 $A_1$
-  二进制加数 — — —  $B_4$ 、 $B_3$ 、 $B_2$ 、 $B_1$
-  来自低位的进位输入 — — —  $C_0$

### 输出

-  和 — — —  $F_4$ 、 $F_3$ 、 $F_2$ 、 $F_1$
-  向高位的进位输出 — — —  $FC_4$



## ■ 二进制并行加法器

应 用

二进制加法运算

代码转换

二进制减法运算

二进制乘法运算

十进制加法运算

## 二进制并行加法器

例

用4位二进制并行加法器设计一个将8421码转换成余3码的代码转换电路。

分析



余3码是由8421码加3后形成的代码



用4位二进制并行加法器实现



输入端A4、A3、A2和A1接8421码



输入端B4、B3、B2和B1接二进制数0011 ( 3 )

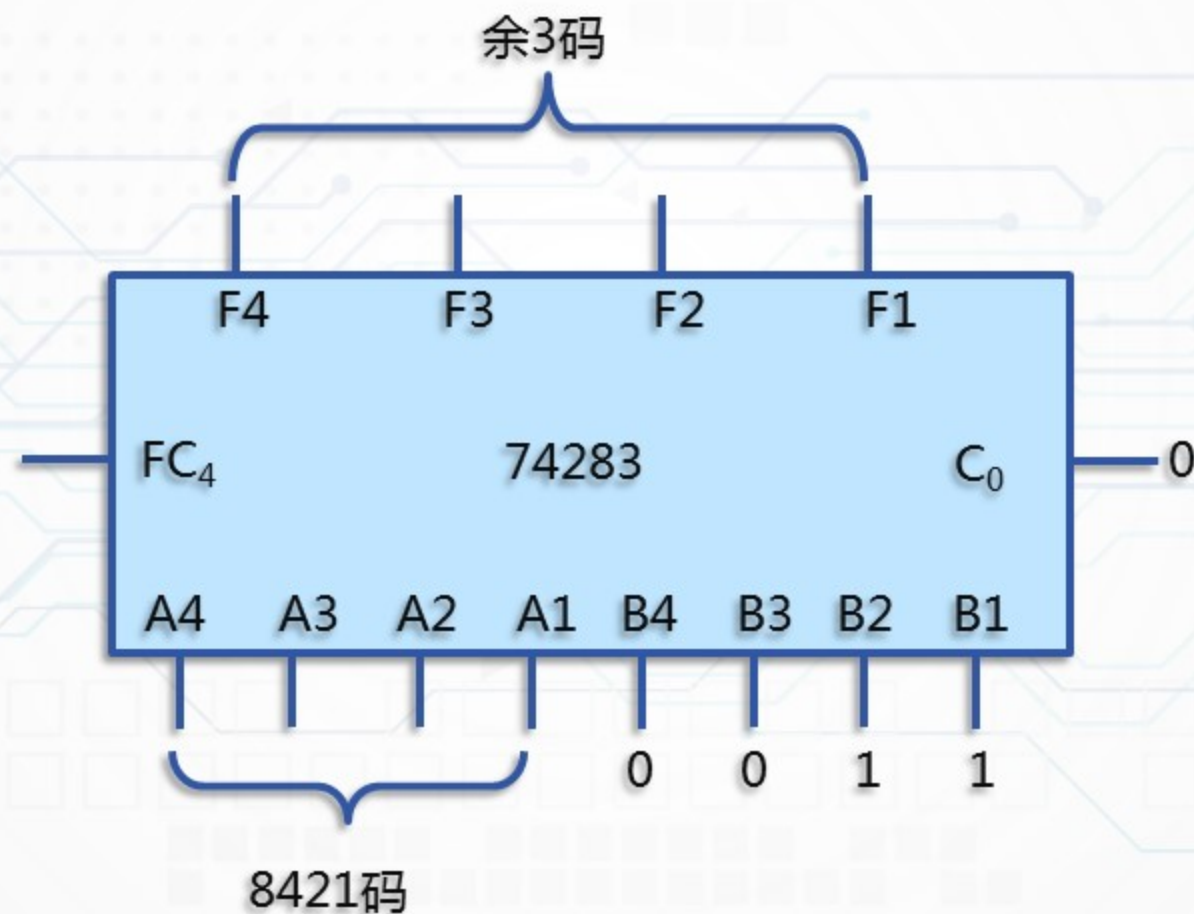


进位输入端C0接上 “0”



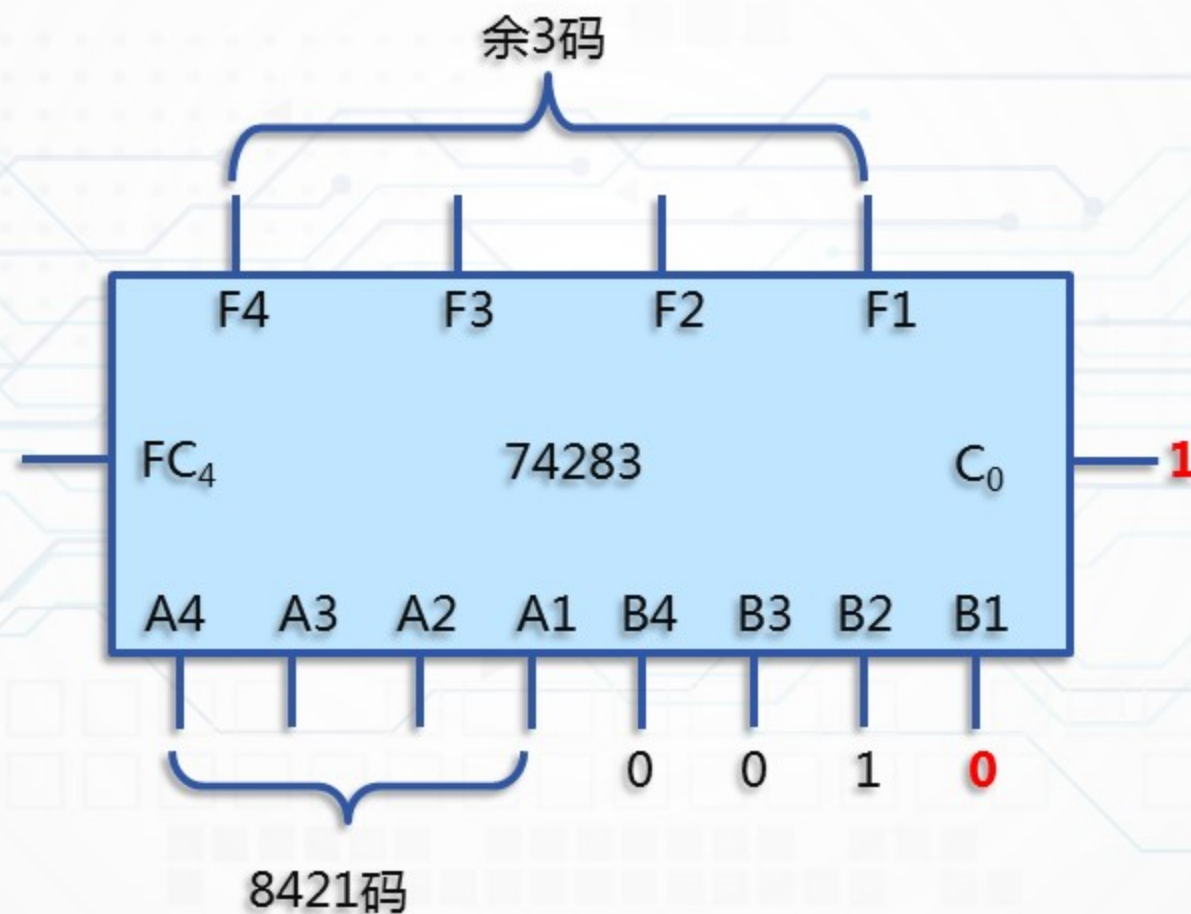
## 二进制并行加法器

### 逻辑电路图



## 二进制并行加法器

### 逻辑电路图



## 二进制并行加法器

例

用4位二进制并行加法器设计一个4位二进制并行加法/减法器。

分析

被加数(或被减数) :  $A = a_4a_3a_2a_1$

加数(或减数) :  $B = b_4b_3b_2b_1$

功能选择变量M :  $M=0, A+B = a_4a_3a_2a_1 + b_4b_3b_2b_1 + 0$

$M=1, A-B = a_4a_3a_2a_1 + \overline{b_4}\overline{b_3}\overline{b_2}\overline{b_1} + 1$

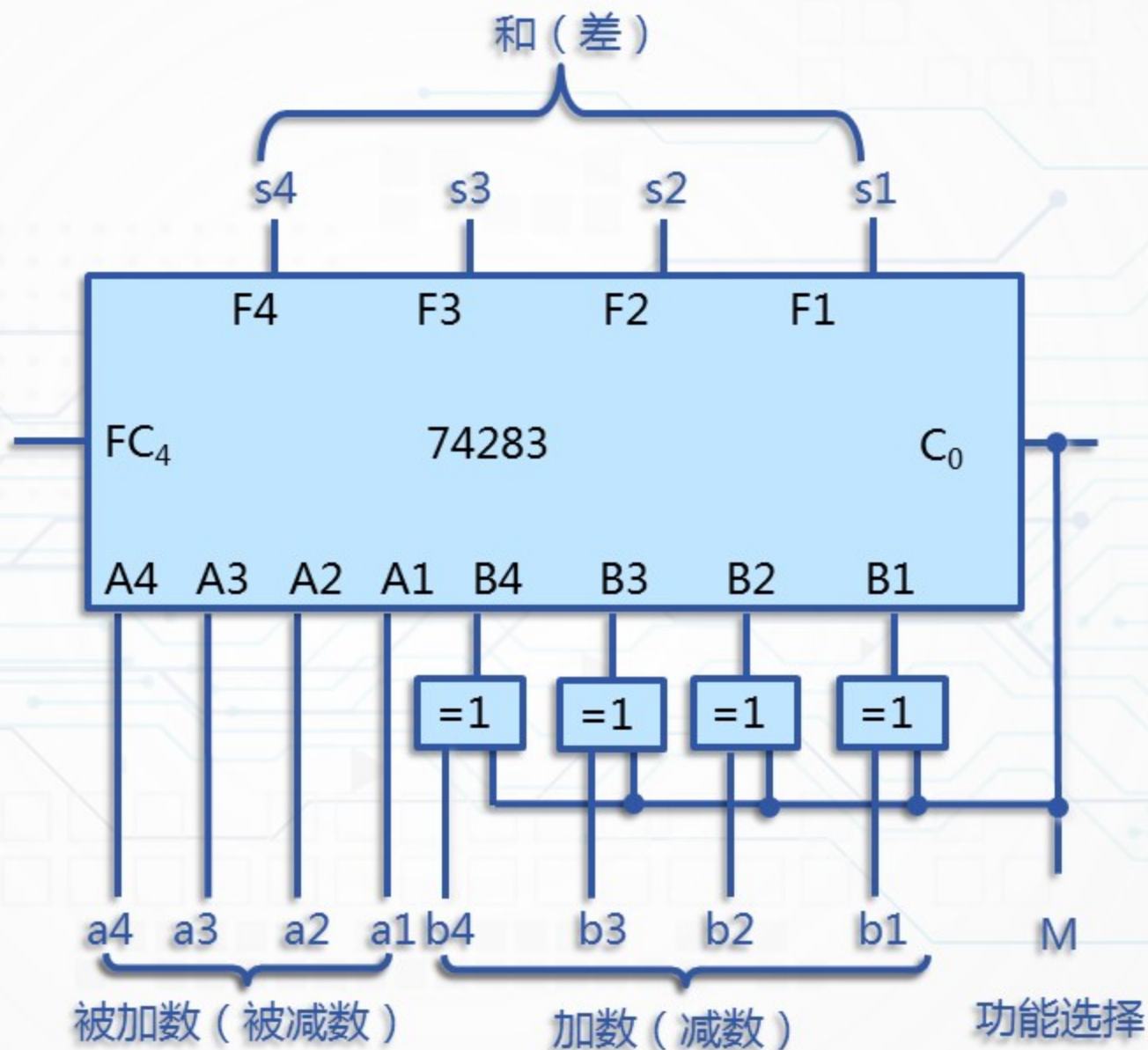
和(差) :

$$S=s_4s_3s_2s_1 = a_4a_3a_2a_1 + (M \oplus b_4)(M \oplus b_3)(M \oplus b_2)(M \oplus b_1) + M$$



## 二进制并行加法器

### 逻辑电路图



## 二进制并行加法器

例

用一个4位二进制并行加法器和六个与门设计一个乘法器，  
实现 $A \times B$ ，其中  $A = a_3a_2a_1$ ， $B = b_2b_1$

分析



$\text{Max}(A) = 111$



$\text{Max}(B) = 11$



$\text{Max}(A \times B) = 10101$



输出： $Z_5Z_4Z_3Z_2Z_1$

## 二进制并行加法器

### 两数相乘求积过程

$$\begin{array}{r}
 \begin{array}{cccc}
 & a_3 & a_2 & a_1 \\
 \times & & b_2 & b_1 \\
 \hline
 & 0 & a_3b_1 & a_2b_1 & a_1b_1 \\
 + & a_3b_2 & a_2b_2 & a_1b_2 & 0 \\
 \hline
 Z_5 & Z_4 & Z_3 & Z_2 & Z_1
 \end{array}
 \end{array}$$



两输入与门

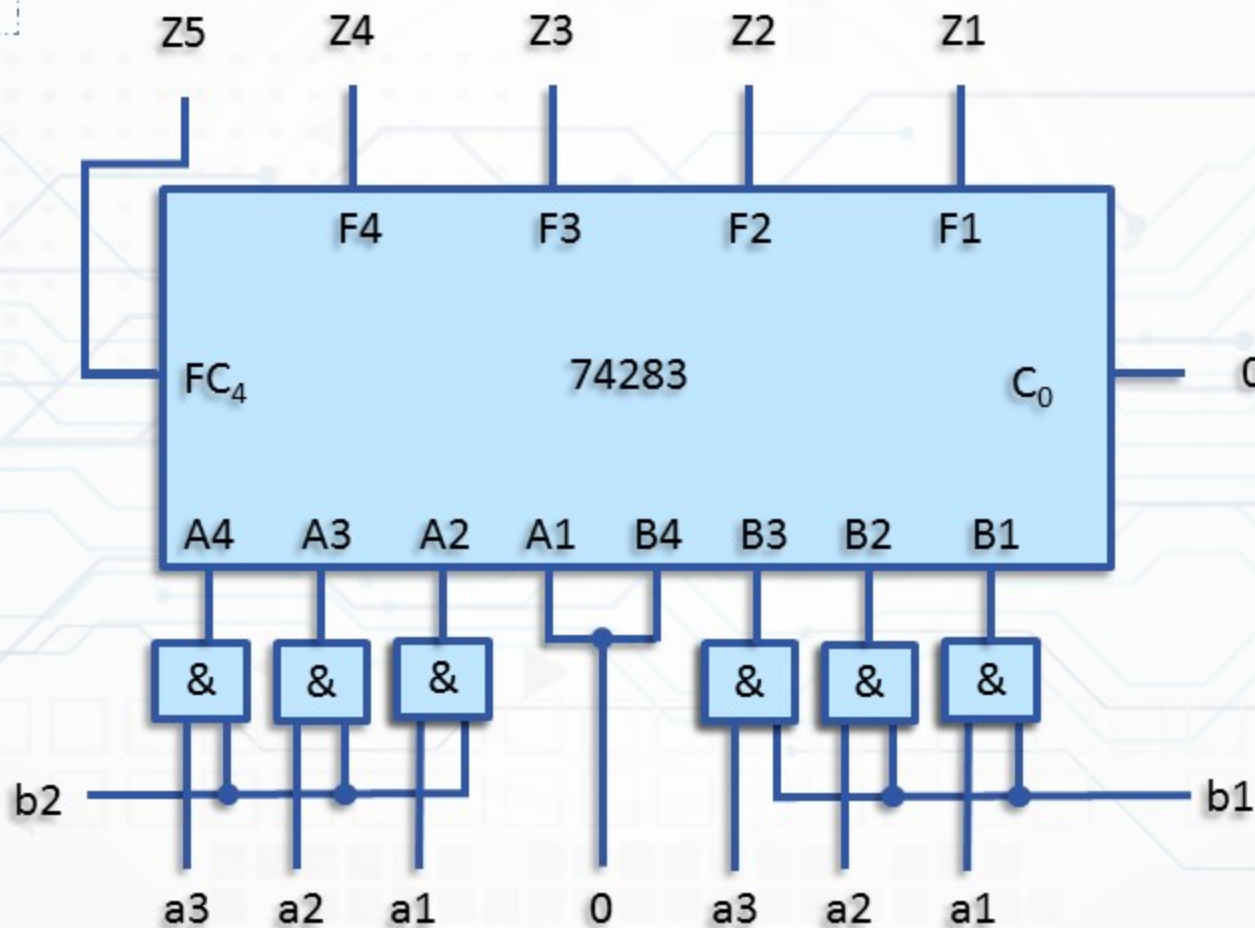


两四位二进制并行加法器



## 二进制并行加法器

### 逻辑电路图



## 二进制并行加法器

例

用4位二进制并行加法器设计一个用余3码表示的1位十进制数加法器

分

析



两个余3码相加，可产生正确进位，但需对结果进行修正



若相加结果无进位产生，则“和”需要减3 (+1101)



若相加结果有进位产生，则“和”需要加3 (+0011)



两片4位二进制并行加法器



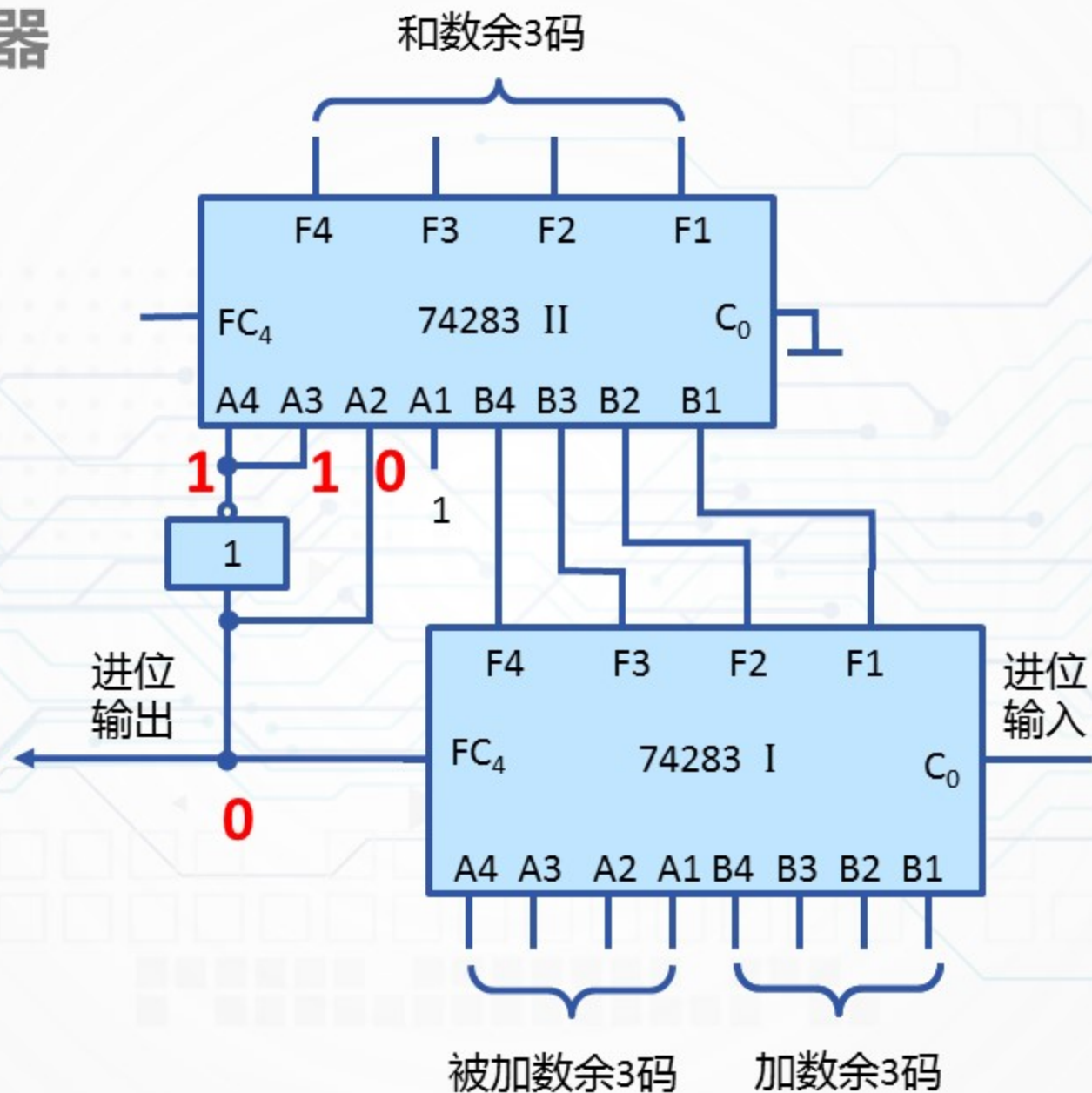
一片相加



一片修正

# 二进制并行加法器

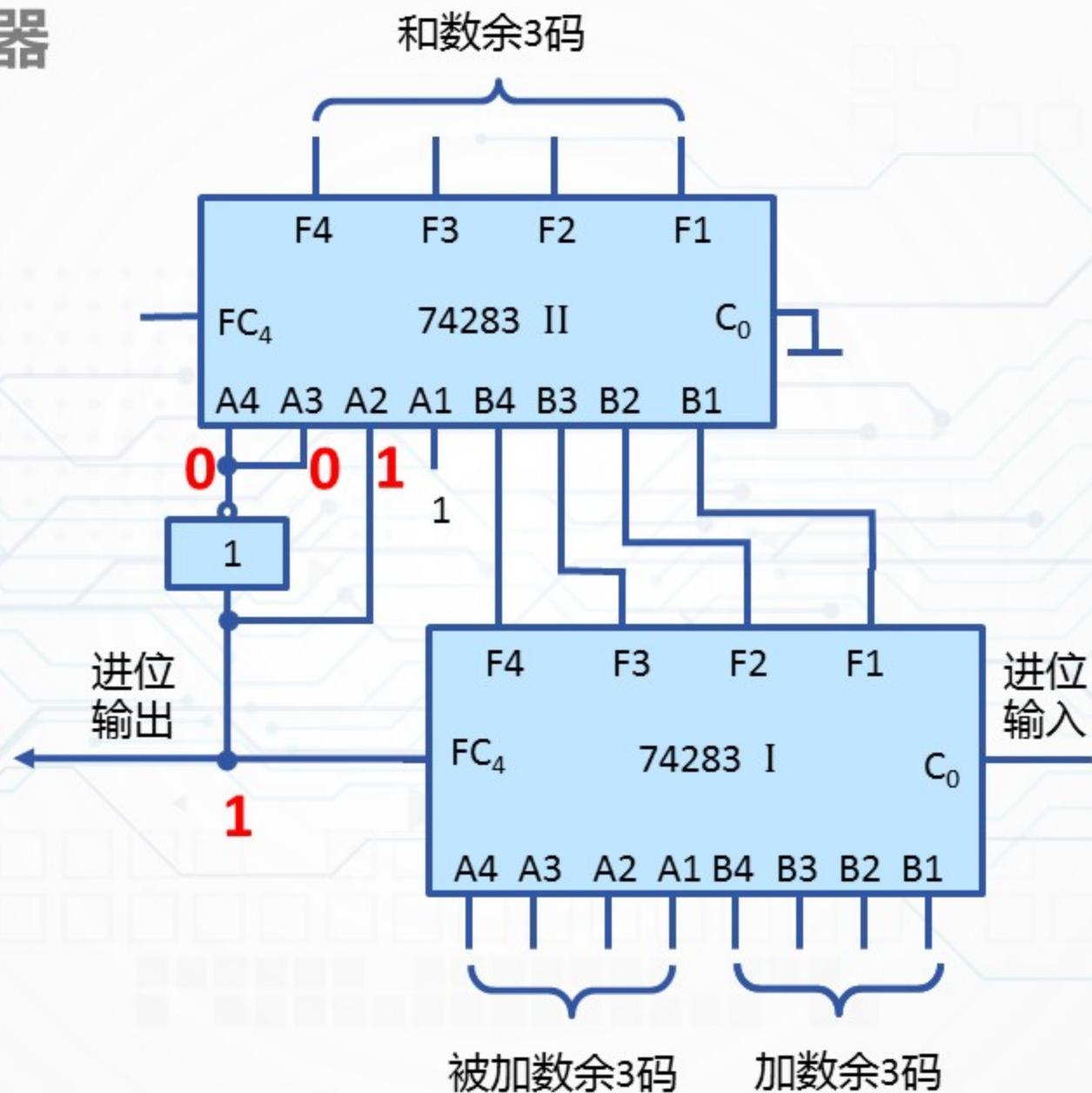
## 逻辑电路图





# 二进制并行加法器

## 逻辑电路图



# 数字电路与逻辑设计

Digital circuit and logic design

谢谢，祝学习快乐！

主讲教师 | 何云峰

07