

数字电路与逻辑设计

Digital circuit and logic design

第六章 异步时序逻辑电路

主讲教师 | 赵贻竹

06

■ 本章知识要点

脉冲异步时序
逻辑电路分析
和设计的基本
方法

电平时序逻辑
电路分析的
基本方法

电平异步时序
逻辑电路
的竞争

提 纲



时序逻辑电路概述

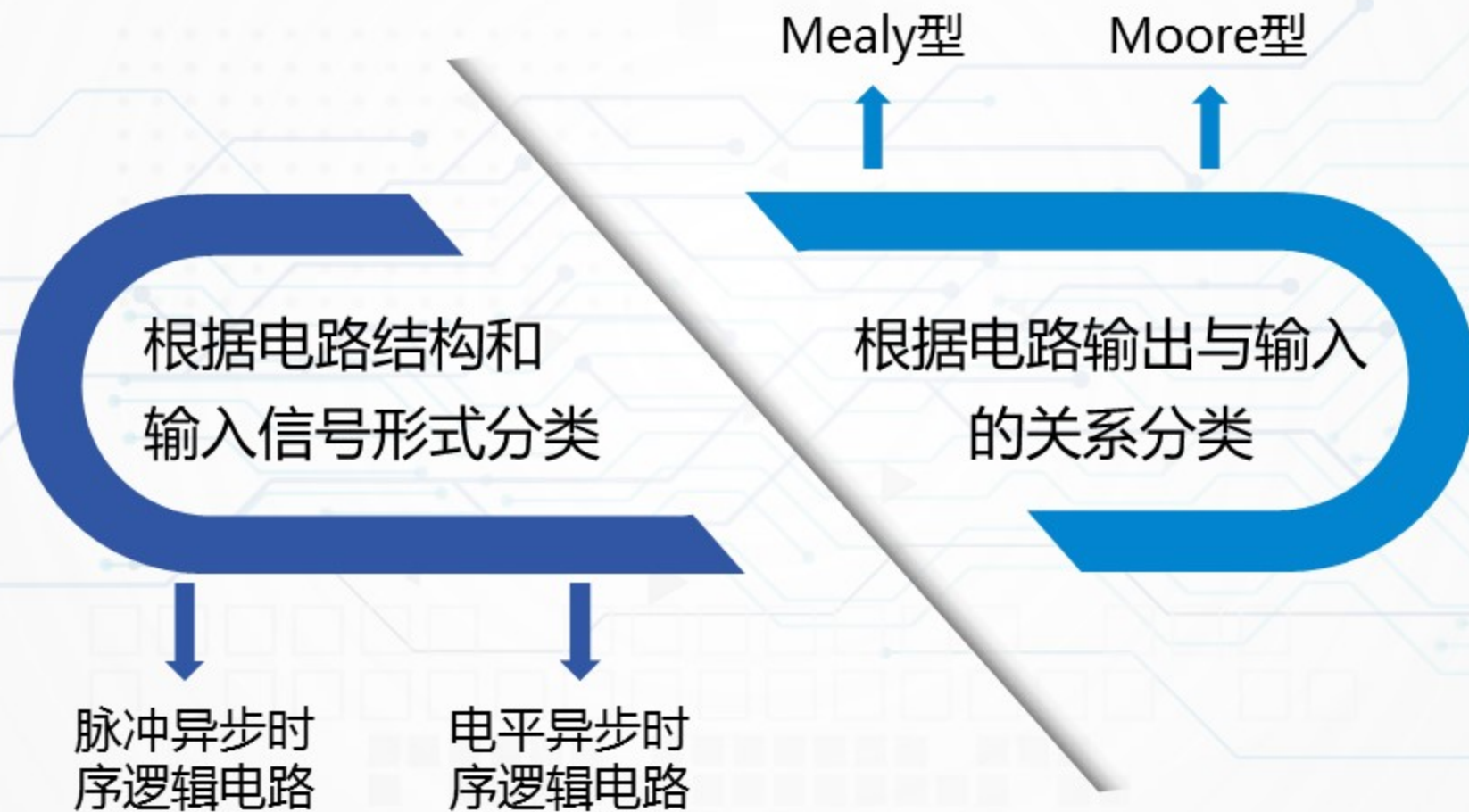


脉冲异步时序逻辑电路分析与设计



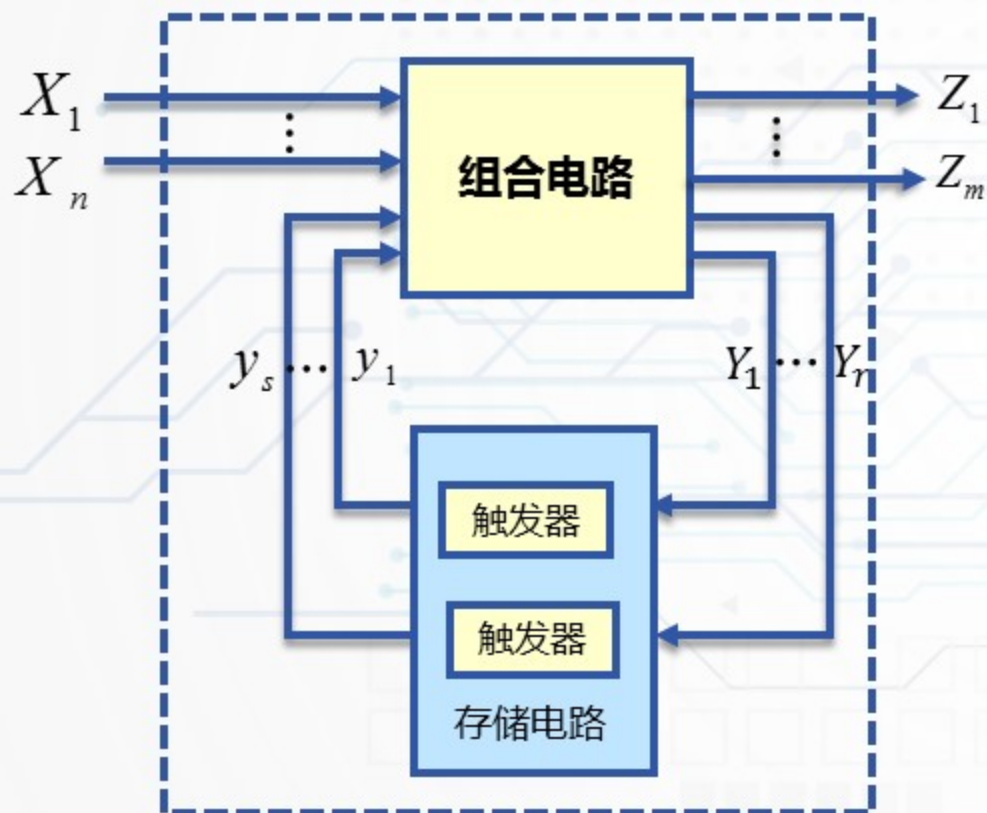
电平异步时序逻辑电路分析

■ 异步时序逻辑电路的分类

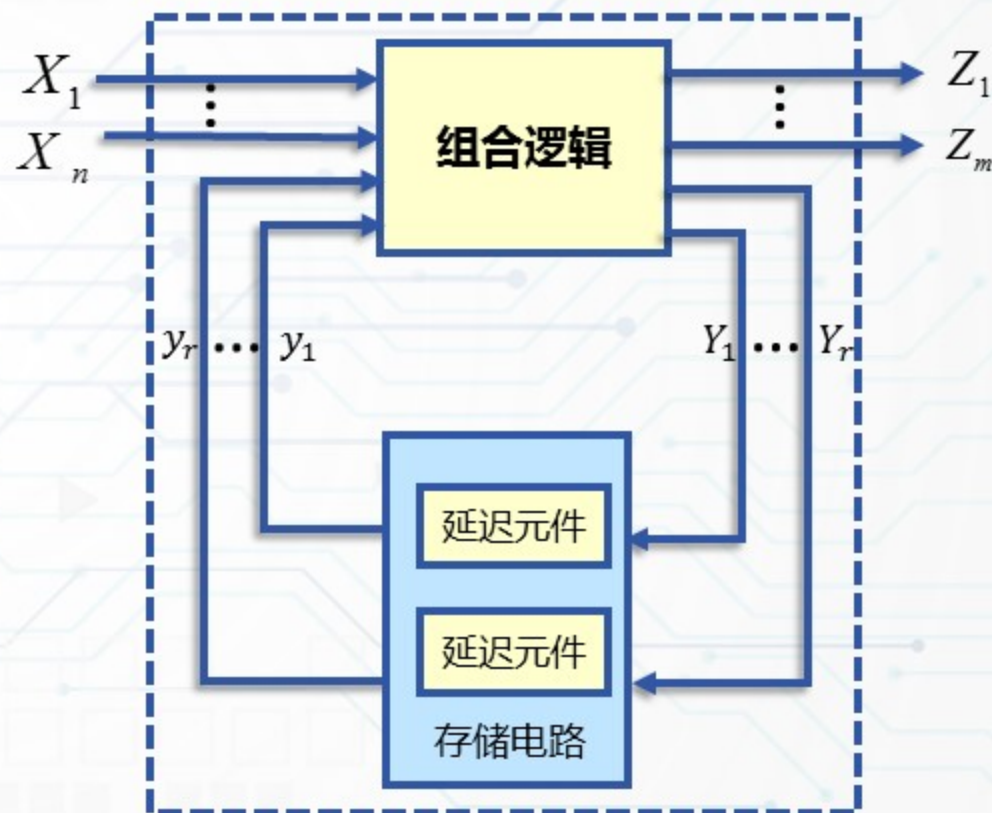


■ 异步时序逻辑电路结构

脉冲异步时序逻辑电路

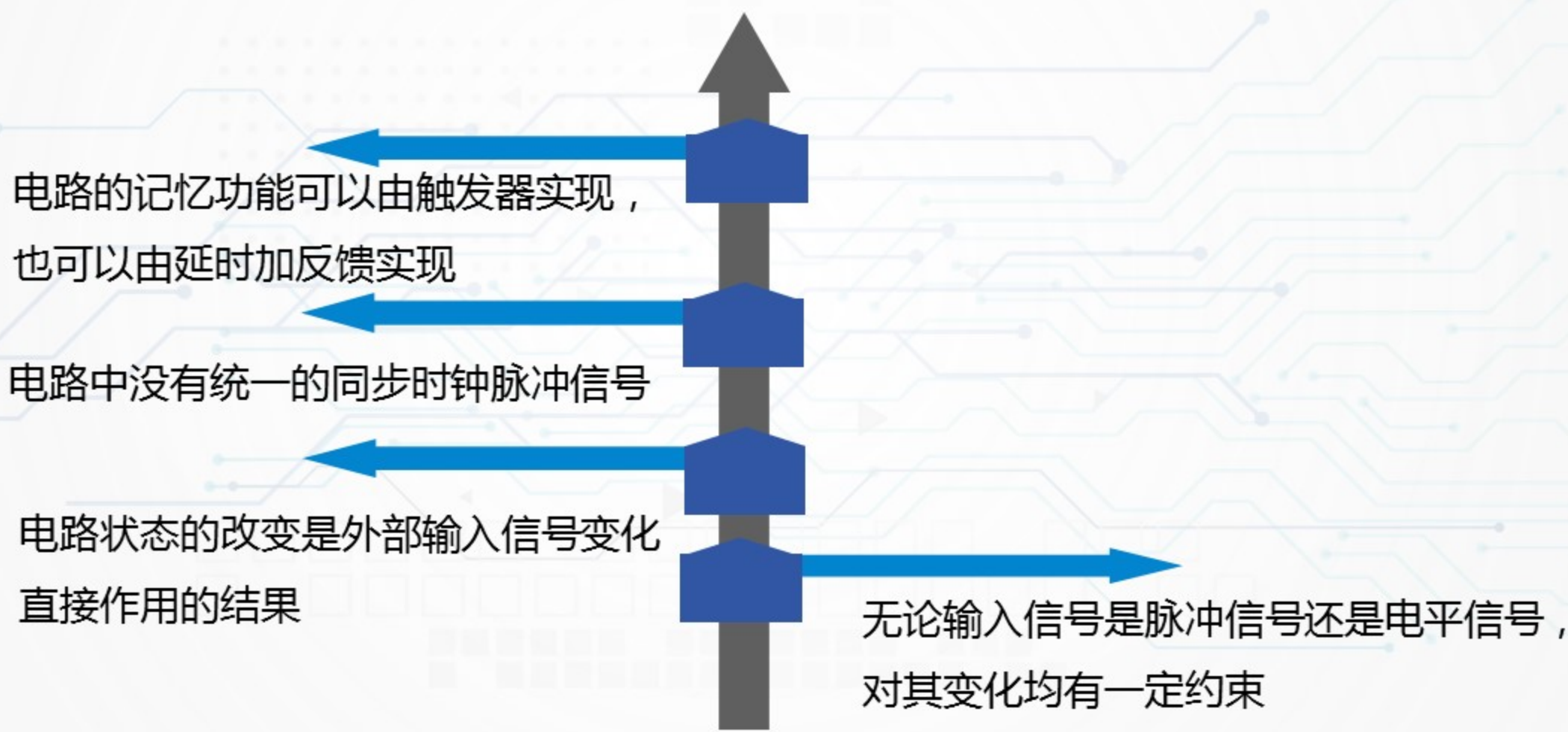


电平异步时序逻辑电路



■ 异步时序逻辑电路

特 点



电路的记忆功能可以由触发器实现，
也可以由延时加反馈实现

电路中没有统一的同步时钟脉冲信号

电路状态的改变是外部输入信号变化
直接作用的结果

无论输入信号是脉冲信号还是电平信号，
对其变化均有一定约束

脉冲异步时序逻辑电路

输入信号： X_1, \dots, X_n

输出信号： Z_1, \dots, Z_m

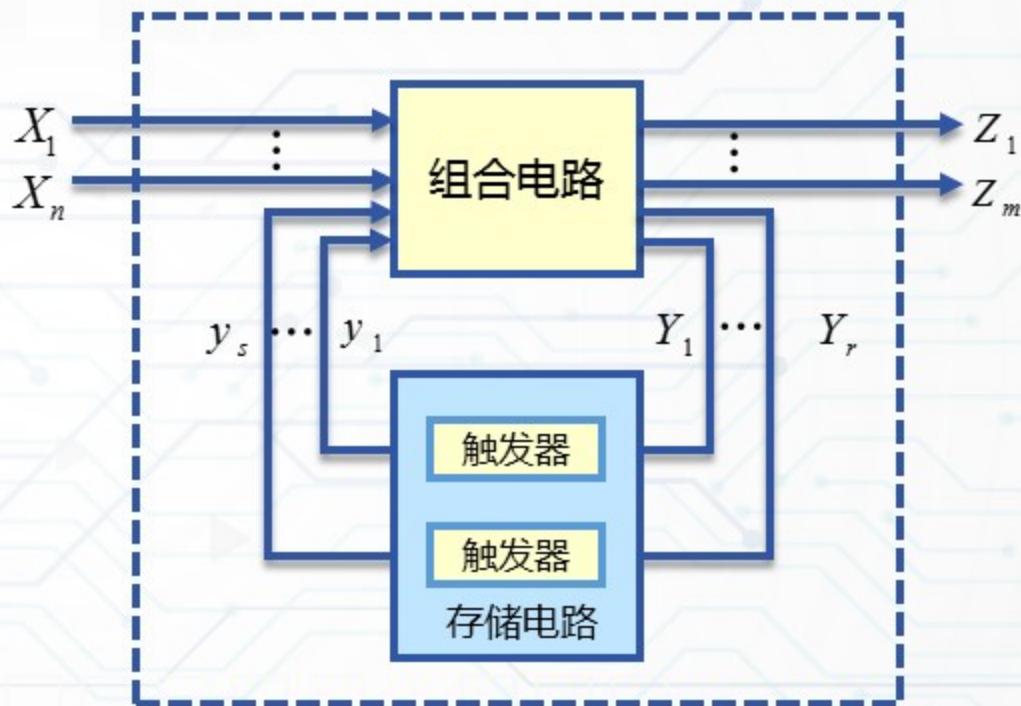
“状态”： y_1, \dots, y_s

激励信号： Y_1, \dots, Y_r

存储电路

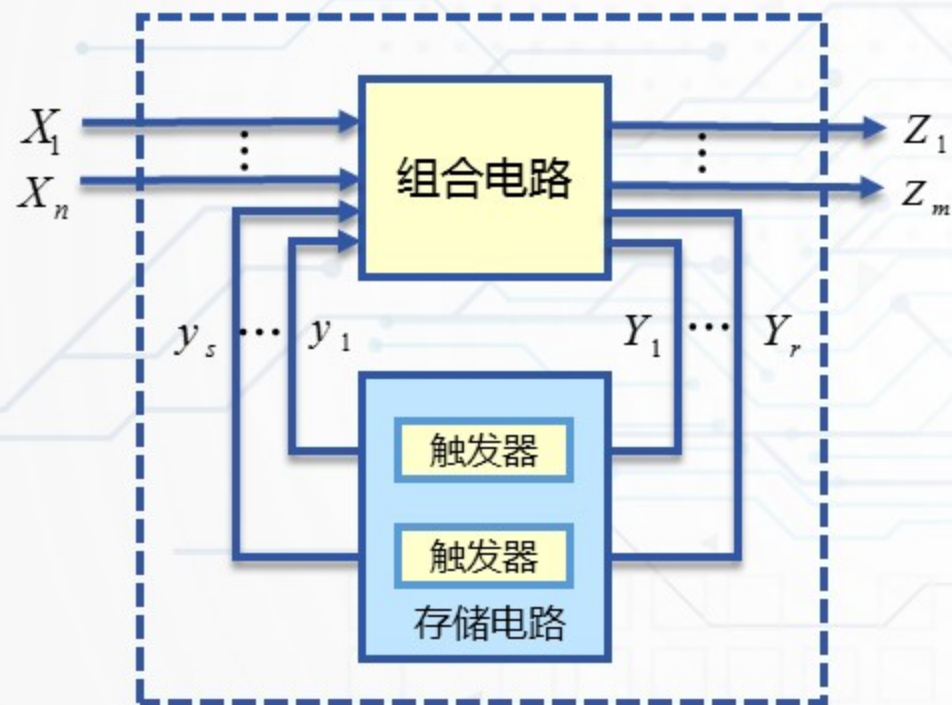
时钟控制触发器

非时钟控制触发器

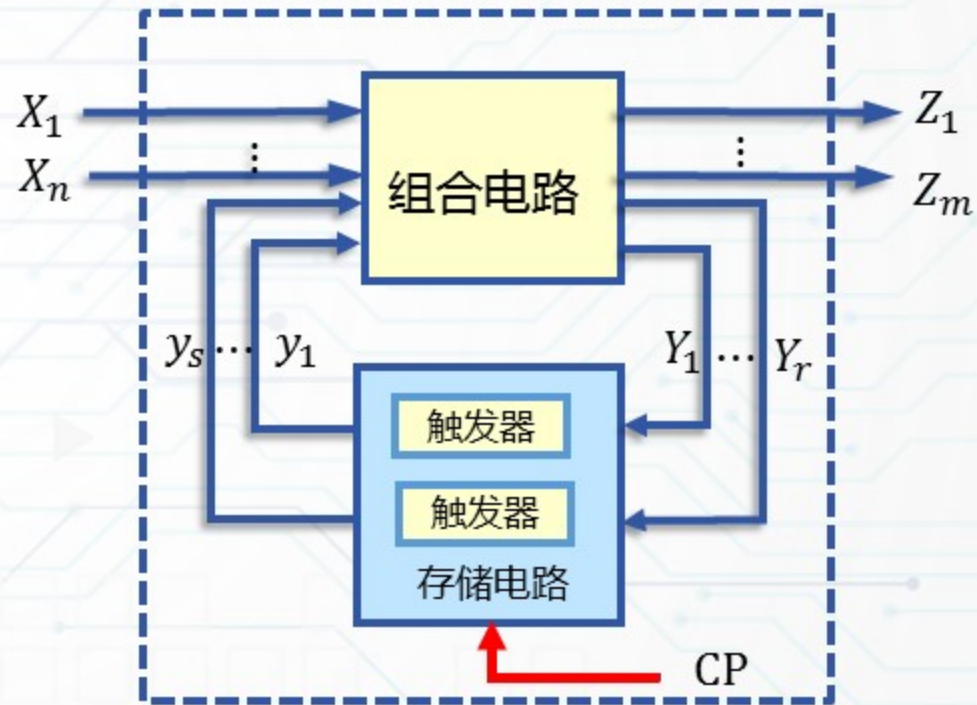


脉冲异步时序逻辑电路

脉冲异步时序逻辑电路



同步时序逻辑电路






■ 脉冲异步时序逻辑电路



对输入信号的要求

为什么对输入做如此约束？

-  引起触发器状态变化的脉冲信号是由输入端直接提供的
-  客观上两个或两个以上脉冲是不可能准确地“同时”的
-  在有时钟脉冲同步的情况下，由不可预知的时间延迟造成的微小时差可能导致电路产生错误的状态转移

■ 脉冲异步时序逻辑电路

状态的改变都
依赖于外加脉冲

存储元件
都是触发器

脉冲异步时序电路与同步时序电路相同点

■ 脉冲异步时序逻辑电路

脉冲异步时序电路与同步时序电路的差异



脉冲异步时序电路无外加的统一的时钟脉冲



输入变量 x 为脉冲信号



由输入脉冲直接引起电路的状态改变



由次态逻辑产生各触发器控制输入信号(Y_1, Y_2, \dots, Y_r),而且还产生时间有先后的各触发器的时钟控制信号(C_1, \dots, C_r)

■ 脉冲异步时序逻辑电路

输入信号的约束

输入信号为脉冲信号

输入脉冲的宽度，必须保证触发器可靠翻转

输入脉冲的间隔，必须保证前一个脉冲引起的电路响应完全结束后，后一个脉冲才能到来

不允许在两个或两个以上输入端同时出现脉冲

脉冲异步时序逻辑电路

注意：



输入端无脉冲出现时，电路状态不会发生变化



对 n 个输入端的电路，一位输入只允许出现 $n+1$ 种取值组合，其中有效输入种取值组合为 n 种

■ 脉冲异步时序逻辑电路

例

假定电路有x1、x2和x3共3个输入，并用取值1表示有脉冲出现。

■ 允许的输入取值组合: 000、001、010、100

■ 有效输入取值组合: 001、010、100

脉冲异步时序逻辑电路



输出
信号



输出信号可以是脉冲信号也可以是电平信号



若电路结构为Mealy型，则输出通常为脉冲信号



输出不仅是状态变量的函数，而且是输入的函数，输入为脉冲信号



若电路结构为Moore型，则输出是电平信号



输出仅仅是状态变量的函数，输出值被定义在两个间隔不定的输入脉冲之间，即由两个输入脉冲之间的状态决定

数字电路与逻辑设计

Digital circuit and logic design

谢谢，祝学习快乐！

主讲教师 | 赵贻竹

06