

数字电路与逻辑设计

Digital circuit and logic design

第四章 组合逻辑电路

主讲教师 | 赵贻竹

04

■ 提纲



组合逻辑电路分析

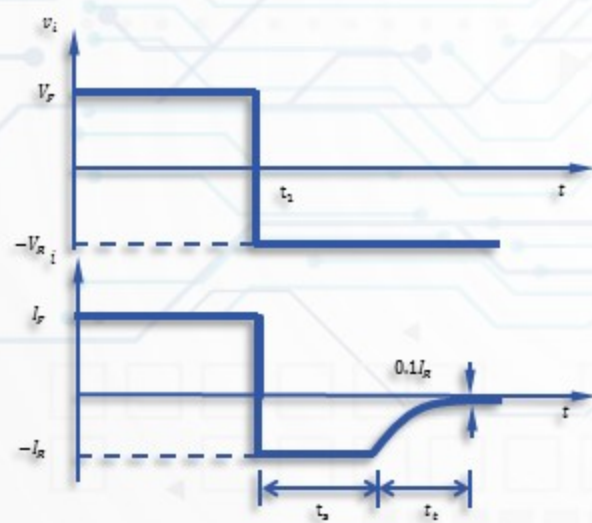
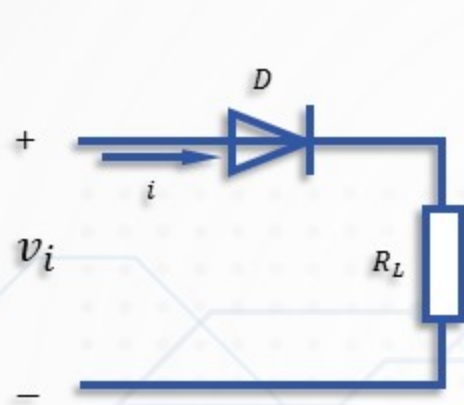


组合逻辑电路设计

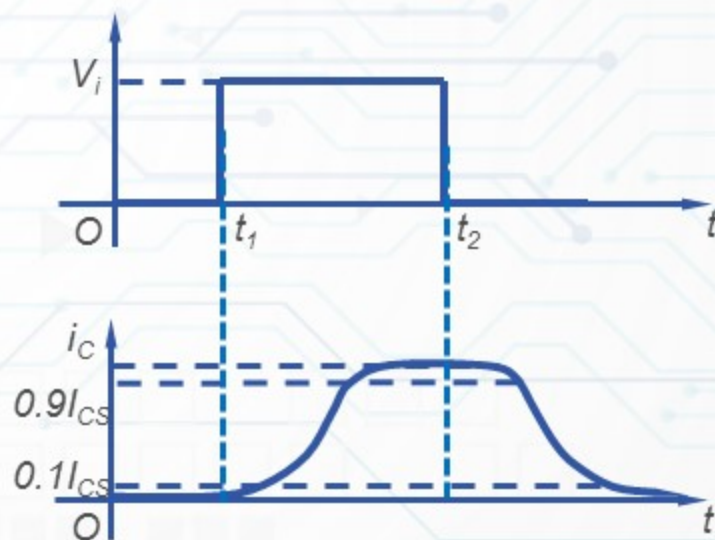
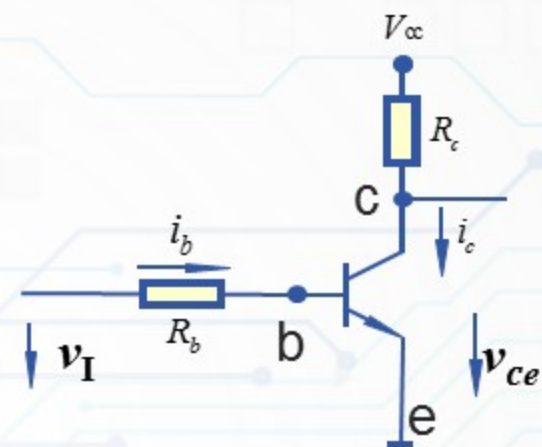


组合逻辑电路的险象

组合逻辑电路中的险象

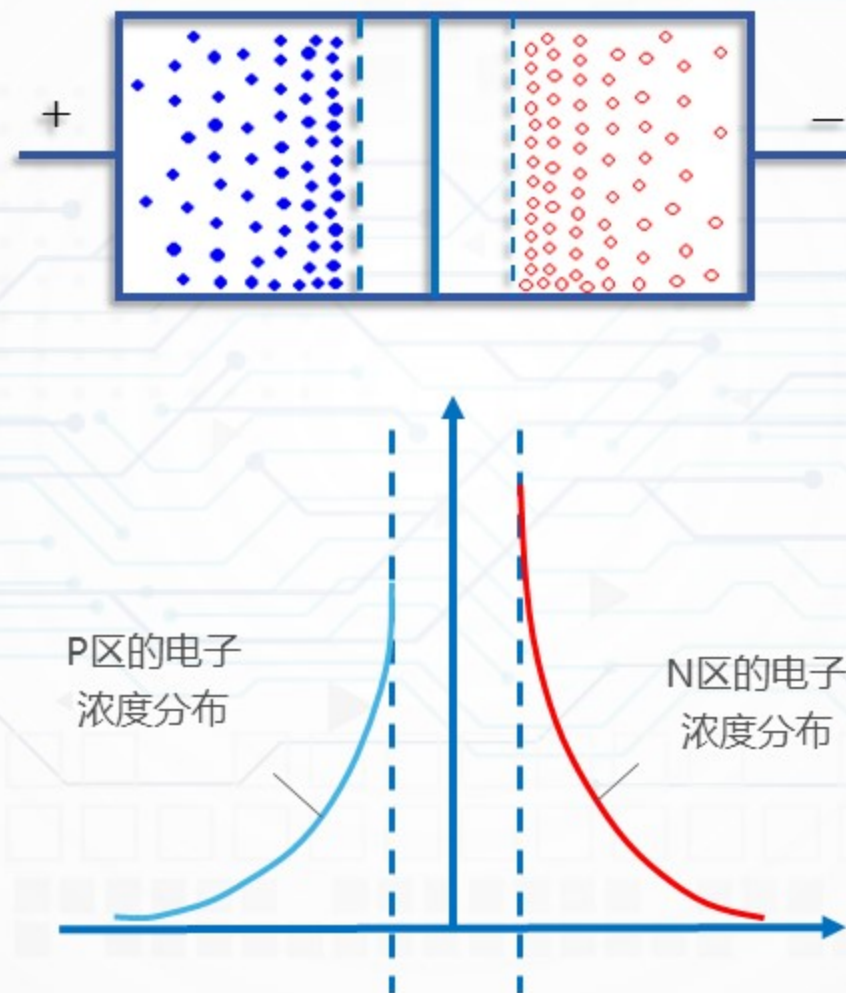


二极管的动态特性



三极管的动态特性

组合逻辑电路中的险象



■ 组合逻辑电路中的险象



信号经过任何逻辑门和导线都会产生时间延迟



当电路所有输入达到稳定状态时，输出并不是立即达到稳定状态

延迟时间

与信号经过的门的级数有关

与具体逻辑门的时延大小有关

与导线的长短有关



■ 组合逻辑电路中的险象

延迟时间对
数字系统是一个有害的
因素

使得系统操作速度下降

引起电路中信号的波形参数变坏

以及产生竞争险象等问题

■ 竞争现象与险象的产生



竞 争

由于延迟时间的影响，输入信号经过不同路径到达输出端的时间有先有后的现象。



广义理解：多个信号到达某一点有时差的现象

组合逻辑电路中的险象

竞争的类型



■ 竞争现象与险象的产生



险 象

由竞争导致的错误输出信号。



组合电路中的险象是一种瞬态现象



表现为在输出端产生不应有的尖脉冲，暂时地破坏正常逻辑关系

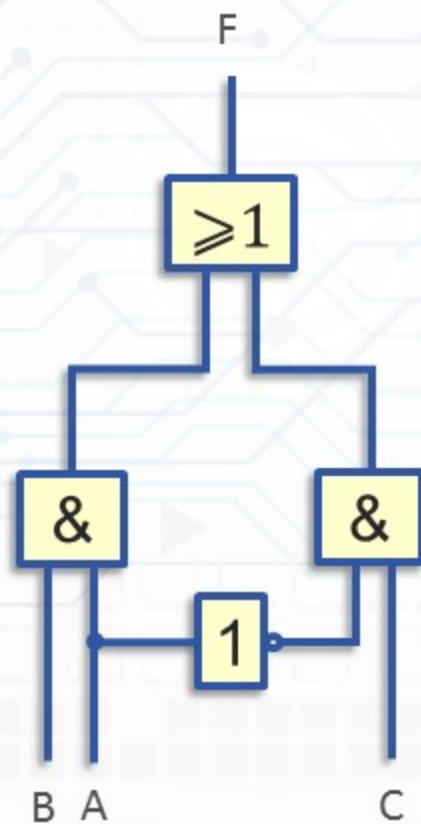


一旦瞬态过程结束，即可恢复正常逻辑关系

组合逻辑电路的险象

例

分析下图所示电路是否会产生竞争和险象。



组合逻辑电路的险象

分析



$$F = AB + \bar{A}C$$



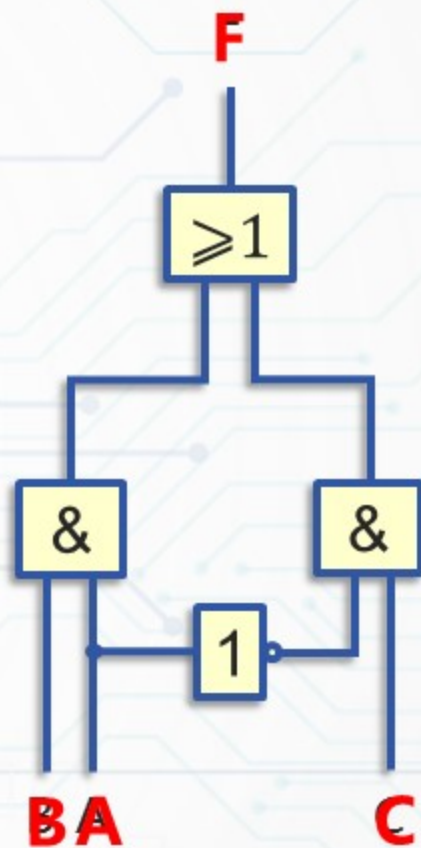
假设输入变量 $B = C = 1$, $F = A + \bar{A}$



当考虑时间延迟时



实际输入、输出关系又将怎样呢？

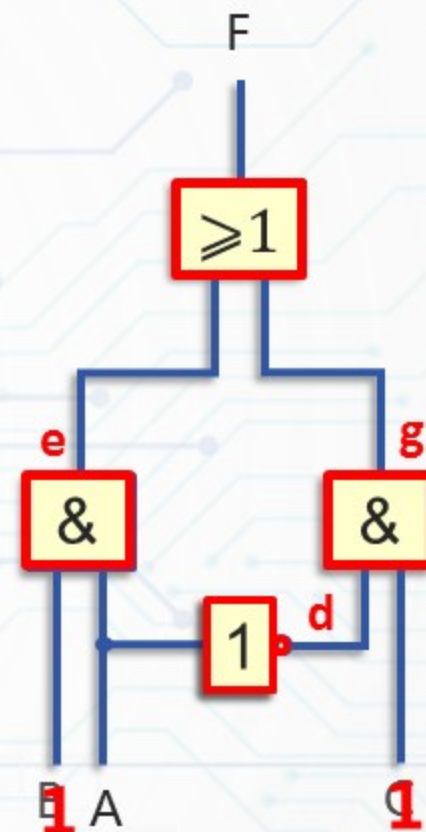
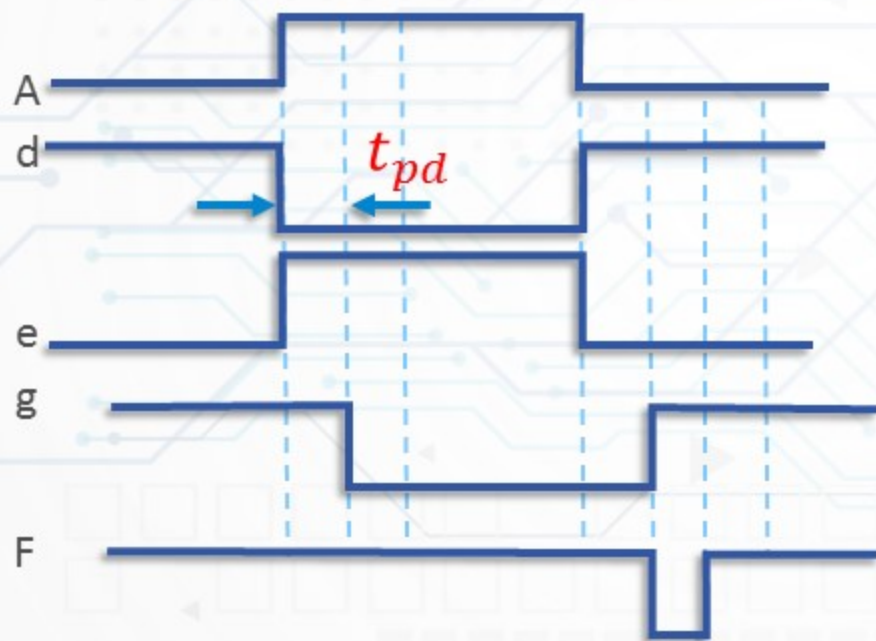


组合逻辑电路的险象

分析



假定每个门的延迟时间为 t_{pd}



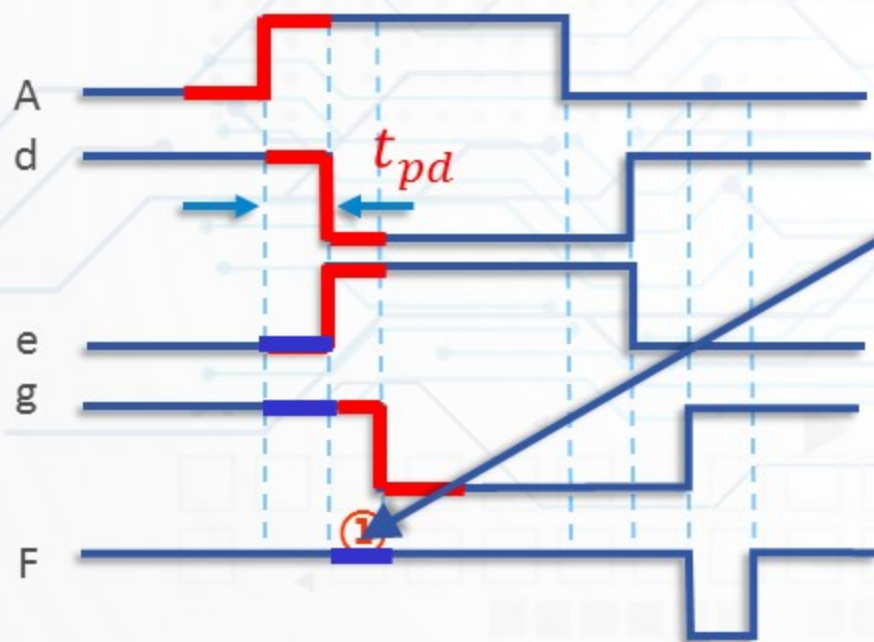
组合逻辑电路的险象



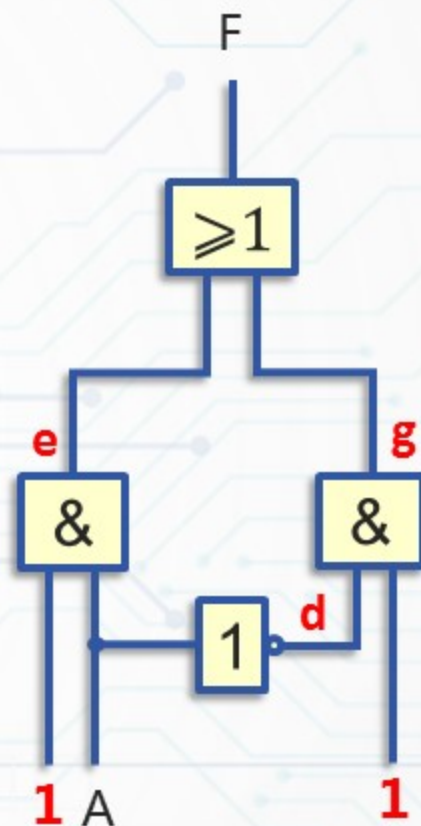
当A由低电平变到高电平时，e和g的变化方向相反



图中①处存在一次竞争



非临界竞争



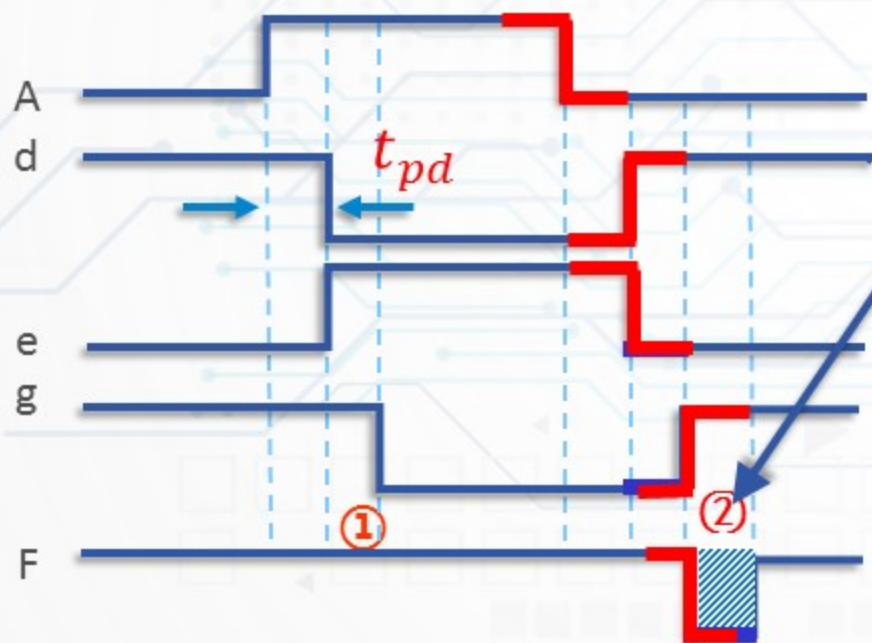
组合逻辑电路的险象



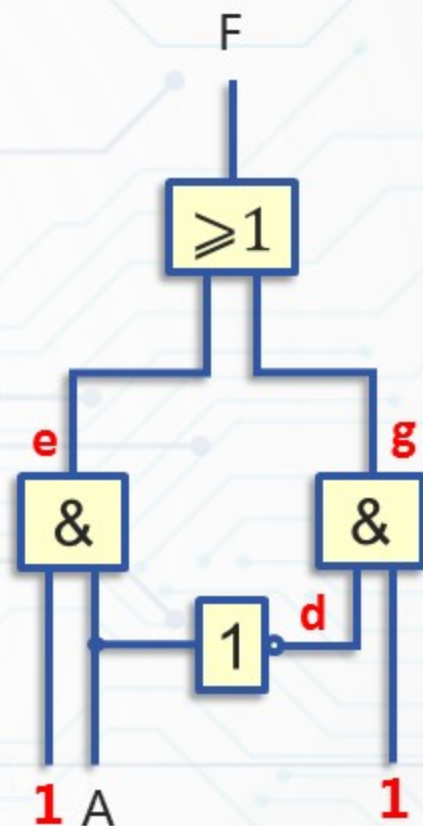
当A由高电平变为低电平时，同样在e和g处发生竞争



e和g同时为低电平，使输出F产生一个负脉冲



临界竞争



■ 组合逻辑电路的险象

静态险象



在输入变化而输出不应发生变化的情况下，输出端产生的短暂的错误输出

险象的分类



在输入变化而输出应该发生变化的情况下，输出在变化过程中产生的短暂的错误输出

动态险象



■ 险象的分类

按错误输出脉冲信号的极性划分

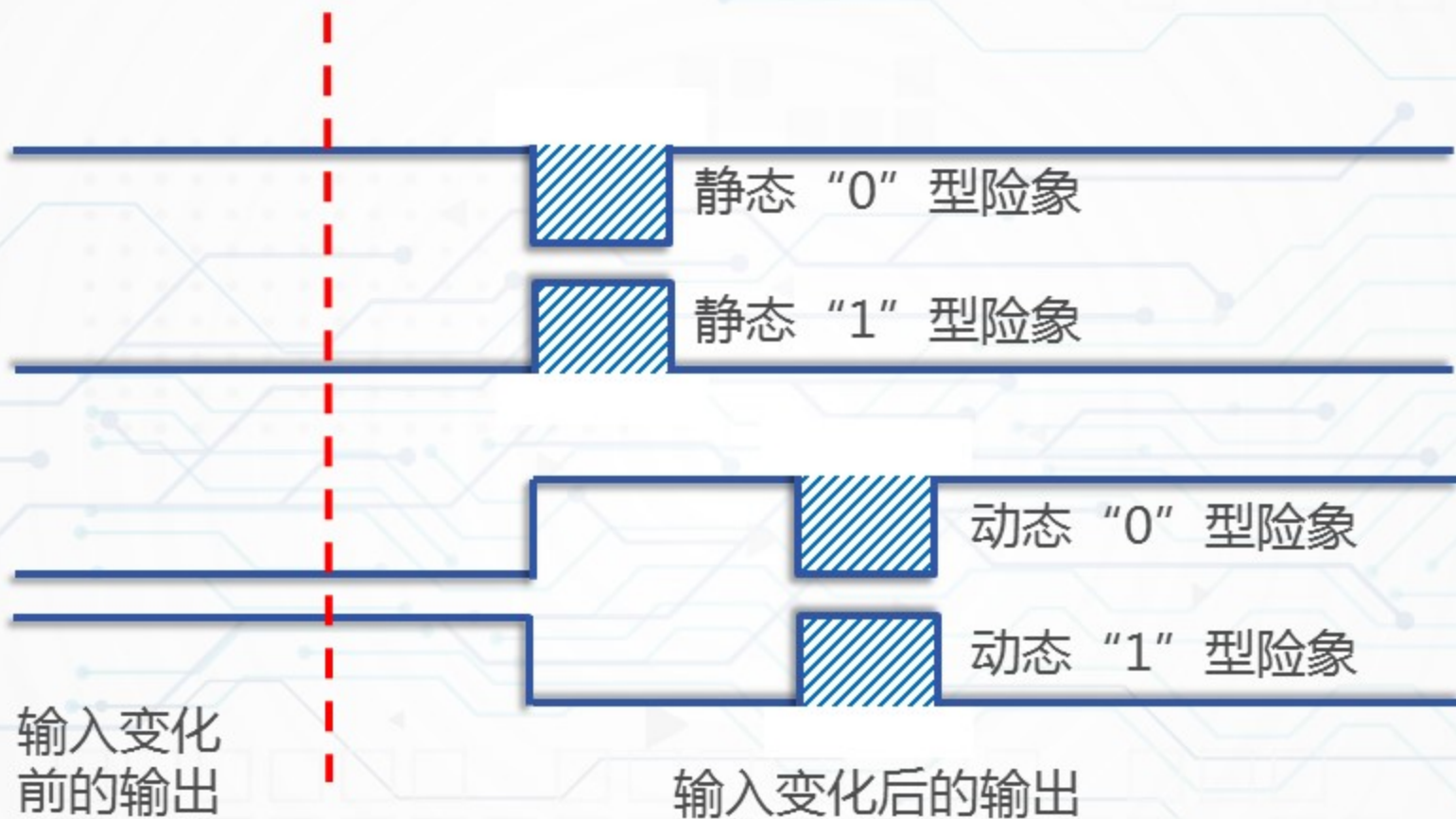
“0”型险象

错误输出信
号为负脉冲

“1”型险象

错误输出信
号为正脉冲

■ 险象的分类



数字电路与逻辑设计

Digital circuit and logic design

谢谢，祝学习快乐！

主讲教师 | 赵贻竹

04