

# 数字电路与逻辑设计

Digital circuit and logic design

## 第七章 中规模通用集成电路及其应用

主讲教师 | 何云峰

07

# 提纲



## 常用中规模组合逻辑电路



加法器 译码器 编码器



多路选择器 多路分配器



## 常用中规模时序逻辑电路



计数器



寄存器



## 常用中规模信号产生与变换电路



# 提纲



## 常用中规模组合逻辑电路



加法器 译码器 编码器



多路选择器 多路分配器



## 常用中规模时序逻辑电路



计数器



寄存器



## 常用中规模信号产生与变换电路

## ■ 中规模组合逻辑电路

### 计数器

广义的来说，计数器是一种能在输入信号作用下依次通过预定状态的时序逻辑电路。就一般的集成电路计数产品而言，计数器是一种对输入脉冲进行计数的时序逻辑电路。



计数的脉冲信号称作“计数脉冲”



计数器中的“数”是用触发器的状态组合来表示的



计数器在运行时，所经历的状态是周期性的



总是在有限个状态中循环



一次循环所包含的状态总数称为计数器的“模”



# 计数器的类型

## 计数器的类型

按工作方式分类

同步计数器

异步计数器



# 计数器的类型

## 计数器的类型

按进位制方式分类

二进制计数器

十进制计数器

任意进制计数器

# 计数器的类型

## 计数器的类型

按功能分类

加法计数器

减法计数器

加减可逆计数器

# 计数器

## 计数器的功能



计数



保存



清除




预置



# 计数器


## 典型芯片74193


 4位二进制同步可逆计数器

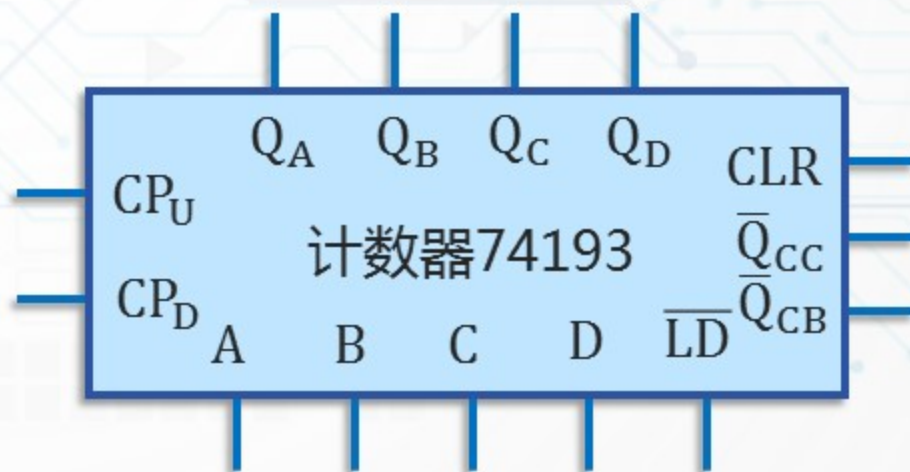
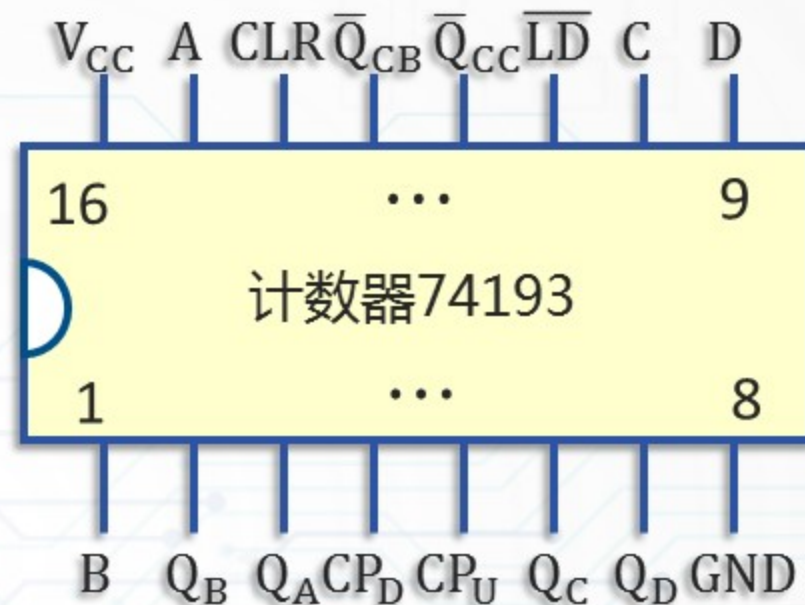
 功能

 清除

 预置

 累加计数

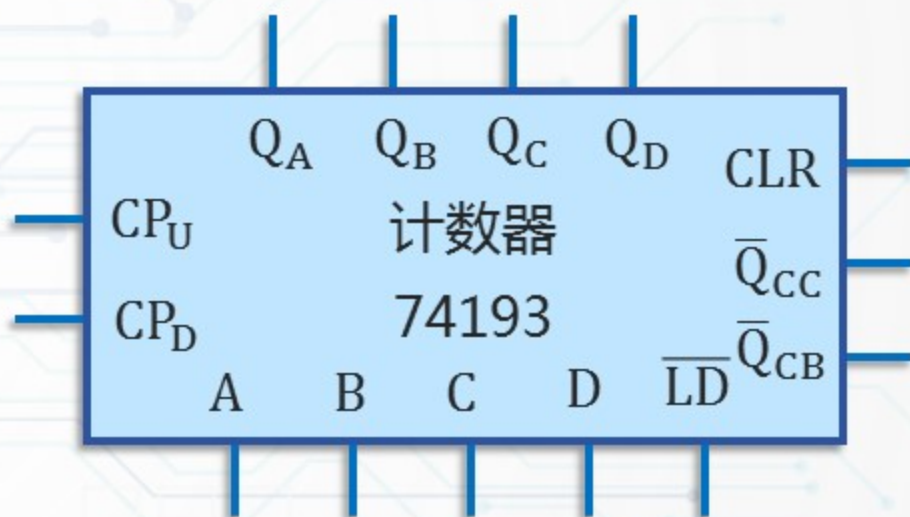
 累减计数



# 同步可逆计数器74193

## 引脚说明

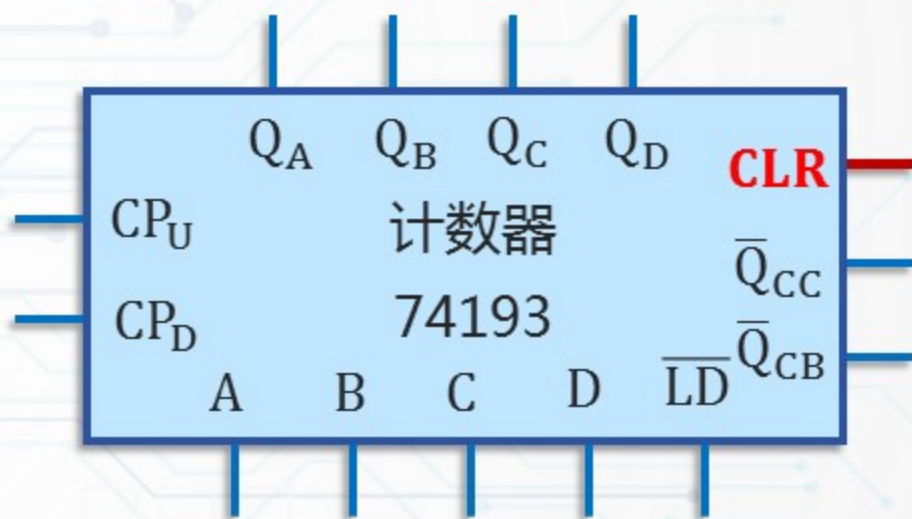
引脚名称		功能说明
输入端	CLR	清除
	$\overline{\text{LD}}$	预置控制
	D C B A	预置初值
	$\text{CP}_\text{U}$	累加计数脉冲（正脉冲）
	$\text{CP}_\text{D}$	累减计数脉冲（正脉冲）
输出端	$Q_\text{D} Q_\text{C} Q_\text{B} Q_\text{A}$	计数值
	$\overline{Q_\text{CC}}$	进位输出（负脉冲）
	$\overline{Q_\text{CB}}$	借位输出（负脉冲）



# 同步可逆计数器74193

## 引脚说明

引脚名称		功能说明
输入端	CLR	清除
	$\overline{\text{LD}}$	预置控制
	D C B A	预置初值
	$\text{CP}_\text{U}$	累加计数脉冲（正脉冲）
	$\text{CP}_\text{D}$	累减计数脉冲（正脉冲）
输出端	$Q_\text{D} Q_\text{C} Q_\text{B} Q_\text{A}$	计数值
	$\overline{Q_\text{CC}}$	进位输出（负脉冲）
	$\overline{Q_\text{CB}}$	借位输出（负脉冲）

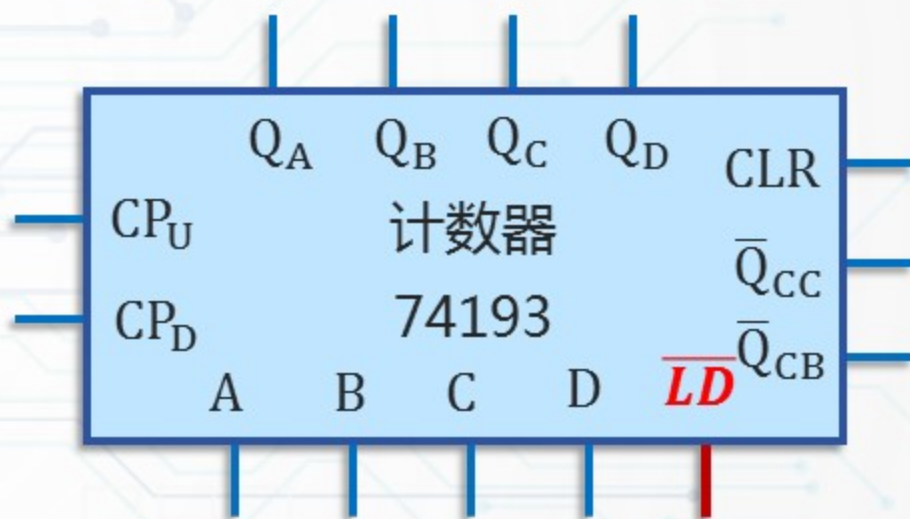




# 同步可逆计数器74193

## 引脚说明

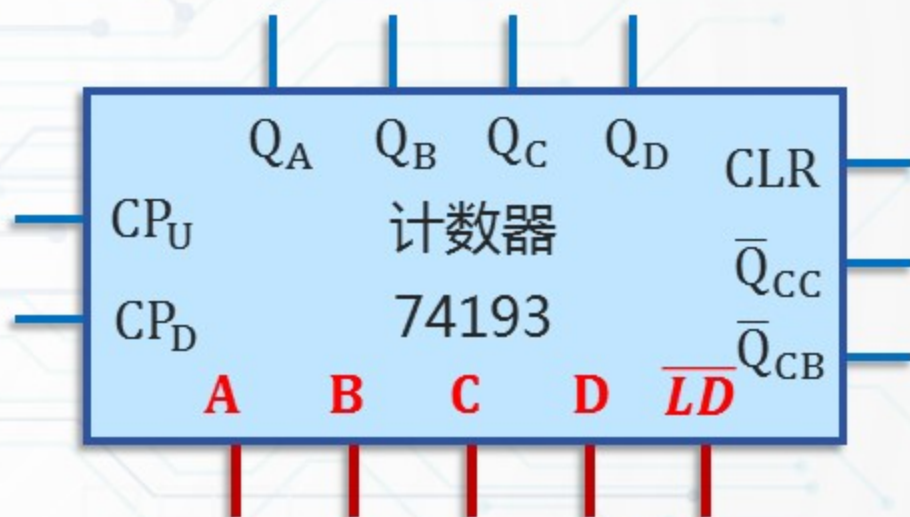
引脚名称		功能说明
输入端	CLR	清除
	$\overline{LD}$	预置控制
	D C B A	预置初值
	$CP_U$	累加计数脉冲（正脉冲）
	$CP_D$	累减计数脉冲（正脉冲）
输出端	$Q_D Q_C Q_B Q_A$	计数值
	$\overline{Q_{CC}}$	进位输出（负脉冲）
	$\overline{Q_{CB}}$	借位输出（负脉冲）



# 同步可逆计数器74193

## 引脚说明

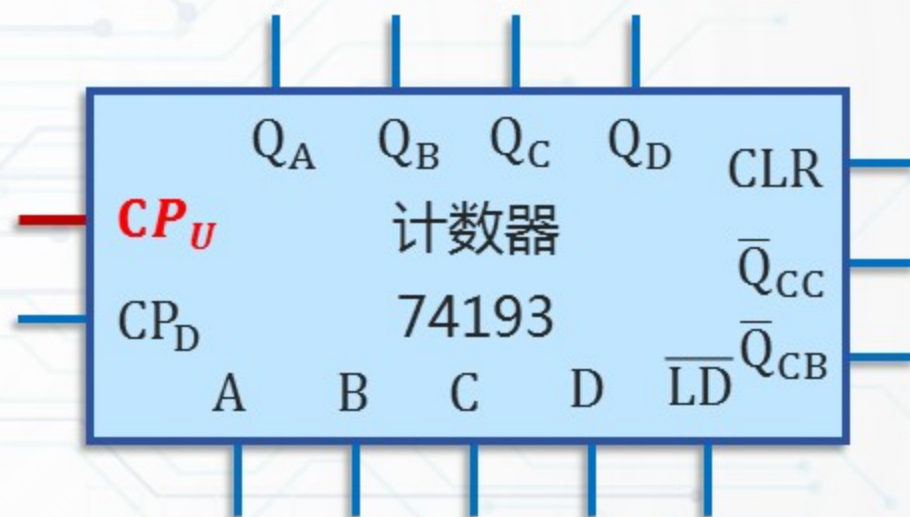
引脚名称		功能说明
输入端	CLR	清除
	$\overline{LD}$	预置控制
	D C B A	预置初值
	$CP_U$	累加计数脉冲（正脉冲）
	$CP_D$	累减计数脉冲（正脉冲）
输出端	$Q_D$ $Q_C$ $Q_B$ $Q_A$	计数值
	$\overline{Q_{CC}}$	进位输出（负脉冲）
	$\overline{Q_{CB}}$	借位输出（负脉冲）



# 同步可逆计数器74193

## 引脚说明

引脚名称		功能说明
输入端	CLR	清除
	$\overline{\text{LD}}$	预置控制
	D C B A	预置初值
	$\text{CP}_U$	累加计数脉冲（正脉冲）
	$\text{CP}_D$	累减计数脉冲（正脉冲）
输出端	$Q_D Q_C Q_B Q_A$	计数值
	$\overline{Q_{CC}}$	进位输出（负脉冲）
	$\overline{Q_{CB}}$	借位输出（负脉冲）

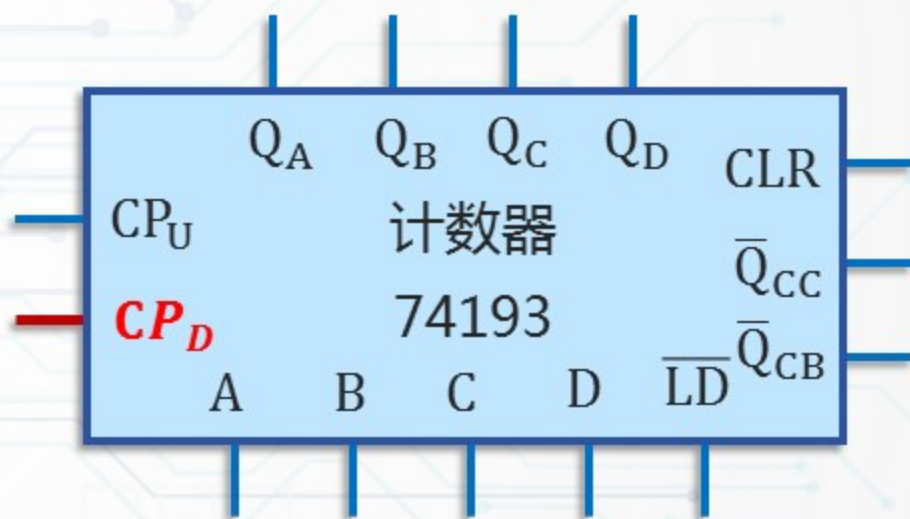




# 同步可逆计数器74193

## 引脚说明

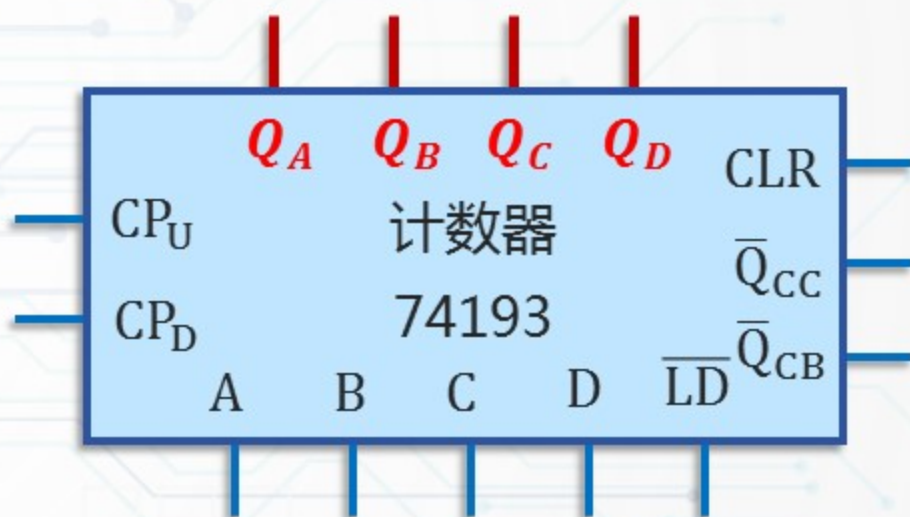
引脚名称		功能说明
输入端	CLR	清除
	$\overline{\text{LD}}$	预置控制
	D C B A	预置初值
	$\text{CP}_U$	累加计数脉冲（正脉冲）
	$\text{CP}_D$	累减计数脉冲（正脉冲）
输出端	$Q_D Q_C Q_B Q_A$	计数值
	$\overline{Q_{CC}}$	进位输出（负脉冲）
	$\overline{Q_{CB}}$	借位输出（负脉冲）



# 同步可逆计数器74193

## 引脚说明

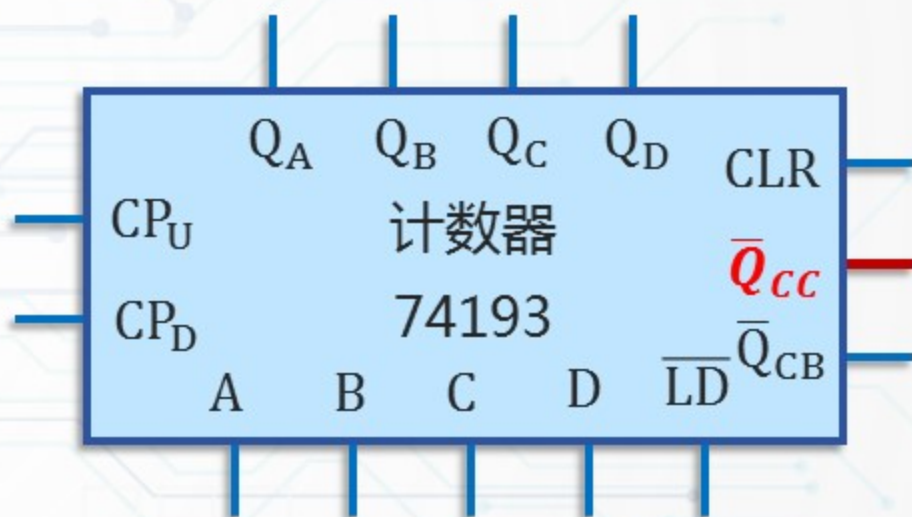
引脚名称		功能说明
输入端	CLR	清除
	$\overline{\text{LD}}$	预置控制
	D C B A	预置初值
	$\text{CP}_\text{U}$	累加计数脉冲（正脉冲）
	$\text{CP}_\text{D}$	累减计数脉冲（正脉冲）
输出端	$Q_\text{D} Q_\text{C} Q_\text{B} Q_\text{A}$	计数值
	$\overline{Q_\text{CC}}$	进位输出（负脉冲）
	$\overline{Q_\text{CB}}$	借位输出（负脉冲）



# 同步可逆计数器74193

## 引脚说明

引脚名称		功能说明
输入端	CLR	清除
	$\overline{\text{LD}}$	预置控制
	D C B A	预置初值
	$\text{CP}_\text{U}$	累加计数脉冲（正脉冲）
	$\text{CP}_\text{D}$	累减计数脉冲（正脉冲）
输出端	$Q_\text{D} Q_\text{C} Q_\text{B} Q_\text{A}$	计数值
	$\overline{Q_\text{CC}}$	进位输出（负脉冲）
	$\overline{Q_\text{CB}}$	借位输出（负脉冲）

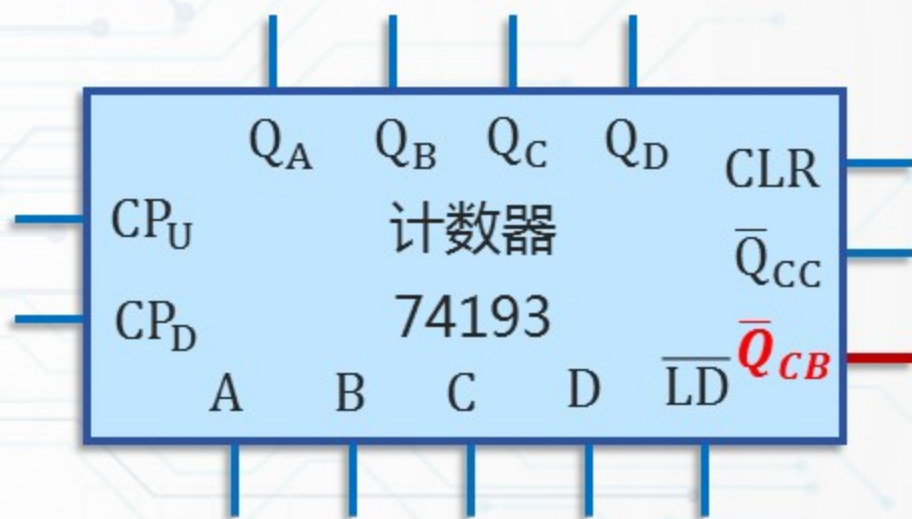




# 同步可逆计数器74193

## 引脚说明

引脚名称		功能说明
输入端	CLR	清除
	$\overline{\text{LD}}$	预置控制
	D C B A	预置初值
	$\text{CP}_\text{U}$	累加计数脉冲（正脉冲）
	$\text{CP}_\text{D}$	累减计数脉冲（正脉冲）
输出端	$Q_\text{D} Q_\text{C} Q_\text{B} Q_\text{A}$	计数值
	$\overline{Q_\text{CC}}$	进位输出（负脉冲）
	$\overline{Q_\text{CB}}$	借位输出（负脉冲）



# 同步可逆计数器

## 功能表

输 入								输 出			
CLR	$\overline{LD}$	D	C	B	A	CP <sub>U</sub>	CP <sub>D</sub>	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
1	d	d	d	d	d	d	d	0	0	0	0
0	0	X <sub>3</sub>	X <sub>2</sub>	X <sub>1</sub>	X <sub>0</sub>	d	d	X <sub>3</sub>	X <sub>2</sub>	X <sub>1</sub>	X <sub>0</sub>
0	1	d	d	d	d	↑	1	累加计数 累减计数			
0	1	d	d	d	d	1	↑				

## 同步可逆计数器

功能表

输 入								输 出			
CLR	$\overline{LD}$	D	C	B	A	CP <sub>U</sub>	CP <sub>D</sub>	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
1	d	d	d	d	d	d	d	0	0	0	0
0	0	X <sub>3</sub>	X <sub>2</sub>	X <sub>1</sub>	X <sub>0</sub>	d	d	X <sub>3</sub>	X <sub>2</sub>	X <sub>1</sub>	X <sub>0</sub>
0	1	d	d	d	d	↑	1	累加计数			
0	1	d	d	d	d	1	↑	累减计数			



# 同步可逆计数器

## 功能表

输 入								输 出			
CLR	$\overline{LD}$	D	C	B	A	CP <sub>U</sub>	CP <sub>D</sub>	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
1	d	d	d	d	d	d	d	0	0	0	0
0	0	X <sub>3</sub>	X <sub>2</sub>	X <sub>1</sub>	X <sub>0</sub>	d	d	X <sub>3</sub>	X <sub>2</sub>	X <sub>1</sub>	X <sub>0</sub>
0	1	d	d	d	d	↑	1	累加计数			
0	1	d	d	d	d	1	↑	累减计数			

# 同步可逆计数器

## 功能表

输 入								输 出			
CLR	$\overline{LD}$	D	C	B	A	CP <sub>U</sub>	CP <sub>D</sub>	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
1	d	d	d	d	d	d	d	0	0	0	0
0	0	X <sub>3</sub>	X <sub>2</sub>	X <sub>1</sub>	X <sub>0</sub>	d	d	X <sub>3</sub>	X <sub>2</sub>	X <sub>1</sub>	X <sub>0</sub>
0	1	d	d	d	d	↑	1	累加计数			
0	1	d	d	d	d	1	↑	累减计数			

## 同步可逆计数器

功能表

输 入								输 出			
CLR	$\overline{LD}$	D	C	B	A	CP <sub>U</sub>	CP <sub>D</sub>	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
1	d	d	d	d	d	d	d	0	0	0	0
0	0	X <sub>3</sub>	X <sub>2</sub>	X <sub>1</sub>	X <sub>0</sub>	d	d	X <sub>3</sub>	X <sub>2</sub>	X <sub>1</sub>	X <sub>0</sub>
0	1	d	d	d	d	↑	1	累加计数			
0	1	d	d	d	d	1	↑	累减计数			



## 同步可逆计数器

### 应用



同步可逆计数器74193为“模”16的计数器



构成模小于16的计数器



利用计数器的清除、预置等功能



构成模大于16的计数器



利用计数器的进位和借位输出脉冲，将多个74193级联



构成脉冲分配器和序列信号发生器等逻辑部件

## 同步可逆计数器

例1

用74193构成模10加法计数器。

分析



$10 < 16$

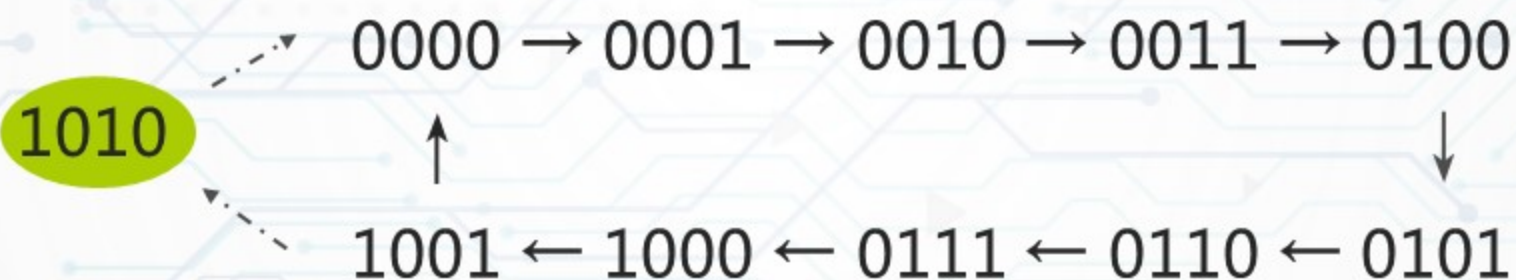


只需要一片74193芯片

## 同步可逆计数器

❖ 假设计数器的初始状态为  $Q_3 Q_2 Q_1 Q_0 = 0000$

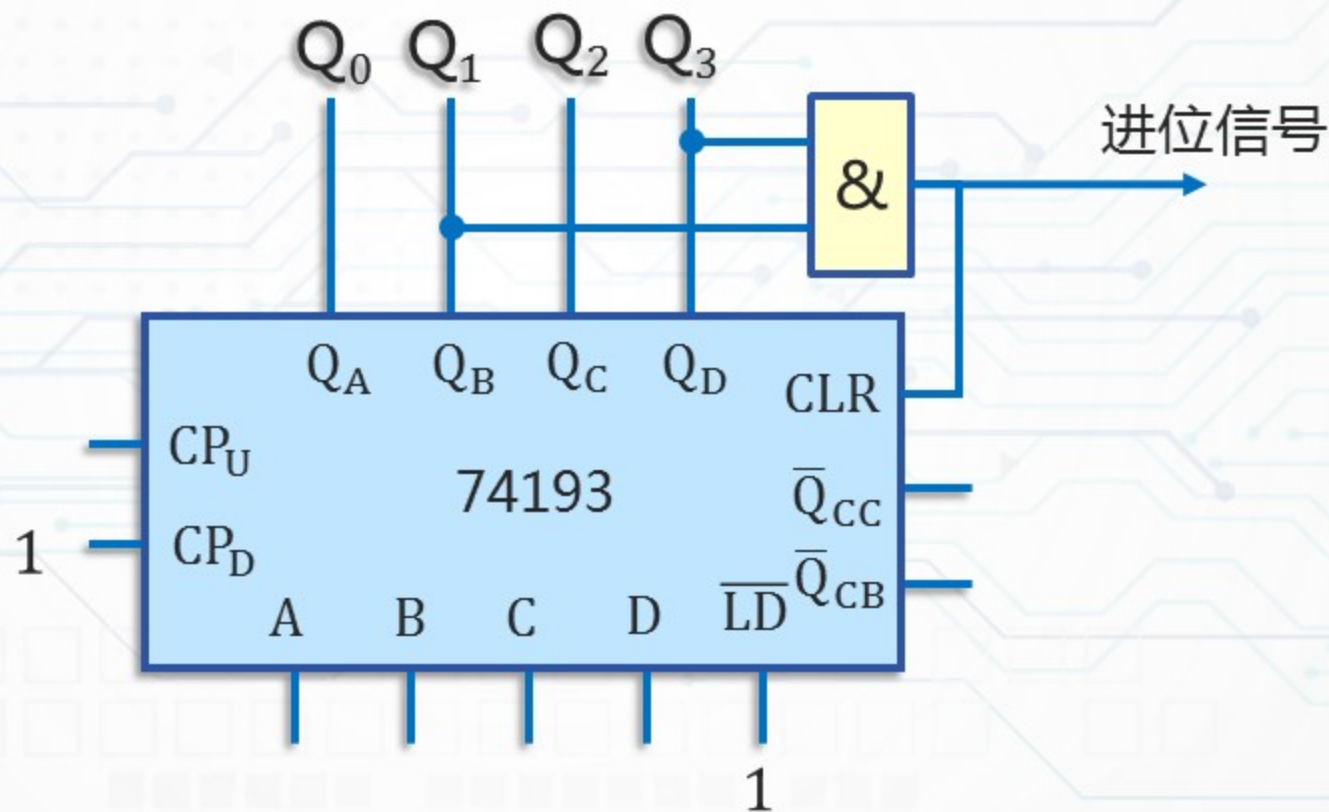
❖ 其状态变化序列如下：





# 同步可逆计数器

## 逻辑电路图



## 同步可逆计数器

例2

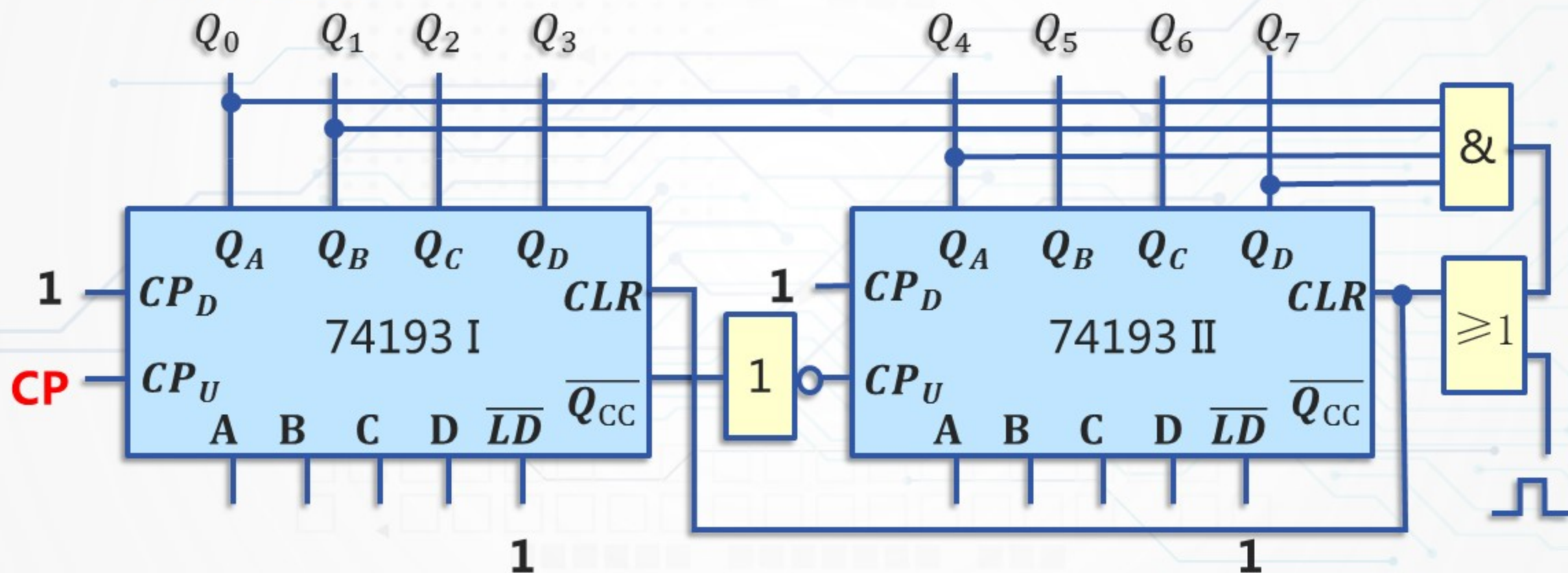
用两片74193构成模  $(147)_{10}$  的加法计数器。

分析

- 设计计数器状态变化序列为  $(0)_{10} \sim (146)_{10}$
- 当计数器状态由  $(146)_{10}$  变为  $(147)_{10}$  (即  $(10010011)_2$ ) 时, 令其回到  $(0)_{10}$  状态

# 同步可逆计数器

## 逻辑电路图





# 数字电路与逻辑设计

Digital circuit and logic design

谢谢，祝学习快乐！

主讲教师 | 何云峰

07