

数字电路与逻辑设计

Digital circuit and logic design

第六章 异步时序逻辑电路

主讲教师 | 赵贻竹

06

■ 组合逻辑电路



竞争

由于延迟时间的影响，输入信号经过不同路径到达输出端的时间有先有后的现象。



广义理解：多个信号到达某一点有时差的现象

组合逻辑电路



竞争的类型



组合逻辑电路



信号经过任何逻辑门和导线都会产生时间延迟



当电路所有输入达到稳定状态时，输出并不是立即达到稳定状态

延迟时间

与信号经过的门的级数有关

与具体逻辑门的时延大小有关

与导线的长短有关

■ 电平异步时序逻辑电路的竞争

竞 争 现 象



前面对电路进行分析，假定各回路之间延迟时间相同



事实上，各反馈回路的延迟时间往往各不相同



可能由于输入信号的变化在反馈回路之间引起竞争

■ 电平异步时序逻辑电路



竞争

是指当输入信号变化引起电路中两个或两个以上状态变量发生变化时，由于各反馈回路延迟时间的不同，使状态的变化有先有后而导致不同状态响应过程的现象。

■ 电平异步时序逻辑电路的竞争

竞争的两类型

- 根据竞争对电路状态转移产生的影响，可将竞争分为非临界竞争和临界竞争两种类型。
- 非临界竞争**：若竞争的结果最终能到达预定的稳态，则称为非临界竞争。
- 临界竞争**：若竞争的结果可能使电路到达不同的稳态，即状态转移不可预测，则称为临界竞争。

电平异步时序逻辑电路的竞争

例1

某电平异步时序电路的流程表如下，当电路处在稳定总态（00，00）和（10，11），输入发生变化时，电路状态响应过程将如何呢？

二次状态 y_2y_1	激励状态 y_2y_1 /输出 Z			
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$
00	00/0	00/0	01/0	11/0
01	00/0	01/0	01/0	01/0
11	00/0	00/0	10/0	11/0
10	00/0	00/0	10/0	10/0

电平异步时序逻辑电路的竞争

二次状态 y_2y_1	激励状态 Y_2Y_1 /输出 Z			
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$
00	00/0	00/0	01/0	11/0
01	00/0	01/0	01/0	01/0
11	00/0	00/0	10/0	11/0
10	00/0	00/0	10/0	10/0



电路处于稳定总态(00,00)



输入 x_2x_1 由00→10



引起激励状态 Y_2Y_1 从00→11，两个激励均发生了变化



如果不考虑时间延迟，最终到达(10,11)

电平异步时序逻辑电路的竞争

二次状态 y_2y_1	激励状态 Y_2Y_1 /输出 Z			
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$
00	00/0	00/0	01/0	11/0
01	00/0	01/0	01/0	01/0
11	00/0	00/0	10/0	11/0
10	00/0	00/0	10/0	10/0



电路处于稳定总态(10,11)



输入 x_2x_1 由10→00



引起激励状态 Y_2Y_1 从11→00，两个激励均发生了变化



如果不考虑时间延迟，电路最终到达(00,00)

电平异步时序逻辑电路的竞争

二次状态 y_2y_1	激励状态 y_2y_1 /输出 Z			
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$
00	00/0	00/0	01/0	11/0
01	00/0	01/0	01/0	01/0
11	00/0	00/0	10/0	11/0
10	00/0	00/0	10/0	10/0



在这两个稳定总态下输入发生响应的变化时，两个状态变量均发生变化，当电路中两条反馈回路的延迟时间 Δt_1 和 Δt_2 不相等时，电路中将产生竞争。

电平异步时序逻辑电路的竞争

二次状态 y_2y_1	激励状态 Y_2Y_1 /输出 Z			
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$
00	00/0	00/0	01/0	11/0
01	00/0	01/0	01/0	01/0
11	00/0	00/0	10/0	11/0
10	00/0	00/0	10/0	10/0



电路处于稳定总态(00,00)

$\Delta t_2 > \Delta t_1$:



输入 x_2x_1 由00→10



引起激励状态 Y_2Y_1 从00→01



到达稳定总态(10, 01)

电平异步时序逻辑电路的竞争

二次状态 $y_2 y_1$	激励状态 $y_2 y_1$ /输出 Z			
	$x_2 x_1 = 00$	$x_2 x_1 = 01$	$x_2 x_1 = 11$	$x_2 x_1 = 10$
00	00/0	00/0	01/0	11/0
01	00/0	01/0	01/0	01/0
11	00/0	00/0	10/0	11/0
10	00/0	00/0	10/0	10/0



电路处于稳定总态(00,00)

$\Delta t_2 < \Delta t_1$:



输入 $x_2 x_1$ 由00→10



引起激励状态 $y_2 y_1$ 从00→10



到达稳定总态(10, 10)

电平异步时序逻辑电路的竞争

二次状态 $y_2 y_1$	激励状态 $Y_2 Y_1$ /输出 Z			
	$x_2 x_1 = 00$	$x_2 x_1 = 01$	$x_2 x_1 = 11$	$x_2 x_1 = 10$
00	00/0	00/0	01/0	11/0
01	00/0	01/0	01/0	01/0
11	00/0	00/0	10/0	11/0
10	00/0	00/0	10/0	10/0



电路处于稳定总态(00,00) $\Delta t_1 = \Delta t_2$:



输入 $x_2 x_1$ 由00→10

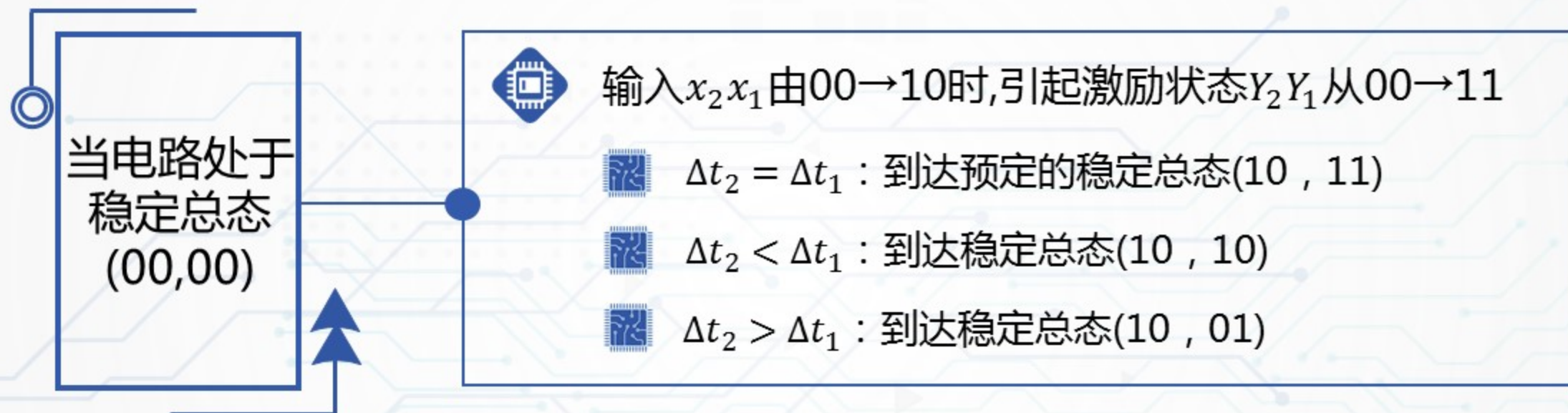


引起激励状态 $Y_2 Y_1$ 从00→11



到达稳定总态(10, 11)

■ 电平异步时序逻辑电路的竞争



本次竞争属于**临界竞争**！

电平异步时序逻辑电路的竞争

二次状态 y_2y_1	激励状态 y_2y_1 /输出 Z			
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$
00	00/0	00/0	01/0	11/0
01	00/0	01/0	01/0	01/0
11	00/0	00/0	10/0	11/0
10	00/0	00/0	10/0	10/0



电路处于稳定总态(10,11)

$\Delta t_2 > \Delta t_1$:



输入 x_2x_1 由10→00



引起激励状态 y_2y_1 从11→10



到达稳定总态(00, 00)

电平异步时序逻辑电路的竞争

二次状态 y_2y_1	激励状态 y_2y_1 /输出 Z			
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$
00	00/0	00/0	01/0	11/0
01	00/0	01/0	01/0	01/0
11	00/0	00/0	10/0	11/0
10	00/0	00/0	10/0	10/0



电路处于稳定总态(10,11) $\Delta t_2 < \Delta t_1$:



输入 x_2x_1 由10→00



引起激励状态 y_2y_1 从11→01



到达稳定总态(00, 00)

电平异步时序逻辑电路的竞争

二次状态 y_2y_1	激励状态 y_2y_1 /输出 Z			
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$
00	00/0	00/0	01/0	11/0
01	00/0	01/0	01/0	01/0
11	00/0	00/0	10/0	11/0
10	00/0	00/0	10/0	10/0



电路处于稳定总态(10,11) $\Delta t_2 = \Delta t_1$:



输入 x_2x_1 由10→00

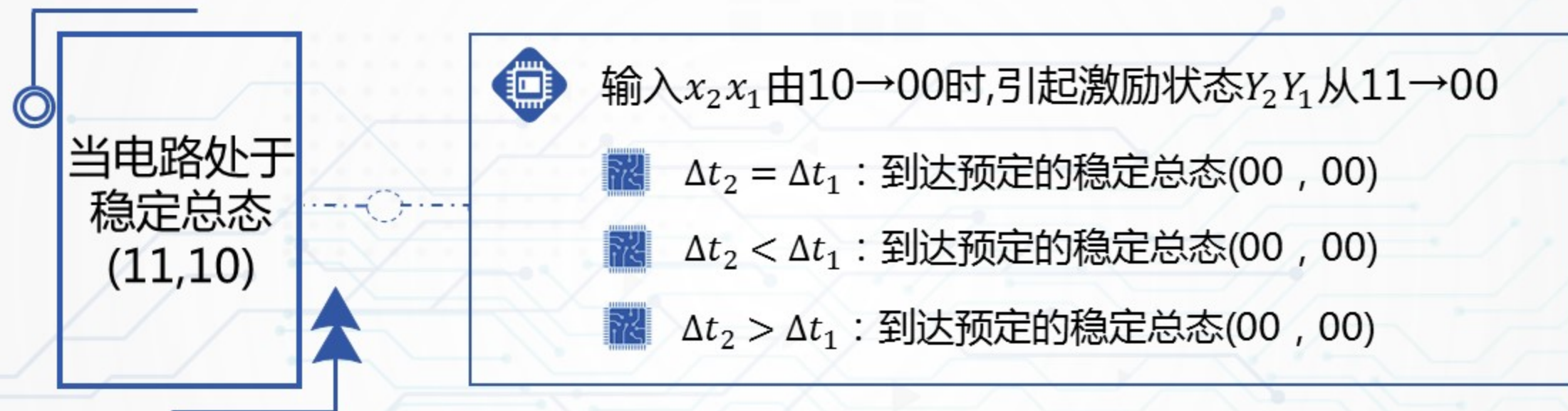


引起激励状态 y_2y_1 从11→00



到达稳定总态(00, 00)

■ 电平异步时序逻辑电路的竞争



本次竞争属于**非临界竞争**！

■ 电平异步时序逻辑电路的竞争

用流程表检查电路竞争的一般法则

当从某一稳态出发，输入信号发生允许变化、引起两个或两个以上激励状态同时发生变化时，由于反馈回路之间延迟时间的不同会使电路产生竞争。

若输入信号变化所到达的列只有一个稳态，则该竞争属于非临界竞争；若输入信号变化所到达的列有两个或两个以上稳态，则该竞争属于临界竞争。

■ 电平异步时序逻辑电路的竞争

非临界竞争的存在不会影响电路的正确工作，但临界竞争的存在却将导致电路状态转换的不可预测。为了确保电平异步时序电路能可靠地实现预定功能，电路设计时必须避免发生临界竞争！

电平异步时序逻辑电路的竞争

例

判断下面的流程表是否存在竞争，并指出是临界竞争还是非临界竞争。

二次状态 y_2y_1	激励状态 y_2y_1 /输出 Z			
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$
00	00/0	10/0	11/0	00/0
01	10/0	10/0	01/0	00/0
11	11/0	11/1	01/1	01/0
10	10/0	10/1	11/1	00/0



$(10,00) \rightarrow (11,00)$: 非临界竞争



$(11,01) \rightarrow (01,01)$: 临界竞争

数字电路与逻辑设计

Digital circuit and logic design

谢谢，祝学习快乐！

主讲教师 | 赵贻竹

06