

数字电路与逻辑设计

Digital circuit and logic design

第八章 可编程逻辑器件

主讲教师 | 何云峰

08

■ 提纲



PLD概述

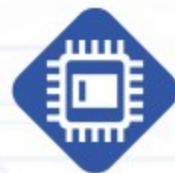


低密度可编程逻辑器件



高密度可编程逻辑器件

■ 提 纲



现场可编程门阵列FPGA



Vivado设计套件

高密度可编程逻辑器件

现场可编程门阵列FPGA



FPGA : Field Programmable Gate Array



20世纪80年代中后期发展起来



一种高密度可编程逻辑器件



可编程逻辑器件供应商Xilinx公司1985年推出

高密度可编程逻辑器件

现场可编程门阵列FPGA



基本结构



可编程配置块 (Configurable Logic Block, 简称: **CLB**)



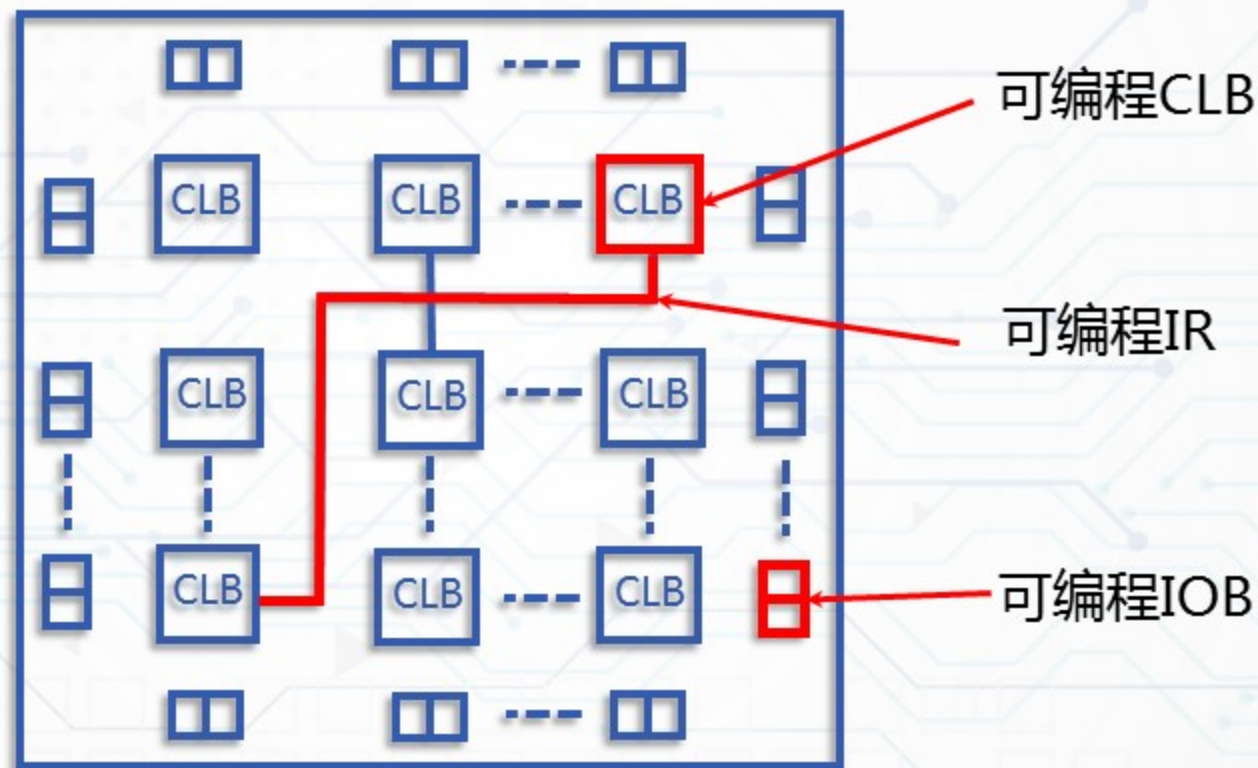
可编程输入/输出 (Input/Output Block, 简称: **IOB**)



可编程互联资源 (Interconnect Resource, 简称: **IR**)

现场可编程门阵列FPGA

基本结构



FPGA的结构示意图

现场可编程门阵列FPGA

典型器件



Xilinx公司的XC4062XL



2304个CLB (构成 48×48 CLB矩阵)



62000个逻辑门



5376个触发器



最大用户I/O达384个

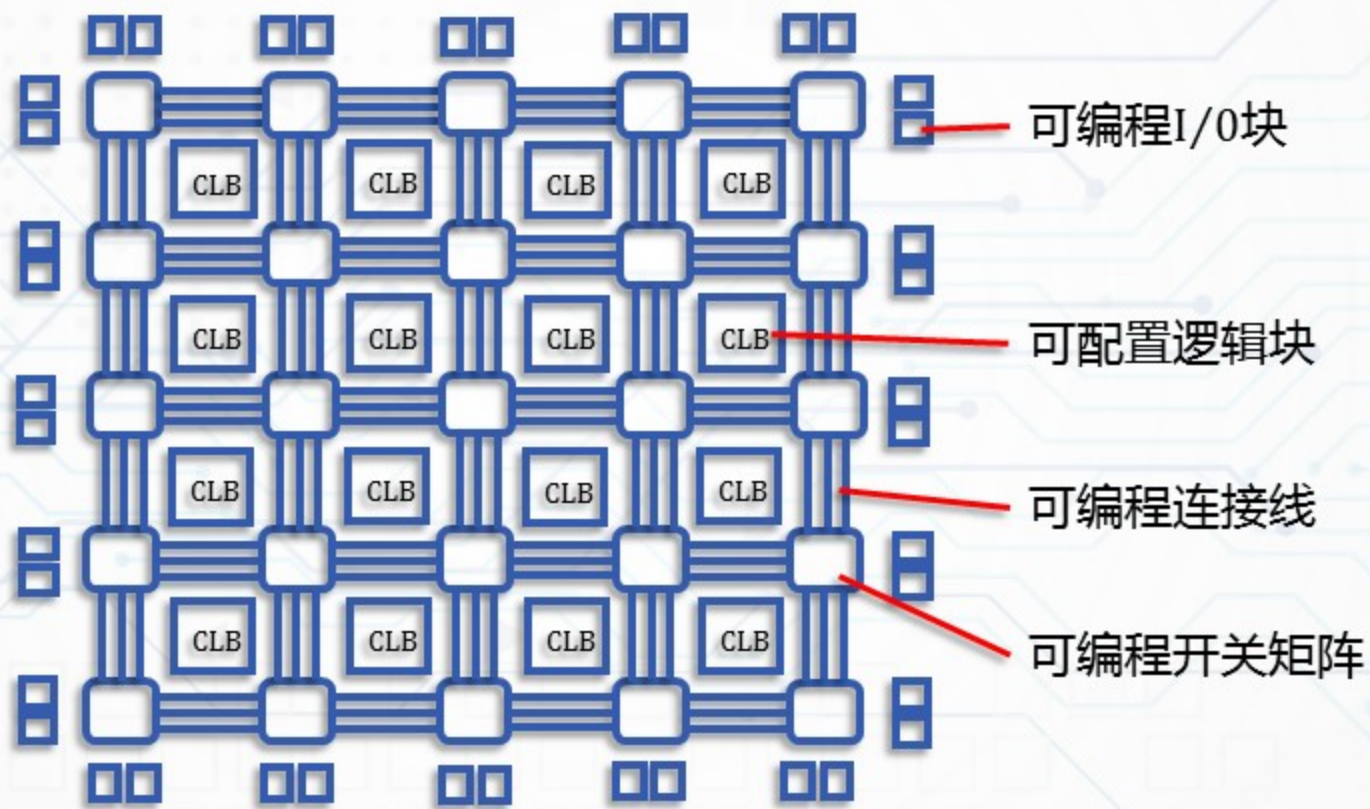


最大RAM位数达73728位



现场可编程门阵列FPGA

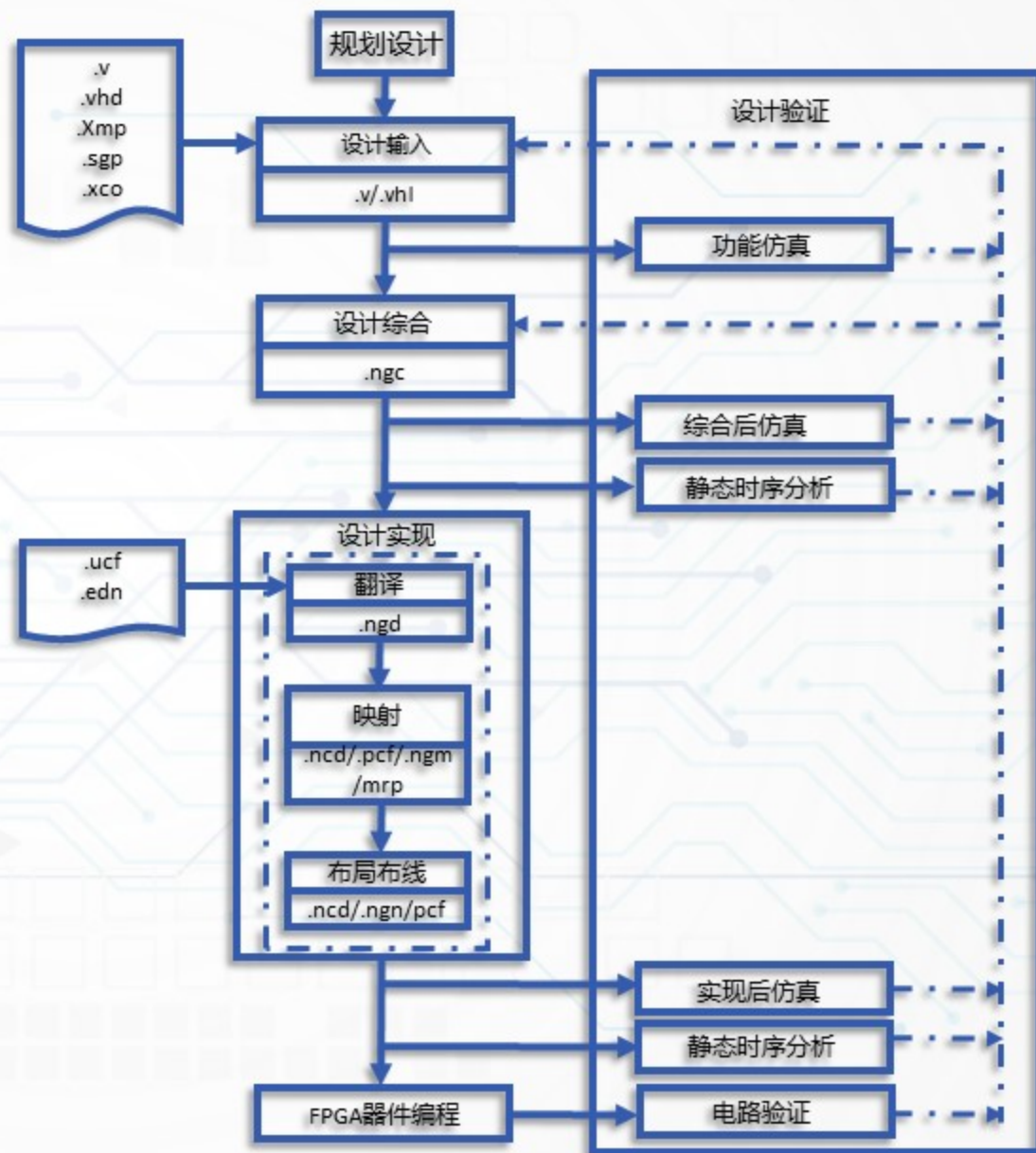
典型器件



Xilinx公司的XC4000系列FPGA器件的结构示意

现场可编程门阵列FPGA

设计流程



现场可编程门阵列FPGA

设计流程

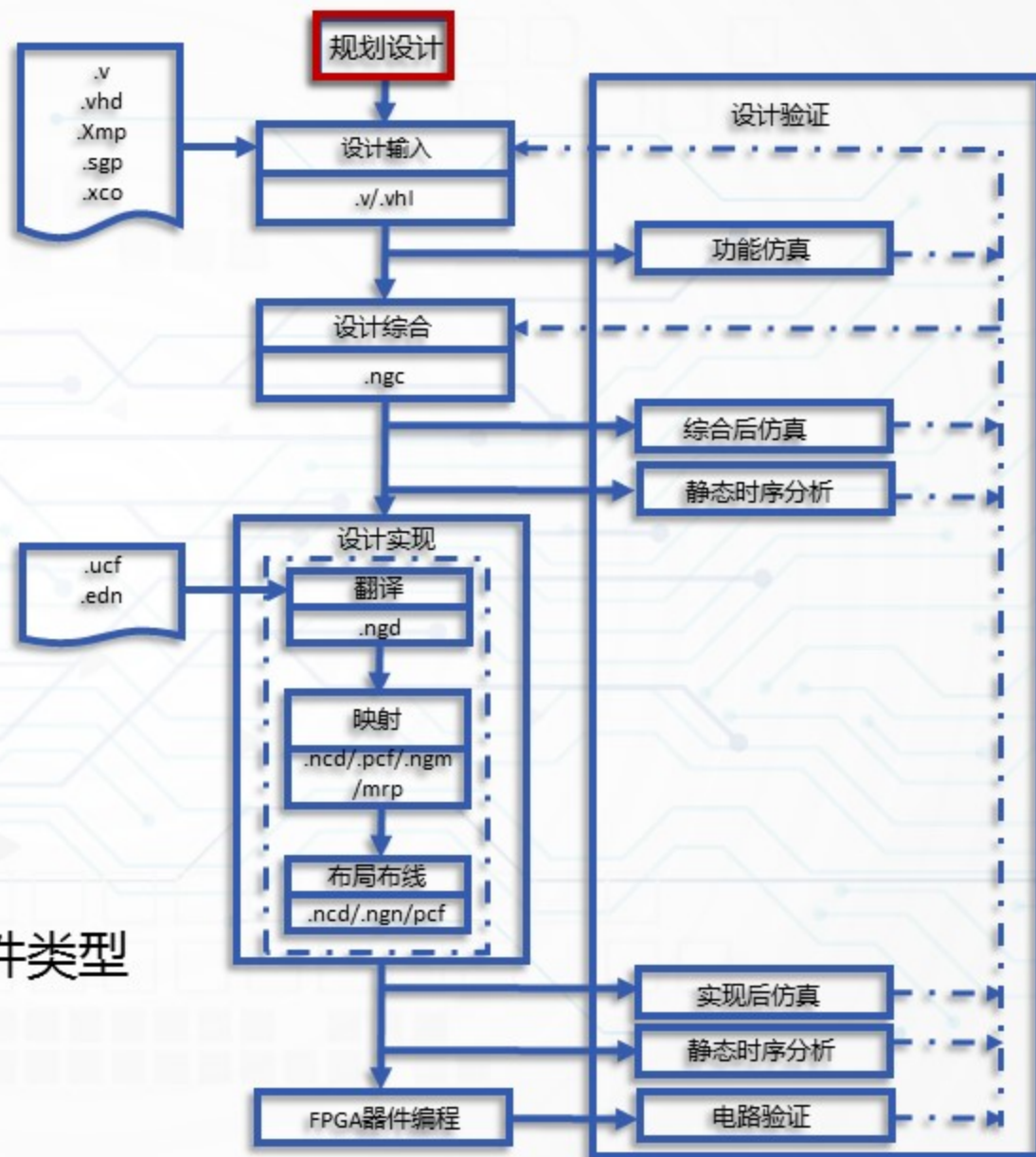
规划设计

架构阶段

进行需求的定义和分析

确定系统功能和模块划分

选择合适的设计方案和合适的器件类型



现场可编程门阵列FPGA

设计流程

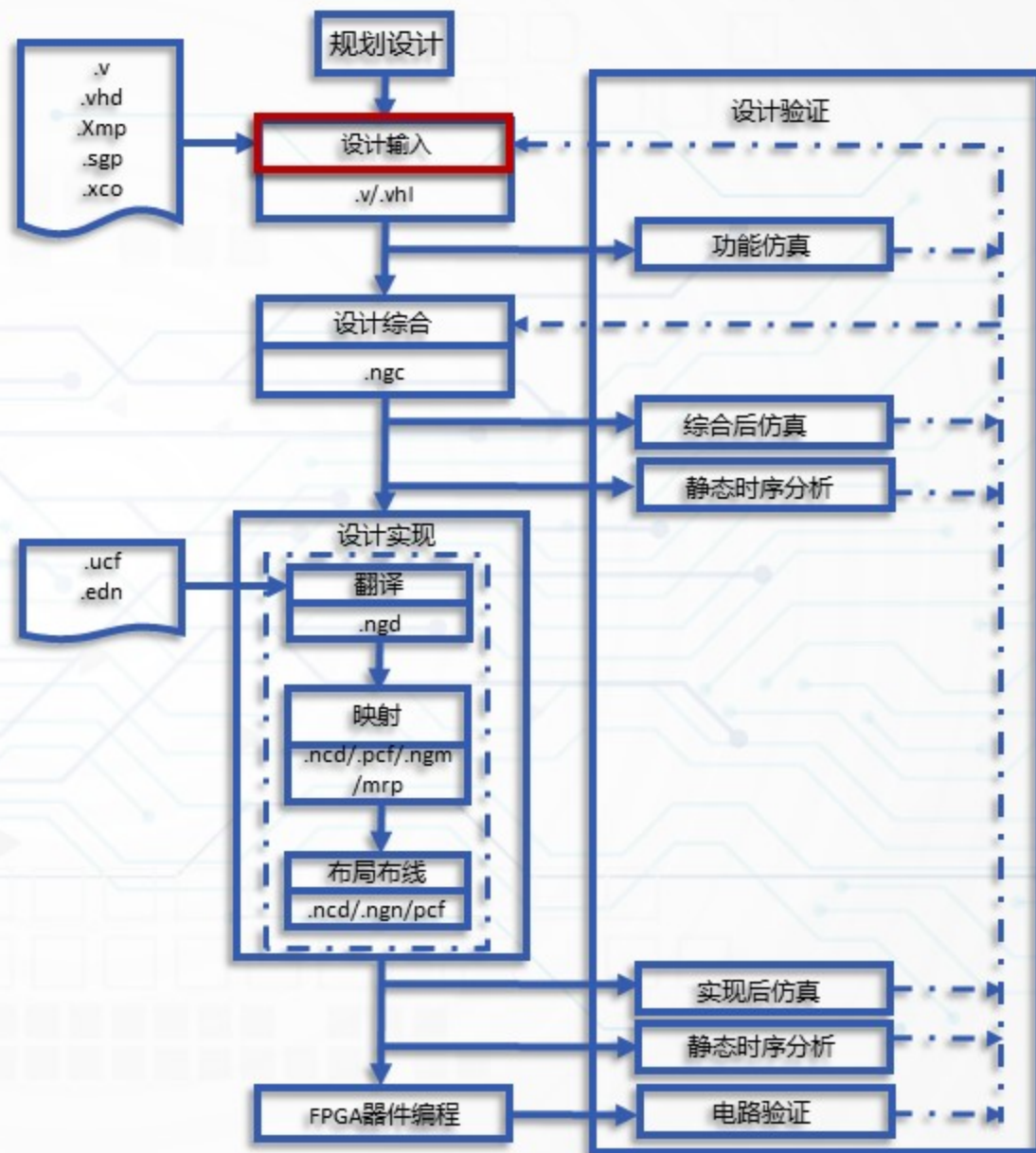


设计输入

利用EDA工具将概念设计转化为硬件描述

硬件描述语言(HDL)和原理图

创建FPGA工程，并创建或添加设计源文件、约束文件等

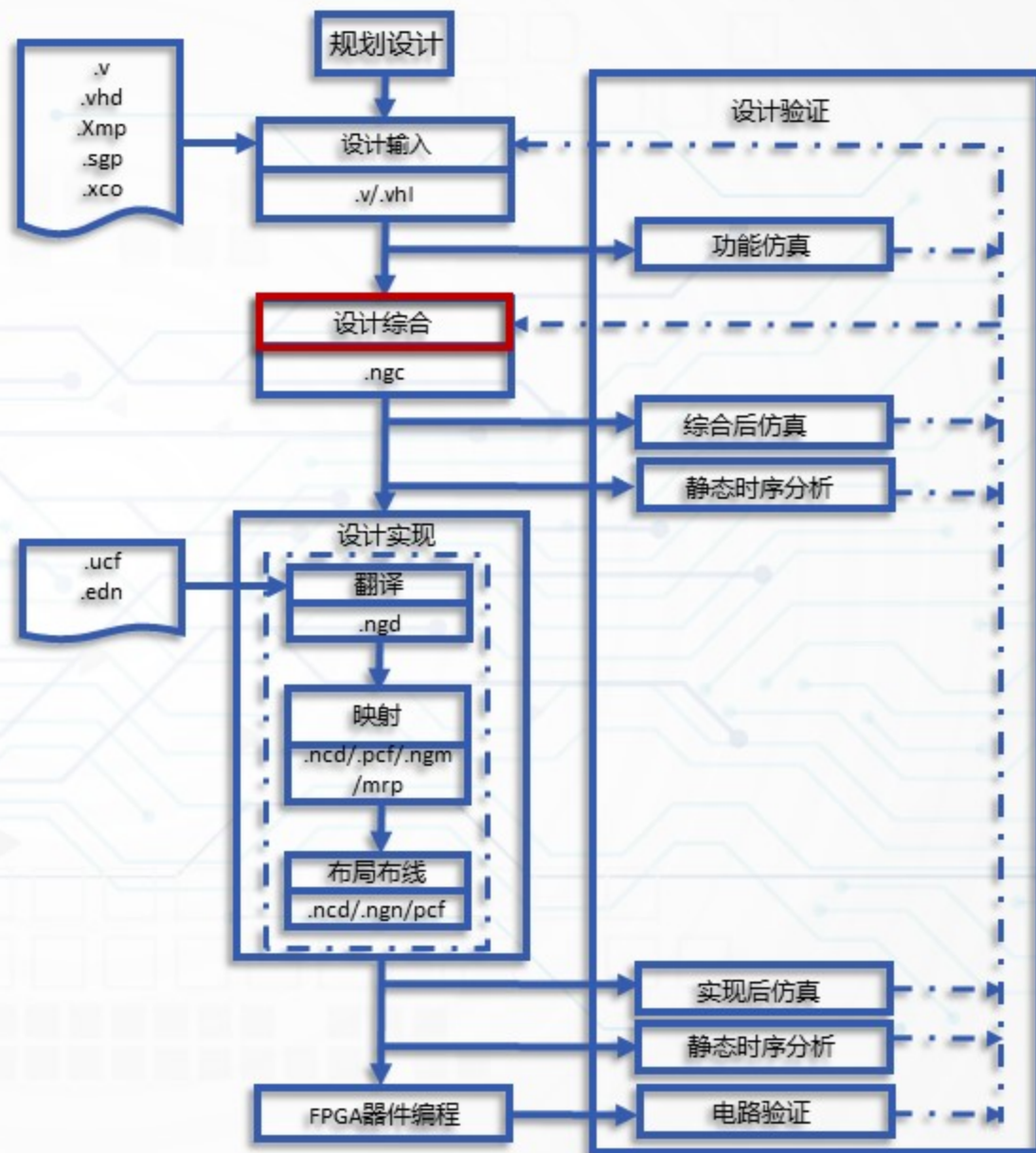


现场可编程门阵列FPGA

设计流程

设计综合 (Synthesis)

将设计输入转换成由基本门电路、RAM和触发器等基本逻辑单元组成的逻辑连接网表

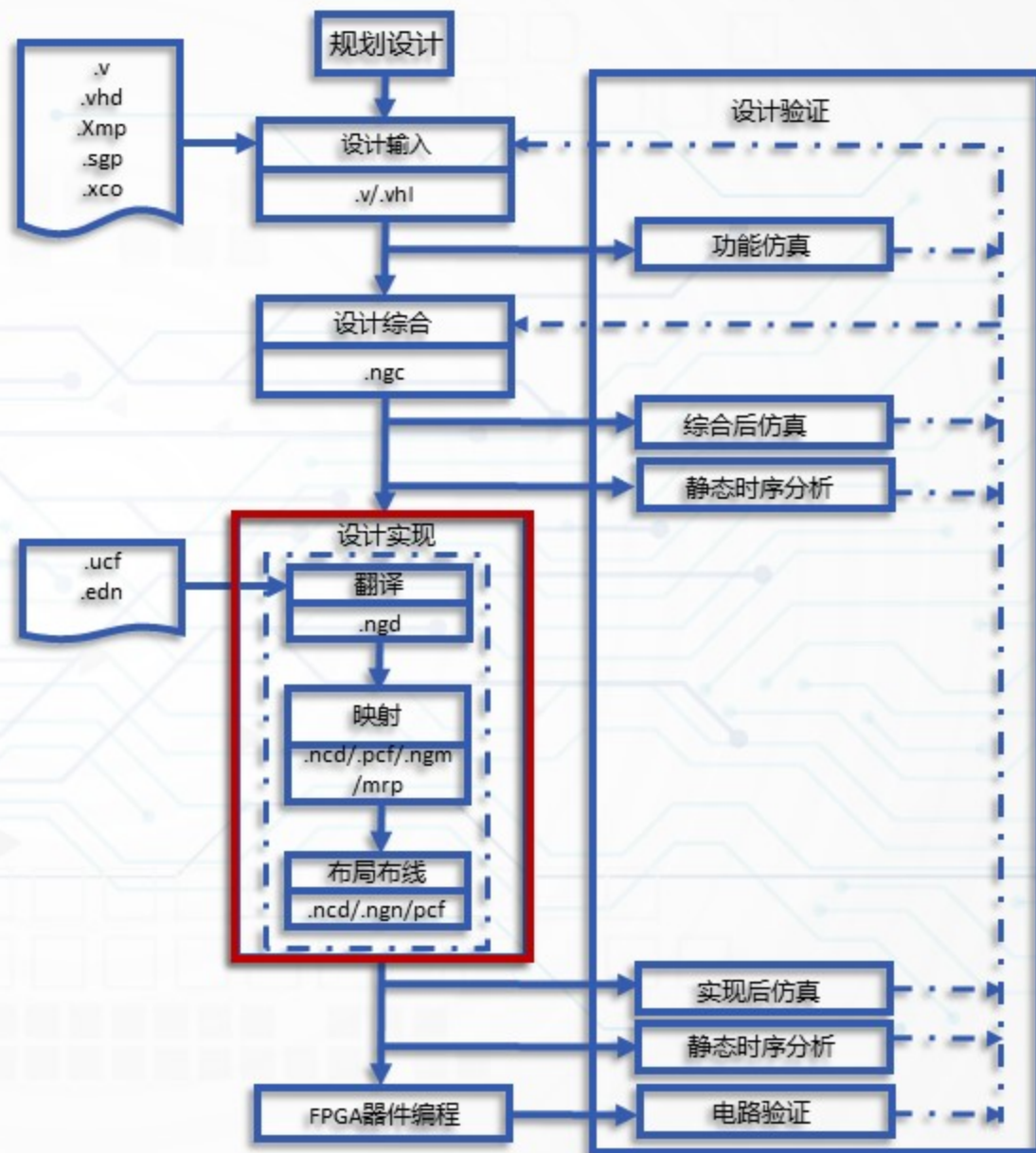


现场可编程门阵列FPGA

设计流程

设计实现

通过翻译 (Translate)、映射 (Map)、布局布线 (Place & Route) 等过程来将逻辑设计进一步转译为可以下载烧录到目标 FPGA 器件中的特定物理文件格式的过程



现场可编程门阵列FPGA

设计流程

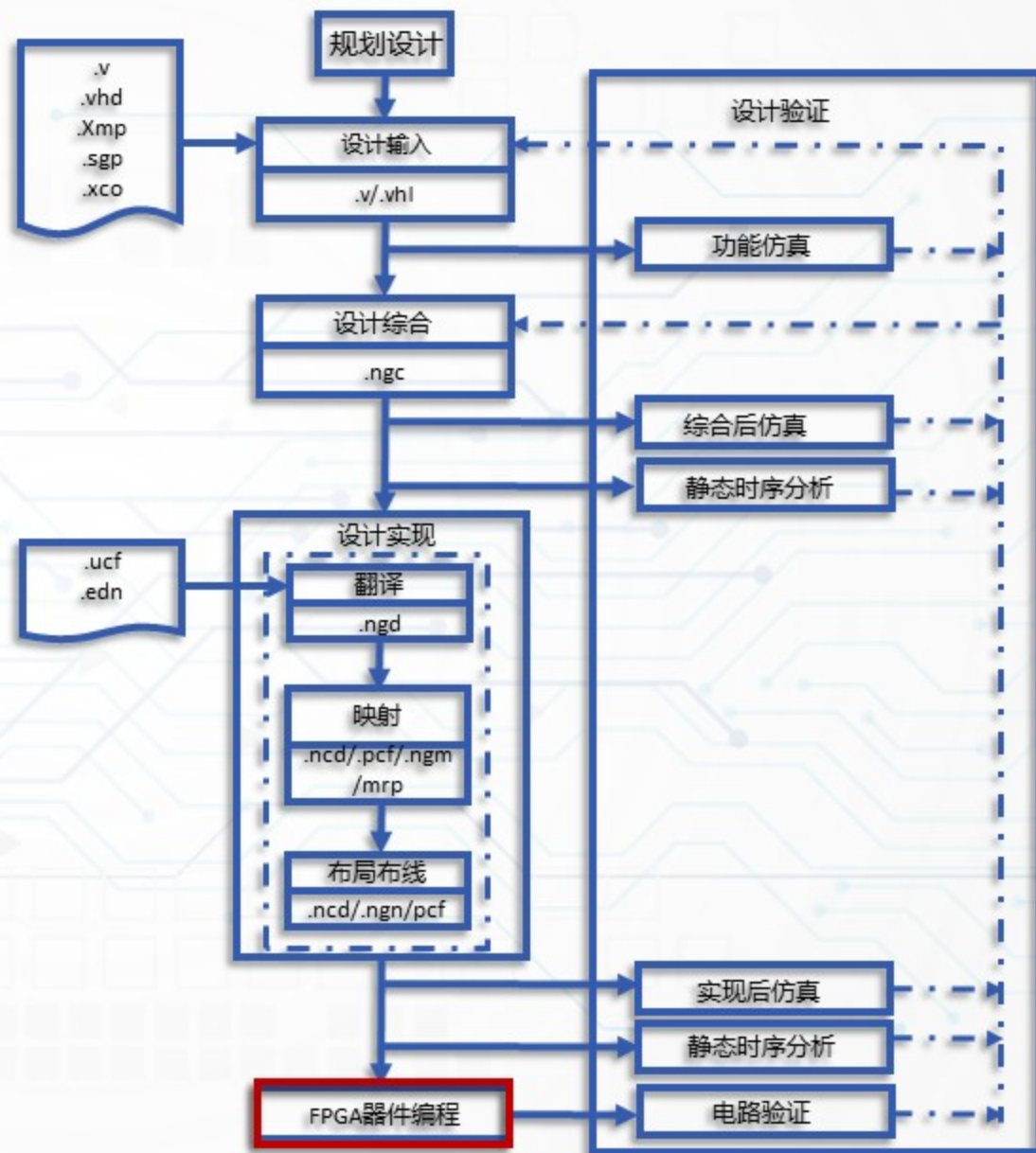
FPGA配置

芯片编程

生成位数据流文件

将编程数据下载到FPGA芯片中

调试



现场可编程门阵列FPGA

设计流程——下载验证



下载是在功能仿真与时序仿真正确的前提下，将综合后形成的位流下载到具体的 FPGA 芯片中，也叫芯片配置



FPGA 设计有两种配置形式



直接由计算机经过专用下载电缆进行配置



由外围配置芯片进行上电时自动配置

现场可编程门阵列FPGA

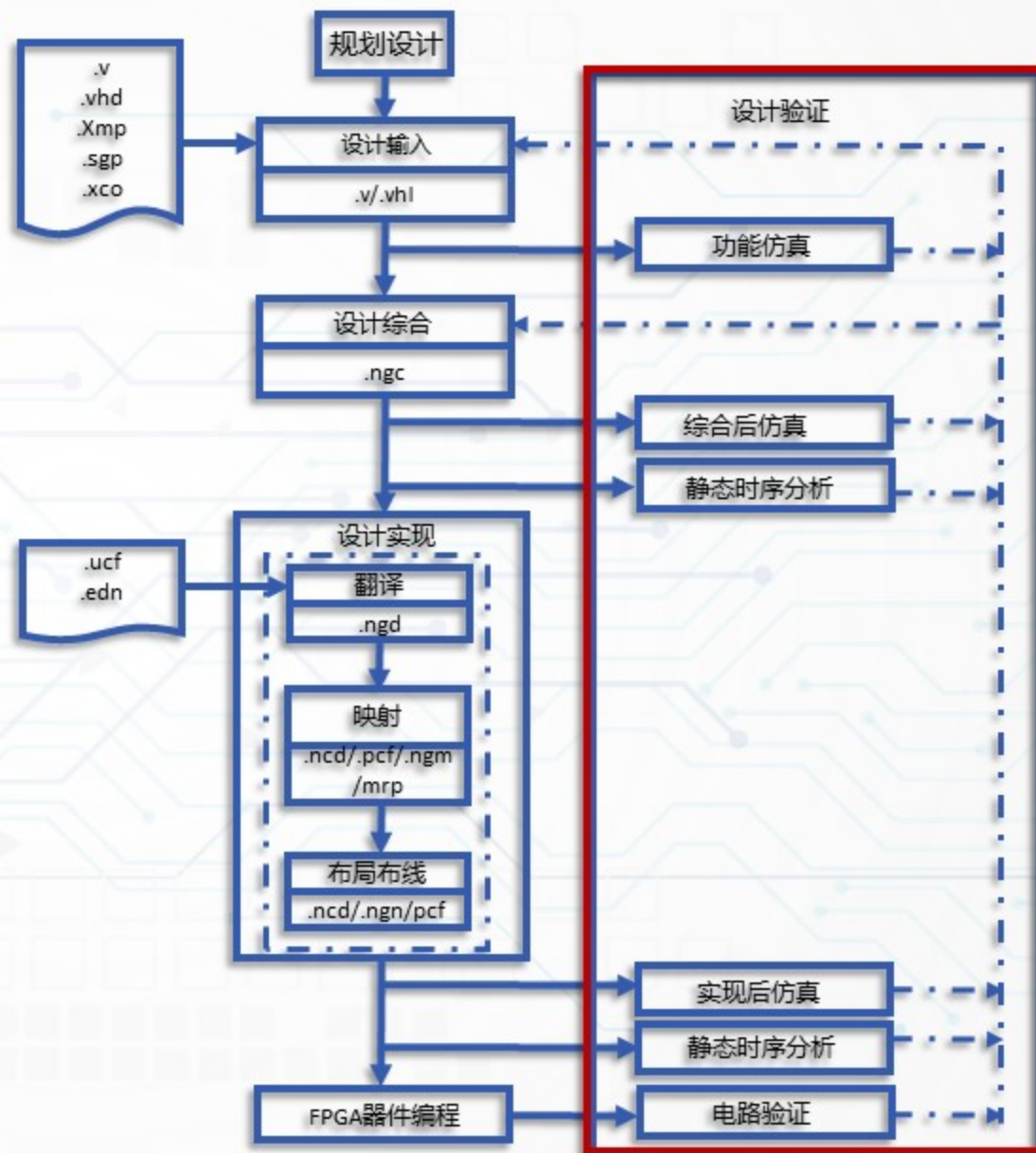
设计流程

设计验证

仿真

静态时序分析

电路验证



现场可编程门阵列FPGA

设计流程——仿真

行为仿真，又称功能仿真、RTL级仿真，是在编译之前对用户所设计的电路进行逻辑功能验证

实现后仿真，又称为时序仿真，其目的和综合后仿真一致，但实现后的时序仿真加入了走线延时信息，使得仿真与FPGA本身运行状态一致

综合后仿真，又称为门级仿真，目的在于检查综合结果是否和原设计一致

现场可编程门阵列FPGA

设计流程

静态时序分析



验证设计是否满足时序在综合设计或布局布线之后，对设计进行快速时序检查



约束，并列举输入约束冲突，以分析部分或全部的布局布线设计

电路验证



作为最后的测试，验证设计在目标应用中的表现



在典型的运行条件下，验证测试电路

数字电路与逻辑设计

Digital circuit and logic design

谢谢，祝学习快乐！

主讲教师 | 何云峰

08