

数字电路与逻辑设计

Digital circuit and logic design

第四章 组合逻辑电路

主讲教师 | 赵贻竹



04



■ 组合逻辑电路的险象



■ 组合逻辑电路的险象

增加冗余项的方法



“或”上冗余的“与”项



“与”上冗余的“或”项



代数法



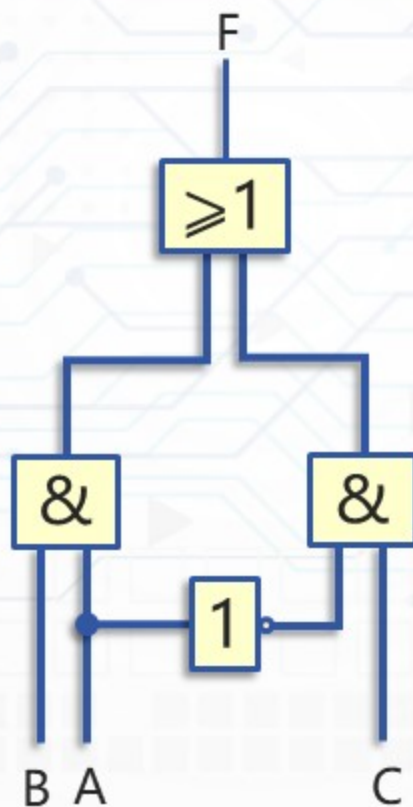
卡诺图

冗余项的选择

■ 用增加冗余项的方法消除险象

例

消除下面电路中的险象。



用增加冗余项的方法消除险象

分析



逻辑表达式



$$F = AB + \bar{A}C$$



判断



$B=C=1$ 时, A 的变化可能使输出产生“0”型险象



增加冗余项 BC

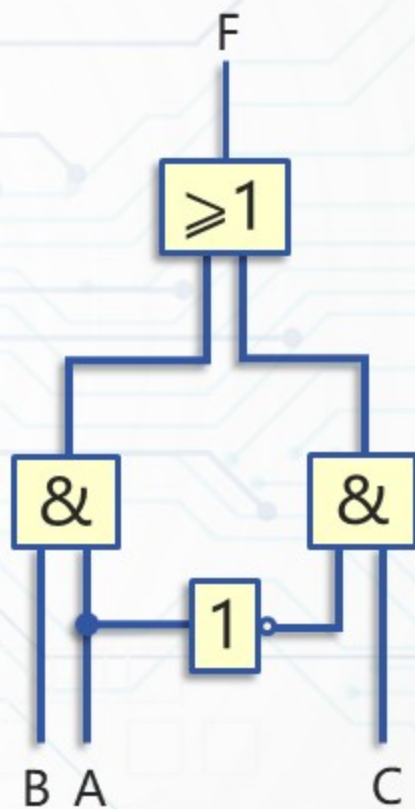


$$F = AB + \bar{A}C + BC$$

$$F = AB + \bar{A}C + BC$$

$BC = 11$ 时, $F = \bar{A} + A + 1 = 1$

该电路不再产生险象

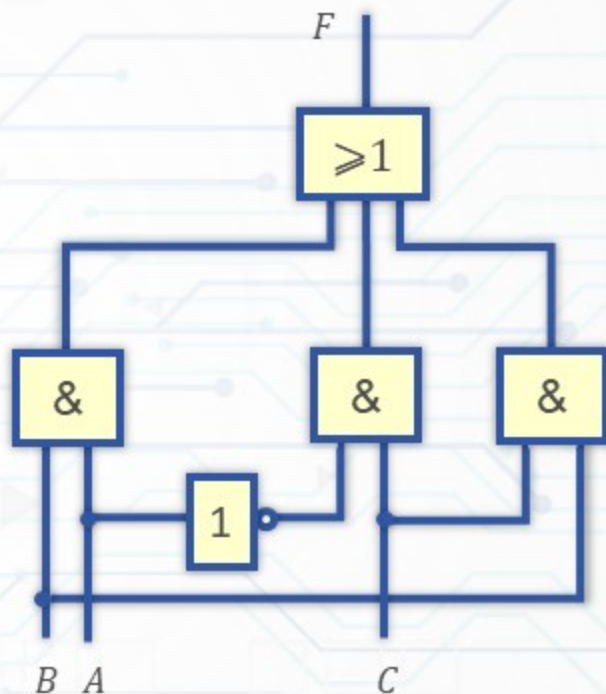


■ 用增加冗余项的方法消除险象

修正后的逻辑电路图



$$F = AB + \bar{A}C + BC$$



■ 用增加冗余项的方法消除险象

卡诺图法

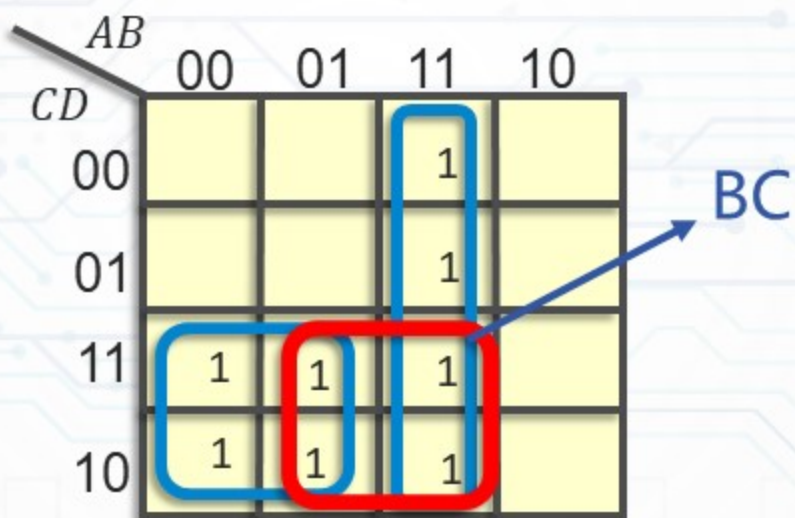
若卡诺图上某两个卡诺圈“相切”，则用一个多余的卡诺圈将它们之间的相邻最小项圈起来，与多余卡诺圈对应的“与”项即为要加入函数表达式中的冗余项

在函数卡诺图上增加多余的卡诺圈

■ 用增加冗余项的方法消除险象

例

$$F = AB + \bar{A}C$$

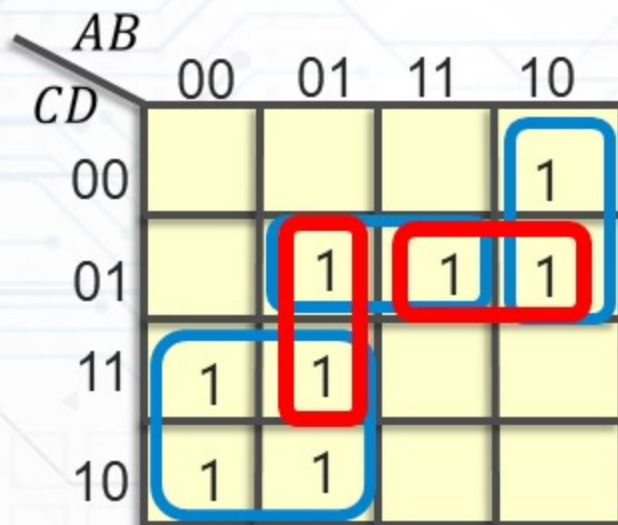


$$F = AB + \bar{A}C + BC$$

■ 用增加冗余项的方法消除险象

例

电路 $F = \bar{A}C + B\bar{C}D + A\bar{B}\bar{C}$ 可能产生险象，试用增加冗余项的方法消除。



$$F = \bar{A}C + B\bar{C}D + A\bar{B}\bar{C} + \bar{A}BD + A\bar{C}D$$

■ 用增加冗余项的方法消除险象



注意

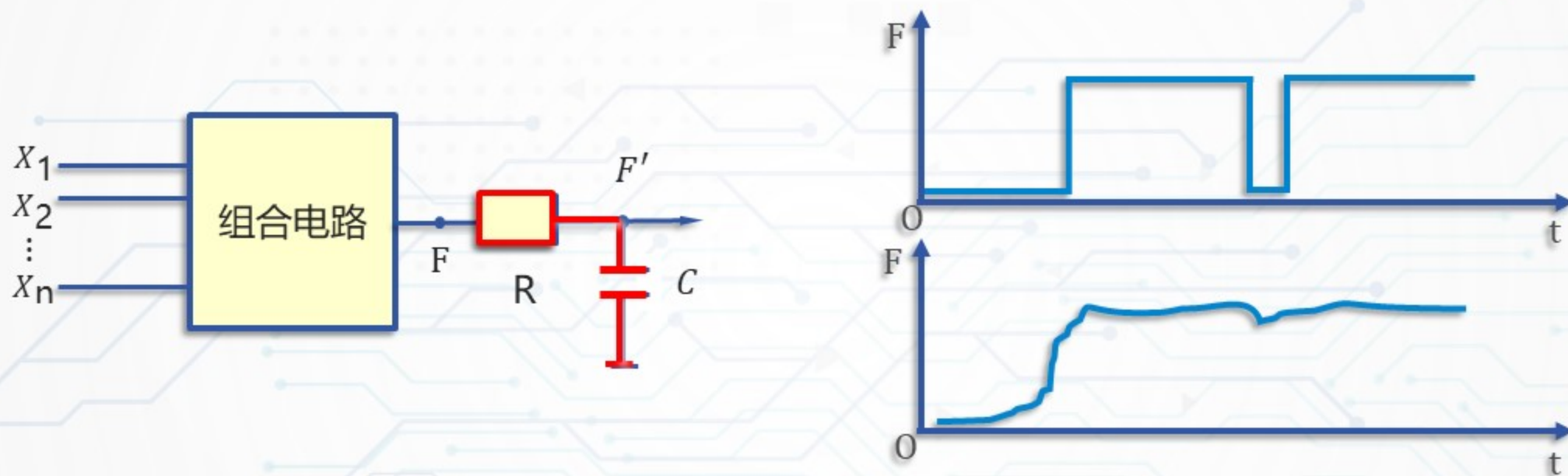
用增加冗余项的方法消除险象时，一定不能改变电路的功能，即增加冗余项后电路的真值表不会发生改变。

■ 增加惯性延时环节

消除险象的另一种方法是在组合电路输出端连接一个惯性延时环节

通常采用RC电路作惯性延时环节

增加惯性延时环节



■ 增加惯性延时环节

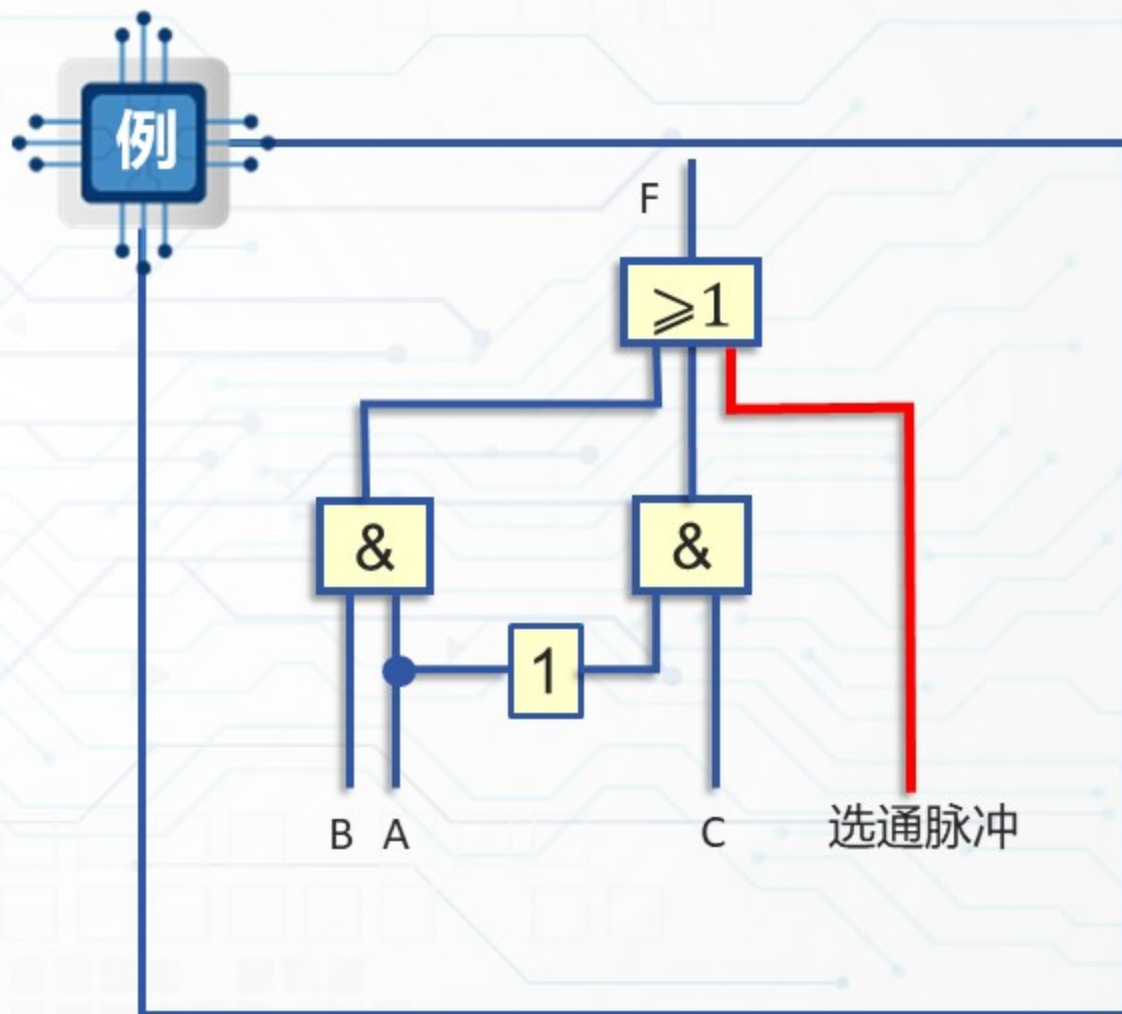
$$\tau = RC$$

一般要求 τ 大于尖脉冲的宽度，以便能将尖脉冲“削平”。但 τ 太大将使正常输出信号产生不允许的畸变。

险象的消除

选通法

选通法不必增加任何器件，仅仅是利用选通脉冲的作用，从时间上加以控制，使输出避开险象脉冲



选通法

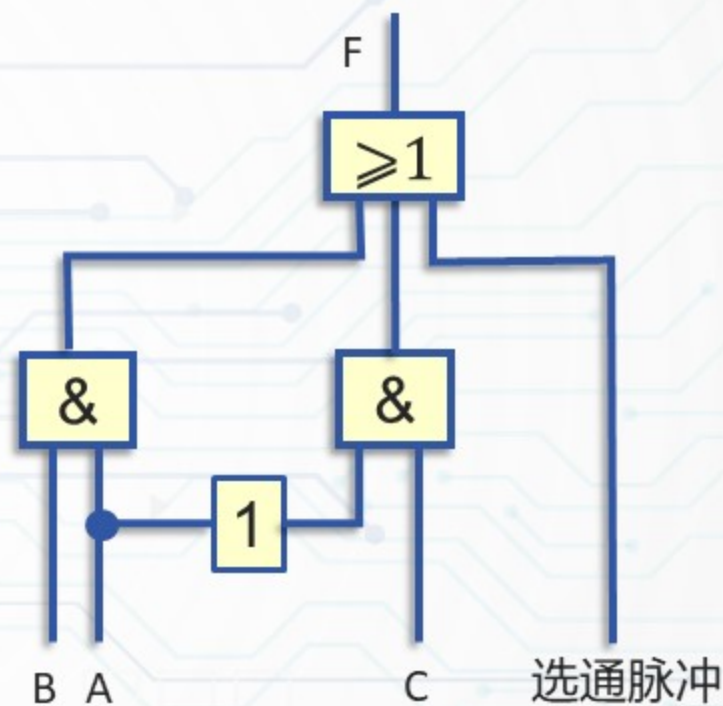
分析



该电路当 A 发生变化时，可能产生“0”型险象



通过选通脉冲对电路的输出门加以控制，令选通脉冲在电路稳定后出现，则可使输出避开险象脉冲，送出稳定输出信号



数字电路与逻辑设计

Digital circuit and logic design

谢谢，祝学习快乐！

主讲教师 | 赵贻竹

04