

数字电路与逻辑设计

Digital circuit and logic design

第八章 可编程逻辑器件

主讲教师 | 何云峰

08

■ 提纲



PLD概述



低密度可编程逻辑器件



高密度可编程逻辑器件

■ 提 纲



现场可编程门阵列FPGA



Vivado设计套件

■ 高密度可编程逻辑器件



Xilinx公司于2012年推出了一种以知识产权核 (Intellectual Property core , IP核) 和系统为中心的、领先一代的全新SoC (System on Chip) 增强型综合开发环境Vivado设计套件

Vivado设计套件

特 点



高度集成的设计环境和工具



集成多个独立的套件，实现FPGA的综合、实现、仿真、下载、调试等功能







提供了以IP为核心的设计理念



采用统一的数据模型





Vivado设计套件

特点

-  标准化XDC (Xilinx Design Constrains) 约束文件
-  采用工程命令语言 (Tool Command Language)
-  集成了高级综合工具Vivado HLS，可以使用高级编程语言C，C++以及System C语言规范对FPGA进行建模
-  设计实现环节多了各种优化功能

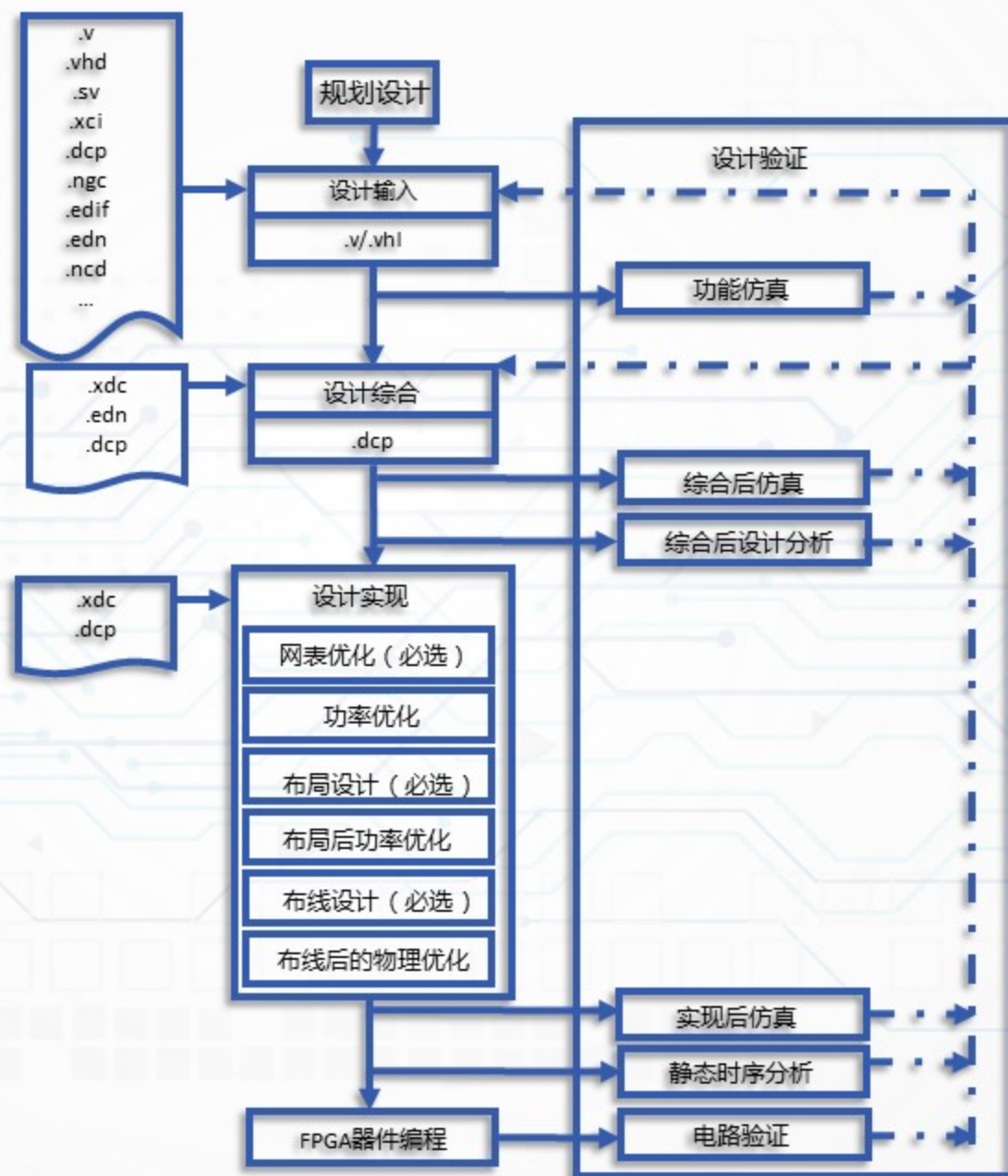
Vivado设计套件

特 点

-  可以在设计流程的任意一个阶段对设计进行分析和验证
-  提供了工程模式（Project）和非工程模式（Non-Project）
-  UltraFast设计方法学
-  与ISE相比，Vivado在各方面的性能都有了明显的提升

Vivado设计套件

设计流程



Vivado设计套件

设计流程



设计输入



可综合的HDL代码、测试文件、IP以及网表文件



可综合的HDL代码和测文件可以是Verilog、VHDL或者System Verilog代码



网表文件可以是Vivado生成的网表文件，也可以是第三方网表文件EDIF

Vivado设计套件

设计流程

设计综合



Vivado集成环境综合是基于时间驱动的，对存储器的利用率和性能进行了优化



综合时可以加入第三方网表文件EDIF以及约束文件



内置Synthesis综合功能，也支持第三方综合工具

Vivado设计套件

设计流程

网表优化 (opt_design) : 必选

功率优化 (power_opt_design)

布局设计 (place_design) : 必选

设计
实现

布局后功率优化

物理优化 (phys_opt_design)

布线设计 (route_design) : 必选

布线后的物理优化

Vivado设计套件

设计流程

系统调试时可以使用
在线逻辑分析仪ILA

可以查看静态报告，也可
动态地查看设计综合实现
的结果

在输入端中，下角标
越大的优先级越高

配置和下载验证

数字电路与逻辑设计

Digital circuit and logic design

谢谢，祝学习快乐！

主讲教师 | 何云峰

08