数季电路与逻辑设计

Digital circuit and logic design

● 第三章 集成门电路与触发器

主讲教师 于俊清



■提纲





数字集成电路的分类



半导体器件的开关特性



门电路



触发器

■门电路



简单逻辑门电路



TTL集成逻辑门电路





典型TTL与非门 常用的集成TTL门电路



两种特殊的门电路



CMOS集成逻辑门电路



MOS晶体管的静态开关特性

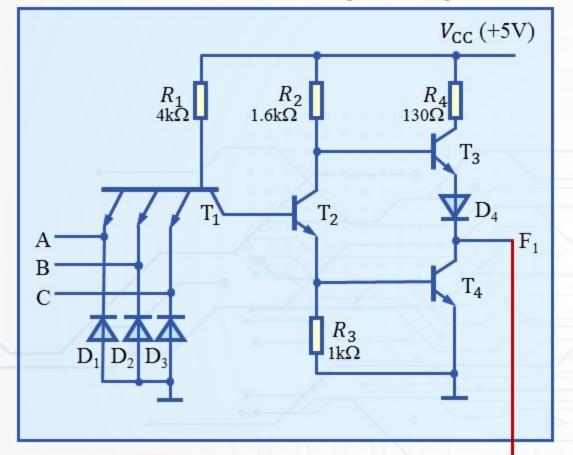


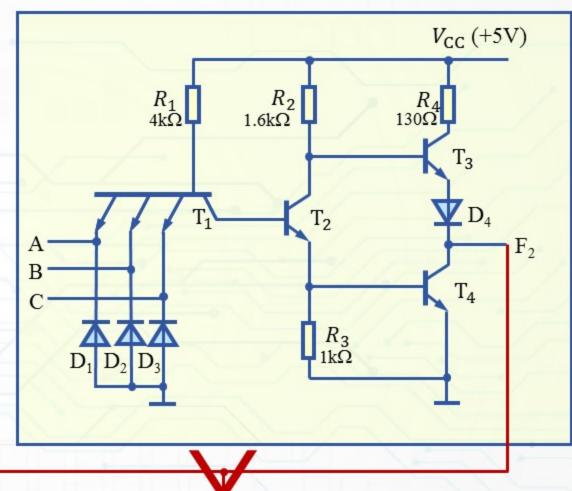
CMOS集成门电路



正逻辑和负逻辑

■ 集电极开路与非门(OCI门)



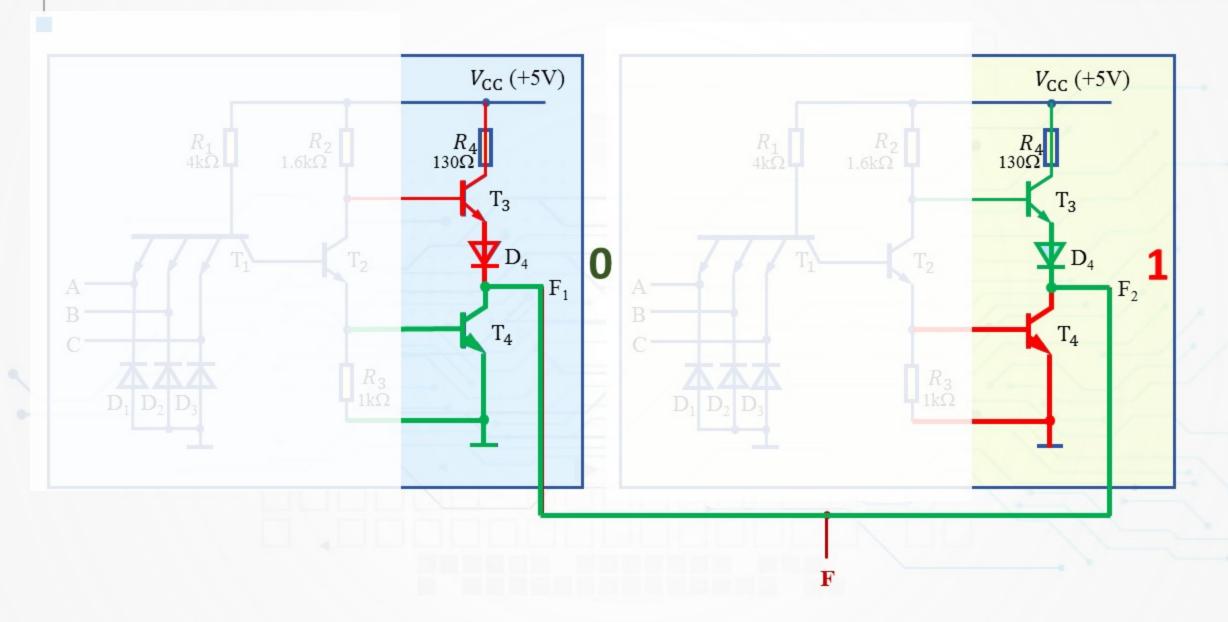




可以直接这样"线与"吗?



数字电路 与逻辑设计







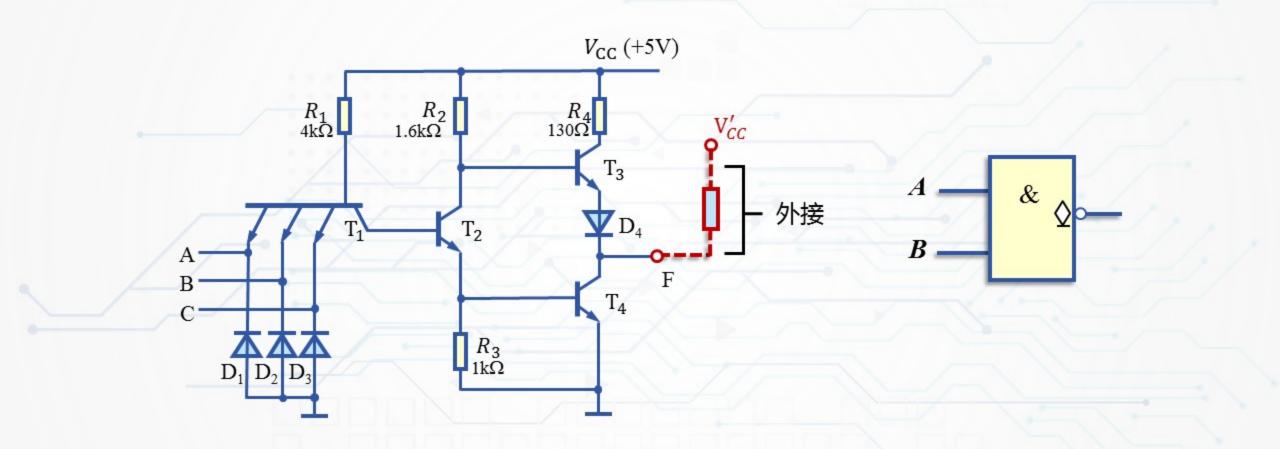
■ 集电极开路与非门(OC门)



- 输出端可以直接连接的特殊逻辑门
- 🏚 能够实现"线与",满足实际应用的需要
- TTL与非门电路的推拉式输出级改为三极管集电极开路输出,即成为"集电极开路与非门"



■ 集电极开路与非门(OCI门)







■ 集电极开路门结构



负载电阻和电源需选择恰当



既保证输出的高电平符合要求



又能使流过T₄的电流不至于过大



集电极开路与非门只有在外接负载电阻和电源后才能正常工作





■ 集电极开路门



"线与"逻辑

- 只要有一个门输出为低电平,输出F便为低电平

仅当两个门的输出均为高电平时,输出F才为高电平

0

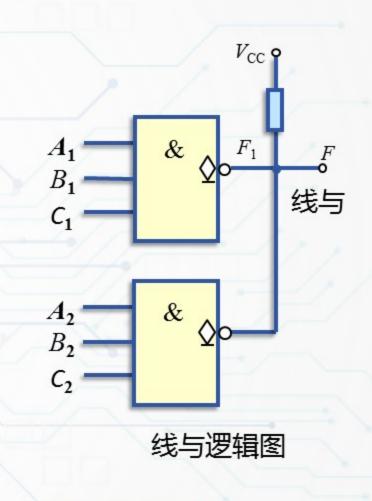
逻辑功能

74

两个与非门输出相"与"

"线与"逻辑

由输出端引线连接实现的



三态输出门



三态输出门 (Three State, 简称TS门)



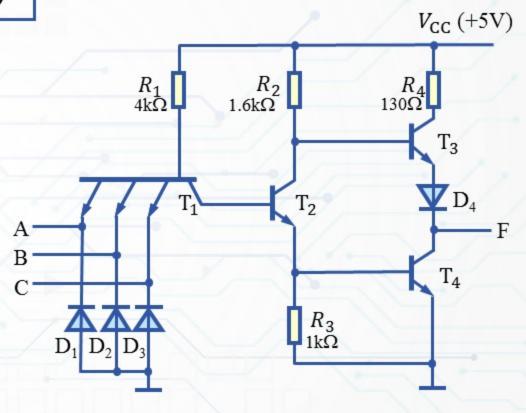
工作状态

- 输出高电平
- 输出低电平



禁止状态

高阻状态(相当于开路)



三态输出门



三态输出门 (Three State, 简称TS门)



工作状态

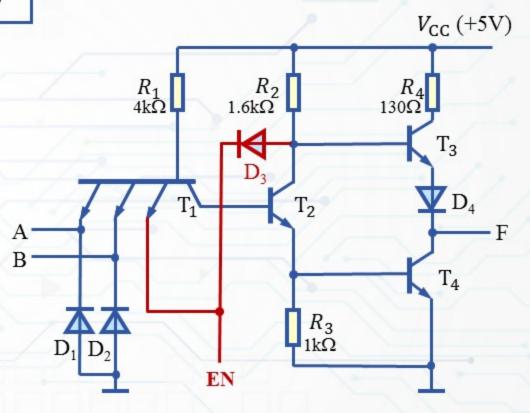
- 输出高电平

输出低电平



禁止状态

高阻状态(相当于开路)



三态输出门原理



当EN=1时(高电平)

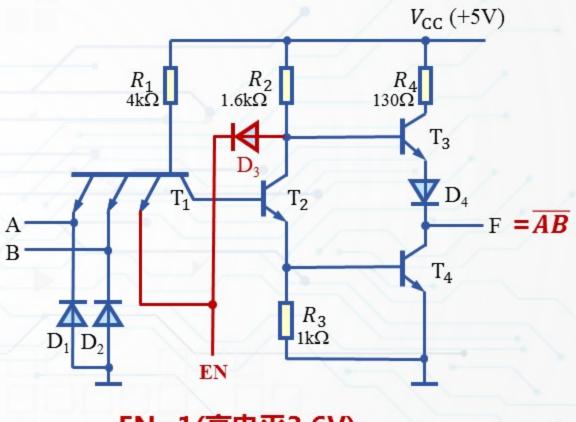


二极管D3反偏,电路为一般与非门



输出 $F = \overline{AB}$

EN	输入端		输出端L
	Α	В	割山地に
1	0	0	1
	0	1 4	1
	1	0	1
	1	1	0



EN=1(高电平3.6V)

三态输出门原理



当EN=0时(低电平)



 T_1 有一个输入为低, T_2 有 T_4 截止



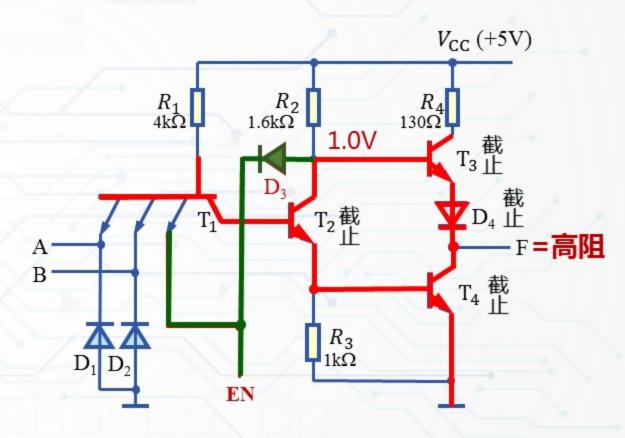
D3导通, T3的基极电压1.0V



T3和D4截止



F 被悬空,即处于高阻状态



EN=0(低电平0.3V)

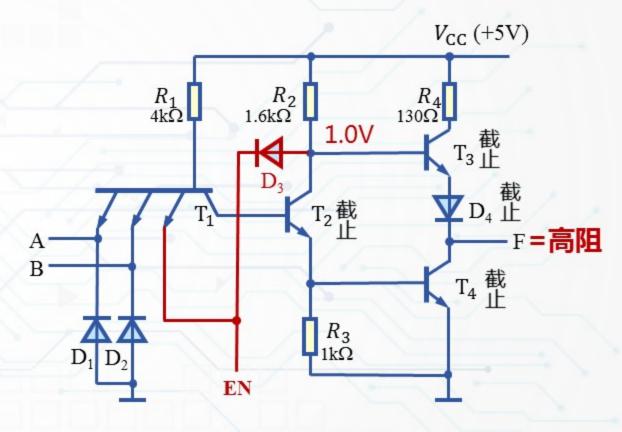


三态输出门原理



当EN=0时(低电平)

EN	输入端		输出端L
	Α	В	制山地口
1	0	0	1
	0	1	1
	1	0	1
	1-/	1	0
· ·	X	X	高阻

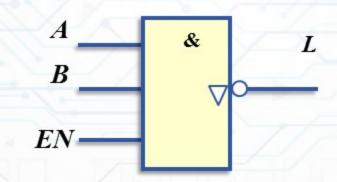


EN=0(低电平0.3V)

三态输出门

高电平使能

$$F = Z$$
 $|_{EN=0}$ 高阻状态



三态与非门(TS)



三态输出门应用

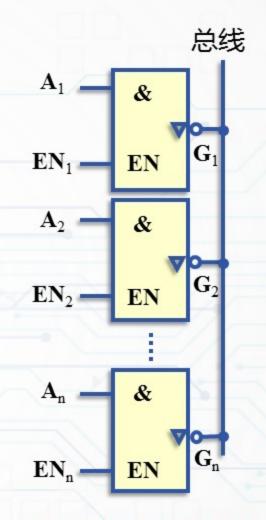


主要应用



总线数据传送

- 可用于单向数据传送
- 可用于双向数据传送



三态门构成单向总线





三态输出门应用



总线传送



EN=1时



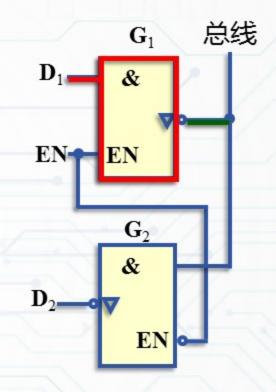
G₁工作



 G_2 处于高阻状态



数据D₁被取反后送至总线



三态门构成的双向总线





三态输出门应用



总线传送



EN=0时



 G_2 工作



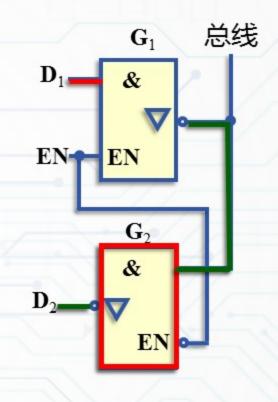
G₁处于高阻状态



总线上的数据被取反后送到数据端D₂



实现数据的分时双向传送



三态门构成的双向总线

数季电路与逻辑设计

Digital circuit and logic design

● 谢谢,祝学习快乐!

主讲教师 于俊清

