# 数季电路与逻辑设计

Digital circuit and logic design

● 第四章 组合逻辑电路

主讲教师赵贻竹





# ■组合逻辑电路的险象



## 险象的判断



# ፟险象的判断

#### 代数法





检查函数表达式中是否存在具备竞争条件的变量



某个变量X同时以原变量和反变量的形式出现在函数表达式中



若存在具备竞争条件的变量X,消去函数中的其他变量,看函数表达式是否会变为



 $X + \bar{X}$  或  $X \cdot \bar{X}$ 



若会,则说明对应的逻辑电路可能产生险象。







#### ■代数法



已知描述某组合电路的逻辑函数表达式为

$$F = \bar{A} \bar{C} + \bar{A}B + AC$$

试判断该逻辑电路是否可能产生险象。





具备竞争条件的变量



变量A

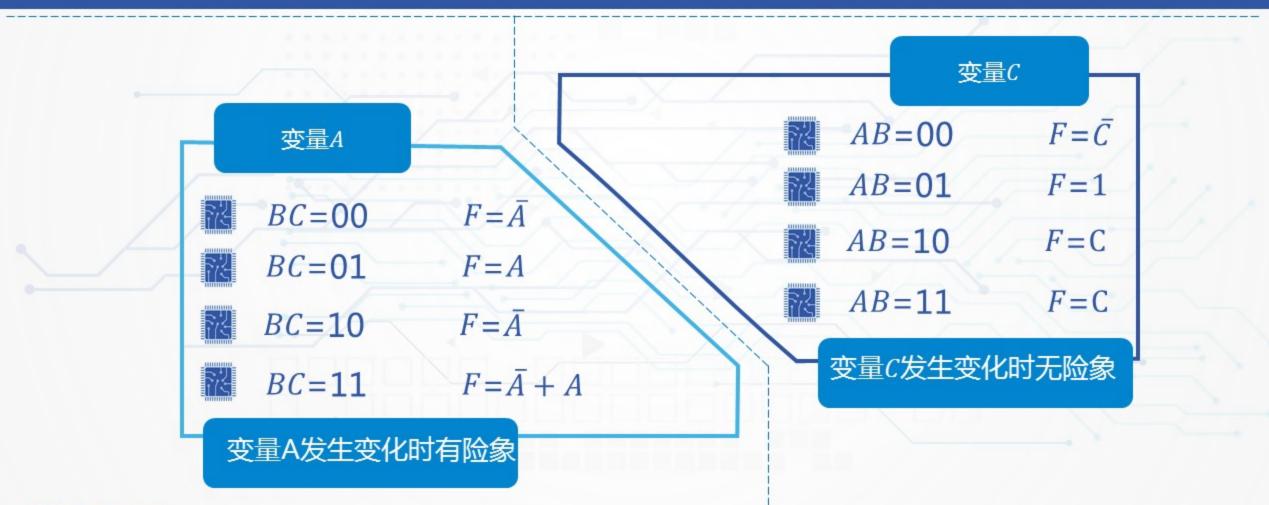


变量C



## ■代数法

#### $F = \bar{A}\,\bar{C} + \bar{A}B + AC$



#### 代数法



试判断下面函数表达式描述的逻辑电路中是否可能产生险象。

$$F = (A+B)(\bar{A}+C)(\bar{B}+C)$$



# 分析



具备竞争条件的变量



变量A

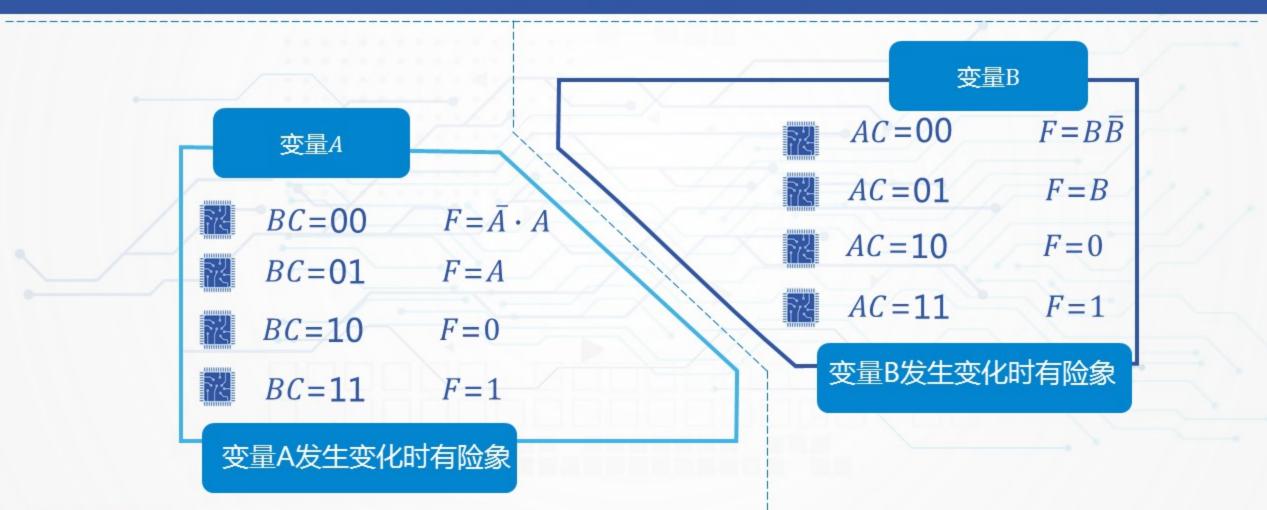


变量B



#### ■代数法

$$F = (A+B)(\bar{A}+C)(\bar{B}+C)$$



# ■险象的判断





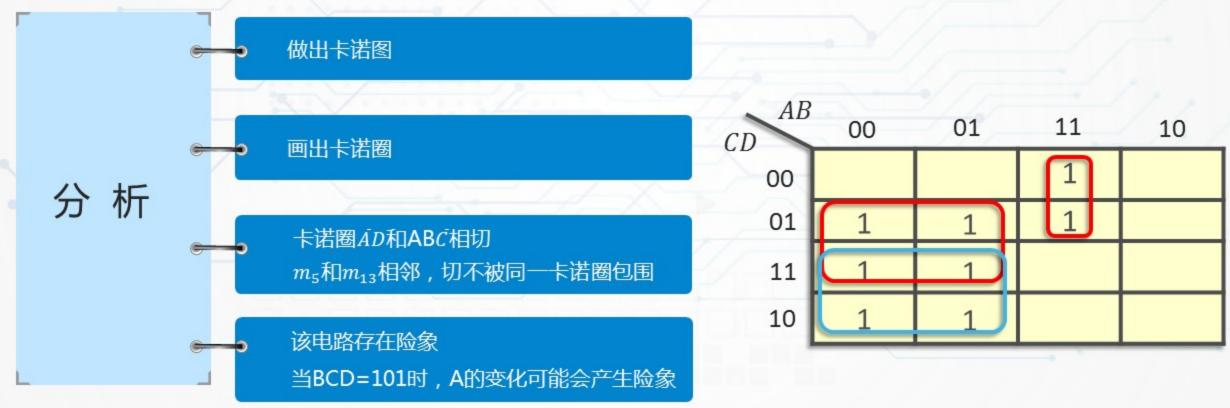
- (二) 作出函数卡诺图
- 前 并画出和函数表达式中各"与"项对应的卡诺圈
- 一 若卡诺圈之间存在"相切"关系,即两卡诺圈之间存在不被同一卡诺圈包含的相邻最小项,则该电路可能产生险象



## 卡诺图法



判断函数表达式 F = AD + AC + ABC 对应的逻辑电路是否可能产生险象。



# 险象的判断



判断组合逻辑电路中的竞争和险象时,

一定不能改变电路的结构, 即不对原来的电

路做任何的化简、变换等。



# 数季电路与逻辑设计

Digital circuit and logic design

● 谢谢,祝学习快乐!

主讲教师 赵贻竹

