# 数季电路与逻辑设计

Digital circuit and logic design

● 第四章 组合逻辑电路

主讲教师 赵贻竹



#### ■提纲





组合逻辑电路分析



组合逻辑电路设计



组合逻辑电路的险象

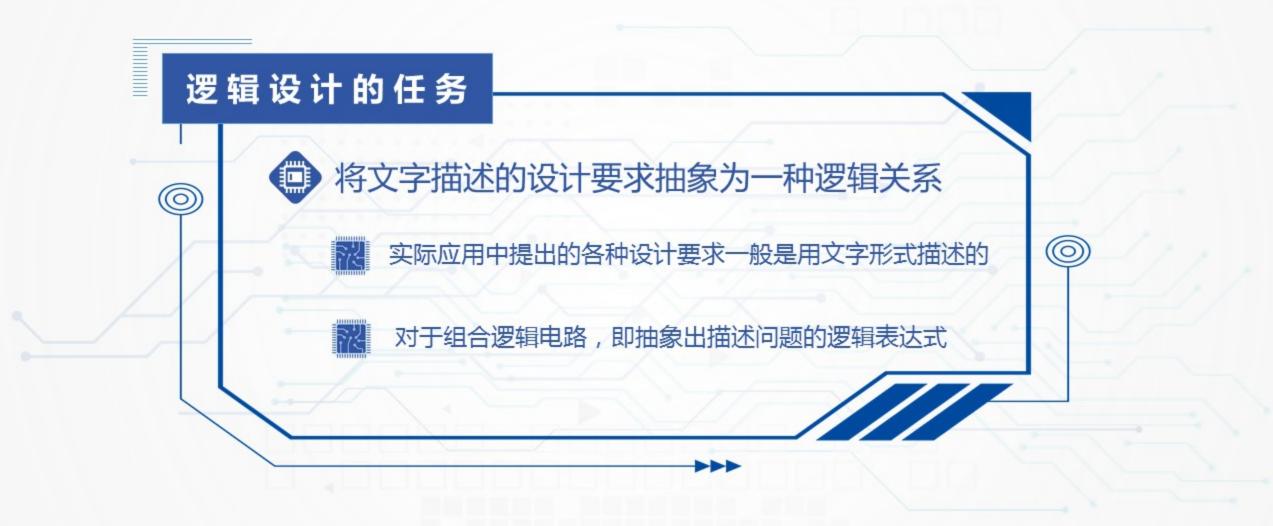




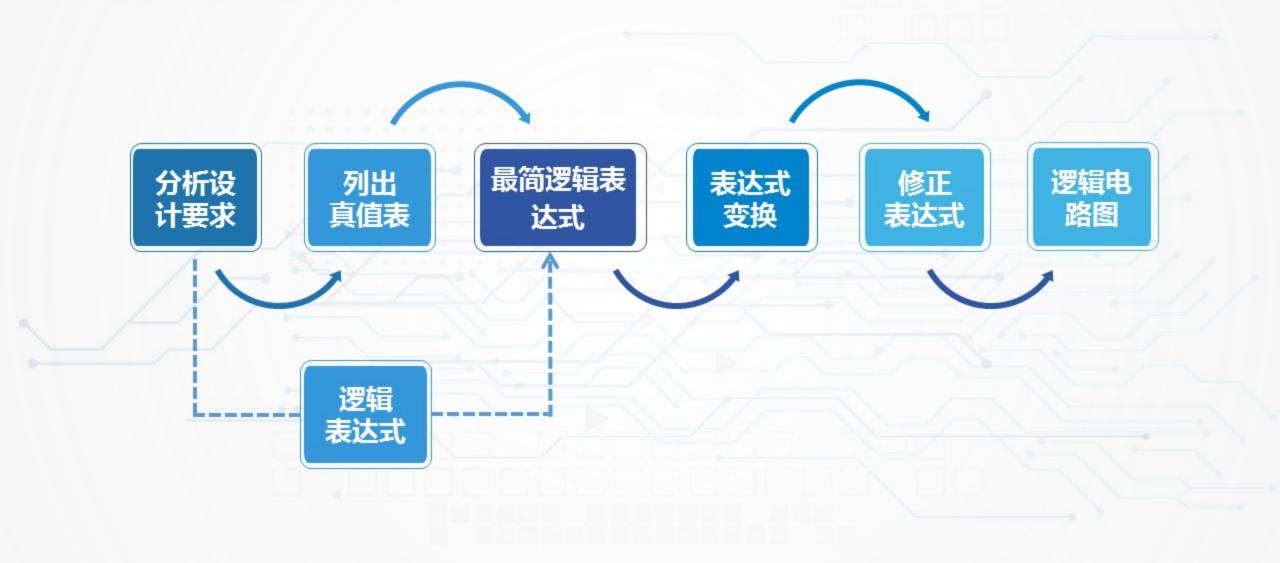
逻辑设计是指根据问题要求完成的逻辑功能, 求出在特定条件下实现给定功能的逻辑电路,又 叫逻辑综合。



#### 同步时序逻辑电路设计



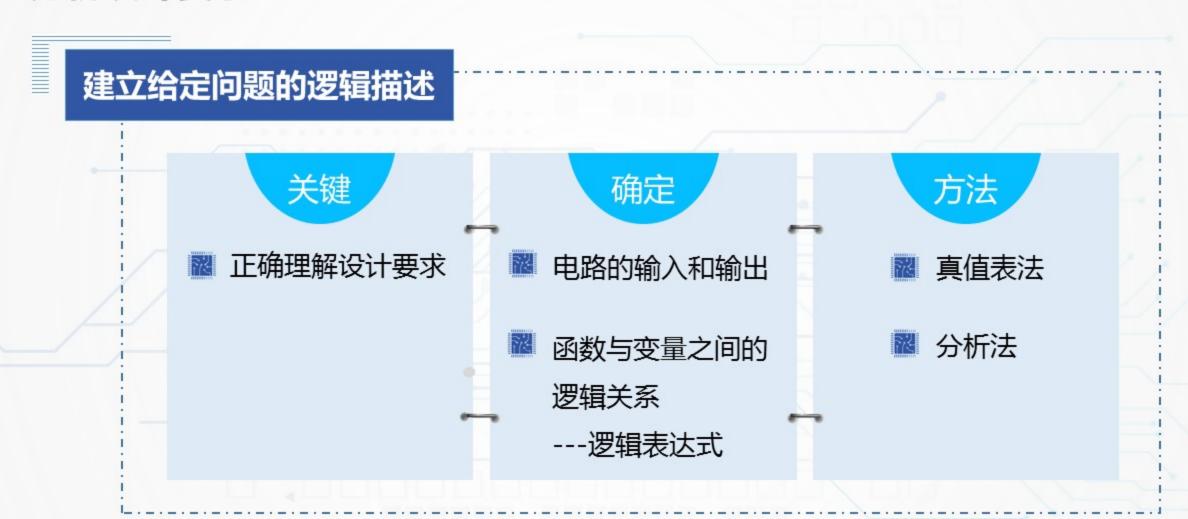








#### ●分析设计要求







设计一个三变量的"多数表决电路"

#### 定 义



三变量多数表决电路是指三个人对一件事进行表决,根据大家投票的结果, 来决定这件事情的最终结果。







设计一个三变量的"多数表决电路"。

#### 分 析



输  $\lambda: A \cup B \cup C \longrightarrow$  代表参加表决的3个成员,0表示反对,1表示赞成



输 出: F:表决结果, 0表示决议被否定, 1表示决议通过



逻辑关系:当3个变量A、B、C中有2个或2个以上取值为1时,函数F的值为

1,其他情况下函数F的值为0。



#### 建立给定问题的逻辑描述



真值表法

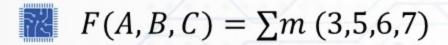


逻辑表达式

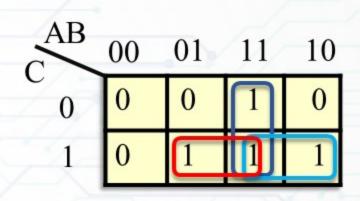
$$F(A,B,C) = \sum m(3,5,6,7)$$

Α	В	С	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1_	1	1

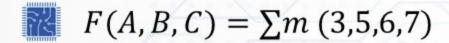
#### 函数化简



$$F = AB + AC + BC$$



#### 函数化简



$$F = AB + AC + BC$$

## 选择器件

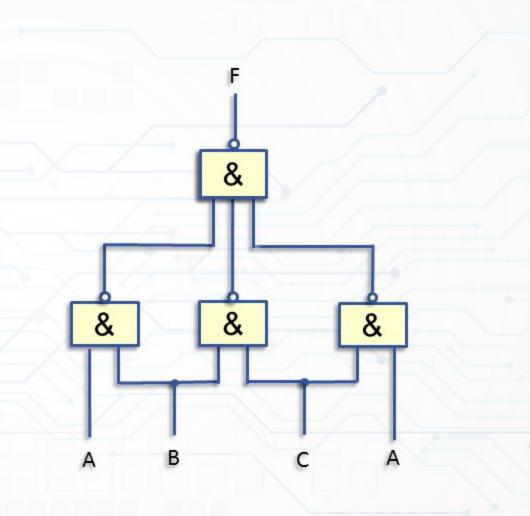
$$F = \overline{AB + AC + BC}$$
$$= \overline{\overline{AB} \overline{AC} \overline{BC}}$$



#### 逻辑电路图



$$F = \overline{AB} \, \overline{AC} \, \overline{BC}$$









优点:规整、清晰

#### 真值表法

缺点:不方便,尤其当变量较多时十分麻烦

#### 分析法



通过对设计要求的分析、理解,直接写出逻辑 表达式





设计一个比较两个三位二进制数是否相等的数值比较器。

## 析



#### 输入:



 $A = a_0 a_1 a_2$ ,  $B = b_0 b_1 b_2$ 



6个输入变量



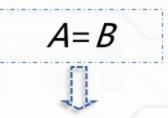
#### 输出:



F:比较结果



 $\mathbb{Z}$  当 A = B 时 , F为1 , 否则F为0



$$a_0 = b_0 \qquad a_1 = b_1 \qquad a_2 = b_2$$

$$f_0 \qquad f_1 \qquad f_2$$



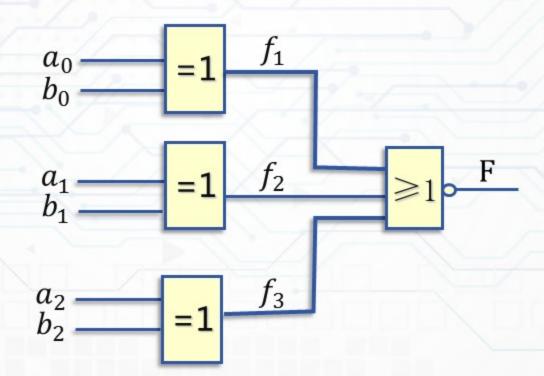


$$F = f_0 f_1 f_2 = \overline{(a_0 \oplus b_0) + (a_1 \oplus b_1) + (a_2 \oplus b_2)}$$

#### 组合逻辑电路设计

#### 逻辑电路图

$$F = \overline{(a_0 \oplus b_0) + (a_1 \oplus b_1) + (a_2 \oplus b_2)}$$



# 数季电路与逻辑设计

Digital circuit and logic design

● 谢谢,祝学习快乐!

主讲教师 赵贻竹

