数季电路与逻辑设计

Digital circuit and logic design

● 第五章 同步时序逻辑电路

主讲教师 赵贻竹



确定激励函数和输出函数并画出逻辑电路图



根据二进制状态表和所选 触发器的激励表,求出触 发器的激励函数表达式和 电路的输出函数表达式并 化简





激励表反应了触发器从现态转移到某种次态时,对输入条件的要求

把触发器的现态和次态作为自变量,而把触发器的输入(或激励)作为因变量





四种时钟控制触发器的激励表

钟控R-S触发器激励表					
现态Q 次态Q ⁿ⁺¹ R S					
0	0	d 0			
0	1	0 1			
1 0 10					
1 -	1	0 d			

钟控J-K触发器激励表				
现态Q 次态Q ⁿ⁺¹ J K				
0	0	0 d		
0	1	1 d		
1	0	d 1		
1	1	d 0		

钟控D触发器激励表					
现态Q 次态Q ⁿ⁺¹ D					
0	0	0			
0	_1_	1			
1	0	0			
1	1	1			

钟控T触发器激励表				
现态Q 次态Q ⁿ⁺¹ T				
0	0	0		
0	1	1		
1	0	1 -		
1	1	0		











用J-K触发器和适当的逻辑门实现如下二进制状态表的功能。

现态	次态y ₂ ⁿ⁺¹ y	/ ⁿ⁺¹ /输出Z
y ₂ y ₁	x=0	x=1
00	11/0	01/0
01	00/0	00/1
10	01/0	11/0
11	00/1	10/1



输入 x	现态 y ₂ y ₁	次态 y ₂ ⁿ⁺¹ y ₁ ⁿ⁺¹	激励函数 J ₂ K ₂ J ₁ K ₁	输出 Z
0	0 0	1 1		0
0	0 1	0 0		0
0	1 0	0 1		0
0	1 1	0 0	\Rightarrow	1
1	0 0	0 1		0
1	0 1	0 0		1
1	1 0	1 1		0
1	1 1	1 0		1

加太	次态y ₂ ⁿ⁺¹ y ₁ ⁿ⁺¹ /输出Z			
现态y2y1	x=0		x=1	
00	11	/0	01	/0
01	00	/0	00	/1
10	01	/0	11	/0
11	00	/1	10	/1

钟控J-K触发器激励表				
现态Q 次态Q ⁿ⁺¹ J K				
0	0	0 d		
0	1	1 d		
1	0	d 1		
1	1	d 0		

输入 x	现态 <i>y</i> ₂ <i>y</i> ₁	次态 y ₂ ⁿ⁺¹ y ₁ ⁿ⁺¹	激励函数 J ₂ K ₂ J ₁ K ₁	输出 Z
0	0 0	1 1	1 d	0
0	0 1	0 0		0
0	1 0	0 1		0
0	1 1	0 0		1
1	0 0	0 1		0
1	0 1	0 0		1
1	1 0	1 1		0
1	1 1	1 0		1

现态y2y1	次态y ₂ ⁿ⁺¹ y	ⁿ⁺¹ /输出Z
	x=0	x=1
- 00	11/0	01/0
01	00/0	00/1
10	01/0	11/0
11	00/1	10/1

钟控J-K触发器激励表				
现态Q 次态Q ⁿ⁺¹ J K				
0	0	0 d		
0	1	1 d		
1	0	d 1		
1	1	d 0		



输入 x	现态 <i>y</i> ₂ <i>y</i> ₁	次态 y ₂ ⁿ⁺¹ y ₁ ⁿ⁺¹	激励函数 $J_2K_2J_1K_1$	输出 Z
0	0 0	1 1	1 d 1 d	0
0	0 1	0 0		0
0	1 0	0 1		0
0	1 1	0 0	\Rightarrow	1
1	0 0	0 1		0
1	0 1	0 0		1
1	1 0	1 1		0
1	1 1	1 0		1

圳太	次态y ₂ ⁿ⁺¹ y ₁ ⁿ⁺¹ /输出Z		
现态y2y1	x=0	x=1	
- 00	11/0	01/0	
01	00/0	00/1	
10	01/0	11/0	
11	00/1	10/1	

钟	钟控J-K触发器激励表				
现态Q	次态Q ⁿ⁺¹	J K			
0	0	0 d			
0	1	1 d			
1	0	d 1			
1	1	d 0			



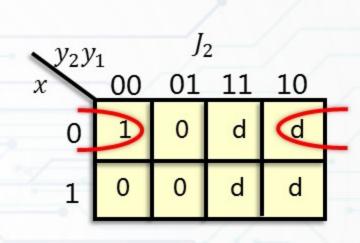
输入 X	现态 <i>y</i> ₂ <i>y</i> ₁	次态 y ₂ ⁿ⁺¹ y ₁ ⁿ⁺¹	激励函数 J ₂ K ₂ J ₁ K ₁	输出 Z
0	0 0	1 1	1 d 1 d	0
0	0 1	0 0	0 d d 1	0
0	1 0	0 1	d1 1d	0
0	1 1	0 0	d1 d1	1
1	0	0 1	0 d 1 d	0
1	0 1	0 0	0 d d 1	1
1	1 0	1 1	d 0 1 d	0
1	1 1	1 0	d0 d1	1

亚太	次态y ₂ ⁿ⁺¹ y ₁ ⁿ⁺¹ /输出Z		
现态y2y1	x=0	x=1	
- 00	11/0	01/0	
01	00/0	00/1	
10	01/0	11/0	
11	00/1	10/1	

钟	控J-K触发器激励表	
现态Q	次态Q ⁿ⁺¹	J K
0	0	0 d
0	1	1 d
1	0	d 1
1	1	d 0

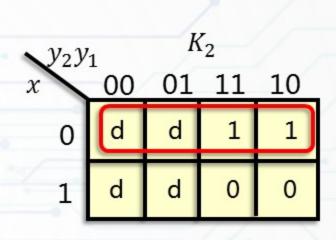


输入 X	现态 <i>y</i> ₂ <i>y</i> ₁	次态 y ₂ ⁿ⁺¹ y ₁ ⁿ⁺¹	激励函数 J ₂ K ₂ J ₁ K ₁	输出 Z
0	0 0	1 1	1 d 1 d	0
0	0 1	0 0	0 d d 1	0
0	1 0	0 1	d 1 1 d	0
0	1 1	0 0	d1 d1	1
1	0 0	0 1	0 d 1 d	0
1	0 1	0 0	0 d d 1	1
1	1 0	1 1	d 0 1 d	0
1	1 1	1 0	d 0 d 1	1



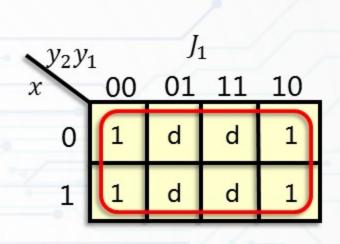
$$J_2 = \bar{x} \, \overline{y_1}$$
$$= \overline{x + y_1}$$

输入 X	现态 <i>y</i> ₂ <i>y</i> ₁	次态 y ₂ ⁿ⁺¹ y ₁ ⁿ⁺¹	激励函数 J ₂ K ₂ J ₁ K ₁	输出 Z
0	0 0	1 1	1 d 1 d	0
0	0 1	0 0	0 d d 1	0
0	1 0	0 1	d 1 1 d	0
0	1 1	0 0	d 1 d 1	1
1	0 0	0 1	0 d 1 d	0
1	0 1	0 0	0 d d 1	1
1	1 0	1 1	d 0 1 d	0
1	1 1	1 0	d <mark>0</mark> d 1	1



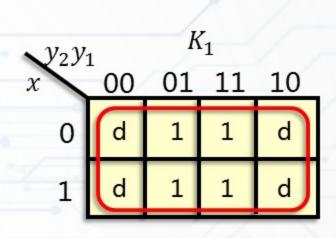
$$K_2 = \bar{x}$$

输 <i>)</i> x	现。 ソ ₂ ソ		次态 y ₂ ⁿ⁺¹ y ₁ ⁿ	+1	激励i J ₂ K ₂)		输出 Z
0	0	0	1		1 d	1 d	0
0	0	1	0 (0 d	d 1	0
0	1	0	0 :	1	d 1	1 d	0
0	1	1	0 (d 1	d 1	1
1	0	0	0 1	Ñ	0 d	1 d	0
1	0	1	0 (0 d	d 1	1
1	1	0	1 1		d 0	1 d	0
1	1	1	1 ()	d 0	d 1	1



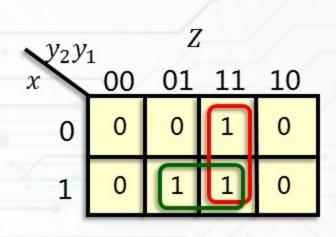
$$J_1 = 1$$

输入 X	现态 <i>y</i> ₂ <i>y</i> ₁	次态 y ₂ ⁿ⁺¹ y ₁ ⁿ⁺¹	激励函数 J ₂ K ₂ J ₁ K ₁	输出 Z
-0	0 0	1 1	1 d 1 d	0
0	0 1	0 0	0 d d 1	0
0	1 0	0 1	d 1 1 d	0
0	1 1	0 0	d1 d1	1
1	0 0	0 1	0 d 1 d	0
1	0 1	0 0	0 d d 1	1
1	1 0	1 1	d 0 1 d	0
1	1 1	1 0	d 0 d 1	1



$$K_1 = 1$$

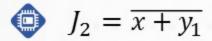
	输入 X	现态 <i>y</i> ₂ <i>y</i> ₁	次态 y ₂ ⁿ⁺¹ y ₁ ⁿ⁺¹	激励函数 J ₂ K ₂ J ₁ K ₁	输出 Z
E	0	0 0	1 1	1 d 1 d	0
[0	0 1	0 0	0 d d 1	0
[0	1 0	0 1	d1 1d	0
I	0	1 1	0 0	d1 d1	1
ľ	1	0 0	0 1	0 d 1 d	0
I	1	0 1	0 0	0 d d 1	1
	1	1 0	1 1	d 0 1 d	0
	1	1 1	1 0	d0 d1	1



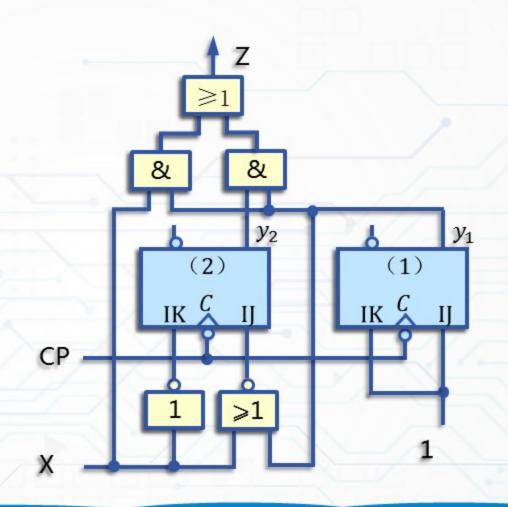
$$Z = y_2 y_1 + x y_1$$



逻辑电路图



$$K_1 = 1$$



若选D触发器作为存储元件是否更简呢?



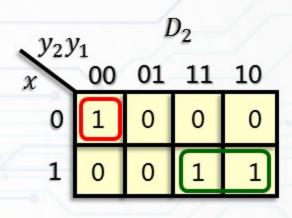
D触发器作为存储元件

输入 X	现态 y ₂ y ₁	次态 y ₂ ⁿ⁺¹ y ₁ ⁿ⁺¹	激励函数 D ₂ D ₁	输出 Z
0	0 0	1 1	1 1	0
0	0 1	0 0	0 0	0
0	1 0	0 1	0 1	0
0	1 1	0 0	0 0	1
1	0 0	0 1	0 1	0
1	0 1	0 0	0 0	1
1	1 0	1 1	1 1	0
1	1 1	1 0	1 0	1



D触发器作为存储元件

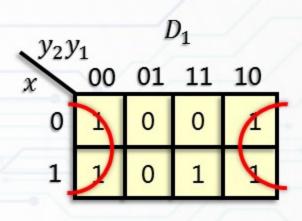
输入 x	现态 <i>y</i> ₂ <i>y</i> ₁	次态 y ₂ ⁿ⁺¹ y ₁ ⁿ⁺¹	激励函数 D ₂ D ₁	输出 Z
0	0 0	1 1	1 1	0
0	0 1	0 0	0 0	0
0	1 0	0 1	0 1	0
0	1 1	0 0	0 0	1
1	0 0	0 1	0 1	0
1	0 1	0 0	0 0	1
1	1 0	1 1	1 1	0
1	1 1	1 0	1 0	1



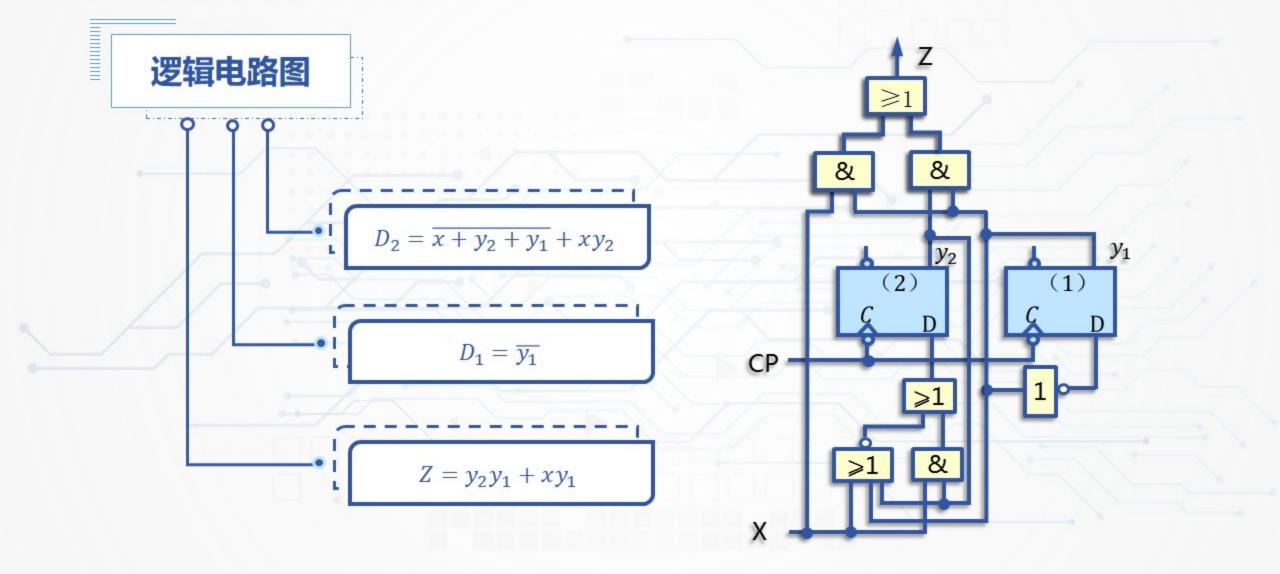
$$D_2 = \overline{x} \, \overline{y_2} \, \overline{y_1} + x y_2$$
$$= \overline{x + y_2 + y_1} + x y_2$$

D触发器作为存储元件

输入 X	现态 <i>y</i> ₂ <i>y</i> ₁	次态 y ₂ ⁿ⁺¹ y ₁ ⁿ⁺¹	激励函数 D ₂ D ₁	输出 Z
0	0 0	1 1	1 1	0
0	0 1	0 0	0 0	0
0	1 0	0 1	0 1	0
0	1 1	0 0	0 0	1
1	0 0	0 1	0 1	0
1	0 1	0 0	0 0	1
1	1 0	1 1	1 1	0
1	1 1	1 0	1 0	1



$$D_1 = \overline{y_1}$$





在同步时序逻辑电路的设计中,采用不同的触发 器,会导致激励函数不同,使得设计出来的电路的组 合电路部分的复杂程度会不同。因此,在具体的设计 中,要进行分析、对比,选择合适的存储元件,从而 使得最终设计的电路最简单。



数季电路与逻辑设计

Digital circuit and logic design

● 谢谢,祝学习快乐!

主讲教师赵贻竹

