

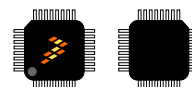
KS22/KS20 微控制器

120 MHz ARM® Cortex®-M4, 具有高达 256 KB Flash

KS2x 产品系列构建于 ARM® Cortex®-M4 处理器上, 具有更低功耗和更高存储器密度, 可采用多种封装。该器件可通过集成的单精度浮点单元 (FPU) 提供 120 MHz 性能。嵌入式 flash 存储器大小为 128 KB 至 256KB。该器件还包括:

- USB 全速 2.0 器件, 无需外部晶振
- FlexCAN, 支持 ISO 11898-1 标准和 CAN 2.0 B 协议规范
- FlexIO, 高度可配置模块, 提供多种协议支持, 包括但不限于 UART、LPI2C、SPI、I2S 和 PWM/波形生成。

MKS22FN256Vxx12
MKS22FN128Vxx12
MKS20FN256Vxx12
MKS20FN128Vxx12



100 和 64 LQFP (LL 和 LH)
14x14x1.7 mm, 间距 0.5 mm; 10x10x1.6 mm,
间距 0.5 mm

性能

- 120 MHz ARM Cortex-M4 内核, DSP 指令集, 1.25 Dhrystone MIPS/MHz

存储器和存储器接口

- 高达 256 KB 嵌入式 flash 和 64 KB SRAM
- Flash 上自带有引导加载程序, 用于在出厂时进行一次性 通信接口在系统编程

系统外设

- 灵活的低功耗模式, 具有多个唤醒源
- 16 通道异步 DMA 控制器
- 独立外部和软件看门狗

时钟

- 两个晶体振荡器: 32 kHz (RTC) 和 32-40 kHz 或 3-32 MHz
- 3 个内部振荡器: 32 kHz、4 MHz 和 48 MHz
- 多用途时钟发生器 (MCG), 带 PLL 和 FLL

安全性和完整性模块

- 硬件 CRC 模块
- 每个芯片具有 128 位的唯一识别 (UID) 号
- 硬件随机数生成器
- Flash 存取控制 (FAC) 可保护专有软件

人机接口

- 多达 66 个通用输入/输出引脚 (GPIO)

工作特性

模拟模块

- 一个 16 位 ADC 模块, 多达 17 个单端通道和 4 个差分通道, 并且在 ≤ 13 位模式时, 速率高达 1.2 Msps
- 一个 12 位 DAC 模块
- 一个模拟比较器 (CMP) 模块

- USB 全速 2.0 器件控制器
- 一个 FlexIO 模块
- 三个 UART 模块 (一个支持 ISO7816, 其他两个工作速率高达 1.5 Mbit/s)
- 一个 LPUART 模块, 支持低功耗模式下的异步操作
- 两个 LPI2C 模块, 支持高达 5 Mbit/s, 支持低功耗模式下的异步操作
- 两个 16 位 SPI 模块, 支持高达 30 Mbit/s
- KS22 配有两个 FlexCAN 模块, KS20 配有一个 FlexCAN 模块
- 两个 I2S 模块

定时器

- 三个 16 位低功耗定时器 PWM 模块 (TPM)
- 一个低功耗定时器 (LPTMR)
- 周期性中断定时器 (PIT)
- 带有独立电源域的实时时钟 (RTC)
- 可编程延迟区块 (PDB)



- 电压范围（包括 Flash 写入）：1.71 至 3.6 V
- 温度范围（环境）：-40 至 105 °C

相关资源

类型	说明	资源
选型指南	飞思卡尔解决方案顾问是一款基于 web 的工具，提供交互式应用向导和动态产品选型器。	解决方案顾问
产品简介	《产品简介》包含简洁的概述/摘要信息，便于快速评估器件的设计适用性。	KS22PB ¹
参考手册	《参考手册》包含关于器件结构与功能（操作）的详细说明。	KS22P100M120SF0RM ¹
数据手册	《数据手册》包含电气特性和信号连接信息。	本文档：KS22P100M120SF0 ¹
芯片勘误表	《芯片掩模组勘误表》提供特定器件掩模组的额外信息或更正信息。	KINETIS_K_0N87R ¹
封装图纸	封装图纸中提供了封装尺寸。	LQFP 100 引脚： 98ASS23308W LQFP 64 引脚： 98ASS23234W

1. 如需获取相关资源，请前往 <http://www.freescale.com> 并使用以下术语进行搜索。

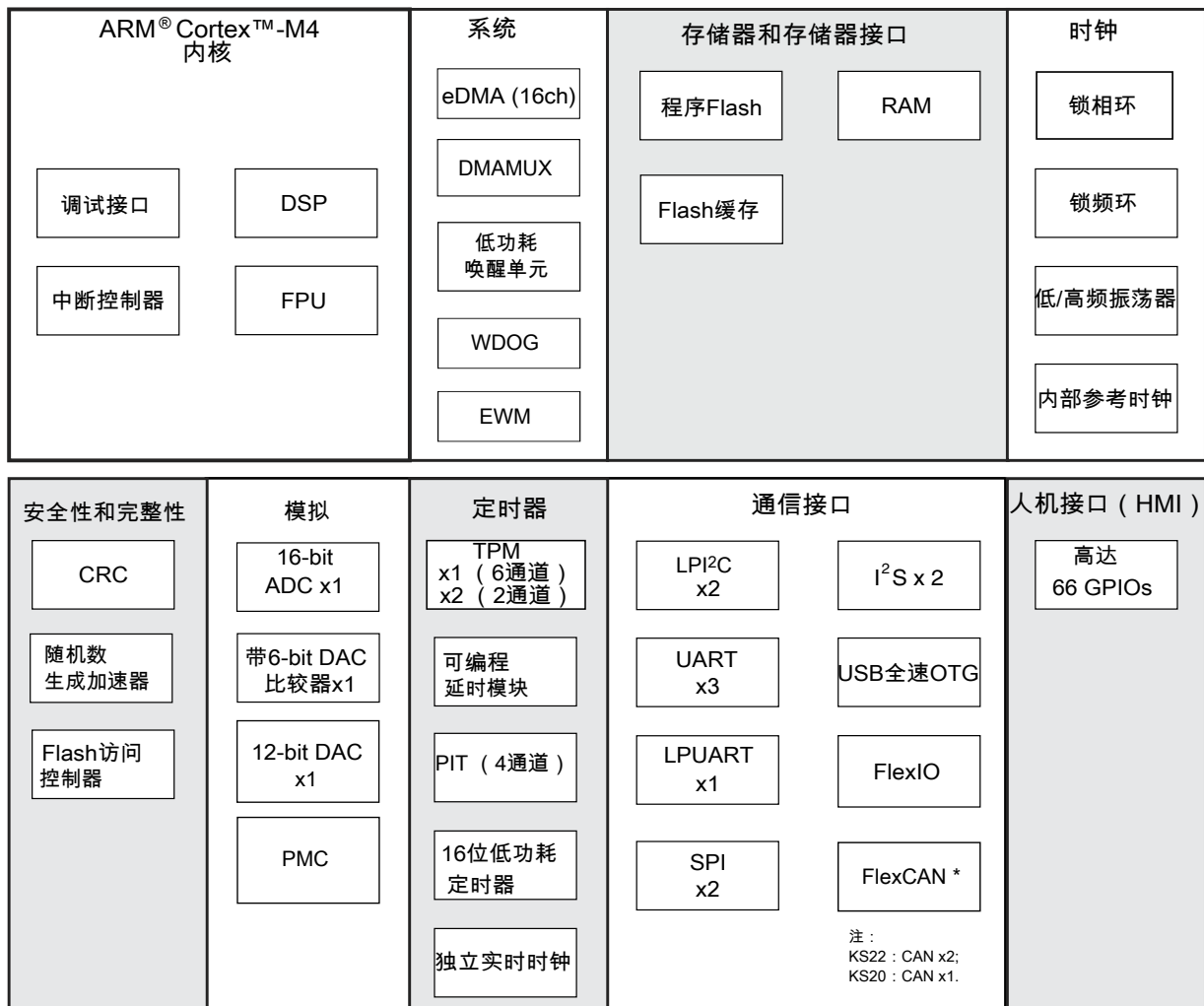


图 1. 功能结构框图

目录

1 订购信息.....	5	4.3.6 通信接口.....	39
2 概述.....	5	4.3.7 人机接口 (HMI)	42
2.1 系统特性.....	6	4.4 引脚配置.....	42
2.1.1 ARM Cortex-M4 内核.....	6	4.5 封装尺寸.....	44
2.1.2 嵌套向量中断控制器(NVIC).....	7	5 电气特性.....	49
2.1.3 AWIC.....	7	5.1 术语和准则.....	49
2.1.4 存储器.....	8	5.1.1 定义.....	49
2.1.5 复位和引导.....	8	5.1.2 示例.....	49
2.1.6 时钟选项.....	9	5.1.3 典型值条件.....	50
2.1.7 安全加密.....	12	5.1.4 极限与操作要求的关系.....	50
2.1.8 电源管理.....	13	5.1.5 极限和操作要求准则.....	51
2.1.9 LLWU.....	14	5.2 额定值.....	51
2.1.10 调试控制器.....	16	5.2.1 热处理参数.....	51
2.1.11 计算机正常运行(COP)看门狗定时器.....	16	5.2.2 湿度处理参数.....	52
2.2 外设特性.....	16	5.2.3 ESD 操作额定参数.....	52
2.2.1 eDMA 和 DMAMUX.....	16	5.2.4 电压和电流操作极限.....	52
2.2.2 TPM.....	17	5.3 通用.....	52
2.2.3 ADC.....	17	5.3.1 交流电气特性.....	52
2.2.4 DAC.....	18	5.3.2 静态电气规格.....	53
2.2.5 CMP.....	18	5.3.3 开关规格.....	63
2.2.6 RTC.....	19	5.3.4 热学特性.....	65
2.2.7 PIT.....	19	5.4 外设工作要求与特性.....	66
2.2.8 PDB.....	19	5.4.1 调试模块.....	66
2.2.9 LPTMR.....	20	5.4.2 系统模块.....	70
2.2.10 CRC.....	20	5.4.3 时钟模块.....	70
2.2.11 UART.....	21	5.4.4 存储器和存储器接口.....	75
2.2.12 LPUART.....	21	5.4.5 安全性和完整性模块.....	76
2.2.13 SPI.....	22	5.4.6 模拟.....	77
2.2.14 FlexCAN.....	22	5.4.7 定时器.....	86
2.2.15 LPI2C.....	23	5.4.8 通信接口.....	86
2.2.16 USB.....	24	6 设计考虑因素.....	96
2.2.17 I2S.....	24	6.1 硬件设计考虑因素.....	96
2.2.18 FlexIO.....	25	6.1.1 印刷电路板注意事项.....	96
2.2.19 端口控制和 GPIO.....	25	6.1.2 功率输出系统.....	97
3 存储器映射.....	27	6.1.3 模拟设计.....	97
4 引脚配置.....	27	6.1.4 数字设计.....	98
4.1 信号多路复用及引脚分配.....	28	6.1.5 晶体振荡器.....	100
4.2 引脚属性.....	31	6.2 软件方面.....	102
4.3 模块信号说明表.....	35	7 器件标识.....	102
4.3.1 内核模块.....	35	7.1 说明.....	102
4.3.2 系统模块.....	36	7.2 格式.....	103
4.3.3 时钟模块.....	36	7.3 字段.....	103
4.3.4 模拟.....	37	7.4 示例.....	103
4.3.5 定时器模块.....	37	8 修订历史记录.....	104

1 订购信息

以下芯片可供订购。

表 1. 订购信息

产品		存储器		封装		IO 和 ADC 通道			Commu nication
器件型号	标记 (Line1/Line2)	Flash (KB)	SRAM (KB)	引脚数	封装	GPIOs	GPIOs (INT/HD) ¹	ADC 通 道 (SE/DP) ²	FlexCAN
MKS22F N256VLL 12	MKS22FN256 / VLL12	256	64	100	LQFP	66	66/8	17/4	2
MKS22F N256VLH 12	MKS22FN256 / VLH12	256	64	64	LQFP	40	40/8	14/2 ³	2
MKS22F N128VLL 12	MKS22FN128 / VLL12	128	64	100	LQFP	66	66/8	17/4	2
MKS22F N128VLH 12	MKS22FN128 / VLH12	128	64	64	LQFP	40	40/8	14/2 ³	2
MKS20F N256VLL 12	MKS20FN256 / VLL12	256	64	100	LQFP	66	66/8	17/4	1
MKS20F N256VLH 12	MKS20FN256 / VLH12	256	64	64	LQFP	40	40/8	14/2 ³	1
MKS20F N128VLL 12	MKS20FN128 / VLL12	128	64	100	LQFP	66	66/8	17/4	1
MKS20F N128VLH 12	MKS20FN128 / VLH12	128	64	64	LQFP	40	40/8	14/2 ³	1

1. INT：中断引脚编号；HD：高电平驱动引脚编号

2. SE：单端；DP：差分对

3. ADC0_DP1 仅适用于 64-LQFP 封装中的单端(SE)模式。

2 概述

下图显示此器件的系统示意图。

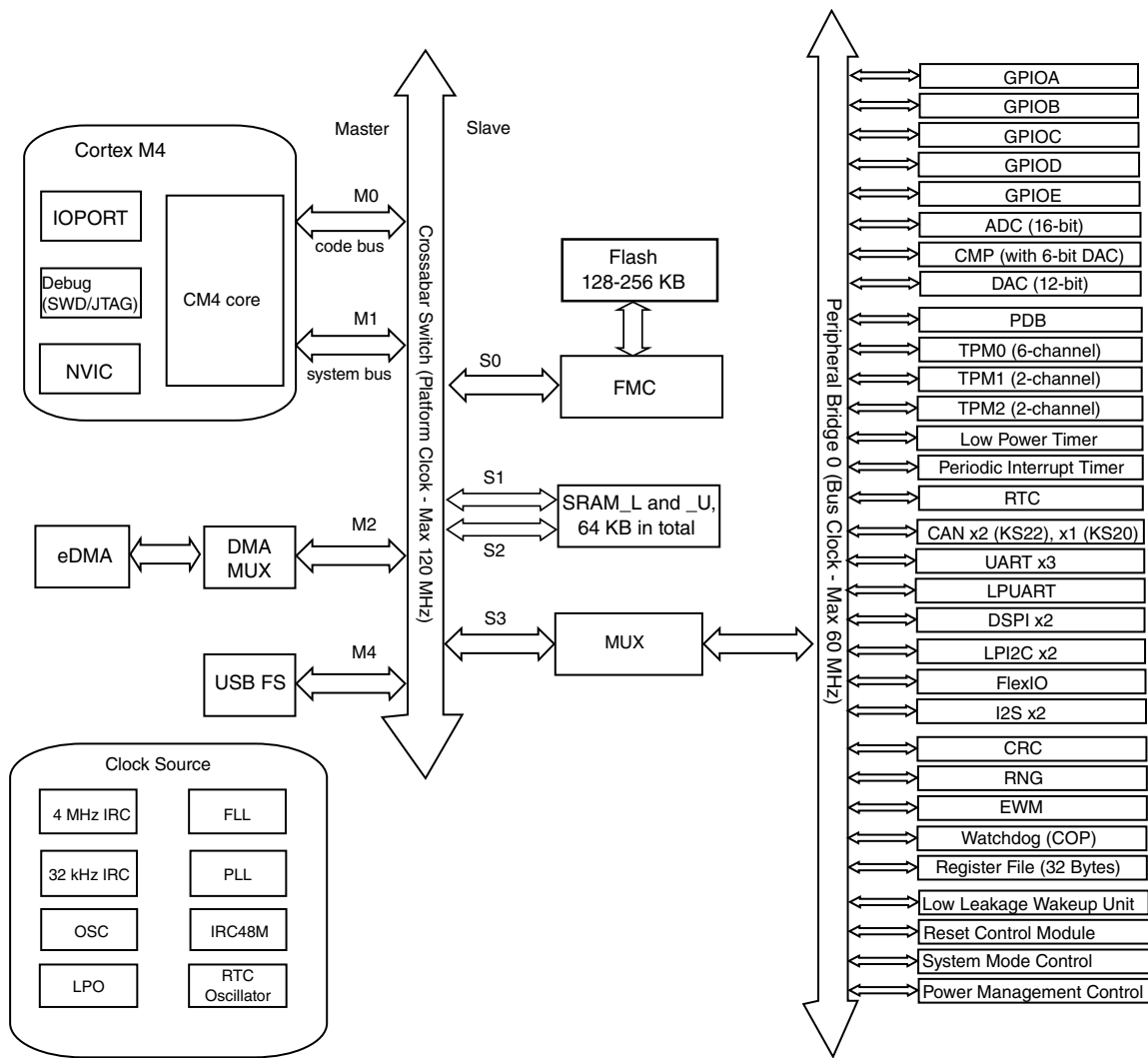


图 2. 系统示意图

交叉开关通过交叉开关结构连接总线主机和从机。该结构支持最多 4 个总线主机都能同时访问不同的总线从机，并且还可在其访问相同从机时提供总线主机间的仲裁。

2.1 系统特性

以下章节介绍高级系统特性。

2.1.1 ARM Cortex-M4 内核

ARM Cortex-M4 是 Cortex M 系列微处理器中的一款微处理器内核，重点面向成本敏感、具有确定性且由中断驱动的环境。Cortex M4 处理器基于 ARMv7 架构和 Thumb®-2 ISA，并且向上兼容 Cortex M3、Cortex M1 和 Cortex M0 架构。Cortex M4 的改进包括一个 ARMv7 Thumb-2 DSP，该 DSP 采用 ARMv7-A/R 配置架构，提供 32 位指令，具有 SIMD（单指令多数据）DSP 类型的乘法/加法和饱和算法。

2.1.2 嵌套向量中断控制器(NVIC)

嵌套向量中断控制器(NVIC)支持嵌套中断和 16 个中断优先级。在 NVIC 中, IPR 寄存器中的各个源都包含 4 位。而且中断源数量也不相同，并支持 240 个中断向量。

Cortex-M 系列使用多种方法减少中断延迟。它还可用于将 MCU 内核从 WAIT 和 VLPW 模式唤醒。

2.1.3 AWIC

异步唤醒中断控制器(AWIC)用于检测 STOP 模式下的异步唤醒事件，并向时钟控制逻辑发送信号以恢复系统时钟。时钟重启后，NVIC 观察未决中断，并执行普通中断或事件处理。AWIC 还可用于将 MCU 内核从 Partial Stop、Stop 和 VLPS 模式唤醒。

唤醒源如下所列：

表 2. AWIC Partial Stop、Stop 和 VLPS 唤醒源

唤醒源	说明
可用系统复位	LPO 是其时钟源和 JTAG 时的 RESET 引脚的 WDOG
低电压检测	电源模式控制器
低压警告	电源模式控制器
高电压检测	电源模式控制器
引脚中断	端口控制模块 — 任何已使能的引脚中断都能唤醒系统
ADC	使用内部时钟源时，ADC 可以运行。
CMP	由于无系统时钟可用，因此，功能受限，触发模式可以周期采样提供唤醒功能
LPI ² C	当使用在 Stop 和 VLPS 模式下激活的时钟源时工作
FlexIO	当使用在 Stop 和 VLPS 模式下激活的时钟源时工作

下一页继续介绍此表...

表 2. AWIC Partial Stop、Stop 和 VLPS 唤醒源 (继续)

唤醒源	说明
TPM	当使用在 Stop 和 VLPS 模式下激活的时钟源时工作
UART	RXD 上的有效边沿
LPUART	当使用在 Stop 和 VLPS 模式下激活的时钟源时工作
USB FS/LS 控制器	唤醒
LPTMR	当使用在 Stop 和 VLPS 模式下激活的时钟源时工作
RTC	在 Stop/VLPS 模式下工作
I2S (SAI)	当使用外部位时钟或外部主机时钟时工作
TPM	当使用在 Stop 和 VLPS 模式下激活的时钟源时工作
CAN	在边沿上唤醒(CANx_RX)
NMI	非屏蔽中断

2.1.4 存储器

该器件具有以下特性：

- 可访问 64 KB 嵌入式 RAM（读/写）（CPU 时钟速度，无等待状态）。
- 非易失性存储器分为
 - 128/256 KB 嵌入式程序存储器

该程序 flash 存储器包含一个 16 字节 flash 配置字段，用于存储默认保护设置和安全信息。程序 flash 的页面大小为 2 KB。

保护设置可保护 32 个程序 flash 存储器区域不被意外擦除或进行编程操作。

安全电路可防止对 RAM 或调试端口的 flash 内容进行非法访问。

- 系统寄存器文件

该器件包含一个可在所有功耗模式下运行的 32 字节寄存器文件。

此外，它还可保留低功耗模式下的内容，并且仅在上电复位时复位。

2.1.5 复位和引导

下表列出了该器件支持的所有复位源。

注

在下表中，Y 表示由对应复位源复位的具体模块（脚注中提到的寄存器、位或特定情形除外）。N 表示一些特定模块，这些模块不是其对应的 Reset 源对其复位。

表 3. 复位源

复位源	说明	模块								
		PMC	SIM	SMC	RCM	LLWU	复位引脚拉低	RTC	LPTMR	其他
POR 复位	上电复位 (POR)	Y	Y	Y	Y	Y	Y	Y	Y	Y
系统复位	低电压检测 (LVD)	Y ¹	Y	Y	Y	Y	Y	N	Y	Y
	低漏电唤醒 (LLWU) 复位	N	Y ²	N	Y	N	Y ³	N	N	Y
	外部引脚复位(RESET)	Y ¹	Y ²	Y ⁴	Y	Y	Y	N	N	Y
	看门狗(WDOG)复位	Y ¹	Y ²	Y ⁴	Y ⁵	Y	Y	N	N	Y
	多用途时钟发生器时钟丢失 (LOC) 复位	Y ¹	Y ²	Y ⁴	Y ⁵	Y	Y	N	N	Y
	多用途时钟发生器锁定丢失 (LOL) 复位	Y ¹	Y ²	Y ⁴	Y ⁵	Y	Y	N	N	Y
	STOP 模式应答错误 (SACKERR)	Y ¹	Y ²	Y ⁴	Y ⁵	Y	Y	N	N	Y
	软件复位 (SW)	Y ¹	Y ²	Y ⁴	Y ⁵	Y	Y	N	N	Y
	死锁复位 (LOCKUP)	Y ¹	Y ²	Y ⁴	Y ⁵	Y	Y	N	N	Y
	MDM DAP 系统复位	Y ¹	Y ²	Y ⁴	Y ⁵	Y	Y	N	N	Y
调试复位	调试复位	Y ¹	Y ²	Y ⁴	Y ⁵	Y	Y	N	N	Y

1. 除了 PMC_LVDSC1[LVDV]和 PMC_LVDSC2[LVWV]外
2. 除了 SIM_SOPT1 之外
3. 仅当 RESET 用于从 VLLS 模式唤醒
4. 除了 SMC_PMCCTRL、SMC_STOPCTRL、SMC_PMSTAT 外
5. 除了 RCM_RPFC、RCM_RPFW、RCM_FM 外

此器件支持从以下位置引导：

- 内部 flash

2.1.6 时钟选项

MCG 模块控制使用哪个时钟源来获得系统时钟。时钟生成逻辑将选定的时钟源分为不同的时钟域，包括用于系统总线主机、系统总线从机和闪存的时钟。时钟生成逻辑还可以对特定的模块时钟控制，从而允许最细粒度的模块关闭。

系统的主要时钟都由 MCGOUTCLK 时钟生成。时钟生成电路提供多个时钟分频器，从而允许以不同频率为器件的不同部分计时。这样的设计权衡考虑了性能和功耗。

不同模块(如 USB OTG 控制器)的特定时钟可通过 IRC48MCLK 或 MCGPLLCLK 或 MCGFLLCLK 时钟生成。此外,还有各种其他特定模块时钟拥有其他可选择的时钟源。大部分模块的时钟选择都受 SIM 模块中 SOPT 寄存器的控制。

有关时钟操作和配置的更多详细信息,请参见参考手册中的“时钟分布”章节。

下图为时钟产生的框图。

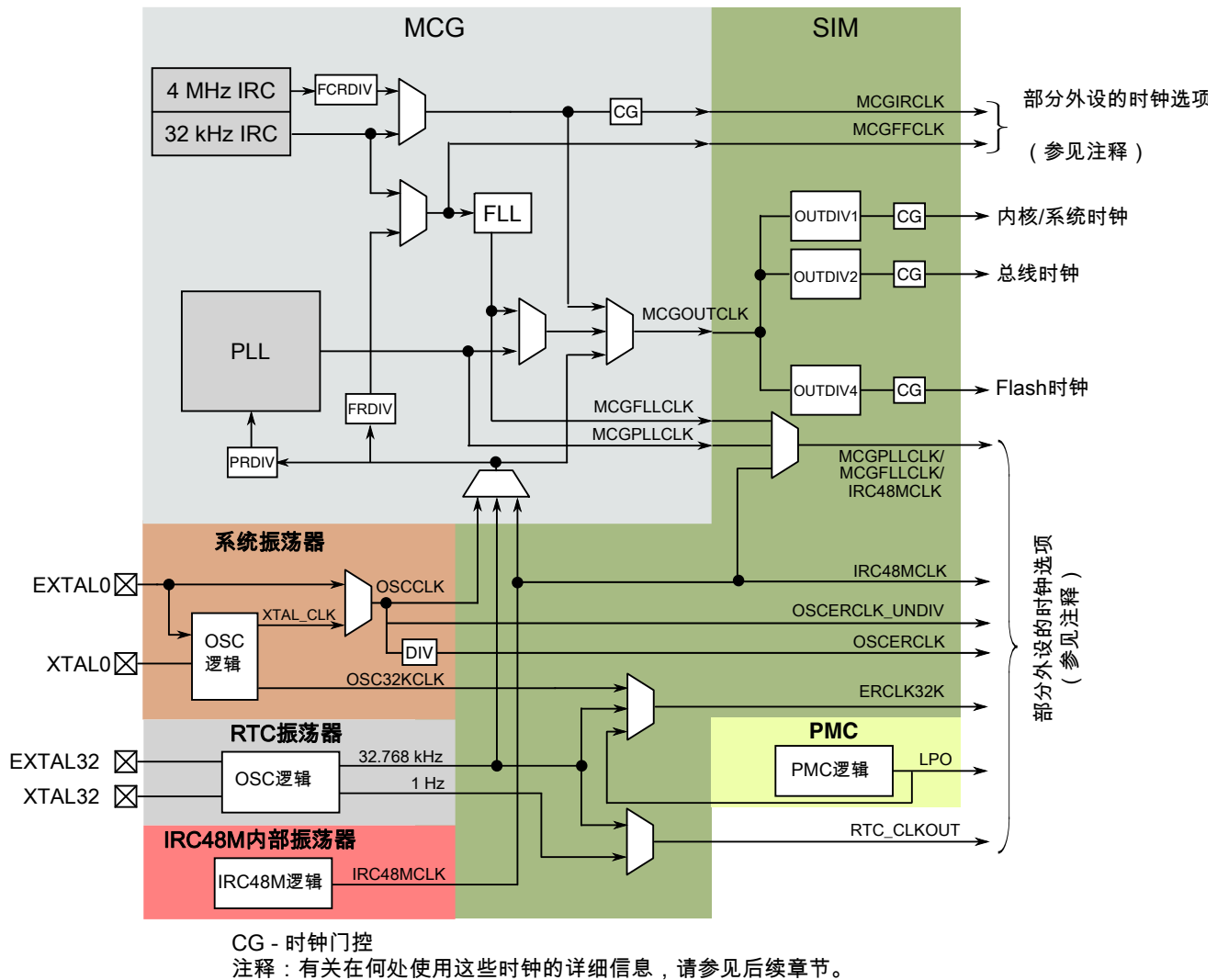


图 3. 时钟框图

为了实现灵活性,许多外设可以从运行的时钟源中进行选择。这使外设可以选择在各种操作模式下可用的时钟。

下表概述了与各个模块相关的时钟。

表 4. Module clocks

模块	Bus interface clock	Internal clocks	I/O interface clocks
内核模块			
ARM Cortex-M4 内核	System clock	Core clock	—
NVIC	System clock	—	—
DAP	System clock	—	—
ITM	System clock	—	—
SWD、JTAG	—	—	JTAG_CLK
系统模块			
DMA	System clock	—	—
	Bus clock	—	—
端口控制	Bus clock	LPO	—
交叉开关	System clock	—	—
外设桥	System clock	Bus clock、Flash clock	—
LLWU、PMC、SIM、RCM	Flash 时钟	LPO	—
模式控制器	Flash 时钟	—	—
MCM	System clock	—	—
EWM	Bus clock	LPO	—
WDOG 定时器	Bus clock	LPO	—
时钟模块			
MCG	Flash clock	MCGOUTCLK、MCGPLLCLK、MCGFLLCLK、MCGIRCLK、OSCCLK、RTC OSC、IRC48MCLK	—
OSC	Bus clock	OSCERCLK、OSCCLK、OSCERCLK_UNDIV、OSC32KCLK	—
IRC48M	—	IRC48MCLK	—
存储器和存储器接口			
Flash 控制器	System clock	Flash clock	—
Flash 存储器	Flash clock	—	—
安全			
CRC	Bus clock	—	—
RNGA	Bus clock	—	—
模拟			
ADC	Bus clock	OSCERCLK、IRC48MCLK	—
CMP	Bus clock	—	—
DAC	Bus clock	—	—
定时器			

下一页继续介绍此表...

表 4. Module clocks (继续)

模块	Bus interface clock	Internal clocks	I/O interface clocks
TPM	Bus clock	TPM clock	TPM_CLKIN0, TPM_CLKIN1
PDB	Bus clock	—	—
PIT	Bus clock	—	—
LPTMR	Flash clock	LPO、OSCERCLK、MCGIRCLK、ERCLK32K	—
RTC	Flash clock	EXTAL32	—
通信接口			
USB FS OTG	System clock	USB FS clock	—
DSPI	Bus clock	—	DSPI_SCK
LPI ² C	Bus clock	LPI2C clock	I2C_SCL
UART0、UART1	System clock	—	—
UART2	Bus clock	—	—
LPUART0	Bus clock	LPUART0 clock	—
I ² S	Bus clock	I ² S master clock	I2S_TX_BCLK、I2S_RX_BCLK
FlexCAN	Bus clock	FlexCAN clock	—
FlexIO	Bus clock	FlexIO clock	—
人机接口			
GPIO	Platform clock	—	—

2.1.7 安全加密

安全加密状态可以通过编程 flash 配置字段(0x40e)使能。启用器件加密之后，SWD/JTAG 端口无法访问 MCU 的存储器资源。

外部接口	安全加密	解密
SWD/JTAG 端口	无法通过 SWD/JTAG 接口访问存储器资源	调试器可以在 MDM-AP 控制寄存器写入“正在执行 Flash 整体擦除”字段以触发整体擦除（擦除所有数据块）命令

2.1.7.1 Flash 访问控制

Flash 访问控制(FAC)是一个可由本地或第三方配置的存储器优化保护方案，允许用户在为这些库提供可编程限制时使用软件库。Flash 存储器分为大小相等的区段，可为专有软件库提供保护。这些区段的保护受到控制，因为 FAC 可为路由至片上 flash 存储器的每个事务提供按周期的访问权限评估。可配置性允许保护更多的区段，同时支持两级供应商为器件添加专有软件。

2.1.8 电源管理

电源管理控制器 (PMC) 扩展了 ARM 的运行、睡眠和深度睡眠工作模式，可提供多种可配置模式。这些模式可用于优化多种应用的电流消耗。WFI 或 WFE 指令用于根据当前配置调用 WAIT 或 STOP 模式。有关 ARM 工作模式的更多信息，请参见 ARM® Cortex® 用户指南。

在 ARM 的运行工作模式下，PMC 可提供高速运行 (HSRUN)、运行 (Run) 和超低功耗运行 (VLPR) 配置。在这些模式下，MCU 内核处于活动状态并且可访问所有外设。这些模式之间的不同之处在于系统的最大时钟频率以及功耗。可以根据应用的功耗和性能要求选择配置。

在 ARM 的睡眠工作模式下，PMC 可提供等待 (Wait) 和超低功耗等待 (VLPW) 配置。在这些模式下，尽管 MCU 内核处于非活动状态，但所有外设均可使能并按程序运行。这些模式之间的不同之处在于系统的最大时钟频率以及功耗。

在 ARM 的深度睡眠工作模式下，PMC 可提供停止 (Stop)、超低功耗停止 (VLPS)、低漏电停止 (LLS) 和超低漏电停止 (VLLS) 配置。在这些模式下，MCU 内核以及大多数外设禁用。根据应用要求，可以保留或禁用不同的模拟、逻辑和存储器部分，以节省电量。

当器件其他部分为了省电而禁用时，电池供电模式允许 VBAT 电压域运行。VBAT 域中的所有模块均可在此工作模式下运行。

嵌套向量中断控制器 (NVIC)、异步唤醒中断控制器 (AWIC) 和低漏电唤醒控制器 (LLWU) 用于将 MCU 从低功耗状态唤醒。NVIC 可用于将 MCU 内核从 WAIT 和 VLPW 模式唤醒。AWIC 可用于将 MCU 内核从 STOP 和 VLPS 模式唤醒。LLWU 可用于将 MCU 内核从 LLS 和 VLLSx 模式唤醒。

有关工作模式、电源管理、NVIC、AWIC 或 LLWU 的其他信息，请参见参考手册。

下表提供了不同工作模式下的外设状态信息以及可将 MCU 从低功耗模式唤醒的模块相关信息。

表 6. 不同工作模式下的外设状态

内核模式	器件模式	说明
RUN 模式	HIGH SPEED RUN	在 HSRUN 模式下，MCU 以快频运行，且所有器件模块均运行。
	RUN	在 RUN 模式下，所有器件模块均运行。
	VERY LOW POWER RUN	在 VLPR 模式下，所有器件模块均低频运行（除了禁用的低压检测 (LVD) 监视器）。
SLEEP 模式	WAIT	在 WAIT 模式下，所有外设模块均运行。MCU 内核处于 SLEEP 模式。

下一页继续介绍此表...

表 6. 不同工作模式下的外设状态 (继续)

内核模式	器件模式	说明
	VERY LOW POWER WAIT	在 VLPW 模式下，所有外设模块均低频运行（除了禁用的低压检测（LVD）监视器）。MCU 内核处于 SLEEP 模式。
DEEP SLEEP 模式	STOP	在 STOP 模式下，大部分外设时钟禁用且处于静止状态。当保留低电压检测保护时，STOP 模式保留所有寄存器和 SRAM。在 Stop 模式下，ADC、DAC、CMP、LPTMR、RTC 和引脚中断运行。NVIC 禁用，但 AWIC 可用于从中断唤醒。
	VERY LOW POWER STOP	在 VLPS 模式下，SRAM 的内容将保留。CMP（低速）、ADC、OSC、RTC、LPTMR、TPM、FlexIO、LPUART、LPI2C、USB 和 DMA 运行，LVD 和 NVIC 禁用，AWIC 用于从中断唤醒。
	Low Leakage Stop(LLS3/LLS2)	状态保持功耗模式。大多数外设都处于状态保持模式（时钟停止），但 LLWU、LPTimer、RTC、CMP、DAC 可以使用。NVIC 禁用；LLWU 用来唤醒。 注：LLWU 中断不可通过中断控制器屏蔽，以避免系统无法在 LLS 恢复时完全退出停止模式的现象。 在 LLS3 模式下，所有 SRAM 均处于工作状态（保留内容，保持 I/O 状态）。 在 LLS2 模式下，SRAM_U 的一部分保持上电状态（保留内容，保持 I/O 状态）。
	Very Low Leakage Stop(VLLSx)	大多数外设禁用（时钟停止），但 LLWU、LPTimer、RTC、CMP、DAC 可以使用。NVIC 禁用；LLWU 用来唤醒。 在 VLLS3 模式下，SRAM_U 和 SRAM_L 保持上电（保留内容，保持 I/O 状态）。 在 VLLS2 模式下，SRAM_L 断电。SRAM_U 的一部分保持上电状态（保留内容，保持 I/O 状态）。 在 VLLS1 和 VLLS0 模式下，所有 SRAM_U 和 SRAM_L 断电。32 字节系统寄存器文件和 32 字节 VBAT 寄存器文件保持上电，以便保存客户关键型数据。 在 VLLS0 模式下，POR 检测电路可选断电。
断电	Battery Backup	RTC 和 32 字节 VBAT 寄存器文件由 VBAT 域供电并且充分运行。器件其余部分断电。

2.1.9 LLWU

LLWU 模块用于将 MCU 从低漏功耗模式（LLS 和 VLLSx）中唤醒，并且仅在进入低漏功耗模式时工作。从 LLS 恢复以后，LLWU 立即禁用。从 VLLSx 恢复以后，LLWU 继续检测唤醒事件，直到用户确认唤醒事件为止。

以下是用作 LLWU 模块唤醒源的内部外设和外部引脚输入。

表 7. LLWU 输入的唤醒源

输入	唤醒源
LLWU_P0	PTE1/LLWU_P0 引脚
LLWU_P1	PTE2/LLWU_P1 引脚

下一页继续介绍此表...

表 7. LLWU 输入的唤醒源 (继续)

输入	唤醒源
LLWU_P2	PTE4/LLWU_P2 引脚
LLWU_P3	PTA4/LLWU_P3 引脚 ¹
LLWU_P4	PTA13/LLWU_P4 引脚
LLWU_P5	PTB0/LLWU_P5 引脚
LLWU_P6	PTC1/LLWU_P6 引脚
LLWU_P7	PTC3/LLWU_P7 引脚
LLWU_P8	PTC4/LLWU_P8 引脚
LLWU_P9	PTC5/LLWU_P9 引脚
LLWU_P10	PTC6/LLWU_P10 引脚
LLWU_P11	PTC11/LLWU_P11 引脚
LLWU_P12	PTD0/LLWU_P12 引脚
LLWU_P13	PTD2/LLWU_P13 引脚
LLWU_P14	PTD4/LLWU_P14 引脚
LLWU_P15	PTD6/LLWU_P15 引脚
LLWU_P16	保留
LLWU_P17	保留
LLWU_P18	保留
LLWU_P19	保留
LLWU_P20	保留
LLWU_P21	保留
LLWU_P22	保留
LLWU_P23	保留
LLWU_P24	保留
LLWU_P25	保留
LLWU_P26	USBVDD
LLWU_P27	USB0_DP
LLWU_P28	USB0_DM ²
LLWU_P29	保留
LLWU_P30	保留
LLWU_P31	保留
LLWU_M0IF	LPTMR ³
LLWU_M1IF	CMP0
LLWU_M2IF	保留
LLWU_M3IF	保留
LLWU_M4IF	保留
LLWU_M5IF	RTC 警报 ³
LLWU_M6IF	保留
LLWU_M7IF	RTC 秒数 ³

1. 如果在进入 LLS/VLLS 时使能了 NMI，则置位 NMI 引脚会在退出低功耗模式时产生 NMI 中断。也可以通过 FOPT[NMI_DIS]位禁用 NMI。
2. 作为 LLWU 的唤醒源，USB0_DP 和 USB0_DM 仅在芯片处于 USB 主机模式时才可用。
3. 需要使能外设和外设中断。LLWU 的 WUME 位可使能内部模块标志作为唤醒输入。唤醒后，会根据外设清除机制清除这些标志。

2.1.10 调试控制器

此器件具有多种调试功能，包括运行控制和跟踪功能。标准 ARM 调试端口支持 SWD/JTAG 接口。此器件还支持 cJTAG 接口。

2.1.11 计算机正常运行(COP)看门狗定时器

计算机正常运行(COP)看门狗定时器(WDOG)通过定期的软件通讯来对系统操作进行监控。此通讯一般被称为处理（或刷新）COP 看门狗。如果此周期性刷新没有发生，则 WDOG 将产生一个系统复位的事件。

2.2 外设特性

以下章节介绍此芯片每个外设的特性。

2.2.1 eDMA 和 DMAMUX

eDMA 是一个高度可编程的，经过优化最大程度减少主处理器干预的数据传输引擎。它适合于要传输的数据大小已静态已知且未被定义在传输数据内的应用。此器件中的 DMA 控制器支持 16 条通道，这些通道可通过 DMA MUX 模块路由至高达 63 DMA 请求源。

eDMA 的主要特性如下：

- 所有数据通过双地址传输移动：通过源读取，写入目标位置
- 16 通道设置，可以最小的主机处理器干预实现复杂的数据传输
- 经过组织的传输控制描述符(TCD)，支持双深嵌套传输操作
- 可通过三种方法激活通道
- 固定优先级和循环通道两种仲裁方式
- 通过可编程中断请求报告通道完成
- 可编程支持分散/集中 DMA 处理
- 支持复杂的数据结构

2.2.2 TPM

此器件包含三个低功耗定时器/PWM 模块(TPM)，一个带 6 条通道，另外两个带 2 条通道。在相应的时钟源启用时，所有 TPM 模块均可在 STOP/VLPS 模式下工作。

TPM 特性包括：

- 可选择 TPM 时钟模式（可在异步计数器时钟的每个边沿上递增，或仅在已同步至异步计数器时钟的外部时钟输入上升沿上递增）
- 预分频器（1、2、4、8、16、32、64 或 128 分频）
- 包括一个 16 位计数器
- 包括 6 条或 2 条通道（1×6ch、2×2ch），均可配置为输入捕获、输出比较、边沿对齐 PWM 模式或中心对齐 PWM 模式
- 支持根据通道或计数器溢出产生中断和/或 DMA 请求
- 支持可选择触发输入，以便选择性复位或者使计数器启动或停止递增
- 支持计数器溢出和根据通道生成硬件触发信号

2.2.3 ADC

该器件包含一个 ADC 模块。此 ADC 模块支持通过 TPM、LPTMR、PIT、RTC、外部触发器引脚和 CMP 输出提供的硬件触发。当使用内部时钟源或外部晶体时钟时，它支持在低功耗模式下唤醒 MCU。

ADC 模块具有以下特性：

- 采用最高 16 位分辨率的线性逐次逼近算法
- 最多 4 对差分 and 17 个单端外部模拟输入
- 支持可选 16 位、13 位、11 位和 9 位差分输出模式，或 16 位、12 位、10 位和 8 位单端输出模式
- 单次或连续转换
- 可配置采样时间和转换速度/功耗
- 高达三个可选时钟源
- 低功耗工作模式可降低噪声
- 异步时钟源，可降低工作噪声（带时钟输出选项）
- 可选择的硬件转换触发信号
- 自动与范围内或范围外的设定值进行比较（小于、大于或等于），根据结果产生中断
- 温度传感器
- 高达 32 次硬件平均功能

- 电压参考：使用外部电压源
- 自校准模式

2.2.3.1 温度传感器

该设备包含一个从内部连接到 AD26 输入通道的温度传感器，请参见表 66 了解线性度因素的详细信息。

该传感器必须经过校准以获得良好的精度，从而提供更好的线性度，另请参见 AN3031。

2.2.4 DAC

该 12 位数模转换器 (DAC) 为低功耗通用 DAC。DAC 输出可置于外部引脚上或设置为模拟比较器或 ADC 的其中一个输入。

DAC 模块具有以下特性：

- 片上可编程参考生成器输出。电压输出范围为 $1/4096V_{in}$ 至 V_{in} ，步进为 $1/4096V_{in}$ （其中 V_{in} 为输入电压）。
- 可从参考电压源 V_{DDA} 选择 V_{in}
- 在正常停止模式保持静态
- 在多种工作模式下支持 16 字数据缓冲
- 支持 DMA

2.2.5 CMP

该器件包含一个高速比较器和两个 8 输入多路复用器，适合于比较器的反向和正向输入。每个 CMP 输入通道连接至两个多路复用器。

此 CMP 包含一个 6 位 DAC，它可为不同用户应用案例提供可选择的参考电压。此外，CMP 还具有多个模块至模块的互联，有助于 ADC 触发、TPM 触发和连接。

CMP 具有以下特性：

- 输入范围为可以轨对轨输入
- 可编程迟滞控制
- 可选择在比较器输出上升沿、下降沿或上下边沿同时产生中断
- 可选择比较器输出取反
- 能够产生多种输出，比如说采样或者是数字滤波之后的输出
- 可以在输出滤波器用于内部功能时使用外部迟滞

- 两个通过软件可选择性能等级：更短的传播延迟但功耗更高，以及低功耗但传播延迟更长
- 支持 DMA 传输
- 可在除 VLLS0 模式外的所有工作模式下工作
- 滤波器功能不可用于 STOP、VLPS、LLS 或 VLLSx 模式
- 将 6 位 DAC 与可选电压参考源集成在一起，并且可掉电以节省电量
- 两个 8 至 1 通道多路复用器

2.2.6 RTC

RTC 是一个始终上电的模块，在所有低功耗模式下保持活动的状态。RTC 内的时间计数器由使用 RTC 振荡器的 32.768 KHz 外部晶体提供时钟源。

RTC 在上电时复位，并且 RTC 中的软件复位还可以初始化所有 RTC 寄存器。

RTC 模块具有以下特性：

- 32 位秒计数器，溢出保护和 32 位闹钟
- 带补偿功能的 16 位预分频器，可以校正 0.12 ppm 至 3906 ppm 的误差
- 具有寄存器锁定机制的寄存器写入保护
- 带可选中断的 1 Hz 方波或秒脉冲输出

2.2.7 PIT

周期性中断定时器(PIT)用于生成 CPU 的周期性中断。它具有四个独立的通道，每个通道都有一个 32 位计数器。两个通道可以级联在一起构成一个 64 位计数器。

通道 0 用于周期性触发 DMA 通道 0，通道 1 用于周期性触发 DMA 通道 1。任一通道均可编程为 ADC 触发源或 TPM 触发源。通道 0 可编程为触发 DAC。

PIT 模块具有以下特性：

- 每个 32 位定时器可产生 DMA 触发器
- 每个 32 位定时器可产生超时中断
- 两个定时器可级联构成一个 64 位定时器
- 每个定时器可编程为 ADC/TPM 触发源

2.2.8 PDB

可编程延迟区块(PDB)可为 ADC 的硬件触发输入提供来自内部或外部触发器的可控延迟或可编程间隔节拍, 和/或为 DAC 生成间隔触发器, 从而实现 ADC 转换之间的精确计时和/或实现 DAC 更新。PDB 可选择性提供用作 CMP 模块中采样窗口的脉冲输出。

PIT 模块具有以下特性:

- 高达 15 个触发器输入源和一个软件触发器源
- 高达 8 个可配置 PDB 通道, 用于 ADC 硬件触发
- 高达 8 个脉冲输出

2.2.9 LPTMR

在所有功耗模式下 (包括低漏电模式), 低功耗定时器 (LPTMR) 可以配置为带可选预分频器的时钟计数器, 或者带可选去抖滤波器的脉冲计数器。它还可以在多数系统复位事件中继续保持运行, 因此可以用作长时间的计数器。

LPTMR 模块具有以下特性:

- 带比较功能的 16 位时间计数器或脉冲计数器
 - 可选中断可在任何低功耗模式下产生异步唤醒
 - 硬件触发输出
 - 计数器支持自由运行模式或比较复位
- 可针对预分频器/去抖滤波器配置时钟源
- 可针对脉冲计数器配置输入源

2.2.10 CRC

该设备包含一个循环冗余校验(CRC)模块, 可生成 16/32 位 CRC 码以便进行错误检测。

CRC 模块提供实施 16 位或 32 位 CRC 标准所需的可编程多项式、WAS 和其他参数。

CRC 模块具有以下特性:

- 硬件 CRC 生成器电路采用一个 16 位或者 32 位可编程移位寄存器
- 可编程初始种子和多项式
- 可选择逐位或逐字节转换输入数据或输出数据 (CRC 结果)
- 最终 CRC 结果反转选项
- 32 位 CPU 寄存器编程接口

2.2.11 UART

该器件包含 3 个支持 DMA 功能的基本通用异步接收器/发送器(UART)模块。一般情况下，此模块用于 RS-232、RS-485 和其他通信。它还支持 LIN 从机操作和 ISO7816。

UART 模块具有下列特性：

- 全双工操作
- 带/32 小数分频、基于模块时钟频率的 13 位波特率选择
- 可编程 8 位或 9 位数据格式
- 发送器输出极性可编程
- 接收输入极性可编程
- 高达 14 位中断字符传输
- 11 位中断字符检测选项
- 通过空闲线路或地址标志唤醒的两种接收器唤醒方法
- 接收器中的地址匹配功能可减少地址标志唤醒 ISR 开销
- 可以配置线上传输的首位方式为 MSB 或 LSB
- UART0 支持与 SIM 卡和智能卡连接的 ISO 7816 协议
- 接收帧错误检测
- 硬件奇偶生成和校验
- 1/16 位时间噪声检测
- 支持 DMA

2.2.12 LPUART

此器件包含一个低功耗 UART 模块，并且可在 Stop 和 VLPS 模式下工作。此模块还支持 4×至 32×数据过采样率，以适合不同的应用。

LPUART 模块具有以下特性：

- 可编程波特率（13 位模数分频器），支持 4×至 32×的可配置过采样率
- 发送和接收波特率可与总线时钟异步运行，并且可配置为不受总线时钟频率影响，支持在 STOP 模式下工作
- 中断、DMA 或轮询操作
- 硬件奇偶生成和校验
- 可编程 8 位、9 位或 10 位字符长度
- 可编程的 1 位或 2 位停止位
- 三种接收器唤醒方法
 - 空闲线路唤醒

- 地址标志唤醒
- 接收数据匹配
- 自动地址匹配，以减少 ISR 开销：
 - 地址标志匹配
 - 空闲线路地址匹配
 - 地址匹配开始、地址匹配结束
- 可选 13 位分隔字符生成/11 位分隔字符检测
- 可配置空闲长度检测，支持 1、2、4、8、16、32、64 或 128 个空闲字符
- 可选择发送器输出和接收器输入极性

2.2.13 SPI

该器件包括两个 SPI 模块。此 SPI 模块可提供同步串行总线，以支持芯片与外部外设器件之间的通信。

SPI 模块具有以下特性：

- 全双工、3 线同步传输
- 主机模式，或从机模式
- 从机模式下的数据流操作（持续从机选择）
- 使用发射/接收先进先出(TX/RX FIFO)（深度为 4 个条目）的缓冲发射/接收操作
- 对于每帧的传输属性可编程
- 多个片选(PCS)（6 PCS 可用于 SPI0 和 4 PCS 可用于 SPI1），可通过外部多路输出选择器扩展至 64
- 通过多路输出选择器支持对高达 32 个外设芯片选择(PCS)的去毛刺操作
- DMA 支持将数据写入到 TX FIFO 和将数据从 RX FIFO 中取出
- 全局中断请求线路
- 已调整的 SPI 传输格式，以与较慢外设器件通信
- 省电架构特性

2.2.14 FlexCAN

对于 KS22，该器件包含两个 FlexCAN 模块。而对于 KS20，该器件仅包含一个 FlexCAN 模块。FlexCAN 模块是一个通信控制器，它根据 ISO 11898-1 标准和 CAN 2.0 B 协议规范实施 CAN 协议。

FlexCAN 模块包含 16 个报文缓冲区。每个报文缓冲区为 16 个字节。

FlexCAN 模块具有以下特性：

- 数据长度为 0 至 8 个字节的弹性邮箱

- 每个邮箱可配置为接收或发送，全部支持标准和扩展报文
- 每个邮箱具有单独的 Rx 掩码寄存器
- 功能完备的 Rx FIFO，存储功能适合于高达 6 帧，以及带 DMA 支持的自动内部指针句柄
- 传输终止功能
- 可编程时钟源（外设时钟或振荡器时钟）
- 接收或传输结构未使用的 RAM 可用作通用 RAM 空间
- 只听模式功能
- 可编程回环模式支持自检操作
- 可编程传输优先级方案：最低 ID、最低缓冲区数或最高优先级
- 基于 16 位自由运行定时器的时间戳
- 全球网络时间，通过特定报文同步
- 可屏蔽中断
- 不受传输媒介影响（假定为外部收发器）
- 短延迟时间，得益于适合于高优先级消息的仲裁方案
- 低功耗模式，可通过总线活动的可编程唤醒
- 远程请求帧可自动或由软件处理。
- 仅可在冻结模式下写入 CAN 位时间设置和配置位
- Tx 邮箱状态（最低优先级缓冲区或空缓冲区）
- 用于已接收帧的标识符验收滤波器命中指示器 (IDHIT)
- SYNCH 位可用于状态 1 寄存器中的错误，用于通知此模块与 CAN 总线同步
- 已发送报文的 CRC 状态
- Rx FIFO 全局掩码寄存器
- 匹配过程中邮箱和 Rx FIFO 之间的可选优先级
- 强大的 Rx FIFO ID 滤波，可以根据 128 扩展、256 标准或 512 部分（8 位）ID 匹配输入 ID，带高达 32 个单独屏蔽功能

2.2.15 LPI2C

该器件包括两个 LPI2C 模块。LPI2C 为低功耗集成电路互联 (I2C) 模块，支持作为主机和/或从机高效连接至 I2C 总线。只要存在可用的合适时钟，LPI2C 即可在停止模式下持续工作，它设计了使用 DMA 来访问 FIFO 寄存器，极大的降低了 CPU 开销。LPI2C 逻辑支持 standard-mode、fast-mode、fast-mode plus 和 ultra-fast 模式。LPI2C 模块还符合系统管理总线 (SMBus) 规范版本 2。

LPI2C 模块具有以下特性：

- 支持 Standard、Fast、Fast+ 和 Ultra Fast modes
- 在从机模式下支持 HS 模式
- 多主机支持，包括同步和仲裁
- 时钟保持

- 通用调用、7 位和 10 位寻址
- 需软件支持的复位、START 字节和器件 ID
- 对于主机模式:
 - 命令/发送 4 字 FIFO
 - 接收 4 字 FIFO
- 对于从机模式:
 - 独立的 I2C 从机寄存器，以最小化主机/从机切换所需的软件开销
 - 支持 7 位或 10 位寻址、地址范围、SMBus 提醒和通用调用地址
 - 发送/接收数据寄存器，支持中断或 DMA 请求

2.2.16 USB

该设备包含一个 USB 模块，支持符合 USB2.0 规范的全速外设并且可以连接到片上 USBFS 收发器。它可使能 IRC48M 以允许无晶振的 USB 工作。

USBFS 具有以下特性：

- 符合 USB 1.1 和 2.0 规范的全速器件控制器
- 16 个双向端点
- DMA 或 FIFO 数据流接口
- 低功耗
- 支持带时钟恢复功能的 IRC48M, 无需 48 MHz 晶振。仅限用于 USB 从设备设置。

2.2.17 I2S

I2S 模块可提供同步音频接口(SAI)，它可由总线时钟、PLL/FLL 输出时钟或外部振荡器时钟计时。该模块支持异步位时钟(BCLK)，该时钟可通过音频主机时钟从内部生成或从外部提供。此外，该模块还支持接收器和发送器之间的同步操作选项。它可在停止或超低功耗模式下工作。

I2S 模块具有以下特性：

- 带独立位时钟和帧同步的发送器，支持 1 个数据通道
- 带独立位时钟和帧同步的接收器，支持 1 个数据通道
- 最大帧尺寸 16 字
- 传输字的大小在 8 位与 32 位之间
- 可以为帧中的第一个字和其余字单独配置字尺寸
- 用于每个发送和接收通道的异步 8 x 32 位 FIFO
- 支持在发生 FIFO 错误之后正常重启

- 支持在发生 FIFO 错误之后自动重新启动，无需软件干预
- 支持将 8 位和 16 位数据打包到每个 32 位 FIFO 字

2.2.18 FlexIO

FlexIO 是一款高度可配置模块，提供多种协议支持，包括但不限于 UART、I2C、SPI、I2S 和 PWM/波形生成。该模块支持可编程波特率，不受总线时钟频率的影响，并带有自动启动/停止位生成功能。

FlexIO 模块具有以下特性：

- 当其使用的时钟保持使能时，可以在 VLPR/VLPW/Stop/VLPS 模式下运行
- 四个 32 位双缓冲移位寄存器，具有发送、接收和数据匹配模式并提供持续数据传输
- 移位器的移位、负载和存储事件时序由分配给该移位器的高灵活度 16 位定时器控制
- 可以级联两个或多个移位器，以支持大型数据传输
- 每个 16 位定时器独立运行，支持在不同内部或外部触发条件下进行复位、使能和禁用，可编程触发极性
- 灵活的引脚配置支持输出禁用、开漏、双向输出数据和输出模式
- 支持中断、DMA 或轮询发送/接收操作

2.2.19 端口控制和 GPIO

端口控制和中断(PORT)模块可以为端口控制、数字滤波和外部中断功能提供支持。当引脚配置为 GPIO 功能时，GPIO 数据方向和输出数据寄存器控制每个引脚的方向和输出数据。假设引脚相应的端口控制和中断模块已使能，则当引脚配置为任意数字功能时，GPIO 输入数据寄存器显示每个引脚上的逻辑值。

下图展示了基本 I/O 端口结构。此图适用于所有 I/O 引脚（除 RESET_b 和配置为伪开漏输入的引脚外）。RESET_b 为真正的开漏引脚，无 p 通道输出驱动器或 ESD 总线二极管。当配置为开漏操作时，伪开漏引脚的 p 通道输出驱动器禁用。任何 I/O 引脚（包括开漏和伪开漏引脚）均不得超过 VDD。

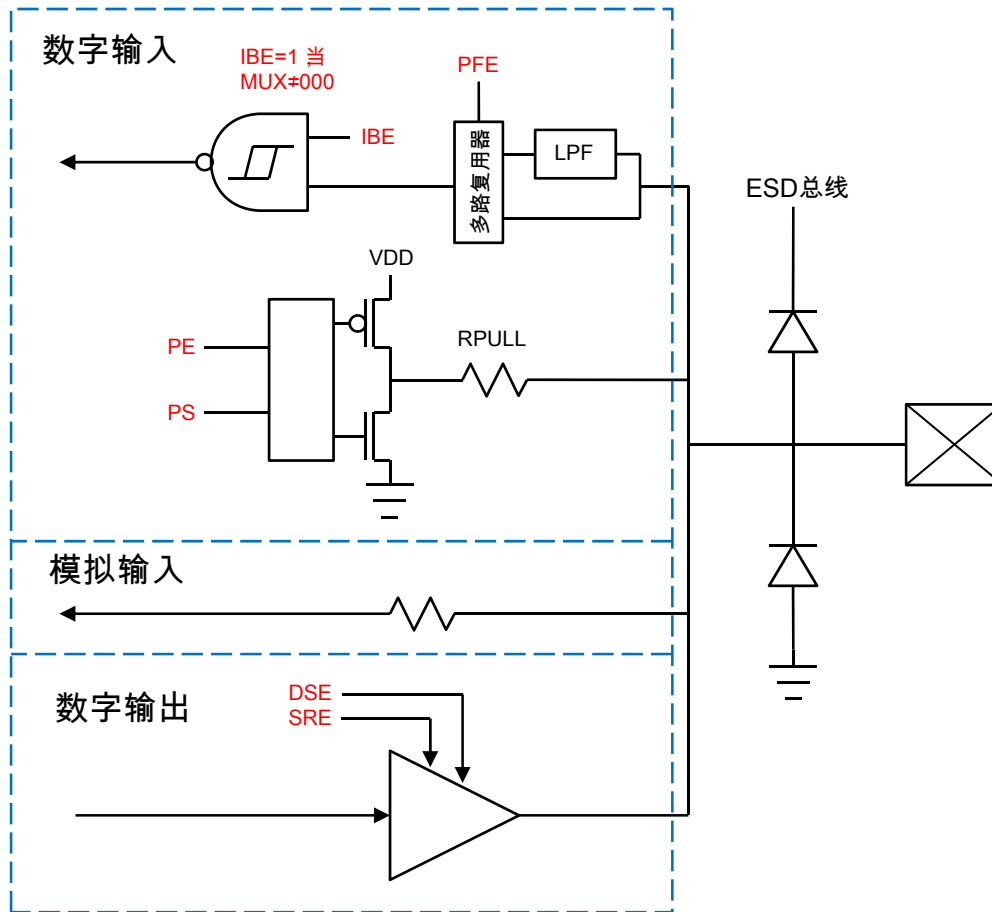


图 4. I/O 简化框图

PORT 模块具有以下特性：

- 所有引脚支持中断使能
- 可配置边沿（上升、下降或两者）或电平触发中断类型
- 支持 DMA 请求
- 低功耗模式下的异步唤醒
- 选定引脚上提供可配置上拉、下拉和拉动禁用
- 选定引脚上提供可配置高/低驱动强度
- 选定引脚上提供可配置快/慢压摆率
- 选定引脚上提供可配置无源滤波器
- 单独的多路复用控制字段，支持模拟或引脚禁用、GPIO 和特定芯片数字功能
- 端口配置字段在所有数字引脚多路复用模式下均有效。

GPIO 模块具有以下特性：

- 端口数据输入寄存器适用于所有数字引脚多路复用模式
- 端口数据输出寄存器具有相应的置位/清零/切换寄存器
- 端口数据方向寄存器
- GPIO 支持通过快速 GPIO 进行单周期访问。

3 存储器映射

本器件包含多种存储器和内存映射外设，并且都在 4 GB 的存储空间之内。有关系统存储器和外设位置的更多详细信息，请参见参考手册的“存储器映射”章节。

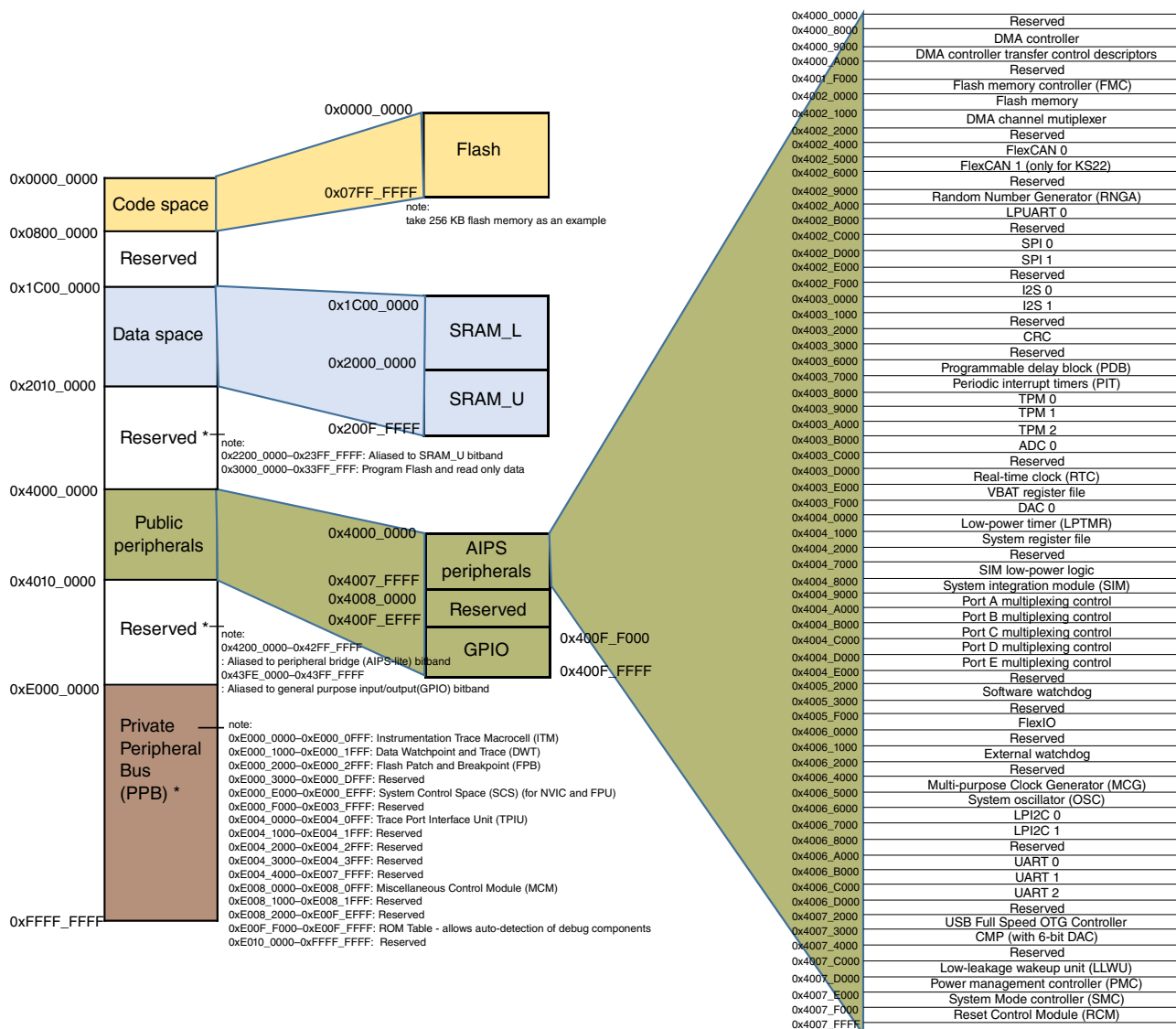


图 5. 存储器映射

4 引脚配置

4.1 信号多路复用及引脚分配

下表显示的是各引脚上的信号以及这些引脚在本文档中所支持器件上的位置。“端口控制模块”负责选择每个引脚上的 ALT 功能。

注

KS20 只配有 CAN0。而 KS22 配有两种 CAN 模块 (CAN0 和 CAN1)。

100 LQFP	64 LQFP	Pin Name	默认值	ALT0	ALT1	ALT2	ALT3	ALT4	ALT5	ALT6	ALT7
1	1	PTE0/ CLKOUT32K	ADC0_SE4a	ADC0_SE4a	PTE0/ CLKOUT32K	SPI1_PCS1	UART1_TX			LPI2C1_SDA	RTC_CLKOUT
2	2	PTE1/ LLWU_P0	ADC0_SE5a	ADC0_SE5a	PTE1/ LLWU_P0	SPI1_SOUT	UART1_RX			LPI2C1_SCL	SPI1_SIN
3	—	PTE2/ LLWU_P1	ADC0_SE6a	ADC0_SE6a	PTE2/ LLWU_P1	SPI1_SCK	UART1_CTS_ b				
4	—	PTE3	ADC0_SE7a	ADC0_SE7a	PTE3	SPI1_SIN	UART1_RTS_ b				SPI1_SOUT
5	—	PTE4/ LLWU_P2	DISABLED		PTE4/ LLWU_P2	SPI1_PCS0	LPUART0_TX				LPI2C1_SDA
6	—	PTE5	DISABLED		PTE5	SPI1_PCS2	LPUART0_RX				LPI2C1_SCL
7	—	PTE6	DISABLED		PTE6	SPI1_PCS3	LPUART0_CTS_ b	I2S0_MCLK			USB_SOF_ OUT
8	3	VDD	VDD	VDD							
9	4	VSS	VSS	VSS							
10	5	USB0_DP	USB0_DP	USB0_DP							
11	6	USB0_DM	USB0_DM	USB0_DM							
12	7	USBVDD	USBVDD	USBVDD							
13	—	NC	NC	NC							
14	8	ADC0_DP1	ADC0_DP1	ADC0_DP1							
15	—	ADC0_DM1	ADC0_DM1	ADC0_DM1							
16	—	ADC0_DP2	ADC0_DP2	ADC0_DP2							
17	—	ADC0_DM2	ADC0_DM2	ADC0_DM2							
18	9	ADC0_DP0	ADC0_DP0	ADC0_DP0							
19	10	ADC0_DM0	ADC0_DM0	ADC0_DM0							
20	11	ADC0_DP3	ADC0_DP3	ADC0_DP3							
21	12	ADC0_DM3	ADC0_DM3	ADC0_DM3							
22	13	VDDA	VDDA	VDDA							
23	14	VREFH	VREFH	VREFH							
24	15	VREFL	VREFL	VREFL							
25	16	VSSA	VSSA	VSSA							
26	17	CMP0_IN5	CMP0_IN5	CMP0_IN5							

100 LQFP	64 LQFP	Pin Name	默认值	ALT0	ALT1	ALT2	ALT3	ALT4	ALT5	ALT6	ALT7
27	18	DAC0_OUT/ ADC0_SE23	DAC0_OUT/ ADC0_SE23	DAC0_OUT/ ADC0_SE23							
28	19	XTAL32	XTAL32	XTAL32							
29	20	EXTAL32	EXTAL32	EXTAL32							
30	21	VBAT	VBAT	VBAT							
31	—	PTE24	ADC0_SE17	ADC0_SE17	PTE24	CAN1_TX	TPM0_CH0	I2S1_TX_FS	LPI2C0_SCL	EWM_OUT_b	
32	—	PTE25	ADC0_SE18	ADC0_SE18	PTE25	CAN1_RX	TPM0_CH1	I2S1_TX_ BCLK	LPI2C0_SDA	EWM_IN	
33	—	PTE26/ CLKOUT32K	DISABLED		PTE26/ CLKOUT32K			I2S1_TXD0		RTC_CLKOUT	USB_CLKIN
34	22	PTA0	JTAG_TCLK / SWD_CLK		PTA0	UART0_CTS_ b	TPM0_CH5		EWM_IN		JTAG_TCLK / SWD_CLK
35	23	PTA1	JTAG_TDI		PTA1	UART0_RX		CMP0_OUT	LPI2C1_HREQ	TPM1_CH1	JTAG_TDI
36	24	PTA2	JTAG_TDO / TRACE_SWO		PTA2	UART0_TX				TPM1_CH0	JTAG_TDO / TRACE_SWO
37	25	PTA3	JTAG_TMS / SWD_DIO		PTA3	UART0_RTS_ b	TPM0_CH0		EWM_OUT_b		JTAG_TMS / SWD_DIO
38	26	PTA4/ LLWU_P3	NMI_b		PTA4/ LLWU_P3		TPM0_CH1			I2S0_MCLK	NMI_b
39	27	PTA5	DISABLED		PTA5	USB_CLKIN	TPM0_CH2			I2S0_TX_ BCLK	JTAG_TRST_b
40	—	VDD	VDD	VDD							
41	—	VSS	VSS	VSS							
42	28	PTA12	DISABLED		PTA12	CAN0_TX	TPM1_CH0			I2S0_TXD0	
43	29	PTA13/ LLWU_P4	DISABLED		PTA13/ LLWU_P4	CAN0_RX	TPM1_CH1			I2S0_TX_FS	
44	—	PTA14	DISABLED		PTA14	SPI0_PCS0	UART0_TX			I2S0_RX_ BCLK	
45	—	PTA15	DISABLED		PTA15	SPI0_SCK	UART0_RX			I2S0_RXD0	
46	—	PTA16	DISABLED		PTA16	SPI0_SOUT	UART0_CTS_ b			I2S0_RX_FS	
47	—	PTA17	DISABLED		PTA17	SPI0_SIN	UART0_RTS_ b			I2S0_MCLK	
48	30	VDD	VDD	VDD							
49	31	VSS	VSS	VSS							
50	32	PTA18	EXTAL0	EXTAL0	PTA18			TPM_CLKIN0			
51	33	PTA19	XTAL0	XTAL0	PTA19			TPM_CLKIN1		LPTMR0_ ALT1	
52	34	RESET_b	RESET_b	RESET_b							
53	35	PTB0/ LLWU_P5	ADC0_SE8	ADC0_SE8	PTB0/ LLWU_P5	LPI2C0_SCL	TPM1_CH0			FXIO0_D4	UART0_RX
54	36	PTB1	ADC0_SE9	ADC0_SE9	PTB1	LPI2C0_SDA	TPM1_CH1		EWM_IN	FXIO0_D5	UART0_TX
55	37	PTB2	ADC0_SE12	ADC0_SE12	PTB2	LPI2C0_SCL	UART0_RTS_ b			FXIO0_D6	CAN1_RX

引脚配置

100 LQFP	64 LQFP	Pin Name	默认值	ALT0	ALT1	ALT2	ALT3	ALT4	ALT5	ALT6	ALT7
56	38	PTB3	ADC0_SE13	ADC0_SE13	PTB3	LPI2C0_SDA	UART0_CTS_b			FXIO0_D7	CAN1_TX
57	—	PTB9	DISABLED		PTB9	SPI1_PCS1	LPUART0_CTS_b				
58	—	PTB10	DISABLED		PTB10	SPI1_PCS0	LPUART0_RX	I2S1_TX_BCLK			
59	—	PTB11	DISABLED		PTB11	SPI1_SCK	LPUART0_TX	I2S1_TX_FS			
60	—	VSS	VSS	VSS							
61	—	VDD	VDD	VDD							
62	39	PTB16	DISABLED		PTB16	SPI1_SOUT	UART0_RX	TPM_CLKIN0		EWM_IN	I2S1_TXD0 (注: 仅限 100LQFP)
63	40	PTB17	DISABLED		PTB17	SPI1_SIN	UART0_TX	TPM_CLKIN1		EWM_OUT_b	FXIO0_D0
64	41	PTB18	DISABLED		PTB18	CAN0_TX	TPM2_CH0	I2S0_TX_BCLK			FXIO0_D1
65	42	PTB19	DISABLED		PTB19	CAN0_RX	TPM2_CH1	I2S0_TX_FS			FXIO0_D2
66	—	PTB20	DISABLED		PTB20					CMP0_OUT	FXIO0_D4
67	—	PTB21	DISABLED		PTB21					FXIO0_D5	
68	—	PTB22	DISABLED		PTB22					FXIO0_D6	
69	—	PTB23	DISABLED		PTB23		SPI0_PCS5			FXIO0_D7	
70	43	PTC0	ADC0_SE14	ADC0_SE14	PTC0	SPI0_PCS4	PDB0_EXTRG_OUT	USB_SOF_OUT		FXIO0_D3	SPI0_PCS0
71	44	PTC1/LLWU_P6	ADC0_SE15	ADC0_SE15	PTC1/LLWU_P6	SPI0_PCS3	UART1_RTS_b	TPM0_CH0		I2S0_TXD0	LPUART0_RTS_b
72	45	PTC2	ADC0_SE4b	ADC0_SE4b	PTC2	SPI0_PCS2	UART1_CTS_b	TPM0_CH1		I2S0_TX_FS	LPUART0_CTS_b
73	46	PTC3/LLWU_P7	DISABLED		PTC3/LLWU_P7	SPI0_PCS1	UART1_RX	TPM0_CH2	CLKOUT	I2S0_TX_BCLK	LPUART0_RX
74	47	VSS	VSS	VSS							
75	48	VDD	VDD	VDD							
76	49	PTC4/LLWU_P8	DISABLED		PTC4/LLWU_P8	SPI0_PCS0	UART1_TX	TPM0_CH3		LPI2C0_HREQ	LPUART0_TX
77	50	PTC5/LLWU_P9	DISABLED		PTC5/LLWU_P9	SPI0_SCK	LPTMR0_ALT2	I2S0_RXD0		CMP0_OUT	TPM0_CH2
78	51	PTC6/LLWU_P10	CMP0_IN0	CMP0_IN0	PTC6/LLWU_P10	SPI0_SOUT	PDB0_EXTRG	I2S0_RX_BCLK		I2S0_MCLK	LPI2C0_SCL
79	52	PTC7	CMP0_IN1	CMP0_IN1	PTC7	SPI0_SIN	USB_SOF_OUT	I2S0_RX_FS			LPI2C0_SDA
80	53	PTC8	CMP0_IN2	CMP0_IN2	PTC8	LPI2C0_SCLS		I2S0_MCLK		FXIO0_D0	I2S1_RXD0
81	54	PTC9	CMP0_IN3	CMP0_IN3	PTC9	LPI2C0_SDAS		I2S0_RX_BCLK		FXIO0_D1	I2S1_RX_BCLK
82	55	PTC10	DISABLED		PTC10	LPI2C1_SCL		I2S0_RX_FS		FXIO0_D2	I2S1_RX_FS
83	56	PTC11/LLWU_P11	DISABLED		PTC11/LLWU_P11	LPI2C1_SDA				FXIO0_D3	I2S1_MCLK

100 LQFP	64 LQFP	Pin Name	默认值	ALT0	ALT1	ALT2	ALT3	ALT4	ALT5	ALT6	ALT7
84	—	PTC12	DISABLED		PTC12	LPI2C1_SCLS		TPM_CLKIN0			FXIO0_D0
85	—	PTC13	DISABLED		PTC13	LPI2C1_SDAS		TPM_CLKIN1			FXIO0_D1
86	—	PTC14	DISABLED		PTC14			LPUART0_RTS_b			FXIO0_D2
87	—	PTC15	DISABLED		PTC15			LPUART0_CTS_b			FXIO0_D3
88	—	VSS	VSS	VSS							
89	—	VDD	VDD	VDD							
90	—	PTC16	DISABLED		PTC16	CAN1_RX	LPUART0_RX				FXIO0_D4
91	—	PTC17	DISABLED		PTC17	CAN1_TX	LPUART0_TX				FXIO0_D5
92	—	PTC18	DISABLED		PTC18		LPUART0_RTS_b				
93	57	PTD0/LLWU_P12	DISABLED		PTD0/LLWU_P12	SPI0_PCS0	UART2_RTS_b			LPUART0_RTS_b	FXIO0_D6
94	58	PTD1	ADC0_SE5b	ADC0_SE5b	PTD1	SPI0_SCK	UART2_CTS_b			LPUART0_CTS_b	FXIO0_D7
95	59	PTD2/LLWU_P13	DISABLED		PTD2/LLWU_P13	SPI0_SOUT	UART2_RX			LPUART0_RX	LPI2C0_SCL
96	60	PTD3	DISABLED		PTD3	SPI0_SIN	UART2_TX			LPUART0_TX	LPI2C0_SDA
97	61	PTD4/LLWU_P14	DISABLED		PTD4/LLWU_P14	SPI0_PCS1	UART0_RTS_b	TPM0_CH4		EWM_IN	SPI1_PCS0
98	62	PTD5	ADC0_SE6b	ADC0_SE6b	PTD5	SPI0_PCS2	UART0_CTS_b	TPM0_CH5		EWM_OUT_b	SPI1_SCK
99	63	PTD6/LLWU_P15	ADC0_SE7b	ADC0_SE7b	PTD6/LLWU_P15	SPI0_PCS3	UART0_RX				SPI1_SOUT
100	64	PTD7	DISABLED		PTD7		UART0_TX				SPI1_SIN

4.2 引脚属性

下表列出了引脚属性。

100LQFP	64LQFP	引脚名称	驱动器强度	POR 后的默认状态	POR 后的上拉/下拉设置	POR 后的压摆率	POR 后的无源引脚滤波器	开漏	引脚中断
1	1	PTE0/CLKOUT3_2K	ND	Hi-Z	-	FS	N	N	Y
2	2	PTE1/LLWU_P0	ND	Hi-Z	-	FS	N	N	Y
3		PTE2/LLWU_P1	ND	Hi-Z	-	FS	N	N	Y
4		PTE3	ND	Hi-Z	-	FS	N	N	Y

下一页继续介绍此表...

引脚配置

100LQFP	64LQFP	引脚名称	驱动器强度	POR 后的默认状态	POR 后的上拉/下拉设置	POR 后的压摆率	POR 后的无源引脚滤波器	开漏	引脚中断
5		PTE4/LLWU_P2	ND	Hi-Z	-	FS	N	N	Y
6		PTE5	ND	Hi-Z	-	FS	N	N	Y
7		PTE6	ND	Hi-Z	-	FS	N	N	Y
8	3	VDD	-	-	-	-	-	-	-
9	4	VSS	-	-	-	-	-	-	-
9	4	VSS	-	-	-	-	-	-	-
10	5	USB0_DP	-	Hi-Z	-	-	-	-	-
11	6	USB0_DM	-	Hi-Z	-	-	-	-	-
12	7	USBVDD	-	-	-	-	-	-	-
13		NC	-	-	-	-	-	-	-
14	8	ADC0_DP1	-	Hi-Z	-	-	-	-	-
15		ADC0_DM1	-	Hi-Z	-	-	-	-	-
16		ADC0_DP2	-	Hi-Z	-	-	-	-	-
17		ADC0_DM2	-	Hi-Z	-	-	-	-	-
18	9	ADC0_DP0	-	Hi-Z	-	-	-	-	-
19	10	ADC0_DM0	-	Hi-Z	-	-	-	-	-
20	11	ADC0_DP3	-	Hi-Z	-	-	-	-	-
21	12	ADC0_DM3	-	Hi-Z	-	-	-	-	-
22	13	VDDA	-	-	-	-	-	-	-
23	14	VREFH	-	Hi-Z	-	-	-	-	-
24	15	VREFL	-	Hi-Z	-	-	-	-	-
25	16	VSSA	-	Hi-Z	-	-	-	-	-
26	17	CMP0_IN5	-	Hi-Z	-	-	-	-	-
27	18	DAC0_OUT/ ADC0_SE23	-	Hi-Z	-	-	-	-	-
28	19	XTAL32	-	Hi-Z	-	-	-	-	-
29	20	EXTAL32	-	Hi-Z	-	-	-	-	-
30	21	VBAT	-	-	-	-	-	-	-
31		PTE24	ND	Hi-Z	-	FS	N	N	Y
32		PTE25	ND	Hi-Z	-	FS	N	N	Y

下一页继续介绍此表...

100LQFP	64LQFP	引脚名称	驱动器强度	POR 后的默认状态	POR 后的上拉/下拉设置	POR 后的压摆率	POR 后的无源引脚滤波器	开漏	引脚中断
33		PTE26/ CLKOUT3 2K	ND	Hi-Z	-	FS	N	N	Y
34	22	PTA0	ND	L	PD	FS	N	N	Y
35	23	PTA1	ND	H	PU	FS	N	N	Y
36	24	PTA2	ND	H	PU	FS	N	N	Y
37	25	PTA3	ND	H	PU	FS	N	N	Y
38	26	PTA4/ LLWU_P3	ND	H	PU	FS	N	N	Y
39	27	PTA5	ND	Hi-Z	-	FS	N	N	Y
40		VDD	-	-	-	-	-	-	-
41		VSS	-	-	-	-	-	-	-
42	28	PTA12	ND	Hi-Z	-	FS	N	N	Y
43	29	PTA13/ LLWU_P4	ND	Hi-Z	-	FS	N	N	Y
44		PTA14	ND	Hi-Z	-	FS	N	N	Y
45		PTA15	ND	Hi-Z	-	FS	N	N	Y
46		PTA16	ND	Hi-Z	-	FS	N	N	Y
47		PTA17	ND	Hi-Z	-	FS	N	N	Y
48	30	VDD	-	-	-	-	-	-	-
49	31	VSS	-	-	-	-	-	-	-
50	32	PTA18	ND	Hi-Z	-	FS	N	N	Y
51	33	PTA19	ND	Hi-Z	-	FS	N	N	Y
52	34	RESET_b	-	H	PU	-	Y	N	-
53	35	PTB0/ LLWU_P5	HD	Hi-Z	-	FS	N	N	Y
54	36	PTB1	HD	Hi-Z	-	FS	N	N	Y
55	37	PTB2	ND	Hi-Z	-	FS	N	N	Y
56	38	PTB3	ND	Hi-Z	-	FS	N	N	Y
57		PTB9	ND	Hi-Z	-	FS	N	N	Y
58		PTB10	ND	Hi-Z	-	FS	N	N	Y
59		PTB11	ND	Hi-Z	-	FS	N	N	Y
60		VSS	-	-	-	-	-	-	-
61		VDD	-	-	-	-	-	-	-
62	39	PTB16	ND	Hi-Z	-	FS	N	N	Y
63	40	PTB17	ND	Hi-Z	-	FS	N	N	Y
64	41	PTB18	ND	Hi-Z	-	FS	N	N	Y
65	42	PTB19	ND	Hi-Z	-	FS	N	N	Y
66		PTB20	ND	Hi-Z	-	FS	N	N	Y

下一页继续介绍此表...

100LQFP	64LQFP	引脚名称	驱动器强度	POR 后的默认状态	POR 后的上拉/下拉设置	POR 后的压摆率	POR 后的无源引脚滤波器	开漏	引脚中断
67		PTB21	ND	Hi-Z	-	FS	N	N	Y
68		PTB22	ND	Hi-Z	-	FS	N	N	Y
69		PTB23	ND	Hi-Z	-	FS	N	N	Y
70	43	PTC0	ND	Hi-Z	-	FS	N	N	Y
71	44	PTC1/ LLWU_P6	ND	Hi-Z	-	FS	N	N	Y
72	45	PTC2	ND	Hi-Z	-	FS	N	N	Y
73	46	PTC3/ LLWU_P7	HD	Hi-Z	-	FS	N	N	Y
74	47	VSS	-	-	-	-	-	-	-
75	48	VDD	-	-	-	-	-	-	-
76	49	PTC4/ LLWU_P8	HD	Hi-Z	-	FS	N	N	Y
77	50	PTC5/ LLWU_P9	ND	Hi-Z	-	FS	N	N	Y
78	51	PTC6/ LLWU_P10	ND	Hi-Z	-	FS	N	N	Y
79	52	PTC7	ND	Hi-Z	-	FS	N	N	Y
80	53	PTC8	ND	Hi-Z	-	FS	N	N	Y
81	54	PTC9	ND	Hi-Z	-	FS	N	N	Y
82	55	PTC10	ND	Hi-Z	-	FS	N	N	Y
83	56	PTC11/ LLWU_P11	ND	Hi-Z	-	FS	N	N	Y
84		PTC12	ND	Hi-Z	-	FS	N	N	Y
85		PTC13	ND	Hi-Z	-	FS	N	N	Y
86		PTC14	ND	Hi-Z	-	FS	N	N	Y
87		PTC15	ND	Hi-Z	-	FS	N	N	Y
88		VSS	-	-	-	-	-	-	-
89		VDD	-	-	-	-	-	-	-
90		PTC16	ND	Hi-Z	-	FS	N	N	Y
91		PTC17	ND	Hi-Z	-	FS	N	N	Y
92		PTC18	ND	Hi-Z	-	FS	N	N	Y
93	57	PTD0/ LLWU_P12	ND	Hi-Z	-	FS	N	N	Y
94	58	PTD1	ND	Hi-Z	-	FS	N	N	Y
95	59	PTD2/ LLWU_P13	ND	Hi-Z	-	FS	N	N	Y

下一页继续介绍此表...

100LQFP	64LQFP	引脚名称	驱动器强度	POR 后的默认状态	POR 后的上拉/下拉设置	POR 后的压摆率	POR 后的无源引脚滤波器	开漏	引脚中断
96	60	PTD3	ND	Hi-Z	-	FS	N	N	Y
97	61	PTD4/ LLWU_P14	HD	Hi-Z	-	FS	N	N	Y
98	62	PTD5	HD	Hi-Z	-	FS	N	N	Y
99	63	PTD6/ LLWU_P15	HD	Hi-Z	-	FS	N	N	Y
100	64	PTD7	HD	Hi-Z	-	FS	N	N	Y

属性	缩写	说明
驱动器强度	ND	标准驱动
	HD	高电平驱动
POR 后的默认状态	Hi-Z	高阻抗
	H	高电平
	L	低电平
POR 后的上拉/下拉设置	PU	上拉
	PD	下拉
POR 后的压摆率	FS	快压摆率
	SS	慢压摆率
POR 后的无源引脚滤波器	N	禁用
	Y	启用
开漏	N	禁用 ¹
	Y	启用
引脚中断	Y	是

1. 当启用 UART 或 LPUART 模块且 UART 或 LPUART 引脚运行时，此引脚（伪）可配置开漏模式。

4.3 模块信号说明表

下面的章节说明芯片级信号名称与模块章节中使用的信号名称的关联。同时简要介绍信号功能和方向。

4.3.1 内核模块

表 9. JTAG 信号说明

芯片信号名称	模块信号名称	说明	I/O
JTAG_TMS	JTAG_TMS / SWD_DIO	JTAG 测试模式选择	I/O
JTAG_TCLK	JTAG_TCLK / SWD_CLK	JTAG 测试时钟	I
JTAG_TDI	JTAG_TDI	JTAG 测试数据输入	I
JTAG_TDO	JTAG_TDO / TRACE_SWO	JTAG 测试数据输出	O
JTAG_TRST	JTAG_TRST_b	JTAG 复位	I

表 10. SWD 信号说明

芯片信号名称	模块信号名称	说明	I/O
SWD_DIO	JTAG_TMS / SWD_DIO	串行线数据	I/O
SWD_CLK	JTAG_TCLK / SWD_CLK	串行线时钟	I

表 11. TPIU 信号说明

芯片信号名称	模块信号名称	说明	I/O
TRACE_SWO	JTAG_TDO / TRACE_SWO	通过单引脚上的 ARM CoreSight 调试时钟块跟踪时钟输出	O

4.3.2 系统模块

表 12. EWM 信号说明

芯片信号名称	模块信号名称	说明	I/O
EWM_IN	EWM_in	用于外部安全电路安全状态的 EWM 输入。可使用 EWM_CTRL[ASSIN]位编程 EWM_in 的极性。默认极性为有效低电平。	I
EWM_OUT	EWM_out	EWM 复位输出信号	O

4.3.3 时钟模块

表 13. OSC 信号说明

芯片信号名称	模块信号名称	说明	I/O
EXTAL0	EXTAL	外部时钟/振荡器输入	I
XTAL0	XTAL	振荡器输出	O

表 14. RTC OSC 信号说明

芯片信号名称	模块信号名称	说明	I/O
EXTAL32	EXTAL32	32.768 kHz 振荡器输入	I
XTAL32	XTAL32	32.768 kHz 振荡器输出	O

4.3.4 模拟

表 15. ADC 0 信号说明

芯片信号名称	模块信号名称	说明	I/O
ADC0_DP[3:0]	DADP3–DADP0	差分模拟通道输入	I
ADC0_DM[3:0]	DADM3–DADM0	差分模拟通道输入	I
ADC0_SEn	ADn	单端模拟通道输入	I
VREFH	V _{REFSH}	参考电压（高）	I
VREFL	V _{REFSL}	参考电压（低）	I
VDDA	V _{DDA}	模拟电源	I
VSSA	V _{SSA}	模拟接地	I

表 16. CMP 0 信号说明

芯片信号名称	模块信号名称	说明	I/O
CMP0_IN[5:0]	IN[5:0]	模拟电压输入	I
CMP0_OUT	CMPO	比较器输出	O

表 17. DAC 0 信号说明

芯片信号名称	模块信号名称	说明	I/O
DAC0_OUT	—	DAC 输出	O

4.3.5 定时器模块

表 18. PDB 0 信号说明

芯片信号名称	模块信号名称	说明	I/O
PDB0_EXTRG	EXTRG	外部触发器输入源 如果已使能 PDB 且已选择外部触发器输入源，则 EXTRG 信号上的正边沿将复位并启动计数器。	I

表 19. LPTMR 0 信号说明

芯片信号名称	模块信号名称	说明	I/O
LPTMR0_ALT[2:1]	LPTMR0_ALTx	脉冲计数器输入引脚	I

表 20. RTC 信号说明

芯片信号名称	模块信号名称	说明	I/O
VBAT	—	RTC 和 VBAT 寄存器文件的备用电池电源	I
RTC_CLKOUT	RTC_CLKOUT	1 Hz 方波输出或 OSCERCLK	O

表 21. TPM 0 信号说明

芯片信号名称	模块信号名称	说明	I/O
TPM_CLKIN[1:0]	TPM_EXTCLK	外部时钟。可选择 TPM 外部时钟，使得每个上升沿与计数器时钟同步的 TPM 计数器递增。	I
TPM0_CH[5:0]	TPM_CHx	TPM 通道 (n = 5 至 0)。在输出比较或 PWM 模式下配置且 TPM 计数器使能时，TPM 通道引脚将配置为输出，否则 TPM 通道引脚为输入。	I/O

表 22. TPM 1 信号说明

芯片信号名称	模块信号名称	说明	I/O
TPM_CLKIN[1:0]	TPM_EXTCLK	外部时钟。可选择 TPM 外部时钟，使得每个上升沿与计数器时钟同步的 TPM 计数器递增。	I
TPM1_CH[1:0]	TPM_CHx	TPM 通道 (n = 5 至 0)。在输出比较或 PWM 模式下配置且 TPM 计数器使能时，TPM 通道引脚将配置为输出，否则 TPM 通道引脚为输入。	I/O

表 23. TPM 2 信号说明

芯片信号名称	模块信号名称	说明	I/O
TPM_CLKIN[1:0]	TPM_EXTCLK	外部时钟。可选择 TPM 外部时钟，使得每个上升沿与计数器时钟同步的 TPM 计数器递增。	I

下一页继续介绍此表...

表 23. TPM 2 信号说明 (继续)

芯片信号名称	模块信号名称	说明	I/O
TPM2_CH[1:0]	TPM_CHn	TPM 通道 (n = 5 至 0)。在输出比较或 PWM 模式下配置且 TPM 计数器使能时, TPM 通道引脚将配置为输出, 否则 TPM 通道引脚为输入。	I/O

4.3.6 通信接口

表 24. USB FS OTG 信号说明

芯片信号名称	模块信号名称	说明	I/O
USB0_DM	usb_dm	USB 总线上的 USB D-模拟数据信号。	I/O
USB0_DP	usb_dp	USB 总线上的 USB D+模拟数据信号。	I/O
USB_CLKIN	—	备用 USB 时钟输入	I
USB_SOF_OUT	—	USB 帧起始信号。可用于让 USB 帧起始可用, 以便进行外部同步。	O

表 25. CAN 0 信号说明

芯片信号名称	模块信号名称	说明	I/O
CAN0_RX	CAN Rx	CAN 接收引脚	输入
CAN0_TX	CAN Tx	CAN 发送引脚	输出

表 26. CAN 1 (只针对 KS22) 信号说明

芯片信号名称	模块信号名称	说明	I/O
CAN1_RX	CAN Rx	CAN 接收引脚	输入
CAN1_TX	CAN Tx	CAN 发送引脚	输出

表 27. SPI 0 信号说明

芯片信号名称	模块信号名称	说明	I/O
SPI0_PCS0	PCS0/SS	外设芯片选择 0 (O)	I/O
SPI0_PCS[3:1]	PCS[1:3]	外设芯片选择 1–3	O
SPI0_PCS4	PCS4	外设芯片选择 4	O
SPI0_PCS5	PCS5/PCSS	外设芯片选择 5 /外设芯片选择选通	O
SPI0_SIN	SIN	串行数据输入	I
SPI0_SOUT	SOUT	串行数据输出	O
SPI0_SCK	SCK	串行时钟(O)	I/O

表 28. SPI 1 信号说明

芯片信号名称	模块信号名称	说明	I/O
SPI1_PCS0	PCS0/SS	外设芯片选择 0 (O)	I/O
SPI1_PCS[3:1]	PCS[1:3]	外设芯片选择 1–3	O
SPI1_SIN	SIN	串行数据输入	I
SPI1_SOUT	SOUT	串行数据输出	O
SPI1_SCK	SCK	串行时钟(O)	I/O

表 29. LPI2C 0 信号说明

芯片信号名称	模块信号名称	说明	I/O
LPI2C0_SCL	SCL	LPI2C 时钟线路。	I/O
LPI2C0_SDA	SDA	LPI2C 数据线路。	I/O
LPI2C0_HREQ	HREQ	主机请求，可在断言且 I2C 总线闲置时启动 LPI2C 主机传输。	I
LPI2C0_SCLS	SCLS	辅助 I2C 时钟线路。如果将 LPI2C 主机/从机配置为使用单独引脚，则此为 LPI2C 从机 SCL 引脚。	I/O
LPI2C0_SDAS	SDAS	辅助 I2C 数据线路。如果将 LPI2C 主机/从机配置为使用单独引脚，则此为 LPI2C 从机 SDA 引脚。	I/O

表 30. LPI2C 1 信号说明

芯片信号名称	模块信号名称	说明	I/O
LPI2C1_SCL	SCL	LPI2C 时钟线路。	I/O
LPI2C1_SDA	SDA	LPI2C 数据线路。	I/O
LPI2C1_HREQ	HREQ	主机请求，可在断言且 I2C 总线闲置时启动 LPI2C 主机传输。	I
LPI2C1_SCLS	SCLS	辅助 I2C 时钟线路。如果将 LPI2C 主机/从机配置为使用单独引脚，则此为 LPI2C 从机 SCL 引脚。	I/O
LPI2C1_SDAS	SDAS	辅助 I2C 数据线路。如果将 LPI2C 主机/从机配置为使用单独引脚，则此为 LPI2C 从机 SDA 引脚。	I/O

表 31. LPUART 信号说明

芯片信号名称	模块信号名称	说明	I/O
LPUART0_TX	LPUART_TX	发送数据。此引脚一般为输出，但在单线模式（发射器禁用或发射法相配置为接收数据）下为输入（三态）。	O/I
LPUART0_RX	LPUART_RX	接收数据	I
LPUART0_CTS	LPUART_CTS	清除发送	I
LPUART0_CTS	LPUART_RTS	请求发送	I

表 32. UART 0 信号说明

芯片信号名称	模块信号名称	说明	I/O
UART0_CTS	CTS	清除发送	I
UART0_RTS	RTS	请求发送	O
UART0_TX	TXD	传送数据	O
UART0_RX	RXD	接收数据	I

表 33. UART 1 信号说明

芯片信号名称	模块信号名称	说明	I/O
UART1_CTS	CTS	清除发送	I
UART1_RTS	RTS	请求发送	O
UART1_TX	TXD	传送数据	O
UART1_RX	RXD	接收数据	I

表 34. UART 2 信号说明

芯片信号名称	模块信号名称	说明	I/O
UART2_CTS	CTS	清除发送	I
UART2_RTS	RTS	请求发送	O
UART2_TX	TXD	传送数据	O
UART2_RX	RXD	接收数据	I

表 35. I²S0 信号说明

芯片信号名称	模块信号名称	说明	I/O
I2S0_MCLK	SAI_MCLK	音频主机时钟。从外部生成时，此主机时钟为输入；从内部生成时，为输出。	I/O
I2S0_RX_BCLK	SAI_RX_BCLK	接收位时钟。从外部生成时，此位时钟为输入；从内部生成时，为输出。	I/O
I2S0_RX_FS	SAI_RX_SYNC	接收帧同步从外部生成时，此帧同步为位时钟同步采样的输入；从内部生成时，为位时钟同步生成的输出。	I/O
I2S0_RXD	SAI_RX_DATA	接收数据。接收数据由位时钟同步采样。	I
I2S0_TX_BCLK	SAI_TX_BCLK	传送位时钟。从外部生成时，此位时钟为输入；从内部生成时，为输出。	I/O
I2S0_TX_FS	SAI_TX_SYNC	发送帧同步从外部生成时，此帧同步为位时钟同步采样的输入；从内部生成时，为位时钟同步生成的输出。	I/O
I2S0_TXD	SAI_TX_DATA	发送数据。发送数据由位时钟同步生成，当未发送字时为三态。	O

表 36. I²S1 信号说明

芯片信号名称	模块信号名称	说明	I/O
I2S1_MCLK	SAI_MCLK	音频主机时钟。从外部生成时，此主机时钟为输入；从内部生成时，为输出。	I/O
I2S1_RX_BCLK	SAI_RX_BCLK	接收位时钟。从外部生成时，此位时钟为输入；从内部生成时，为输出。	I/O
I2S1_RX_FS	SAI_RX_SYNC	接收帧同步从外部生成时，此帧同步为位时钟同步采样的输入；从内部生成时，为位时钟同步生成的输出。	I/O
I2S1_RXD	SAI_RX_DATA	接收数据。接收数据由位时钟同步采样。	I
I2S1_TX_BCLK	SAI_TX_BCLK	传送位时钟。从外部生成时，此位时钟为输入；从内部生成时，为输出。	I/O
I2S1_TX_FS	SAI_TX_SYNC	发送帧同步从外部生成时，此帧同步为位时钟同步采样的输入；从内部生成时，为位时钟同步生成的输出。	I/O
I2S1_TXD	SAI_TX_DATA	发送数据。发送数据由位时钟同步生成，当未发送字时为三态。	O

表 37. FlexIO 信号说明

芯片信号名称	模块信号名称	说明	I/O
FXIO0_Dn	FXIO_Dn (n=0...7)	双向 FlexIO 移位器和定时器引脚输入/输出	I/O

4.3.7 人机接口 (HMI)

表 38. GPIO 信号说明

芯片信号名称	模块信号名称	说明	I/O
PTA[31:0] ¹	PORTA31–PORTA0	通用输入/输出	I/O
PTB[31:0] ¹	PORTB31–PORTB0	通用输入/输出	I/O
PTC[31:0] ¹	PORTC31–PORTC0	通用输入/输出	I/O
PTD[31:0] ¹	PORTD31–PORTD0	通用输入/输出	I/O
PTE[31:0] ¹	PORTE31–PORTE0	通用输入/输出	I/O

1. 可用 GPIO 引脚取决于特定封装。有关具体哪些 GPIO 信号可用，请参见“信号多路复用”部分。

4.4 引脚配置

下图显示的是本文档中所支持器件的引脚分配。多个信号可能多路复用至一个引脚。要确定引脚使用的信号，请参见“信号多路复用及引脚分配”。

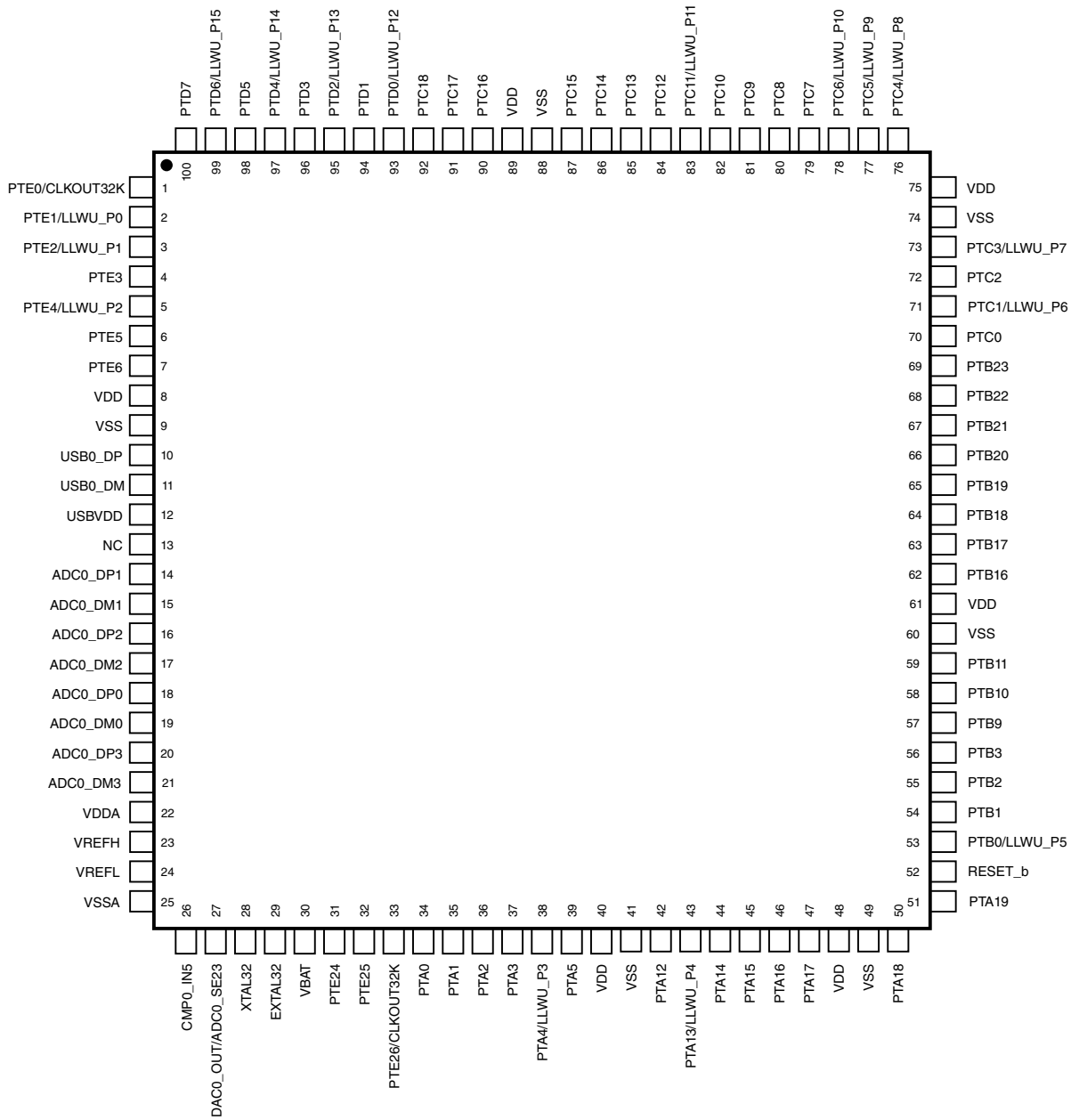


图 6. 100 LQFP 引脚分配图

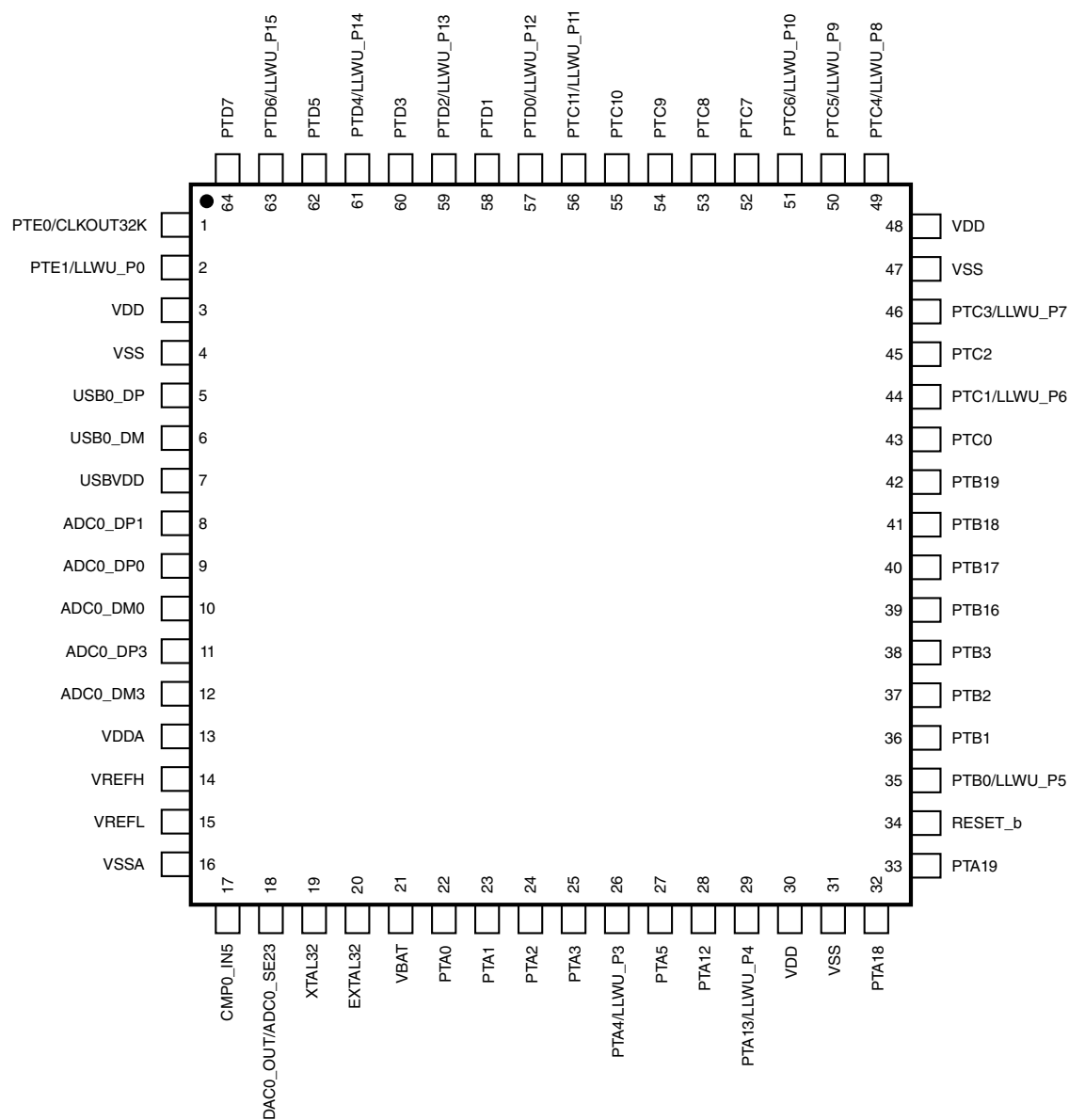


图 7. 64 LQFP 引脚分配图

4.5 封装尺寸

下图显示本文档中所支持器件的封装尺寸。

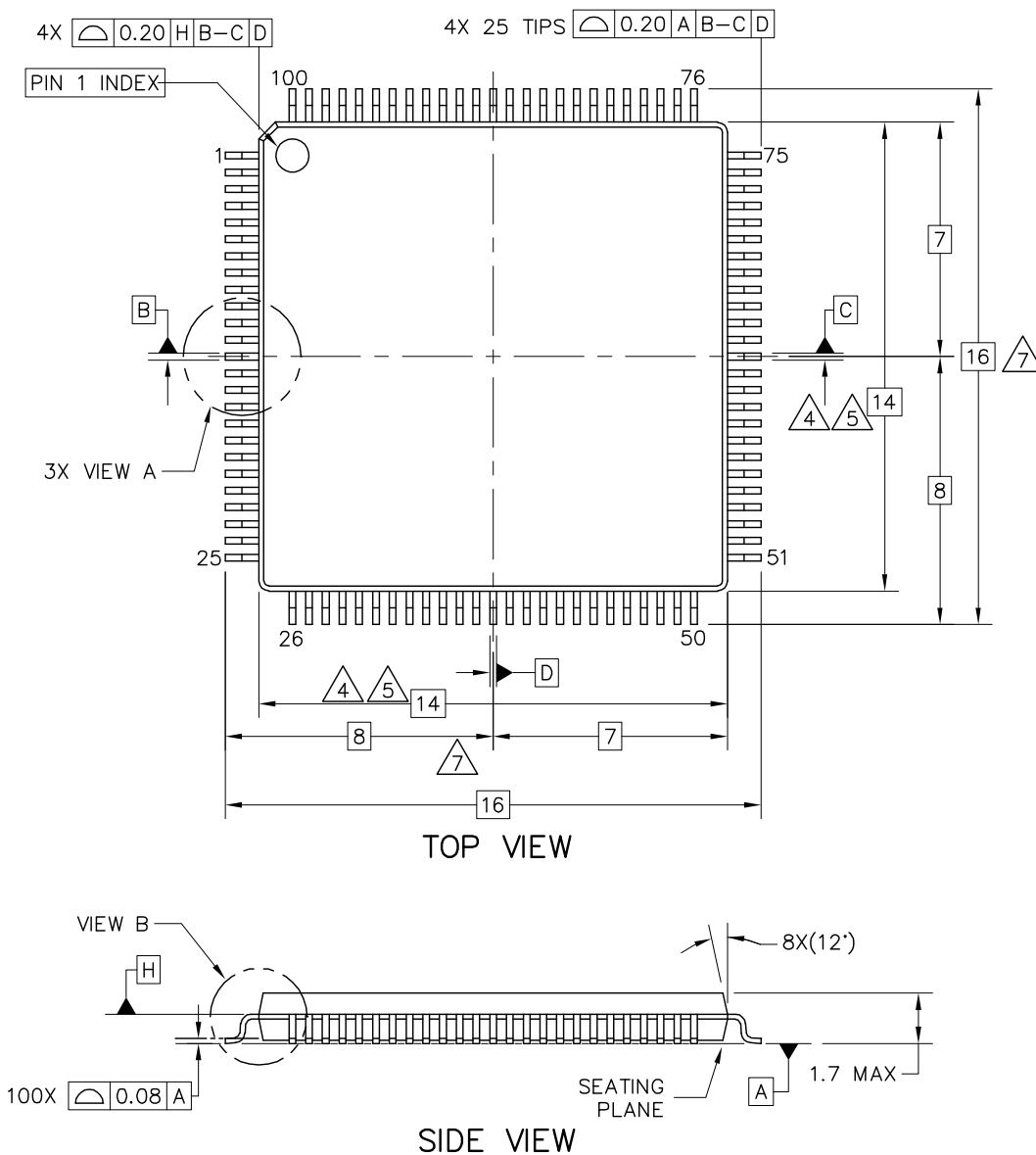
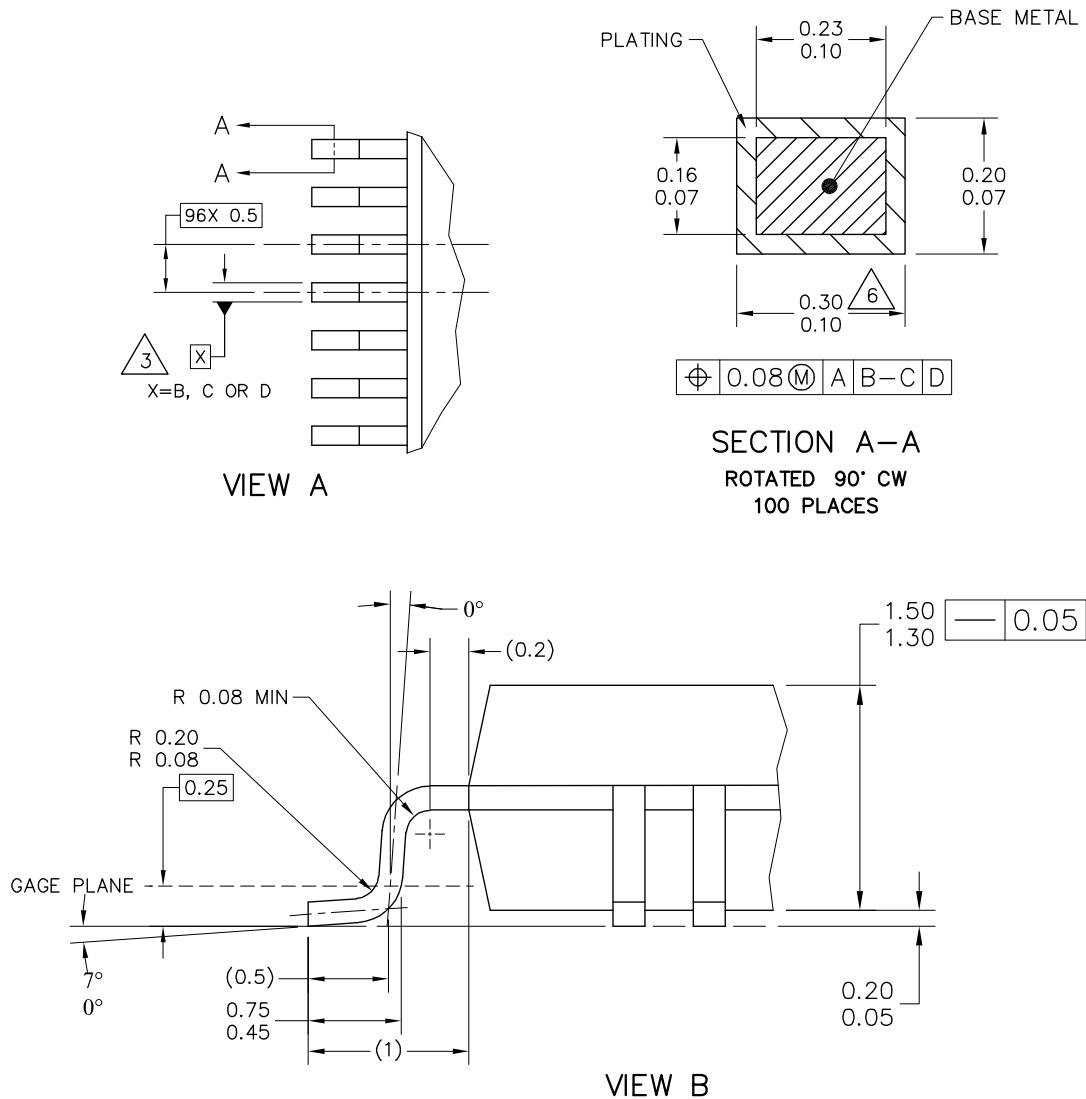


图 8. 100 引脚 LQFP 封装尺寸 1



NOTES:

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. INTERPRET DIMENSIONS AND TOLERANCES PER ASME Y14.5M-1994.
3. DATUMS B, C AND D TO BE DETERMINED AT DATUM PLANE H.
4. THE TOP PACKAGE BODY SIZE MAY BE SMALLER THAN THE BOTTOM PACKAGE SIZE BY A MAXIMUM OF 0.1 MM.
5. DIMENSIONS DO NOT INCLUDE MOLD PROTRUSIONS. THE MAXIMUM ALLOWABLE PROTRUSION IS 0.25 mm PER SIDE. THE DIMENSIONS ARE MAXIMUM BODY SIZE DIMENSIONS INCLUDING MOLD MISMATCH.
6. DIMENSION DOES NOT INCLUDE DAM BAR PROTRUSION. PROTRUSIONS SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED 0.35. MINIMUM SPACE BETWEEN PROTRUSION AND AN ADJACENT LEAD SHALL BE 0.07 MM.
7. DIMENSIONS ARE DETERMINED AT THE SEATING PLANE, DATUM A.

图 9. 100 引脚 LQFP 封装尺寸 2

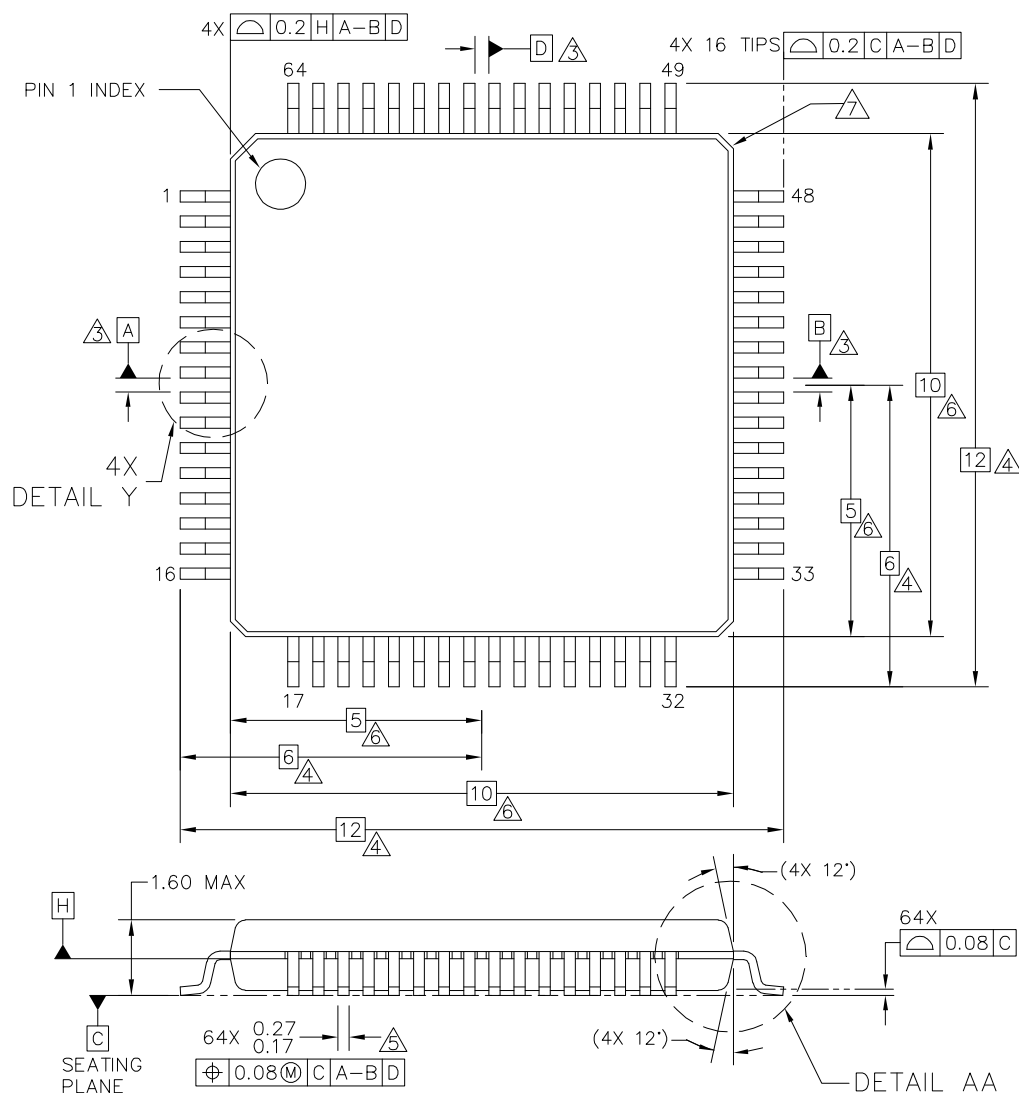
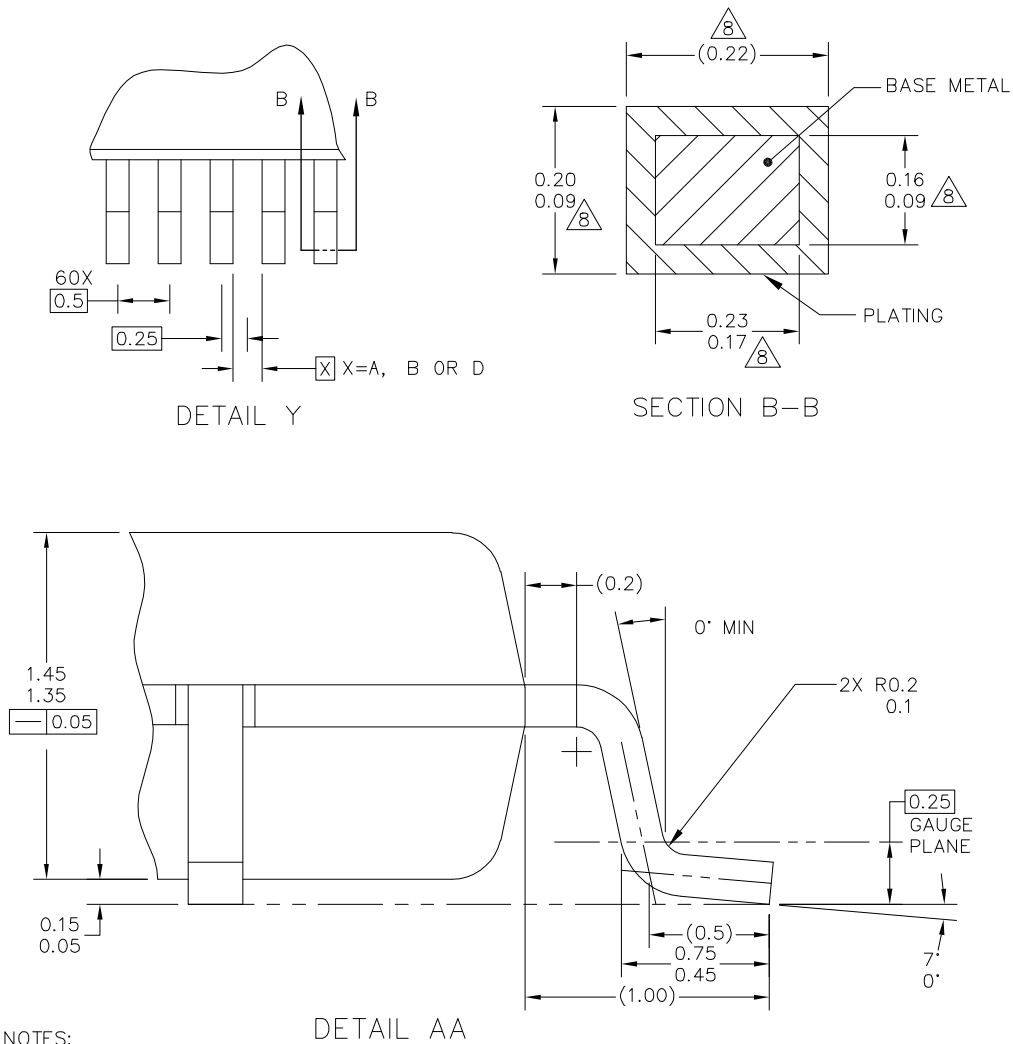


图 10.64 引脚 LQFP 封装尺寸 1



NOTES:

1. DIMENSIONS ARE IN MILLIMETERS.
2. DIMENSIONING AND TOLERANCING PER ASME Y14.5M-1994.
3. DATUMS A, B AND D TO BE DETERMINED AT DATUM PLANE H.
4. DIMENSIONS TO BE DETERMINED AT SEATING PLANE C.
5. THIS DIMENSION DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED THE UPPER LIMIT BY MORE THAN 0.08 MM AT MAXIMUM MATERIAL CONDITION. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE FOOT. MINIMUM SPACE BETWEEN PROTRUSION AND ADJACENT LEAD SHALL NOT BE LESS THAN 0.07 MM.
6. THIS DIMENSION DOES NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25 MM PER SIDE. THIS DIMENSION IS MAXIMUM PLASTIC BODY SIZE INCLUDING MOLD MISMATCH.
7. EXACT SHAPE OF EACH CORNER IS OPTIONAL.
8. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.1 MM AND 0.25 MM FROM THE LEAD TIP.

图 11. 64 引脚 LQFP 封装尺寸 2

5 电气特性

5.1 术语和准则

5.1.1 定义

下表定义了一些关键术语：

术语	定义
极限	<p>技术特性的最小值或最大值，如果超过此值，可能会导致芯片发生永久性故障：</p> <ul style="list-style-type: none">• 运行极限 适合在芯片操作过程中使用；• 非运行极限 适合在芯片未通电的情况下使用。 <p>注：只要某个特性开始超过某个工作极限，芯片永久受损的可能性就会快速增加。</p>
操作要求	<p>在操作过程中必须保证达到的技术特性的指定值或值范围，目的是避免错误操作以及缩短芯片使用寿命。</p>
操作特性	<p>在操作过程中，只要满足操作要求及其他任何指定条件，即保证达到的技术特性的指定值或值范围。</p>
典型值	<p>典型值是指满足下列条件的技术特性的指定值：</p> <ul style="list-style-type: none">• 在特性指定的值范围内；• 只要满足 typical-value conditions 或其他指定条件，即在操作过程中代表该特性。 <p>注：典型值供设计指导之用，未测试和担保。</p>

5.1.2 示例

运行极限示例

符号	说明	最小值	最大值	单位
V _{DD}	1.0 V 内核供电电压	-0.3	1.2	V

运行需求示例

符号	说明	最小值	最大值	单位
V _{DD}	1.0 V 内核供电电压	0.9	1.1	V

包含典型值的运行示例

符号	说明	最小值	典型值	最大值	单位
I _{WP}	数字I/O弱上拉/下拉电流	10	70	130	μA

5.1.3 典型值条件

典型值假设满足下列条件（或指定的其他条件）：

符号	说明	值	单位
T _A	环境温度	25	°C
V _{DD}	供电电压	3.3	V

5.1.4 极限与操作要求的关系



5.1.5 极限和操作要求准则

在应用极限和操作要求时，请遵循以下准则：

- 切勿超出芯片的任何一个极限。
- 在正常操作期间，不要超出芯片的任何一项操作要求。
- 如果在非正常操作期间必须要超出某项操作要求 (例如在上电时序期间)，请尽量缩短持续时间。

5.2 额定值

5.2.1 热处理参数

符号	说明	最小值	最大值	单位	注释
T _{STG}	存储温度	-55	150	°C	1
T _{SDR}	无铅焊接温度	—	260	°C	2

1. 根据 JEDEC 标准 JESD22-A103“高温存储时间”确定。
2. 根据 IPC/JEDEC 标准 J-STD-020“非密封固态表面安装器件的潮湿/回流敏感度分级”确定。

5.2.2 湿度处理参数

符号	说明	最小值	最大值	单位	注释
MSL	湿度灵敏度等级	—	3	—	1

- 根据 IPC/JEDEC 标准 J-STD-020“非密封固态表面安装器件的潮湿/回流敏感度分级”确定。

5.2.3 ESD 操作额定参数

符号	说明	最小值	最大值	单位	注释
V_{HBM}	静电放电电压，人体放电模式	-2000	+2000	V	1
V_{CDM}	静电放电电压，设备充电模式	-500	+500	V	2
I_{LAT}	105°C 环境温度下的闭锁电流	-100	+100	mA	3

- 根据 JEDEC 标准 JESD22-A114“静电放电 (ESD) 灵敏度测试人体放电模式 (HBM) 标准”确定。
- 根据 JEDEC 标准 JESD22-C101“微电子组件静电放电耐压阈值的电场感应器件充电模式测试方法”确定。
- 根据 JEDEC 标准 JESD78“IC 门锁测试”确定。

5.2.4 电压和电流操作极限

表 39. 电压和电流操作极限

符号	说明	最小值	最大值	单位
V_{DD}	数字供电电压	-0.3	3.8	V
I_{DD}	数字供电电流	—	120	mA
V_{IO}	IO 引脚输入电压	-0.3	$V_{DD} + 0.3$	V
I_D	单引脚瞬态最大电流限值（适用于所有端口引脚）	-25	25	mA
V_{DDA}	模拟供电电压	$V_{DD} - 0.3$	$V_{DD} + 0.3$	V
V_{USB_DP}	USB_DP 输入电压	-0.3	3.63	V
V_{USB_DM}	USB_DM 输入电压	-0.3	3.63	V
V_{BAT}	RTC 电池供电电压	-0.3	3.8	V

5.3 通用

5.3.1 交流电气特性

除非另有说明，否则传输延迟在 50%到 50%点处测得，上升时间和下降时间在 20%和 80%点处测得，如下图所示。

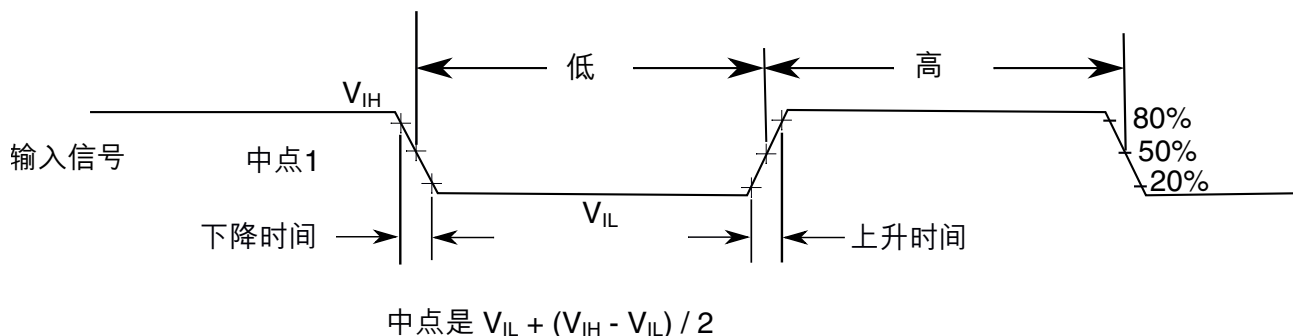


图 12. 输入信号测量参考

除非另有说明，否则所有数字 I/O 开关特性均假设输出引脚具备下列特性。

- $C_L=30$ pF 负载
- 压摆率禁用
- 正常驱动强度

5.3.2 静态电气规格

5.3.2.1 电压和电流工作要求

表 40. 电压和电流工作要求

符号	说明	最小值	最大值	单位	注释
V_{DD}	供电电压	1.71	3.6	V	
V_{DDA}	模拟供电电压	1.71	3.6	V	
$V_{DD} - V_{DDA}$	V_{DD} 至 V_{DDA} 差分电压	-0.1	0.1	V	
$V_{SS} - V_{SSA}$	V_{SS} 至 V_{SSA} 差分电压	-0.1	0.1	V	
V_{BAT}	RTC 电池供电电压	1.71	3.6	V	
$USBV_{DD}$	USB 收发器供电电压	3.0	3.6	V	1
V_{IH}	输入高电压 <ul style="list-style-type: none"> • $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ • $1.7\text{ V} \leq V_{DD} \leq 2.7\text{ V}$ 	$0.7 \times V_{DD}$ $0.75 \times V_{DD}$	— —	V V	
V_{IL}	输入低电压 <ul style="list-style-type: none"> • $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ • $1.7\text{ V} \leq V_{DD} \leq 2.7\text{ V}$ 	— —	$0.35 \times V_{DD}$ $0.3 \times V_{DD}$	V V	
V_{HYS}	输入迟滞	$0.06 \times V_{DD}$	—	V	

下一页继续介绍此表...

表 40. 电压和电流工作要求 (继续)

符号	说明	最小值	最大值	单位	注释
I_{ICIO}	模拟和 I/O 引脚直流注入电流 — 单引脚 • $V_{IN} < V_{SS}-0.3V$ (负电流注入)	-3	—	mA	2
I_{ICont}	连续引脚 DC 注入电流 — 区域限制, 包括 16 个连续引脚的负注入电流之和或正注入电流之和 • 负电流注入	-25	—	mA	
V_{ODPU}	开漏上拉电平	V_{DD}	V_{DD}	V	3
V_{RAM}	保持 RAM 数据所需的 V_{DD} 电压	1.2	—	V	
V_{RFVBAT}	保持 VBAT 寄存器文件所需的 V_{BAT} 电压	V_{POR_VBAT}	—	V	

1. USB 标称工作电压为 3.3 V。
2. 所有模拟引脚和 I/O 引脚通过 ESD 保护二极管内部钳位至 V_{SS} 上。如果 V_{IN} 小于 V_{IO_MIN} 或大于 V_{IO_MAX} , 则此处需要限流电阻。负直流注入电流的限流电阻计算公式是: $R=(V_{IO_MIN}-V_{IN})/I_{ICIO}$ 。
3. 开漏输出必须上拉至 V_{DD} 。

5.3.2.2 HVD、LVD 和 POR 工作要求

表 41. V_{DD} 电源 HVD、LVD 和 POR 工作要求

符号	说明	最小值	典型值	最大值	单位	注释
V_{HVDH}	高压检测 (高启动点)	—	3.72	—	V	
V_{HVDL}	高压检测 (低启动点)	—	3.46	—	V	
V_{POR}	V_{DD} 电压下降 POR 检测电压	0.8	1.1	1.5	V	
V_{LVDH}	电压下降低电压检测门限— 高范围 (LVDV=01)	2.48	2.56	2.64	V	
V_{LVW1H}	低压警告阈值 — 高范围 • 1 级压降 (LVWV=00)	2.62	2.70	2.78	V	1
V_{LVW2H}	• 2 级压降 (LVWV=01)	2.72	2.80	2.88	V	
V_{LVW3H}	• 3 级压降 (LVWV=10)	2.82	2.90	2.98	V	
V_{LVW4H}	• 4 级压降 (LVWV=11)	2.92	3.00	3.08	V	
V_{HYSH}	低压抑制复位/恢复迟滞 — 高范围	—	80	—	mV	
V_{LVDL}	电压下降低电压检测门限 — 低范围 (LVDV=00)	1.54	1.60	1.66	V	
V_{LVW1L}	低压警告阈值 — 低范围 • 1 级压降 (LVWV=00)	1.74	1.80	1.86	V	1
V_{LVW2L}	• 2 级压降 (LVWV=01)	1.84	1.90	1.96	V	
V_{LVW3L}	• 3 级压降 (LVWV=10)	1.94	2.00	2.06	V	
V_{LVW4L}	• 4 级压降 (LVWV=11)	2.04	2.10	2.16	V	
V_{HYSL}	低压抑制复位/恢复迟滞 — 低范围	—	60	—	mV	
V_{BG}	带隙电压参考	0.97	1.00	1.03	V	
t_{LPO}	内部低功耗振荡器周期 — 工厂调整	900	1000	1100	μs	

1. 上升阈值是下降阈值与迟滞电压之和

表 42. VBAT 电源工作要求

符号	说明	最小值	典型值	最大值	单位	注释
V _{POR_VBAT}	VBAT 供电电压下降 POR 检测电压	0.8	1.1	1.5	V	

5.3.2.3 电压和电流特性

表 43. 电压和电流特性

符号	说明	最小值	典型值	最大值	单位	注释
V _{OH}	输出高电压 — 常规驱动管脚 (RESET_B 除外) 2.7 V ≤ V _{DD} ≤ 3.6 V, I _{OH} = -5 mA 1.71 V ≤ V _{DD} ≤ 2.7 V, I _{OH} = -2.5 mA	V _{DD} - 0.5	—	—	V	1
		V _{DD} - 0.5	—	—	V	
V _{OH}	输出高压 — 高驱动管脚 (RESET_B 除外) 2.7 V ≤ V _{DD} ≤ 3.6 V, I _{OH} = -20 mA 1.71 V ≤ V _{DD} ≤ 2.7 V, I _{OH} = -10 mA	V _{DD} - 0.5	—	—	V	1
		V _{DD} - 0.5	—	—	V	
I _{OHT}	所有端口的总输出高电流	—	—	100	mA	
V _{OL}	输出低电压 — 常规驱动管脚 (RESET_B 除外) 2.7 V ≤ V _{DD} ≤ 3.6 V, I _{OL} = 5 mA 1.71 V ≤ V _{DD} ≤ 2.7 V, I _{OL} = 2.5 mA	—	—	0.5	V	1
		—	—	0.5	V	
V _{OL}	输出低电压 — 高驱动管脚 (RESET_B 除外) 2.7 V ≤ V _{DD} ≤ 3.6 V, I _{OL} = 20 mA 1.71 V ≤ V _{DD} ≤ 2.7 V, I _{OL} = 10 mA	—	—	0.5	V	1
		—	—	0.5	V	
V _{OL}	输出低电压 — RESET_B 2.7 V ≤ V _{DD} ≤ 3.6 V, I _{OL} = 3 mA 1.71 V ≤ V _{DD} ≤ 2.7 V, I _{OL} = 1.5 mA	—	—	0.5	V	
		—	—	0.5	V	
I _{OLT}	所有端口的总输出低电流	—	—	100	mA	
I _{IN}	全温度范围内的输入漏电流 (每引脚)	—	—	—	—	1, 2
	除高驱动端引脚以外的所有引脚	—	0.002	0.5	μA	
	高驱动端引脚	—	0.004	0.5	μA	
I _{IN}	全温度范围的输入漏电流 (所有引脚的总值)	—	—	1.0	μA	2
R _{PU}	内部上拉电阻	20	—	50	kΩ	3
R _{PD}	内部下拉电阻	20	—	50	kΩ	4

1. PTB0、PTB1、PTD4、PTD5、PTD6、PTD7、PTC3 和 PTC4 I/O 同时具有高驱动和常规驱动能力，由相关的 PTx_PCRn[DSE]控制位进行选择。所有其他 GPIO 都只有常规驱动能力。
2. 在 V_{DD} = 3.6 V 的条件下测得
3. 在 V_{DD} 供电电压 = V_{DD} (最小值) 且 V_{input} = V_{SS} 时测量
4. 在 V_{DD} 电源电压 = V_{DD} (最小值) 且 V_{input} = V_{DD} 时测量

5.3.2.4 运行模式转换特性

下表中，除 t_{POR} 和 $VLLSx \rightarrow RUN$ 恢复时间外的所有特性均假定时钟配置如下：

- CPU 和系统时钟 = 80 MHz
- 总线时钟 = 40 MHz
- Flash 时钟 = 20 MHz
- MCG 模式：FEI

表 44. 功耗模式转换特性

符号	说明	最小值	典型值	最大值	单位	注释
t_{POR}	POR 事件后，芯片工作温度范围内从 V_{DD} 达到 1.71 V 到执行第一条指令所需的时间。	—	—	300	μs	1
	• $VLLS0 \rightarrow RUN$	—	—	140	μs	
	• $VLLS1 \rightarrow RUN$	—	—	140	μs	
	• $VLLS2 \rightarrow RUN$	—	—	80	μs	
	• $VLLS3 \rightarrow RUN$	—	—	80	μs	
	• $LLS2 \rightarrow RUN$	—	—	6	μs	
	• $LLS3 \rightarrow RUN$	—	—	6	μs	
	• $VLPS \rightarrow RUN$	—	—	5.7	μs	
	• $STOP \rightarrow RUN$	—	—	5.7	μs	

1. 正常引导 ($FTFA_FOPT[LPBOOT]=1$)

5.3.2.5 功耗特性

下表列出的最大值表示相当于均值加上三倍标准偏差的表征结果(均值 + 3 倍标准差)。

注

flash 高速缓存使能，程序使用 while(1)执行测试的情况下得到以下的数据。

表 45. 功耗特性

符号	说明	最小值	典型值	最大值	单位	注释
I_{DDA}	模拟供电电流	—	—	参见注释	mA	1
I_{DD_HSRUN}	HSRUN 模式电流 — 禁用所有外设时钟, 从 Flash 执行 CoreMark 基准代码					
	@ 1.8 V	—	24.17	26.215	mA	2, 3, 4
	@ 3.0 V	—	24.20	26.292	mA	
I_{DD_HSRUN}	HSRUN 模式电流 — 禁用所有外设时钟, 从 Flash 执行代码					
	@ 1.8 V	—	20.97	23.015	mA	2
	@ 3.0 V	—	20.97	23.062	mA	
I_{DD_HSRUN}	HSRUN 模式电流 — 启用所有外设时钟, 从 Flash 执行代码					
	@ 1.8 V	—	27.77	30.028	mA	5
	@ 3.0 V	—	27.79	30.083	mA	
I_{DD_RUN}	计算过程中的 RUN 模式电流 — 从 Flash 执行 CoreMark 基准代码					
	@ 1.8 V	—	15.58	16.790	mA	3, 4, 6
	@ 3.0 V	—	16.19	17.457	mA	
I_{DD_RUN}	计算过程中的 RUN 模式电流 — 从 Flash 执行代码					
	@ 1.8 V	—	13.38	14.590	mA	6
	@ 3.0 V	—	13.42	14.687	mA	
I_{DD_RUN}	RUN 模式电流 — 禁用所有外设时钟, 从 Flash 执行代码					
	@ 1.8 V	—	13.81	15.087	mA	7
	@ 3.0 V					
	• @ 25°C	—	13.87	15.158	mA	
	• @ -40°C	—	13.72	15.050	mA	
	• @ 70°C	—	14.03	15.267	mA	
	• @ 85°C	—	14.12	15.347	mA	
	• @ 105°C	—	14.31	15.529	mA	
I_{DD_RUN}	RUN 模式电流 — 启用所有外设时钟, 从 Flash 执行代码					
	@ 1.8 V	—	18.00	20.042	mA	8
	@ 3.0 V					
	• @ 25°C	—	18.08	20.145	mA	
	• @ -40°C	—	17.88	20.022	mA	
	• @ 70°C	—	18.27	20.229	mA	
	• @ 85°C	—	18.35	20.321	mA	

下一页继续介绍此表...

表 45. 功耗特性 (继续)

符号	说明	最小值	典型值	最大值	单位	注释
	• @ 105°C	—	18.55	20.544	mA	
I_{DD_RUN}	RUN 模式电流 — 有运算操作, 从 Flash 执行代码 @ 1.8 V @ 3.0 V • @ 25°C • @ -40°C • @ 70°C • @ 85°C • @ 105°C	— — — — — —	12.68 12.62 12.53 12.76 12.84 13.02	13.763 13.714 13.652 13.827 13.895 14.078	mA mA mA mA mA mA	9
I_{DD_WAIT}	3.0 V 电压下的待机模式高频电流 — 所有外设时钟均禁用	—	6.56	7.022	mA	7
I_{DD_WAIT}	3.0 V 电压下的待机模式降频电流 — 所有外设时钟均禁用	—	3.80	4.118	mA	10
I_{DD_VLPR}	计算过程中的极低功耗运行模式电流 — 从 Flash 执行 CoreMark 基准代码 @ 1.8 V @ 3.0 V	— —	967.09 973.06	1031.341 1040.294	μA μA	3, 4, 11
I_{DD_VLPR}	计算过程中的极低功耗运行模式电流, 从 Flash 执行代码 @ 1.8 V @ 3.0 V	— —	449.10 462.61	513.351 529.844	μA μA	11
I_{DD_VLPR}	3.0 V 电压下的 VLPR 模式电流 — 所有外设时钟均禁用	—	520.34	592.022	μA	12
I_{DD_VLPR}	3.0 V 电压下的极低功耗运行模式电流 — 所有外设时钟均使能	—	845.46	1005.706	μA	13
I_{DD_VLPW}	3.0 V 时的极低功耗等待模式电流 — 所有外设时钟禁用	—	240.81	269.275	μA	14
I_{DD_STOP}	STOP 模式电流, 在 3.0 V 电压下 @ 25°C @ -40°C @ 70°C @ 85°C @ 105°C	— — — — —	269.63 253.73 309.98 347.88 450.05	292.223 280.001 346.335 401.693 565.013	μA μA μA μA μA	
I_{DD_VLPS}	极低功耗 STOP 模式电流, 在 3.0 V 电压下 @ 25°C @ -40°C @ 70°C @ 85°C	— — — —	3.48 2.47 15.20 28.62	6.005 3.740 30.384 52.396	μA μA μA μA	

下一页继续介绍此表...

表 45. 功耗特性 (继续)

符号	说明	最小值	典型值	最大值	单位	注释
	@ 105°C	—	65.48	115.129	μA	
I _{DD_LLS3}	低漏电停止模式 3 电流, 在 3.0 V 时					
	@ 25°C	—	2.78	3.778	μA	
	@ -40°C	—	2.14	2.881	μA	
	@ 70°C	—	7.72	12.481	μA	
	@ 85°C	—	13.30	21.607	μA	
	@ 105°C	—	29.50	47.202	μA	
I _{DD_LLS2}	低漏电停止模式 2 电流, 在 3.0 V 时					
	@ 25°C	—	2.56	3.293	μA	
	@ -40°C	—	2.10	2.802	μA	
	@ 70°C	—	6.14	8.758	μA	
	@ 85°C	—	10.34	15.242	μA	
	@ 105°C	—	22.68	33.393	μA	
I _{DD_VLLS3}	超低漏电停止模式 3 电流, 在 3.0 V 时					
	@ 25°C	—	2.01	2.769	μA	
	@ -40°C	—	1.55	2.485	μA	
	@ 70°C	—	5.81	9.658	μA	
	@ 85°C	—	10.06	16.695	μA	
	@ 105°C	—	22.30	35.783	μA	
I _{DD_VLLS2}	超低漏电停止模式 2 电流, 在 3.0 V 时					
	@ 25°C	—	1.76	2.298	μA	
	@ -40°C	—	1.51	1.963	μA	
	@ 70°C	—	3.73	5.221	μA	
	@ 85°C	—	6.12	8.624	μA	
	@ 105°C	—	13.22	18.408	μA	
I _{DD_VLLS1}	极低漏电停止模式 1 电流, 在 3.0 V 时					
	@ 25°C	—	0.64	0.835	μA	
	@ -40°C	—	0.55	0.795	μA	
	@ 70°C	—	1.88	2.427	μA	
	@ 85°C	—	3.52	4.640	μA	
	@ 105°C	—	8.62	11.273	μA	
I _{DD_VLLS0}	3.0 V 时的 VLLS0 模式电流, 启用 POR 检测电路。					
	@ 25°C	—	0.36	0.525	μA	
	@ -40°C	—	0.29	0.513	μA	
	@ 70°C	—	1.58	2.108	μA	
	@ 85°C	—	3.19	4.289	μA	
	@ 105°C	—	8.20	10.838	μA	
I _{DD_VLLS0}	3.0 V 时的 VLLS0 模式电流, 禁用 POR 检测电路。					

下一页继续介绍此表...

表 45. 功耗特性 (继续)

符号	说明	最小值	典型值	最大值	单位	注释
	@ 25°C	—	0.093	0.249	μA	
	@ -40°C	—	0x0016	0.145	μA	
	@ 70°C	—	1.30	1.821	μA	
	@ 85°C	—	2.91	3.994	μA	
	@ 105°C	—	7.92	10.501	μA	
I _{DD_VBAT}	在 3.0 V 禁用 RTC 和 32 kHz 时的平均电流					V _{DD} 关断。
	@ 25°C	—	0.21	0.245	μA	
	@ -40°C	—	0.14	0.163	μA	
	@ 70°C	—	1.15	1.498	μA	
	@ 85°C	—	2.44	3.596	μA	
	@ 105°C	—	6.49	9.557	μA	
I _{DD_VBAT}	3.0 V 下 CPU 未访问 RTC 寄存器时的平均电流					V _{DD} 关断。
	@ 25°C	—	0.76	0.899	μA	
	@ -40°C	—	0.63	0.745	μA	
	@ 70°C	—	1.80	2.346	μA	
	@ 85°C	—	3.11	4.575	μA	
	@ 105°C	—	7.24	10.653	μA	

1. 模拟供电电流等于器件上每个模拟模块的工作或禁用电流之和。有关其供电电流请参见每个模块的特性。
2. 120 MHz 内核和系统时钟、60 MHz 总线时钟、24 MHz Flash 时钟。MCG 配置为 PEE 模式。禁用所有外设时钟。
3. 基于低级别编译优化进行缓存和预取。
4. 通过 IAR 7.2 以高优化级别编译 CoreMark 基准代码。
5. 120 MHz 内核和系统时钟、60 MHz 总线时钟、24 MHz Flash 时钟。MCG 配置为 PEE 模式。启用所有外设时钟。
6. 80 MHz 内核及系统时钟、40 MHz 总线时钟和 26.67 MHz Flash 时钟。MCG 配置为 PEE 模式。有运算操作。
7. 80 MHz 内核和系统时钟、40 MHz 总线时钟、和 26.67 MHz Flash 时钟。MCG 配置为 FEI 模式。禁用所有外设时钟。
8. 80 MHz 内核和系统时钟、40 MHz 总线时钟、和 26.67 MHz Flash 时钟。MCG 配置为 FEI 模式。启用所有外设时钟。
9. 80 MHz 内核和系统时钟、40 MHz 总线时钟和 26.67 MHz Flash 时钟。MCG 配置为 FEI 模式。有运算操作。
10. 25 MHz 内核及系统时钟，25 MHz 总线时钟和 25 MHz Flash 时钟。MCG 配置为 FEI 模式。
11. 4 MHz 内核、系统、及总线时钟和 1 MHz Flash 时钟。MCG 配置为 BLPE 模式。有运算操作。从 Flash 执行代码。
12. 4 MHz 内核、系统、及总线时钟和 1 MHz Flash 时钟。MCG 配置为 BLPE 模式。禁用所有外设时钟。从 Flash 执行代码。
13. 4 MHz 内核、系统、及总线时钟和 1 MHz Flash 时钟。MCG 配置为 BLPE 模式。启用所有外设时钟，但外设未处于工作状态。从 Flash 执行代码。
14. 4 MHz 内核、系统、及总线时钟和 1 MHz Flash 时钟。MCG 配置为 BLPE 模式。禁用所有外设时钟。

5.3.2.5.1 示意图：典型 IDD_RUN 工作特性

下面的数据是在以下条件下测定的：

- MCG 处于 FBE 模式，频率为 50 MHz 或更低。MCG 处于 FEE 模式，频率在 50 MHz 至 100MHz 之间。
- 无 GPIO 切换输出
- 从 Flash 执行代码且使能高速缓存
- 对于 ALLOFF 曲线，禁用除 FTFA 外的全部外设时钟

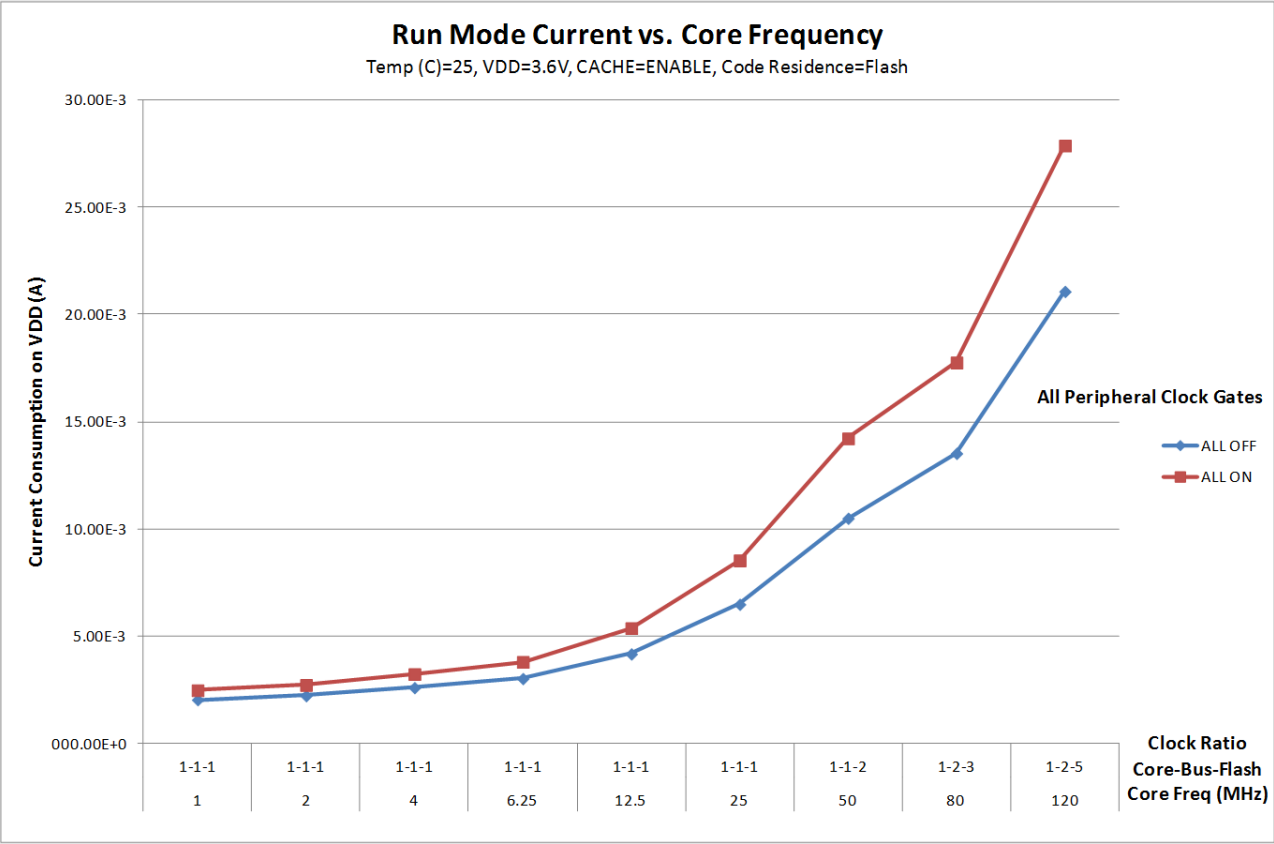


图 13. Run 模式供电电流与内核频率

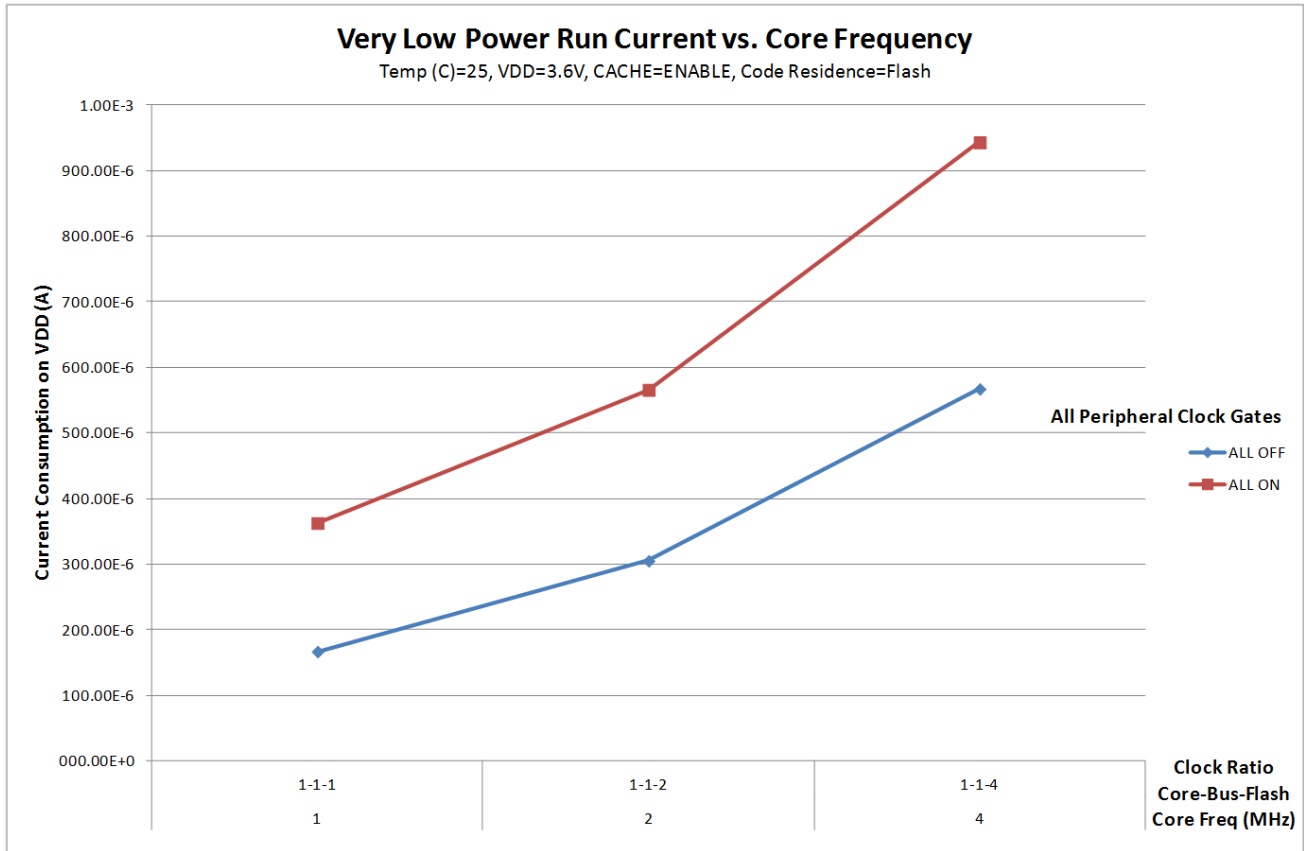


图 14. VLPR 模式电源电流与内核频率的关系

5.3.2.6 EMC 性能

电磁兼容(EMC)性能很大程度上取决于 MCU 所处的环境。外部组件的板设计和布局，电路拓扑选择、位置和特性以及 MCU 软件操作在 EMC 性能中起重要作用。系统设计人员可参阅 freescale.com 中提供的以下飞思卡尔应用笔记，以获得有关旨在优化 EMC 性能的建议与指导。

- AN2321: 电路板级电磁兼容设计
- AN1050: HCMOS 微控制器的电磁兼容(EMC)设计
- AN1263: 单片微控制器的电磁兼容设计
- AN2764: 改善微控制器应用的瞬态抗干扰性能
- AN1259: 基于 MCU 系统中降噪的系统设计和布局技术

5.3.2.6.1 EMC 电磁辐射特性

表 46. 64 引脚 LQFP 封装的 EMC 电磁辐射特性

参数	条件	时钟	频率范围	级别（典型值）	单位	注释
V _{EME}	根据 IEC 61967-2 标准进行器件配置、测试条件和 EM 测试。 电源电压： • VDD = 3.3 V 温度 = 25°C	FSYS = 120 MHz FBUS = 60 MHz 外部晶体 = 8 MHz	150 kHz–50 MHz	14	dBuV	1, 2
			50 MHz–150 MHz	23		
			150 MHz–500 MHz	23		
			500 MHz–1000 MHz	9		
			IEC 级别	L		3

1. 当器件正运行典型应用程序代码时根据 IEC 61967-2 进行测量。
2. 报告的辐射级别为测定的最大辐射值，从每个频率范围的测定方向，向上舍入到下一个整数。
3. IEC 级别最大值：M ≤ 18dBmV、L ≤ 24dBmV、K ≤ 30dBmV、I ≤ 36dBmV、H ≤ 42dBmV。

5.3.2.6.2 设计时需考虑电磁辐射

如果需要查找为设计系统以最大限度减少电磁辐射干扰提供指导的应用笔记：

1. 请访问 www.freescale.com。
2. 输入“EMC design”执行关键字搜索。

5.3.2.7 电容属性

表 47. 电容属性

符号	说明	最小值	最大值	单位
C _{IN_A}	输入电容：模拟引脚	—	7	pF
C _{IN_D}	输入电容：数字引脚	—	7	pF

5.3.3 开关规格

5.3.3.1 器件时钟规格

表 48. 器件时钟规格

符号	说明	最小值	最大值	单位
HSRUN 模式				
f _{SYS}	系统和内核时钟	—	120	MHz
f _{BUS}	总线时钟	—	60	MHz
正常运行模式				
f _{SYS}	系统和内核时钟	—	80	MHz

下一页继续介绍此表...

表 48. 器件时钟规格 (继续)

符号	说明	最小值	最大值	单位
f _{SYS_USB}	采用全速 USB 时的系统和内核时钟	20	—	MHz
f _{BUS}	总线时钟	—	50	MHz
f _{FLASH}	Flash 时钟	—	26.67	MHz
f _{LPTMR}	LPTMR 时钟	—	25	MHz
VLPR 和 VLPS 模式 ¹				
f _{SYS}	系统和内核时钟	—	4	MHz
f _{BUS}	总线时钟	—	4	MHz
f _{FLASH}	Flash 时钟	—	1	MHz
f _{ERCLK}	外部参考时钟	—	16	MHz
f _{LPTMR_pin}	LPTMR 时钟	—	25	MHz
f _{LPTMR_ERCLK}	LPTMR 外部参考时钟	—	16	MHz
f _{I2S_MCLK}	I2S 主时钟	—	12.5	MHz
f _{I2S_BCLK}	I2S 位时钟	—	4	MHz
f _{FlexIO}	FlexIO clock	—	16	MHz
f _{LPI2C}	LPI2C 时钟	—	16	MHz
f _{FlexCAN}	FlexCAN 时钟	—	4	MHz

1. VLPR 和 VLPS 模式下的频率限制会覆盖其他所有模块时序特性中的一切频率特性。无论是从 RUN 还是从 VLPR 进入 VLPS，VLPS 也适用同样的频率限制。

5.3.3.2 通用开关特性

下列通用特性适用于为 GPIO、UART 和定时器进行配置的所有信号。

表 49. 通用开关特性

符号	说明	最小值	最大值	单位	注释
	GPIO 引脚中断脉冲宽度（数字去抖滤波器禁用）— 同步路径	1.5	—	总线时钟周期	1, 2
	外部 RESET 和 NMI 引脚中断脉冲宽度 — 异步路径	100	—	ns	3
	GPIO 引脚中断脉冲宽度（禁用数字毛刺滤波器，禁用无源滤波器）— 异步路径	50	—	ns	4
	端口上升和下降时间				5
	• 禁用压摆率参数	—			
	• 1.71 ≤ V _{DD} ≤ 2.7 V	—	10	ns	
	• 2.7 ≤ V _{DD} ≤ 3.6 V		5	ns	
	• 启用压摆率参数	—			
	• 1.71 ≤ V _{DD} ≤ 2.7 V	—	30	ns	
	• 2.7 ≤ V _{DD} ≤ 3.6 V		16	ns	

1. 这是保证可通过引脚同步电路的最短脉冲宽度。低于该宽度的脉冲有可能不被识别。在 STOP 模式、VLPS、LLS 和 VLLSx 各模式中将避开同步器，所以可识别更短的脉冲。
2. 必须满足更高的同步和异步时序要求。
3. 这些引脚在输入端启用了无源滤波器。这是保证可识别的最短脉冲宽度。
4. 这些引脚在输入端没有无源滤波器。这是保证可识别的最短脉冲宽度。
5. 25 pF 负载

5.3.4 热学特性

5.3.4.1 热学操作要求

表 50. 热学操作要求

符号	说明	最小值	最大值	单位	注释
T_J	裸片结温	-40	125	°C	
T_A	环境温度	-40	105	°C	1

1. 仅当用户确保 T_J 不会超过最大 T_J 时才可超过最大 T_A 。确定 T_J 的最简单方法是： $T_J = T_A + R_{\theta JA} \times \text{芯片功耗}$ 。

5.3.4.2 热学属性

表 51. 热学属性

电路板类型	符号	说明	100 LQFP	64 LQFP	单位	附注
单层(1S)	$R_{\theta JA}$	热阻, 连接到外部环境 (自然对流)	58	61	°C/W	1, 2, 3
四层(2s2p)	$R_{\theta JA}$	热阻, 连接到外部环境 (自然对流)	46	43	°C/W	1, 2, 3, 4
单层(1S)	$R_{\theta JMA}$	热阻, 连接到外部环境 (空气速率为 200 英尺/分钟)	48	49	°C/W	1, 4, 5
四层(2s2p)	$R_{\theta JMA}$	热阻, 连接到外部环境 (空气速率为 200 英尺/分钟)	40	36	°C/W	1, 4, 5
—	$R_{\theta JB}$	热阻, 结到板	31	25	°C/W	6
—	$R_{\theta JC}$	热阻, 结到管壳	16	13	°C/W	7
—	Ψ_{JT}	热特性参数, 连接到外封装顶部中心 (自然对流)	2	2	°C/W	8
—	Ψ_{JB}	热特性参数, 连接到封装底部 (自然对流)	-	-	°C/W	9

1. 结温是裸片大小、片上功耗、封装热阻、安装环境 (板) 温度、环境温度、气流、板上其他组件的功耗和板热阻的函数。
2. 基于 SEMI G38-87 和 JEDEC JESD51-2 标准, 在单层板水平方向。
3. 基于 JEDEC JESD51-2 标准, 在水平方向电路板上自然对流。电路板分别符合 1s 或 2s2p 电路板的 JESD51-9 规范。
4. 基于 JEDEC JESD51-6, 在电路板水平方向。
5. 基于 JEDEC JESD51-6 标准, 在水平方向电路板上强制对流。电路板分别符合 1s 或 2s2p 电路板的 JESD51-9 规范。
6. 裸片和印刷电路板的热阻, 基于 JEDEC JESD51-8 标准。板温度在封装附近的板上表面测量。
7. 通过冷板方法测量裸片和外壳顶面之间的热阻 (MIL SPEC-883 Method 1012.1)。
8. 基于 JEDEC JESD51-2 标准, 热特性参数表示封装顶部和结温之间的温差。未提供希腊字母时, 散热特性参数写为 Ψ_{JT} 。
9. 基于 JEDEC JESD51-12 标准, 热特性参数表示封装底部中心和结温之间的温差。未提供希腊字母时, 散热特性参数写为 Ψ_{JB} 。

5.4 外设工作要求与特性

5.4.1 调试模块

5.4.1.1 SWD 电气特性

表 52. SWD 全电压范围电气特性

符号	说明	最小值	最大值	单位
	工作电压	1.71	3.6	V
S1	SWD_CLK 操作频率 • 串行线调试	0	33	MHz
S2	SWD_CLK 周期	1/S1	—	ns
S3	SWD_CLK 时钟脉宽 • 串行线调试	15	—	ns
S4	SWD_CLK 上升和下降时间	—	3	ns
S9	SWD_DIO SWD_CLK 上升前的输入数据建立时间	8	—	ns
S10	SWD_DIO SWD_CLK 上升后的输入数据保持时间	1.4	—	ns
S11	SWD_CLK 高电平至 SWD_DIO 数据有效时间	—	25	ns
S12	SWD_CLK 高电平至 SWD_DIO 高阻态时间	5	—	ns

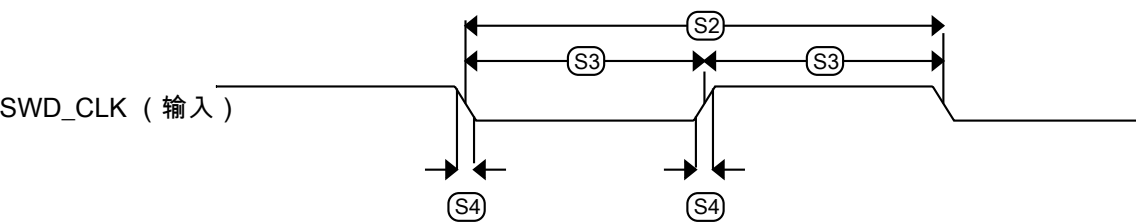


图 15. 串行线时钟输入时序

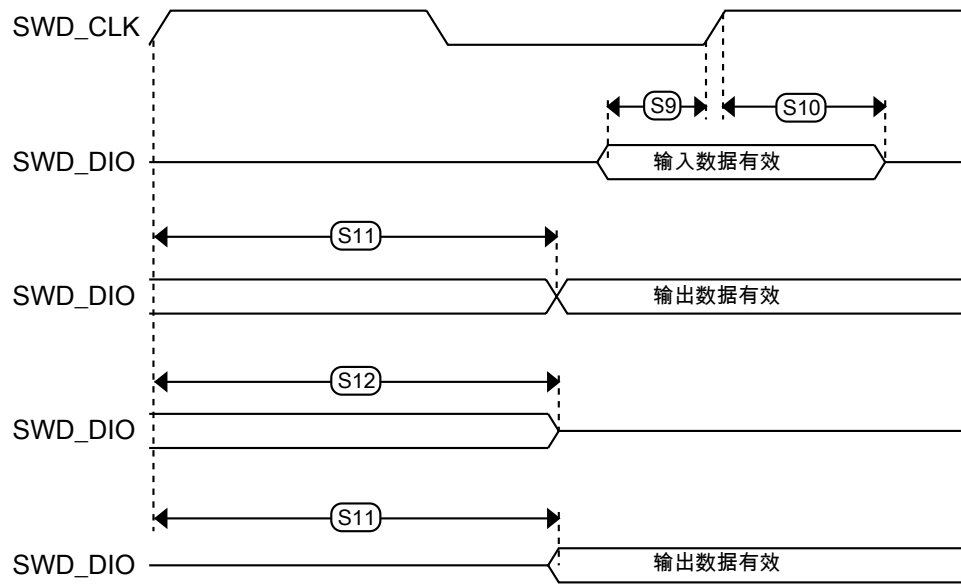


图 16. 串行线数据时序

5.4.1.2 JTAG 电气特性

表 53. JTAG 窄电压范围电气特性

符号	说明	最小值	最大值	单位
	工作电压	2.7	3.6	V
J1	TCLK 操作频率			MHz
	• 边界扫描	0	10	
	• JTAG 和 CJTAG	0	20	
J2	TCLK 周期	1/J1	—	ns
J3	TCLK 时钟脉宽			ns
	• 边界扫描	50	—	ns
	• JTAG 和 CJTAG	25	—	ns
J4	TCLK 上升和下降时间	—	3	ns
J5	TCLK 上升前边界扫描输入数据的建立时间	20	—	ns
J6	TCLK 上升后边界扫描输入数据的保持时间	1	—	ns
J7	TCLK 低电平至边界扫描输出数据有效的时间	—	25	ns
J8	TCLK 低电平至边界扫描输出高阻态的时间	—	25	ns
J9	TCLK 上升前 TMS、TDI 输入数据的建立时间	8	—	ns
J10	TCLK 上升后 TMS、TDI 输入数据的保持时间	1	—	ns

下一页继续介绍此表...

表 53. JTAG 窄电压范围电气特性 (继续)

符号	说明	最小值	最大值	单位
J11	TCLK 低电平至 TDO 数据有效的时间	—	19	ns
J12	TCLK 低电平至 TDO 高阻态的时间	—	19	ns
J13	TRST 有效时间	100	—	ns
J14	TRST 建立时间（取反）至 TCLK 高电平	8	—	ns

表 54. JTAG 全电压范围电气特性

符号	说明	最小值	最大值	单位
	工作电压	1.71	3.6	V
J1	TCLK 操作频率			MHz
	• 边界扫描	0	10	
	• JTAG 和 CJTAG	0	15	
J2	TCLK 周期	1/J1	—	ns
J3	TCLK 时钟脉宽			
	• 边界扫描	50	—	ns
	• JTAG 和 CJTAG	33	—	ns
J4	TCLK 上升和下降时间	—	3	ns
J5	TCLK 上升前边界扫描输入数据的建立时间	20	—	ns
J6	TCLK 上升后边界扫描输入数据的保持时间	1.4	—	ns
J7	TCLK 低电平至边界扫描输出数据有效的时间	—	27	ns
J8	TCLK 低电平至边界扫描输出高阻态的时间	—	27	ns
J9	TCLK 上升前 TMS、TDI 输入数据的建立时间	8	—	ns
J10	TCLK 上升后 TMS、TDI 输入数据的保持时间	1.4	—	ns
J11	TCLK 低电平至 TDO 数据有效的时间	—	26.2	ns
J12	TCLK 低电平至 TDO 高阻态的时间	—	26.2	ns
J13	TRST 有效时间	100	—	ns
J14	TRST 建立时间（取反）至 TCLK 高电平	8	—	ns

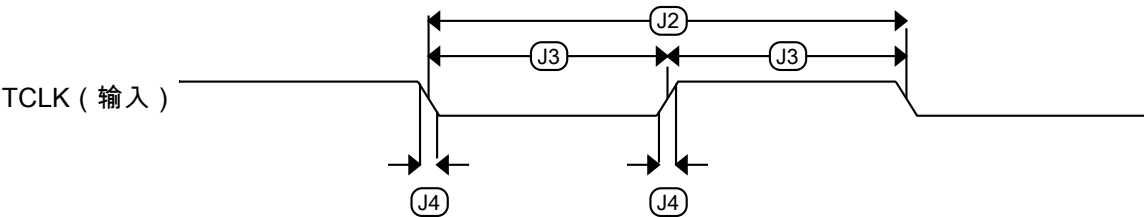


图 17. 测试时钟输入时序

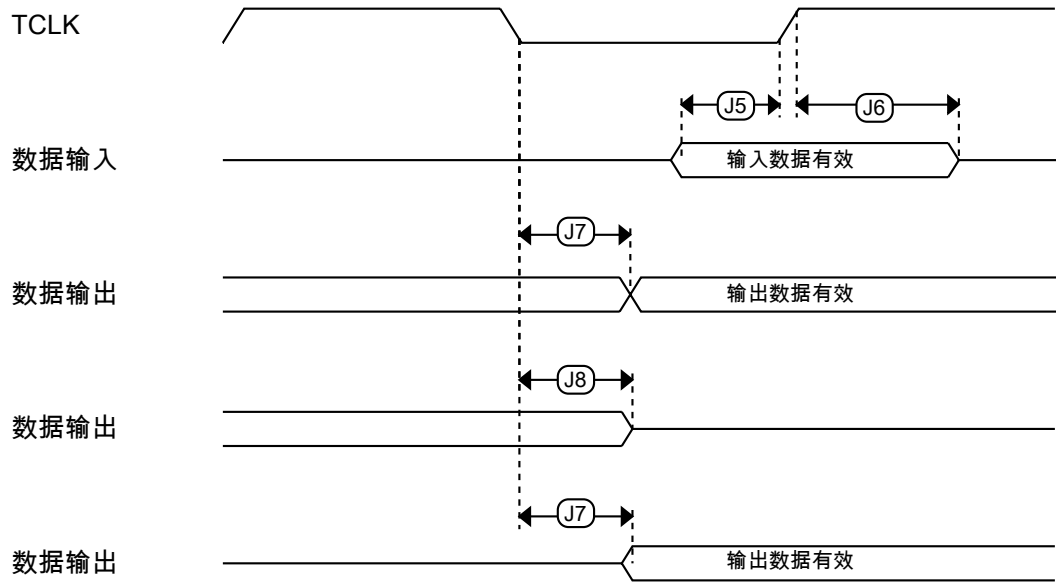


图 18. 边界扫描(JTAG)时序

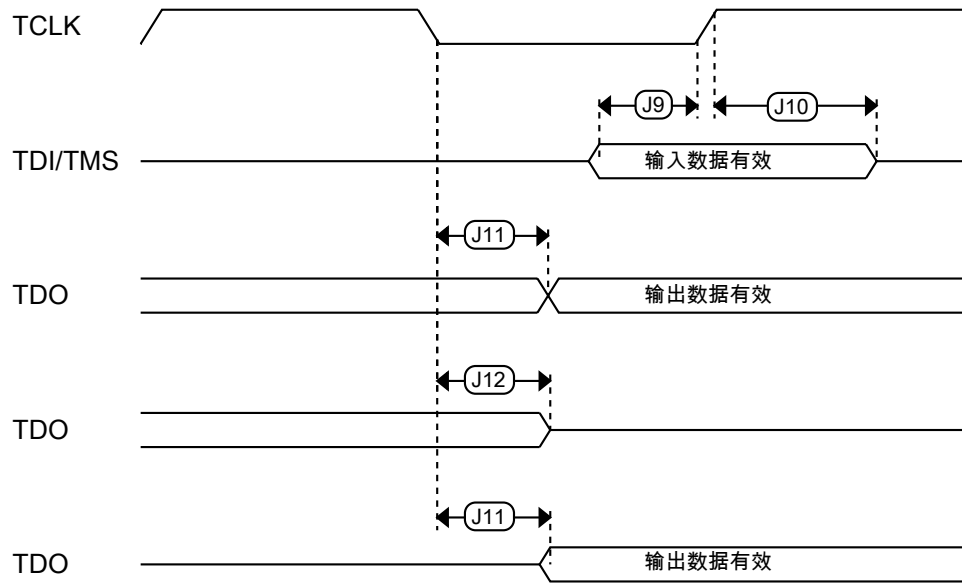


图 19. 测试访问端口的时序

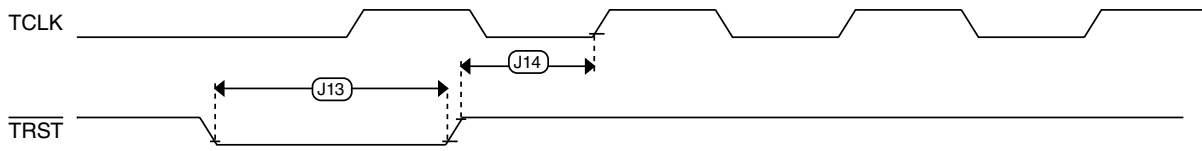


图 20. TRST 时序

5.4.2 系统模块

对于器件的系统模块，无特性要求。

5.4.3 时钟模块

5.4.3.1 MCG 规格

表 55. MCG 规格

符号	说明	最小值	典型值	最大值	单位	注释
$f_{\text{ints_ft}}$	内部参考频率（慢速时钟）— 出厂时已在标称 VDD 和 25 °C 条件下调整	—	32.768	—	kHz	
$\Delta f_{\text{ints_t}}$	内部参考频率（慢速时钟）随电压和温度变化的总偏差	—	+0.5/-0.7	± 2	%	
$f_{\text{ints_t}}$	内部参考频率（慢速时钟）— 用户调整	31.25	—	39.0625	kHz	
$\Delta f_{\text{dco_res_t}}$	在固定电压和温度下，经调整后的平均 DCO 输出频率的分辨率 — 使用 SCTRIM 和 SCFTRIM	—	± 0.3	± 0.6	% f_{dco}	1
$\Delta f_{\text{dco_t}}$	经调整后的平均 DCO 输出频率随电压和温度变化的总偏差	—	+0.5/-0.7	± 2	% f_{dco}	1, 2
$\Delta f_{\text{dco_t}}$	经调整后的平均 DCO 输出频率在固定电压和温度范围(0 - 70 °C)条件下的总偏差	—	± 0.3	± 1.5	% f_{dco}	1
$f_{\text{intf_ft}}$	内部参考频率（快速时钟）— 出厂时已在标称 VDD 和 25 °C 条件下调整	—	4	—	MHz	
$\Delta f_{\text{intf_ft}}$	内部参考时钟（快速时钟）随温度和电压变化的频率偏差 — 出厂时已在标称 VDD 和 25 °C 条件下调整	—	+1/-2	± 5	% $f_{\text{intf_ft}}$	
$f_{\text{intf_t}}$	内部参考频率（快速时钟）— 用户在标称 VDD 和 25 °C 条件下调整	3	—	5	MHz	
$f_{\text{loc_low}}$	丢失外部时钟的最小频率 — 范围 = 00	$(3/5) \times f_{\text{ints_t}}$	—	—	kHz	
$f_{\text{loc_high}}$	外部时钟的最小频率损耗 — 范围 = 01、10 或 11	$(16/5) \times f_{\text{ints_t}}$	—	—	kHz	
FLL						

下一页继续介绍此表...

表 55. MCG 规格 (继续)

符号	说明		最小值	典型值	最大值	单位	注释
f _{fil_ref}	FLL 参考频率范围		31.25	—	39.0625	kHz	
f _{dco}	DCO 输出频率范围	低范围(DRS = 00) 640 × f _{fil_ref}	20	20.97	25	MHz	3, 4
		中范围(DRS = 01) 1280 × f _{fil_ref}	40	41.94	50	MHz	
		中高范围(DRS = 10) 1920 × f _{fil_ref}	60	62.91	75	MHz	
		高范围(DRS = 11) 2560 × f _{fil_ref}	80	83.89	100	MHz	
f _{dco_t_DMx3} 2	DCO 输出频率	低范围(DRS = 00) 732 × f _{fil_ref}	—	23.99	—	MHz	5, 6
		中范围(DRS = 01) 1464 × f _{fil_ref}	—	47.97	—	MHz	
		中高范围(DRS = 10) 2197 × f _{fil_ref}	—	71.99	—	MHz	
		高范围(DRS = 11) 2929 × f _{fil_ref}	—	95.98	—	MHz	
J _{cyc_fil}	FLL 周期抖动 • f _{VCO} = 48 MHz • f _{VCO} = 98 MHz		— — —	— 180 150	— — —	ps	
t _{fil_acquire}	FLL 目标频率获取时间		—	—	1	ms	7
PLL							
f _{vco}	VCO 工作频率		48.0	—	120	MHz	
I _{pll}	PLL 工作电流 • 96 MHz 下的 PLL (f _{osc_hi_1} = 8 MHz, f _{pll_ref} = 2 MHz, VDIV 乘数= 48)		—	1060	—	μA	8
I _{pll}	PLL 工作电流 • 48 MHz 下的 PLL (f _{osc_hi_1} = 8 MHz, f _{pll_ref} = 2 MHz, VDIV 乘数 = 24)		—	600	—	μA	8
f _{pll_ref}	PLL 参考频率范围		2.0	—	4.0	MHz	
J _{cyc_pll}	PLL 周期抖动 (RMS) • f _{VCO} = 48 MHz • f _{VCO} = 100 MHz		— —	120 75	— —	ps ps	9
J _{acc_pll}	1μs 内的 PLL 累加抖动(RMS) • f _{VCO} = 48 MHz • f _{VCO} = 100 MHz		— —	1350 600	— —	ps ps	9
D _{lock}	锁定输入频率公差		± 1.49	—	± 2.98	%	
D _{unl}	锁定退出频率公差		± 4.47	—	± 5.97	%	

下一页继续介绍此表...

表 55. MCG 规格 (继续)

符号	说明	最小值	典型值	最大值	单位	注释
$t_{\text{pll_lock}}$	锁定检测器检测时间	—	—	$150 \times 10^{-6} + 1075(1/f_{\text{pll_ref}})$	s	10

1. 测量此参数时，使用内部参考时钟（慢速时钟）作为 FLL 的参考时钟（FEI 时钟模式）。
2. $2.0 \text{ V} \leq \text{VDD} \leq 3.6 \text{ V}$ 。
3. 这些列出的典型值采用的是慢速内部参考时钟（FEI），使用出厂调整值且 $\text{DMX32} = 0$ 。
4. 最终系统的时钟频率不得超过指定最大值。还应考虑 DCO 频率随电压和温度变化的偏差 ($\Delta f_{\text{dco_t}}$)。
5. 这些列出的典型值采用的是慢速内部参考时钟（FEI），使用出厂调整值且 $\text{DMX32} = 1$ 。
6. 生成的时钟频率不能超过器件的最大指定时钟频率。
7. 此规格适用于以下任意时间：FLL 参考源或参考分频因子改变时；调整值改变时；DMX32 位改变时；DRS 位改变时；或从“禁用 FLL”(BLPE, BLPI) 变为“使能 FLL”(FEI, FEE, FBE, FBI) 时。当晶体/谐振器用作参考时钟源时，此规格假定其已运行。
8. 不包括在 PLL 运行期间产生功耗的任何振荡器电流。
9. 使用 Freescale 开发的 PCB 得出此规格。PLL 抖动取决于各 PCB 的噪声特性，且结果会有所不同。
10. 此规格适用于以下任意时间：PLL VCO 分频因子或参考分频因子改变时；或从“禁用 PLL”(BLPE, BLPI) 变为“使能 PLL”(PBE, PEE) 时。当晶体/谐振器用作参考时钟源时，此规格假定其已运行。

5.4.3.2 IRC48M 特性

表 56. IRC48M 特性

符号	说明	最小值	典型值	最大值	单位	注释
V_{DD}	供电电压	1.71	—	3.6	V	
I_{DD48M}	供电电流	—	400	500	μA	
f_{irc48m}	内部参考频率	—	48	—	MHz	
$\Delta f_{\text{irc48m_ol_hv}}$	IRC48M 在高电压($\text{VDD}=1.89\text{V}-3.6\text{V}$)条件下在温度为 0°C 至 70°C 时的开环频率总偏差	—	—	—	—	
	稳压器启用 ($\text{USB_CLK_RECOVER_IRC_EN}[\text{REG_EN}]=1$)	—	± 0.2	± 0.5	$\%f_{\text{irc48m}}$	1
$\Delta f_{\text{irc48m_ol_hv}}$	IRC48M 在高电压($\text{VDD}=1.89\text{V}-3.6\text{V}$)条件下在全温度范围内的开环频率总偏差	—	± 0.4	± 1.0	$\%f_{\text{irc48m}}$	1
	稳压器启用 ($\text{USB_CLK_RECOVER_IRC_EN}[\text{REG_EN}]=1$)	—	± 0.4	± 1.0	$\%f_{\text{irc48m}}$	1
$\Delta f_{\text{irc48m_ol_lv}}$	IRC48M 在低电压($\text{VDD}=1.71\text{V}-1.89\text{V}$)条件下在全温度范围内的开环频率总偏差	—	± 0.4	± 1.0	$\%f_{\text{irc48m}}$	1
	稳压器禁用 ($\text{USB_CLK_RECOVER_IRC_EN}[\text{REG_EN}]=0$)	—	± 0.4	± 1.0	$\%f_{\text{irc48m}}$	1
	稳压器启用 ($\text{USB_CLK_RECOVER_IRC_EN}[\text{REG_EN}]=1$)	—	± 0.5	± 1.5	$\%f_{\text{irc48m}}$	1
$\Delta f_{\text{irc48m_cl}}$	IRC48M 随电压和温度变化的闭环频率总偏差	—	—	± 0.1	$\%f_{\text{host}}$	2
$J_{\text{cyc_irc48m}}$	周期抖动(RMS)	—	35	150	ps	
t_{irc48mst}	启动时间	—	2	3	μs	3

1. 最大值表示相当于均值加上或减去三倍标准偏差的表征结果（均值 ± 3 倍标准差）。
2. IRC48M 闭环操作仅适用于 USB 设备操作，不可用于 USB 主机操作。启用方法：配置 USB 设备，选择 IRC48M 为 USB 时钟源，并激活时钟恢复功能($\text{USB_CLK_RECOVER_IRC_CTRL}[\text{CLOCK_RECOVER_EN}]=1$, $\text{USB_CLK_RECOVER_IRC_EN}[\text{IRC_EN}]=1$)。

3. IRC48M 启动时间的定义为：从时钟使能操作至时钟可供系统使用之间的时间。可通过下列任一设置启用时钟：

- USB_CLK_RECOVER_IRC_EN[IRC_EN]=1 或
- 在外部时钟模式中进行 MCG 操作，且 MCG_C7[OSCSEL]=10，MCG_C5[PLLCLKEN0]=1，或
- SIM_SOPT2[PLLFLSEL]=11

5.4.3.3 振荡器电气规格

5.4.3.3.1 振荡器直流电气规格

表 57. 振荡器直流电气规格

符号	说明	最小值	典型值	最大值	单位	注释
V_{DD}	供电电压	1.71	—	3.6	V	
I_{DDOSC}	供电电流 - 低功耗模式 (HGO=0) <ul style="list-style-type: none"> • 32 kHz • 4 MHz • 8 MHz (RANGE=01) • 16 MHz • 24 MHz • 32 MHz 	—	500	—	nA	1
		—	200	—	μA	
		—	300	—	μA	
		—	950	—	μA	
		—	1.2	—	mA	
		—	1.5	—	mA	
I_{DDOSC}	供电电流 - 高增益模式 (HGO=1) <ul style="list-style-type: none"> • 32 kHz • 4 MHz • 8 MHz (RANGE=01) • 16 MHz • 24 MHz • 32 MHz 	—	25	—	μA	1
		—	400	—	μA	
		—	500	—	μA	
		—	2.5	—	mA	
		—	3	—	mA	
		—	4	—	mA	
C_x	EXTAL 负载电容	—	—	—		2, 3
C_y	XTAL 负载电容	—	—	—		2, 3
R_F	反馈电阻 — 低频、低功耗模式 (HGO=0)	—	—	—	MΩ	2, 4
	反馈电阻 — 低频、高增益模式 (HGO=1)	—	10	—	MΩ	
	反馈电阻 — 高频、低功耗模式 (HGO=0)	—	—	—	MΩ	
	反馈电阻 — 高频、高增益模式 (HGO=1)	—	1	—	MΩ	
R_S	串联电阻 — 低频、低功耗模式 (HGO=0)	—	—	—	kΩ	
	串联电阻 — 低频、高增益模式 (HGO=1)	—	200	—	kΩ	
	串联电阻 — 高频、低功耗模式 (HGO=0)	—	—	—	kΩ	
	串联电阻 — 高频、高增益模式 (HGO=1)	—	0	—	kΩ	

下一页继续介绍此表...

表 57. 振荡器直流电气规格 (继续)

符号	说明	最小值	典型值	最大值	单位	注释
V_{pp} ⁵	峰峰值 (振荡器模式) - 低频、低功耗模式 (HGO=0)	—	0.6	—	V	
	峰间振幅 (振荡器模式) - 低频、高增益模式 (HGO=1)	—	V_{DD}	—	V	
	峰间振幅 (振荡器模式) - 高频、低功耗模式 (HGO=0)	—	0.6	—	V	
	峰间振幅 (振荡器模式) - 高频、高增益模式 (HGO=1)	—	V_{DD}	—	V	

1. $V_{DD}=3.3\text{ V}$, 温度 $=25^{\circ}\text{C}$
2. 参见晶体或谐振器制造商的建议
3. C_x 和 C_y 可选用集成电容或外部组件。
4. 选择低功耗模式时, R_F 为集成电阻, 不可从外部连接。
5. EXTAL 和 XTAL 引脚只应连接到所需的振荡器组件, 而不得连接到其他任何器件。

5.4.3.3.2 振荡器频率规格

表 58. 振荡器频率规格

符号	说明	最小值	典型值	最大值	单位	注释
f_{osc_lo}	振荡器晶体频率或谐振器频率 - 低频模式 (MCG_C2[RANGE]=00)	32	—	40	kHz	
$f_{osc_hi_1}$	振荡器晶体频率或谐振器频率 - 高频模式 (低范围) (MCG_C2[RANGE]=01)	3	—	8	MHz	
$f_{osc_hi_2}$	振荡器晶体频率或谐振器频率 - 高频模式 (高范围) (MCG_C2[RANGE]=1x)	8	—	32	MHz	
f_{ec_extal}	输入时钟频率 (外部时钟模式)	—	—	50	MHz	1, 2
t_{dc_extal}	输入时钟占空比 (外部时钟模式)	40	50	60	%	
t_{cst}	晶体启动时间 - 32 kHz 低频、低功耗模式 (HGO=0)	—	750	—	ms	3, 4
	晶体启动时间 - 32 kHz 低频、高增益模式 (HGO=1)	—	250	—	ms	
	晶体启动时间 - 8 MHz 高频 (MCG_C2[RANGE]=01)、低功耗模式 (HGO=0)	—	0.6	—	ms	
	晶体启动时间 - 8 MHz 高频 (MCG_C2[RANGE]=01)、高增益模式 (HGO=1)	—	1	—	ms	

1. 以外部时钟作为 FLL 或 PLL 的参考时钟时, 其他频率限制可能适用。
2. 从 FEI 或 FBI 模式转换到 FBE 模式时, 应限制输入时钟频率, 这样 FRDIV 对其分频时, 可依然保持在 DCO 输入时钟频率的限值内。
3. 为了达到规格要求, 务必遵循正确的印制电路板布局流程。
4. 晶体启动时间定义为从振荡器启动到 MCG_S 寄存器中的 OSCINIT 位置位之间的时间长度。

5.4.3.4 32 kHz 振荡器电气特性

5.4.3.4.1 32 kHz 振荡器直流电气特性

表 59. 32 kHz 振荡器直流电气特性

符号	说明	最小值	典型值	最大值	单位
V_{BAT}	电源电压	1.71	—	3.6	V
R_F	内部反馈电阻器	—	100	—	$M\Omega$
C_{para}	EXTAL32 和 XTAL32 的寄生电容	—	5	7	pF
V_{pp}^1	峰-峰振幅	—	0.6	—	V

1. 如果一个晶体连同 32 kHz 振荡器使用，EXTAL32 和 XTAL32 引脚应连接到所需的振荡器组件，且不能连接到其他任何器件上。

5.4.3.4.2 32 kHz 振荡器频率特性

表 60. 32 kHz 振荡器频率特性

符号	说明	最小值	典型值	最大值	单位	注释
f_{osc_lo}	振荡器晶体	—	32.768	—	kHz	
t_{start}	晶体启动时间	—	1000	—	ms	1
$f_{ec_extal32}$	外部提供的输入时钟频率	—	32.768	—	kHz	2
$V_{ec_extal32}$	外部提供的输入时钟幅值	700	—	V_{BAT}	mV	2, 3

1. 为了达到规格要求，务必遵循正确的印制电路板布局流程。
2. 此特性适用于驱动至 EXTAL32 的外部时钟，不适用于任何其他时钟输入。振荡器保持启用状态，而 XTAL32 必须悬空。
3. 指定参数为峰-峰值， V_{IH} 和 V_{IL} 的特性不适用。采用的时钟电压必须在 V_{SS} 至 V_{BAT} 范围内。

5.4.4 存储器和存储器接口

5.4.4.1 flash 电气规格

本节介绍 Flash 存储器模块的电气特性。

5.4.4.1.1 Flash 时序规格 — 编程和擦除

下列规格表示内部电荷泵处于有效状态的时间，不包括命令执行时间。

表 61. NVM 编程/擦除时序规格

符号	说明	最小值	典型值	最大值	单位	注释
$t_{hvp\text{pgm}4}$	长字编程高电压时间	—	7.5	18	μs	—
$t_{h\text{versscr}}$	扇区擦除高电压时间	—	13	113	ms	1
$t_{h\text{versall}}$	全部擦除高电压时间	—	104	904	ms	1

1. 最大时间，基于循环周期终止时的期望值。

5.4.4.1.2 Flash 时序规格 - 命令

表 62. flash 命令时序规格

符号	说明	最小值	典型值	最大值	单位	注释
$t_{rd1sec2k}$	“读 1s 区”执行时间（flash 扇区）	—	—	60	μs	1
t_{pgmchk}	“程序校验”执行时间	—	—	45	μs	1
t_{rdsrc}	“读资源”执行时间	—	—	30	μs	1
t_{pgm4}	“程序长字”执行时间	—	65	145	μs	—
t_{ersscr}	“擦除 Flash 扇区”执行时间	—	14	114	ms	2
t_{rd1all}	“读 1s 所有块”执行时间	—	—	1.8	ms	1
t_{rdonce}	“读一次”执行时间	—	—	30	μs	1
$t_{pgmonce}$	“程序运行一次”执行时间	—	100	—	μs	—
t_{ersall}	“擦除所有块”执行时间	—	175	1300	ms	2
t_{vfykey}	“验证后门访问密钥”执行时间	—	—	30	μs	1

- 假定 Flash 时钟频率为 25 MHz。
- 擦除参数的最大时间，基于循环周期终止时的期望值。

5.4.4.1.3 Flash 高压电流特性

表 63. Flash 高压电流特性

符号	说明	最小值	典型值	最大值	单位
I_{DD_PGM}	高压 Flash 编程操作过程中的平均增加电流	—	2.5	6.0	mA
I_{DD_ERS}	高压 Flash 擦除操作过程中的平均增加电流	—	1.5	4.0	mA

5.4.4.1.4 可靠性规格

表 64. NVM 可靠性规格

符号	说明	最小值	典型值 ¹	最大值	单位	注释
程序 Flash						
$t_{nvmretp10k}$	高达 10000 个周期后的数据保留时间	5	50	—	年	—
$t_{nvmretp1k}$	高达 1000 个周期后的数据保留时间	20	100	—	年	—
$n_{nvmcycp}$	周期耐受能力	10 K	50 K	—	周期	2

- 典型数据保留值基于高温和降至 25 °C 恒温配置情况下加速所测得的响应。此项技术不适用工程通告 EB618。工程通告 EB619 中定义的典型耐受能力。
- 周期耐受能力表示 $-40\text{ °C} \leq T_j \leq 125\text{ °C}$ 温度范围内的编程/擦除周期数。

5.4.5 安全性和完整性模块

对于器件的安全性和完整性模块，无特性要求。

5.4.6 模拟

5.4.6.1 ADC 电气特性

在表 65 和表 66 中列出的 16 位精度特性可以在差分引脚 ADCx_DPx、ADCx_DMx 上实现。

其他所有 ADC 通道满足 13 位差分/12 位单端精度特性。

5.4.6.1.1 16 位 ADC 操作条件

表 65. 16 位 ADC 操作条件

符号	说明	条件	最小值	典型值 ¹	最大值	单位	注释
V_{DDA}	供电电压	绝对值	1.71	—	3.6	V	
ΔV_{DDA}	供电电压	V_{DD} 的差值 ($V_{DD} - V_{DDA}$)	-100	0	+100	mV	2
ΔV_{SSA}	接地电压	V_{SS} 的差值 ($V_{SS} - V_{SSA}$)	-100	0	+100	mV	2
V_{REFH}	ADC 高参考电压		1.13	V_{DDA}	V_{DDA}	V	
V_{REFL}	ADC 低参考电压		V_{SSA}	V_{SSA}	V_{SSA}	V	
V_{ADIN}	输入电压	<ul style="list-style-type: none"> 16 位差分模式 其他所有模式 	V_{REFL} V_{REFL}	— —	31/32 * V_{REFH} V_{REFH}	V	
C_{ADIN}	输入电容	<ul style="list-style-type: none"> 16 位模式 8 位/10 位/12 位模式 	— —	8 4	10 5	pF	
R_{ADIN}	输入串联电阻		—	2	5	k Ω	
R_{AS}	模拟源电阻（外部）	13 位/12 位模式 $f_{ADCK} < 4$ MHz	—	—	5	k Ω	3
f_{ADCK}	ADC 转换时钟频率	≤ 13 位模式	1.0	—	24.0	MHz	4
f_{ADCK}	ADC 转换时钟频率	16 位模式	2.0	—	12.0	MHz	4
C_{rate}	ADC 转换速率	≤ 13 位模式 无 ADC 硬件平均 连续转换功能使能，后续转换时间	20	—	1200	Ksps	5
C_{rate}	ADC 转换速率	16 位模式 无 ADC 硬件平均 连续转换功能使能，后续转换时间	37	—	461	Ksps	5

1. 除非另有说明，否则典型值假定 $V_{DDA} = 3.0$ V，Temp = 25°C， $f_{ADCK} = 1.0$ MHz。典型值仅供参考，并未在生产中进行测试。

电气特性

- 2. 直流电位差。
- 3. 此电阻是 MCU 的外部电阻。为达到最佳效果，模拟源电阻必须尽量小一些。此数据手册中的结果来自于模拟源电阻 < 8 Ω 的系统。R_{AS}/C_{AS} 时间常数应当始终 < 1 ns。
- 4. 要使用最大 ADC 转换时钟频率，必须使 CFG2[ADHSC]置位，并使 CFG1[ADLPC]清零。
- 5. 有关计算转换速率的相应准则和示例，请下载 [ADC 计算器工具](#)。

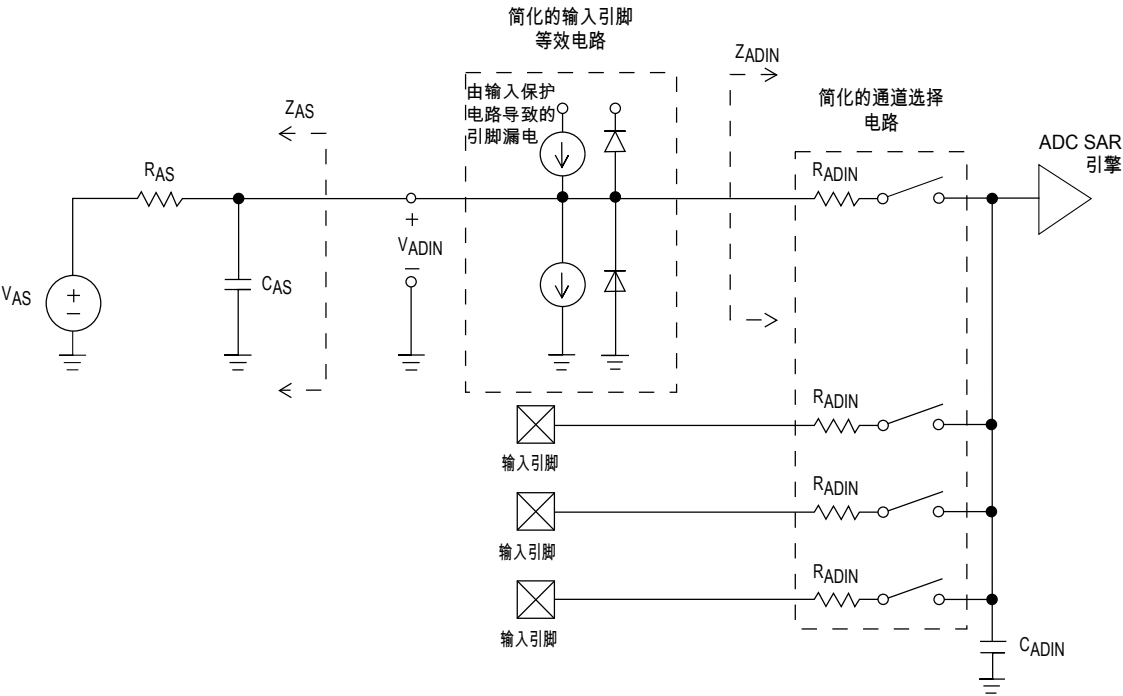


图 21. ADC 输入阻抗等效图

5.4.6.1.2 16 位 ADC 电气特性

表 66. 16 位 ADC 特性(V_{REFH} = V_{DDA}, V_{REFL} = V_{SSA})

符号	说明	条件 ¹	最小值	典型值 ²	最大值	单位	注释
I _{DDA_ADC}	供电电流		0.215	—	1.7	mA	3
f _{ADACK}	ADC 异步时钟源	<ul style="list-style-type: none">ADLPC = 1, ADHSC = 0ADLPC = 1, ADHSC = 1ADLPC = 0, ADHSC = 0ADLPC = 0, ADHSC = 1	1.2 2.4 3.0 4.4	2.4 4.0 5.2 6.2	3.9 6.1 7.3 9.5	MHz MHz MHz MHz	t _{ADACK} = 1/f _{ADACK}
	采样时间	参见“参考手册”中的章节确定采样时间					
TUE	未调整总误差	<ul style="list-style-type: none">12 位模式<12 位模式	— —	±4 ±1.4	±6.8 ±2.1	LSB ⁴	5
DNL	差分非线性	<ul style="list-style-type: none">12 位模式<12 位模式	— —	±0.7 ±0.2	-1.1 到 +1.9	LSB ⁴	5

下一页继续介绍此表...

表 66. 16 位 ADC 特性($V_{REFH} = V_{DDA}$, $V_{REFL} = V_{SSA}$) (继续)

符号	说明	条件 ¹	最小值	典型值 ²	最大值	单位	注释
					-0.3 到 +0.5		
INL	积分非线性	<ul style="list-style-type: none"> 12 位模式 <12 位模式 	—	±1.0	-2.7 到 +1.9	LSB ⁴	5
			—	±0.5	-0.7 到 +0.5		
E _{FS}	满量程误差	<ul style="list-style-type: none"> 12 位模式 <12 位模式 	—	-4	-5.4	LSB ⁴	$V_{ADIN} = V_{DDA}$ ⁵
			—	-1.4	-1.8		
E _Q	量化误差	<ul style="list-style-type: none"> 16 位模式 ≤13 位模式 	—	-1 到 0	—	LSB ⁴	
			—	—	±0.5		
ENOB	有效位数	16 位差分模式 <ul style="list-style-type: none"> Avg = 32 Avg = 4 16 位单端模式 <ul style="list-style-type: none"> Avg = 32 Avg = 4 	12.8 11.9	14.5 13.8	— —	位 位	6
			12.2 11.4	13.9 13.1	— —	位 位	
SINAD	信噪失真比	参见 ENOB	$6.02 \times \text{ENOB} + 1.76$			dB	
THD	总谐波失真	16 位差分模式 <ul style="list-style-type: none"> Avg = 32 16 位单端模式 <ul style="list-style-type: none"> Avg = 32 	—	-94	—	dB	7
			—	-85	—	dB	
SFDR	无杂散动态范围	16 位差分模式 <ul style="list-style-type: none"> Avg = 32 16 位单端模式 <ul style="list-style-type: none"> Avg = 32 	82	95	—	dB	7
			78	90	—	dB	
E _{IL}	输入漏电误差		$I_{in} \times R_{AS}$			mV	I_{in} = 漏电流 (参见 MCU 电压和电流操作极限)
	温度传感器斜率	横跨器件整个温度范围	1.55	1.62	1.69	mV/°C	8
V _{TEMP25}	温度传感器电压	25 °C	706	716	726	mV	8

- 所有精度数字均假定 ADC 已在 $V_{REFH} = V_{DDA}$ 的情况下进行校准
- 除非另有说明, 否则典型值假定 $V_{DDA} = 3.0\text{ V}$ 、 $\text{Temp} = 25^\circ\text{C}$ 、 $f_{ADCK} = 2.0\text{ MHz}$ 。典型值仅供参考, 并未在生产中进行测试。
- ADC 供电电流取决于 ADC 转换时钟速度、转换速率以及 ADC_CFG1[ADLPC] (低功耗)。要使操作功耗最低, ADC_CFG1[ADLPC]必须置位, ADC_CFG2[ADHSC]位必须清零, 且 ADC 转换时钟速度为 1 MHz。
- $1\text{ LSB} = (V_{REFH} - V_{REFL})/2^N$

5. ADC 转换时钟 < 16 MHz，最大硬件平均值 (AVGE = %1 , AVGS = %11)
6. 输入数据为 100 Hz 的正弦波。ADC 转换时钟< 12 MHz。
7. 输入数据为 1 kHz 的正弦波。ADC 转换时钟< 12 MHz。
8. ADC 转换时钟< 3 MHz

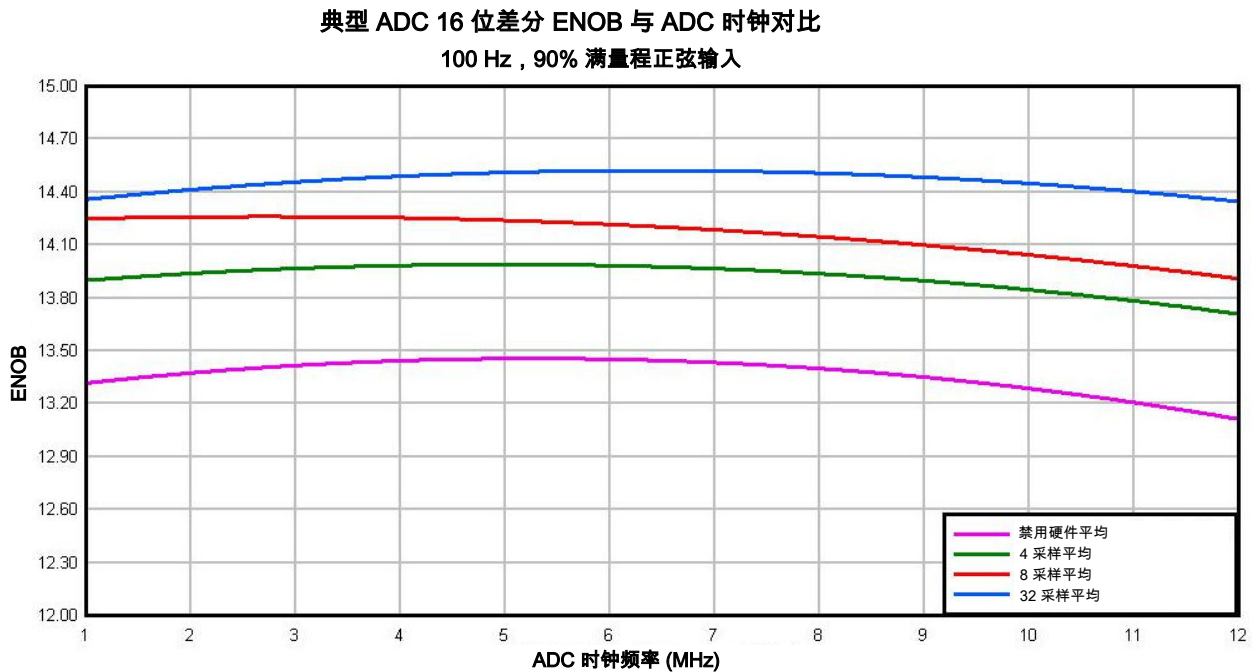


图 22. 典型 ENOB 与 16 位差分模式 ADC_CLK 的关系

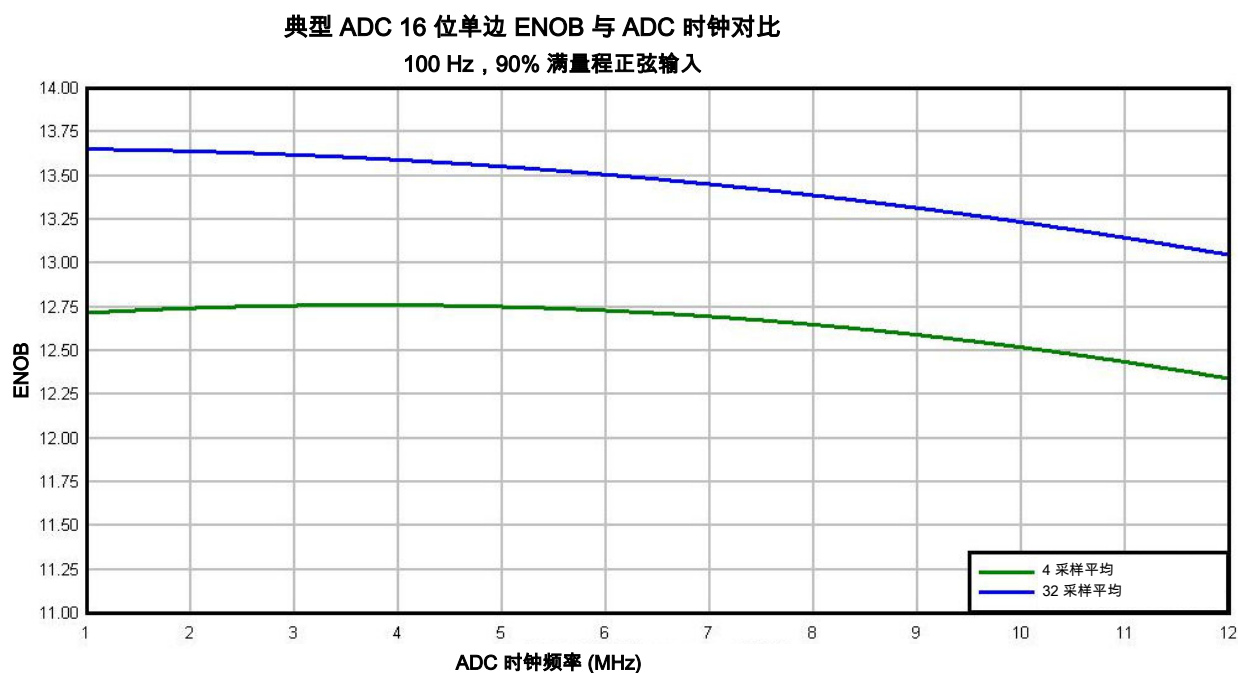


图 23. 典型 ENOB 与 16 位单端模式 ADC_CLK 的关系

5.4.6.2 CMP 和 6 位 DAC 的电气规格

表 67. 比较器和 6 位 DAC 的电气规格

符号	说明	最小值	典型值	最大值	单位
V_{DD}	供电电压	1.71	—	3.6	V
I_{DDHS}	供电电流, 高速模式 (EN=1, PMODE=1)	—	—	200	μ A
$I_{DDL S}$	供电电流, 低速模式 (EN=1, PMODE=0)	—	—	20	μ A
V_{AIN}	模拟输入电压	$V_{SS} - 0.3$	—	V_{DD}	V
V_{AIO}	模拟输入偏移电压	—	—	20	mV
V_H	模拟比较器迟滞 ¹				
	• CR0[HYSTCTR] = 00	—	5	—	mV
	• CR0[HYSTCTR] = 01	—	10	—	mV
	• CR0[HYSTCTR] = 10	—	20	—	mV
	• CR0[HYSTCTR] = 11	—	30	—	mV
V_{CMPOH}	输出高电平	$V_{DD} - 0.5$	—	—	V
V_{CMPOI}	输出低电平	—	—	0.5	V
t_{DHS}	传播延迟, 高速模式 (EN=1, PMODE=1)	20	50	200	ns
t_{DLS}	传播延迟, 低速模式 (EN=1, PMODE=0)	80	250	600	ns
	模拟比较器初始化延迟 ²	—	—	40	μ s

下一页继续介绍此表...

表 67. 比较器和 6 位 DAC 的电气规格 (继续)

符号	说明	最小值	典型值	最大值	单位
I_{DAC6b}	6 位 DAC 增加电流 (使能)	—	7	—	μA
INL	6 位 DAC 积分非线性	-0.5	—	0.5	LSB ³
DNL	6 位 DAC 差分非线性	-0.3	—	0.3	LSB

1. 在输入电压范围限定为 0.6 至 $V_{DD}-0.6\text{ V}$ 的条件下测定典型迟滞。
2. 比较器初始化延迟是指从软件执行写操作来改变控制输入 (写入 CMP_DACCR[DACEN]、CMP_DACCR[VRSEL]、CMP_DACCR[VOSEL]、CMP_MUXCR[PSEL]和 CMP_MUXCR[MSEL]) 到比较器输出达到稳定电平的时间。
3. $1\text{ LSB} = V_{\text{reference}}/64$

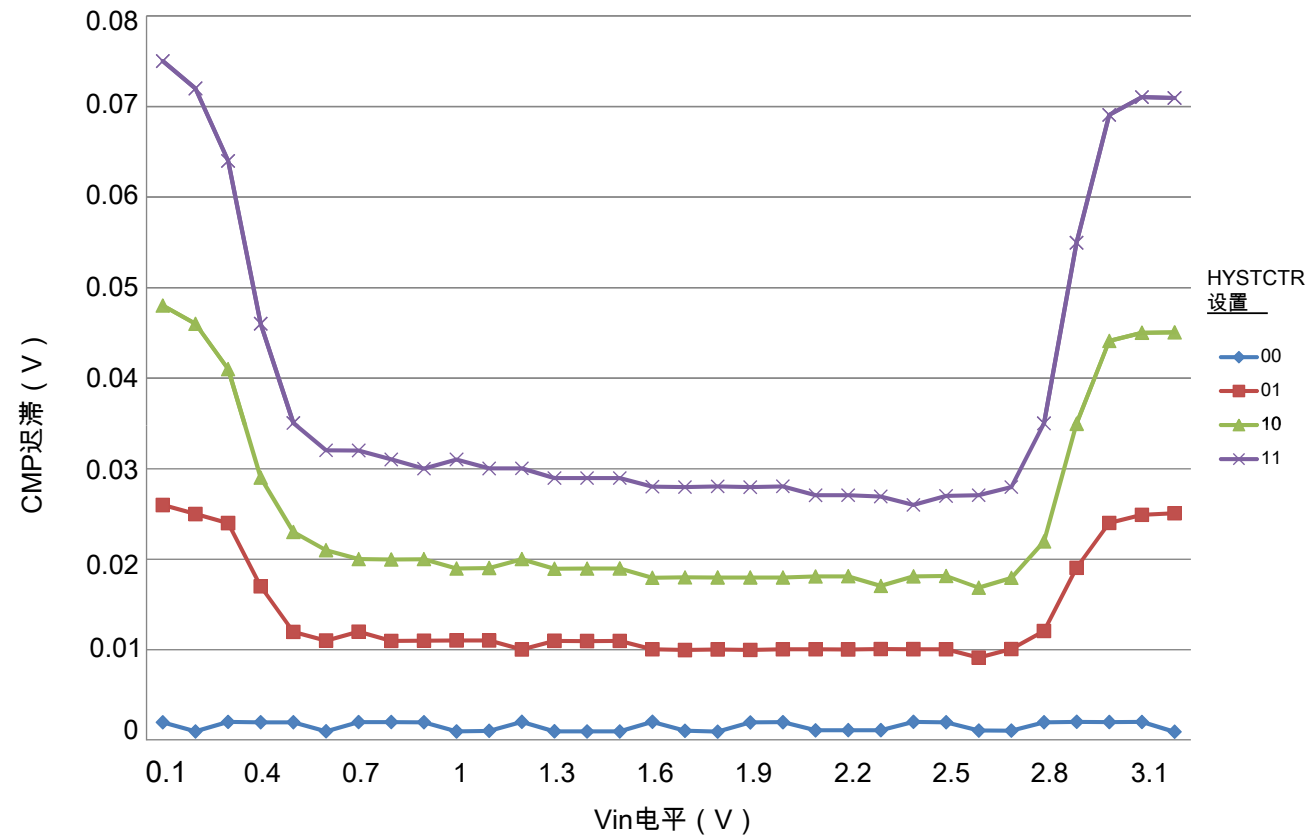


图 24. 典型迟滞与 Vin 电平的关系(VDD = 3.3 V, PMODE = 0)

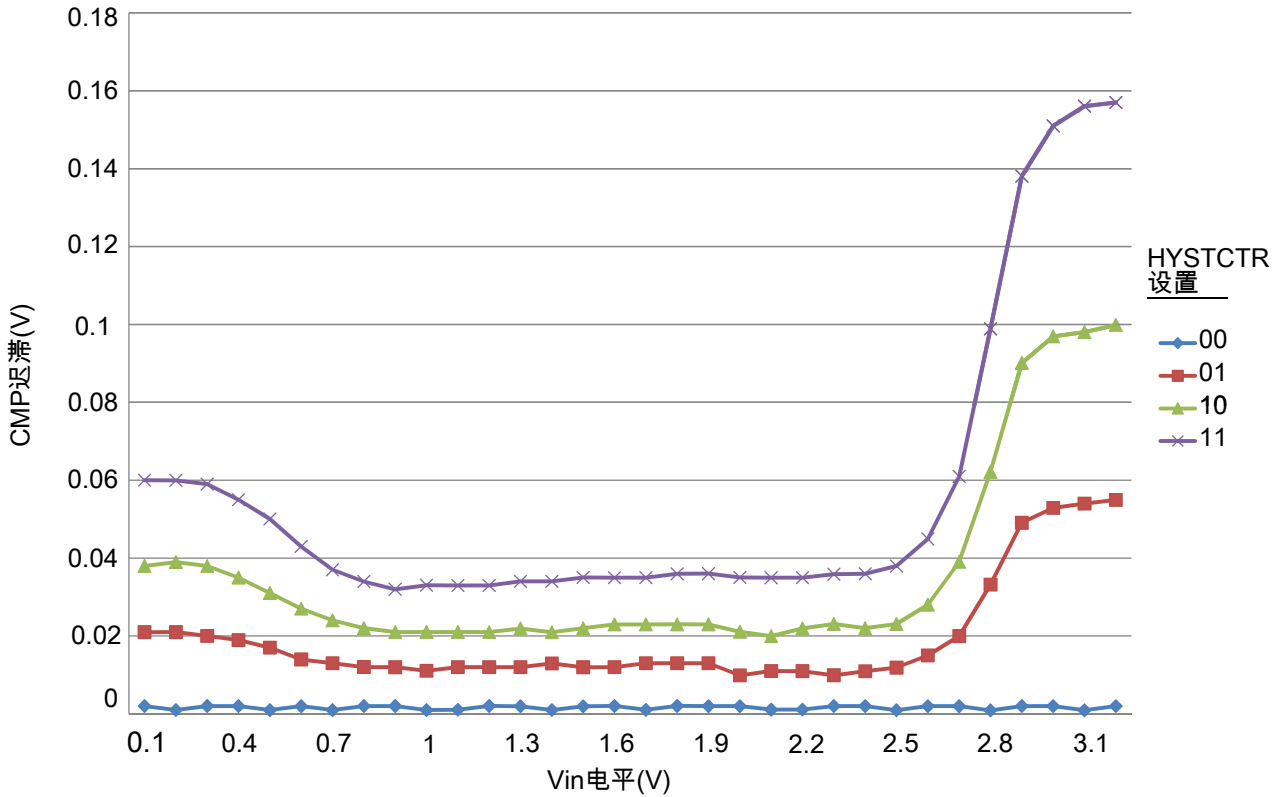


图 25. 典型迟滞与 Vin 电平关系(VDD = 3.3 V, PMODE = 1)

5.4.6.3 12 位 DAC 电气特性

5.4.6.3.1 12 位 DAC 操作要求

表 68. 12 位 DAC 操作要求

符号	描述	最小值	最大值	单位	注释
V_{DDA}	电源电压	1.71	3.6	V	
V_{DACR}	参考电压	1.13	3.6	V	1
C_L	输出负载电容	—	100	pF	2
I_L	输出负载电流	—	1	mA	

1. DAC 基准电压可选用 V_{DDA} 或 V_{REFH} 。
2. 小负载电容(47 pF)有助于改善 DAC 的带宽性能

5.4.6.3.2 12 位 DAC 特性

表 69. 12 位 DAC 特性

符号	说明	最小值	典型值	最大值	单位	注释
I_{DDA_DACLP}	电源电流 - 低功耗模式	—	—	330	μA	
I_{DDA_DACHP}	电源电流 - 高速模式	—	—	1200	μA	
t_{DACLP}	满量程建立时间 (0x080 到 0xF7F) - 低功耗模式	—	100	200	μs	1
t_{DACHP}	满量程建立时间 (0x080 到 0xF7F) - 高功耗模式	—	15	30	μs	1
$t_{CCDACLP}$	代码-代码建立时间 (0xBF8 到 0xC08) - 低功耗模式和高速模式	—	0.7	1	μs	1
$V_{dacoutl}$	DAC 输出电压范围低电平 - 高速模式, 无负载, DAC 设为 0x000	—	—	100	mV	
$V_{dacouth}$	DAC 输出电压范围高电平 - 高速模式, 无负载, DAC 设为 0xFFFF	$V_{DACR} - 100$	—	V_{DACR}	mV	
INL	积分非线性误差 - 高速模式	—	—	± 8	LSB	2
DNL	差分非线性误差 - $V_{DACR} > 2 V$	—	—	± 1	LSB	3
DNL	差分非线性误差— $V_{DACR} = V_{REF_OUT}$	—	—	± 1	LSB	4
V_{OFFSET}	偏移误差	—	± 0.4	± 0.8	%FSR	5
E_G	增益误差	—	± 0.1	± 0.6	%FSR	5
PSRR	电源纹波抑制比, $V_{DDA} \geq 2.4 V$	60	—	90	dB	
T_{CO}	温度系数偏移电压	—	3.7	—	$\mu V/C$	6
T_{GE}	温度系数增益误差	—	0.000421	—	%FSR/C	
R_{op}	输出电阻 (负载 = 3 k Ω)	—	—	250	Ω	
SR	压摆率 -80h \rightarrow F7Fh \rightarrow 80h • 高功率(SP _{HP}) • 低功率(SP _{LP})	1.2 0.05	1.7 0.12	— —	V/ μs	
BW	3dB 带宽 • 高功率(SP _{HP}) • 低功率(SP _{LP})	550 40	— —	— —	kHz	

1. ± 1 LSB 建立时间
2. INL 在 0 + 100 mV 至 $V_{DACR} - 100$ mV 范围内测得
3. DNL 在 0 + 100 mV 至 $V_{DACR} - 100$ mV 范围内测得
4. DNL 在 0 + 100 mV 至 $V_{DACR} - 100$ mV ($V_{DDA} > 2.4 V$)范围内测得
5. 在 $V_{SS} + 100$ mV 至 $V_{DACR} - 100$ mV 范围内, 利用最佳拟合曲线计算
6. $V_{DDA} = 3.0 V$, 为 V_{DDA} 选择基准 (DACx_CO:DACRFS = 1), 高功耗模式 (DACx_CO:LPEN = 0), DAC 设为 0x800, 温度范围为器件的整个范围

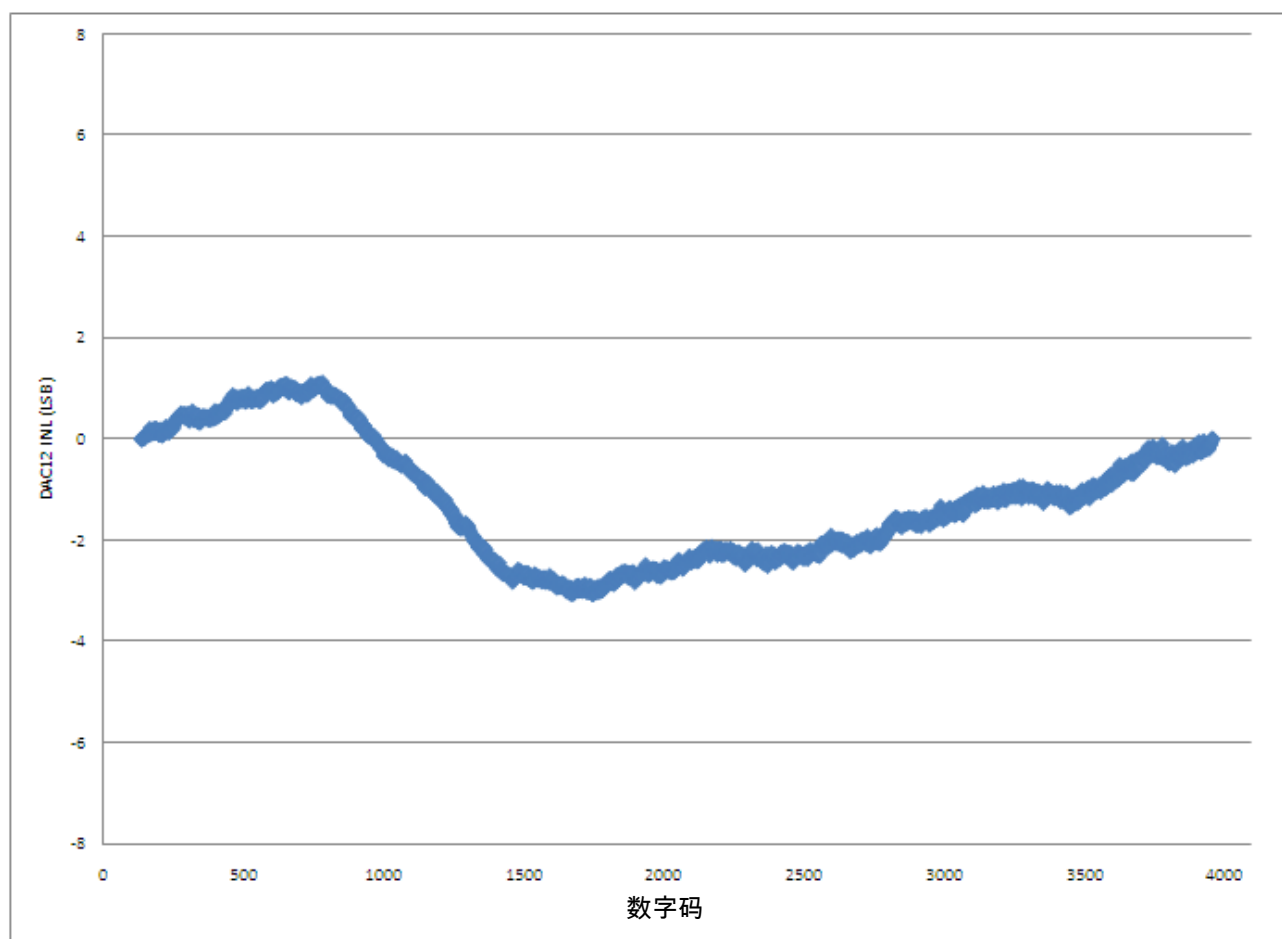


图 26. 典型 INL 误差与数字码

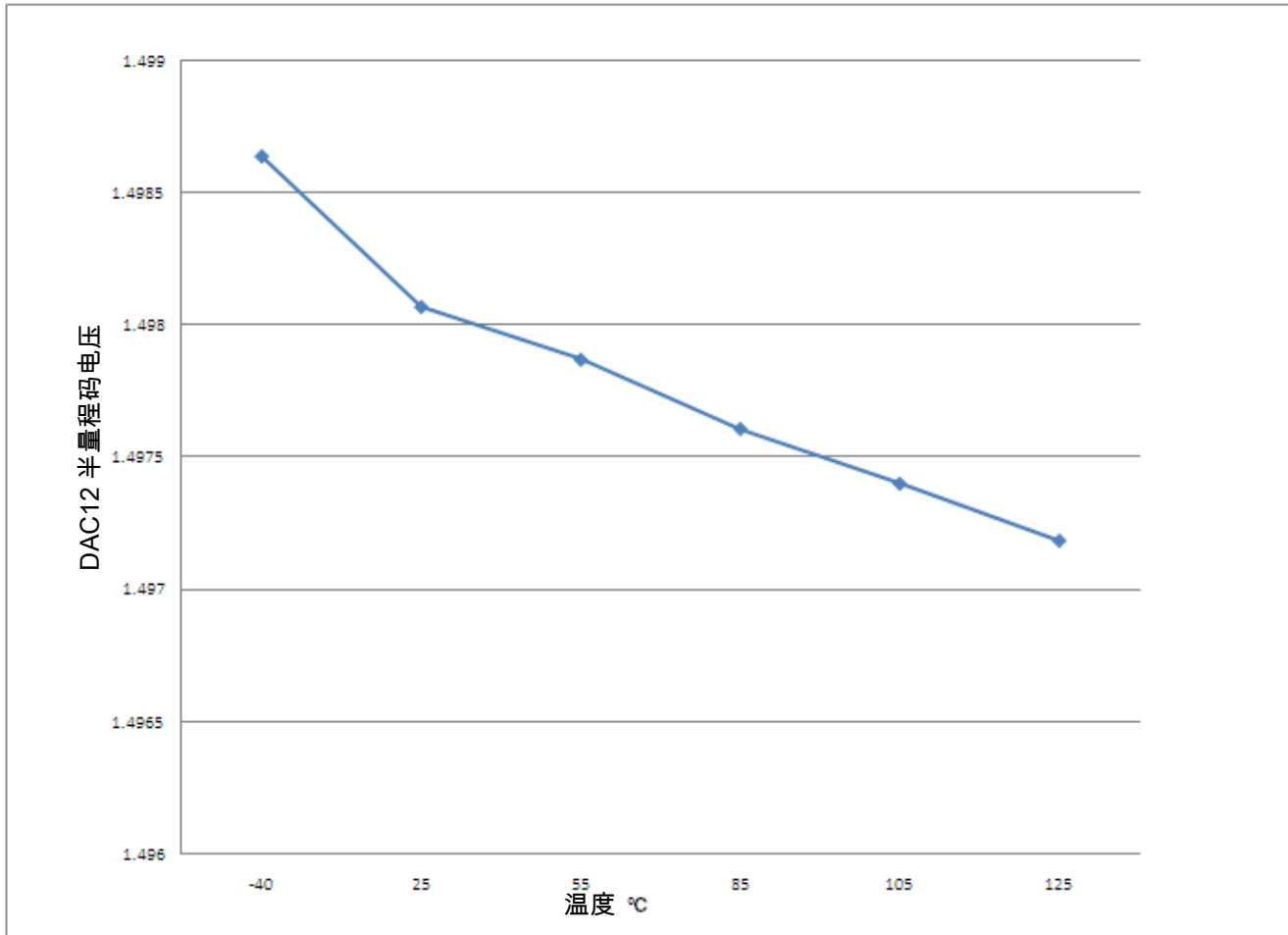


图 27. 半量程失调与温度

5.4.7 定时器

参见[通用开关特性](#)。

5.4.8 通信接口

5.4.8.1 USB 电气特性

USB On-the-Go 模块的 USB 电气特性符合通用串行总线设计论坛上发布的标准。有关最新标准请访问 usb.org。

注

MCGPLLCLK 符合设备和主机模式下用作外部时钟/晶体的 USB 抖动和信号率认证规格。

MCGFLLCLK 不符合认证所需的 USB 抖动或信号率特性。

IRC48M 符合 USB 时钟恢复模式使能时设备模式下的 USB 抖动和信号率认证规格。它不符合主机模式操作认证所需的 USB 信号率特性。

5.4.8.2 DSPI 开关特性（窄电压范围）

Deserial Serial Peripheral Interface (DSPI)可为主从操作提供同步串行总线。多数传输属性均可编程。下列表格提供了典型 DSPI 时序模式的时序特性。如需了解与慢速外设器件通信所用的修正传输格式，请参见芯片参考手册中的 SPI 章节。

表 70. 主模式 DSPI 时序（窄电压范围）

编号	说明	最小值	最大值	单位	附注
	工作电压	2.7	3.6	V	
	工作频率	—	30	MHz	
DS1	DSPI_SCK 输出周期	$2 \times t_{\text{BUS}}$	—	ns	
DS2	DSPI_SCK 输出高/低电平时间	$(t_{\text{SCK}}/2) - 2$	$(t_{\text{SCK}}/2) + 2$	ns	
DS3	DSPI_PCSn 有效至 DSPI_SCK 延时	$(t_{\text{BUS}} \times 2) - 2$	—	ns	1
DS4	DSPI_SCK 至 DSPI_PCSn 无效延时	$(t_{\text{BUS}} \times 2) - 2$	—	ns	2
DS5	DSPI_SCK 至 DSPI_SOUT 有效时间	—	8.5	ns	
DS6	DSPI_SCK 至 DSPI_SOUT 无效时间	-2	—	ns	
DS7	DSPI_SIN 至 DSPI_SCK 输入建立时间	16.2	—	ns	
DS8	DSPI_SCK 至 DSPI_SIN 输入保持时间	0	—	ns	

1. 此延时可通过 SPIx_CTARn[PSSCK]和 SPIx_CTARn[CSSCK]编程。
2. 此延时可通过 SPIx_CTARn[PASC]和 SPIx_CTARn[ASC]编程。

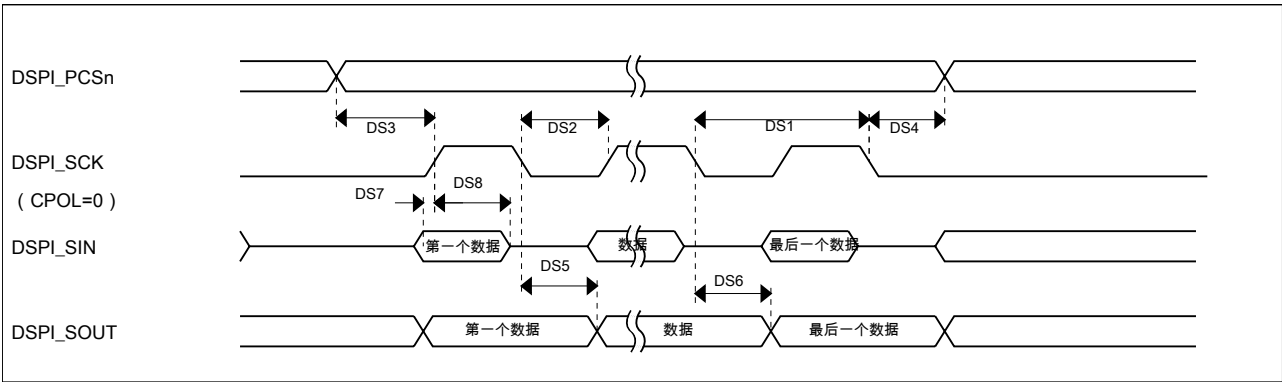


图 28. DSPI 典型 SPI 时序 — 主模式

表 71. 从模式 DSPI 时序（窄电压范围）

编号	说明	最小值	最大值	单位	附注
	工作电压	2.7	3.6	V	
	工作频率	—	15	MHz	1
DS9	DSPI_SCK 输入周期	$4 \times t_{\text{BUS}}$	—	ns	
DS10	DSPI_SCK 输入高/低电平时间	$(t_{\text{SCK}}/2) - 2$	$(t_{\text{SCK}}/2) + 2$	ns	
DS11	DSPI_SCK 至 DSPI_SOUT 有效时间	—	21.4	ns	
DS12	DSPI_SCK 至 DSPI_SOUT 无效时间	0	—	ns	
DS13	DSPI_SIN 至 DSPI_SCK 输入建立时间	2.6	—	ns	
DS14	DSPI_SCK 至 DSPI_SIN 输入保持时间	7	—	ns	
DS15	DSPI_SS 有效至 DSPI_SOUT 驱动时间	—	17	ns	
DS16	DSPI_SS 无效至 DSPI_SOUT 未驱动时间	—	17	ns	

1. 可通过非持续 CS 和 SCK 测量最大工作频率。当通过持续 CS 和 SCK 配置 DSPI 时，SPI 时钟不得大于总线时钟的 1/6。例如，当总线时钟为 60 MHz 时，SPI 时钟不得大于 10 MHz。

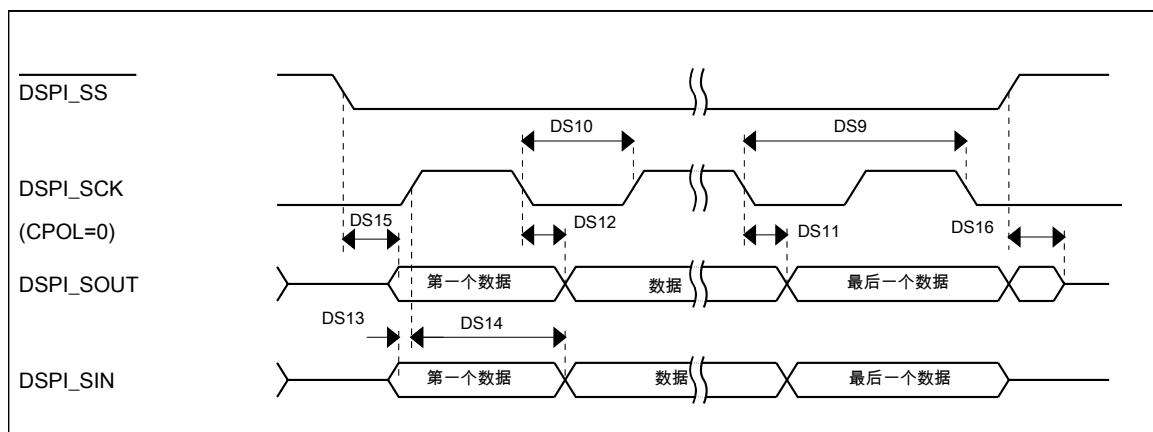


图 29. DSPI 典型 SPI 时序 — 从模式

5.4.8.3 DSPI 开关特性（全电压范围）

Deserial Serial Peripheral Interface (DSPI) 可为主从操作提供同步串行总线。多数传输属性均可编程。下列表格提供了典型 DSPI 时序模式的时序特性。如需了解与慢速外设器件通信所用的修正传输格式，请参见芯片参考手册中的 SPI 章节。

表 72. 主模式 DSPI 时序（全电压范围）

编号	说明	最小值	最大值	单位	附注
	工作电压	1.71	3.6	V	1
	工作频率	—	15	MHz	
DS1	DSPI_SCK 输出周期	$4 \times t_{\text{BUS}}$	—	ns	

下一页继续介绍此表...

表 72. 主模式 DSPI 时序 (全电压范围) (继续)

编号	说明	最小值	最大值	单位	附注
DS2	DSPI_SCK 输出高/低电平时间	$(t_{\text{SCK}}/2) - 4$	$(t_{\text{SCK}}/2) + 4$	ns	
DS3	DSPI_PCSn 有效至 DSPI_SCK 延时	$(t_{\text{BUS}} \times 2) - 4$	—	ns	2
DS4	DSPI_SCK 至 DSPI_PCSn 无效延时	$(t_{\text{BUS}} \times 2) - 4$	—	ns	3
DS5	DSPI_SCK 至 DSPI_SOUT 有效时间	—	10	ns	
DS6	DSPI_SCK 至 DSPI_SOUT 无效时间	-4.5	—	ns	
DS7	DSPI_SIN 至 DSPI_SCK 输入建立时间	24.6	—	ns	
DS8	DSPI_SCK 至 DSPI_SIN 输入保持时间	0	—	ns	

1. 此 DSPI 模块可以在处理器的整个工作电压范围内操作，若要在全电压范围内运行，其最大工作频率将会降低。
2. 此延时可通过 SPIx_CTARn[PSSCK]和 SPIx_CTARn[CSSCK]编程。
3. 此延时可通过 SPIx_CTARn[PASC]和 SPIx_CTARn[ASC]编程。

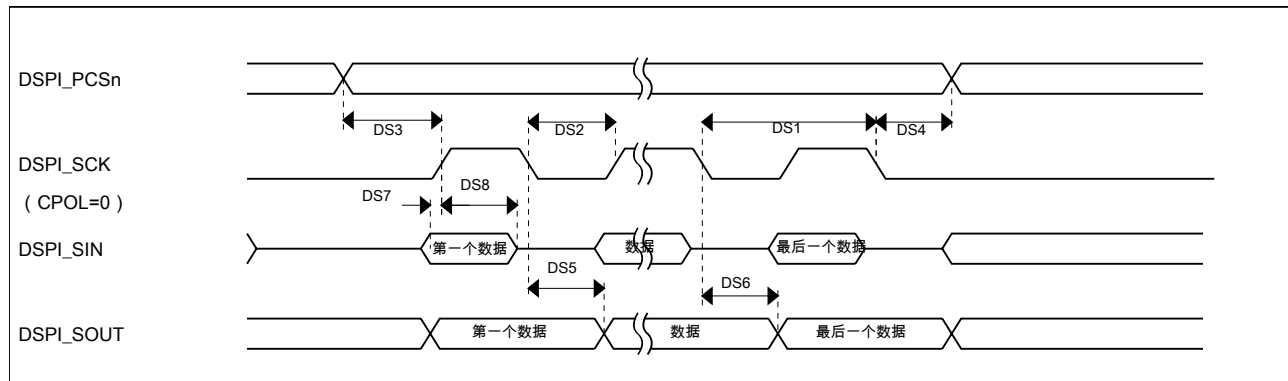


图 30. DSPI 典型 SPI 时序 — 主模式

表 73. 从模式 DSPI 时序 (全电压范围)

编号	说明	最小值	最大值	单位
	工作电压	1.71	3.6	V
	工作频率	—	7.5	MHz
DS9	DSPI_SCK 输入周期	$8 \times t_{\text{BUS}}$	—	ns
DS10	DSPI_SCK 输入高/低电平时间	$(t_{\text{SCK}}/2) - 4$	$(t_{\text{SCK}}/2) + 4$	ns
DS11	DSPI_SCK 至 DSPI_SOUT 有效时间	—	29.5	ns
DS12	DSPI_SCK 至 DSPI_SOUT 无效时间	0	—	ns
DS13	DSPI_SIN 至 DSPI_SCK 输入建立时间	3.2	—	ns
DS14	DSPI_SCK 至 DSPI_SIN 输入保持时间	7	—	ns
DS15	DSPI_SS 有效至 DSPI_SOUT 驱动时间	—	25	ns
DS16	DSPI_SS 无效至 DSPI_SOUT 未驱动时间	—	25	ns

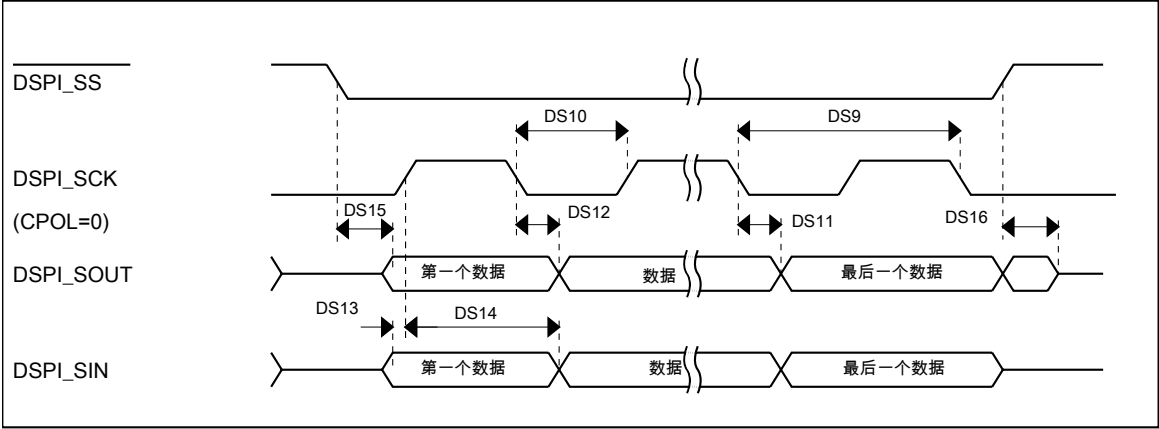


图 31. DSPI 典型 SPI 时序 — 从模式

5.4.8.4 LPI²C

表 74. LPI²C 规格

符号	说明		最小值	最大值	单位	注释
f _{SCL}	SCL 时钟频率	标准模式	0	100	kHz	1
		快速模式(Fm)	0	400		1, 2
		快速模式 Plus (Fm+)	0	1000		1, 3
		超快速模式(UFm)	0	5000		1, 4
		高速模式 (Hs-模式)	0	3400		1, 5

- 1. 请参见[通用开关特性](#)，室温下测量。
- 2. 当最大总线负载为 400pF 且 VDD 为 3.3V 时，上拉 R_p = 220Ω，当 VDD 为 1.8V 时，R_p = 880Ω。对于所有其他情况，请按照 I2C 总线规范和引脚驱动能力选择合适的 R_p。
- 3. 仅启用高电平驱动的高电平驱动引脚支持 Fm+。在最大总线负载为 400pF 且 VDD 为 3.3V 时，测得的 R_p = 350Ω。对于所有其他情况，请按照 I2C 总线规范和引脚驱动能力选择合适的 R_p。
- 4. 仅启用高电平驱动的高电平驱动引脚支持 UFm。当最大总线负载为 400pF 时，VDD 为 3.3V。对于 1.8V VDD，最大速度为 4Mbps。
- 5. 仅从机模式以及已启用高电平驱动的高电平驱动引脚上支持 Hs 模式。

5.4.8.5 UART 开关特性

请参见[通用开关特性](#)。

5.4.8.6 I2S/SAI 开关规格

本节将描述 I2S/SAI 模块在主模式（时钟为内部驱动）和从模式（时钟信号为输入）中的交流时序。所有给出的时序均针对同相串行时钟极性（TCR2[BCP]为 0，RCR2[BCP]为 0）和同相帧同步（TCR4[FSP]为 0，RCR4[FSP]为 0）。如果时钟极性和/或帧同步置为反相，通过反转下图所示的位时钟信号（BCLK）和/或帧同步（FS）信号，可使所有时序仍然有效。

5.4.8.6.1 在窄工作电压范围内 NORMAL RUN、WAIT 和 STOP 模式的性能

本节中将描述该器件在窄工作电压范围内进行 NORMAL RUN、WAIT 和 STOP 模式的操作性能。

表 75. NORMAL RUN、WAIT 和 STOP 模式中的 I2S/SAI 主模式时序（窄电压范围）

编号	特性	最小值	最大值	单位
	工作电压	2.7	3.6	V
S1	I2S_MCLK 周期时间	40	—	ns
S2	I2S_MCLK 高/低电平脉宽	45%	55%	MCLK 周期
S3	I2S_TX_BCLK/I2S_RX_BCLK 周期时间（输出）	80	—	ns
S4	I2S_TX_BCLK/I2S_RX_BCLK 高/低电平脉宽	45%	55%	BCLK 周期
S5	I2S_TX_BCLK/I2S_RX_BCLK 至 I2S_TX_FS/ I2S_RX_FS 输出有效时间	—	15	ns
S6	I2S_TX_BCLK/I2S_RX_BCLK 至 I2S_TX_FS/ I2S_RX_FS 输出无效时间	0	—	ns
S7	I2S_TX_BCLK 至 I2S_TXD 有效时间	—	15	ns
S8	I2S_TX_BCLK 至 I2S_TXD 无效时间	0	—	ns
S9	I2S_RX_BCLK 之前的 I2S_RXD/I2S_RX_FS 输入建立时间	18	—	ns
S10	I2S_RX_BCLK 之后 I2S_RXD/I2S_RX_FS 输入的保持时间	0	—	ns

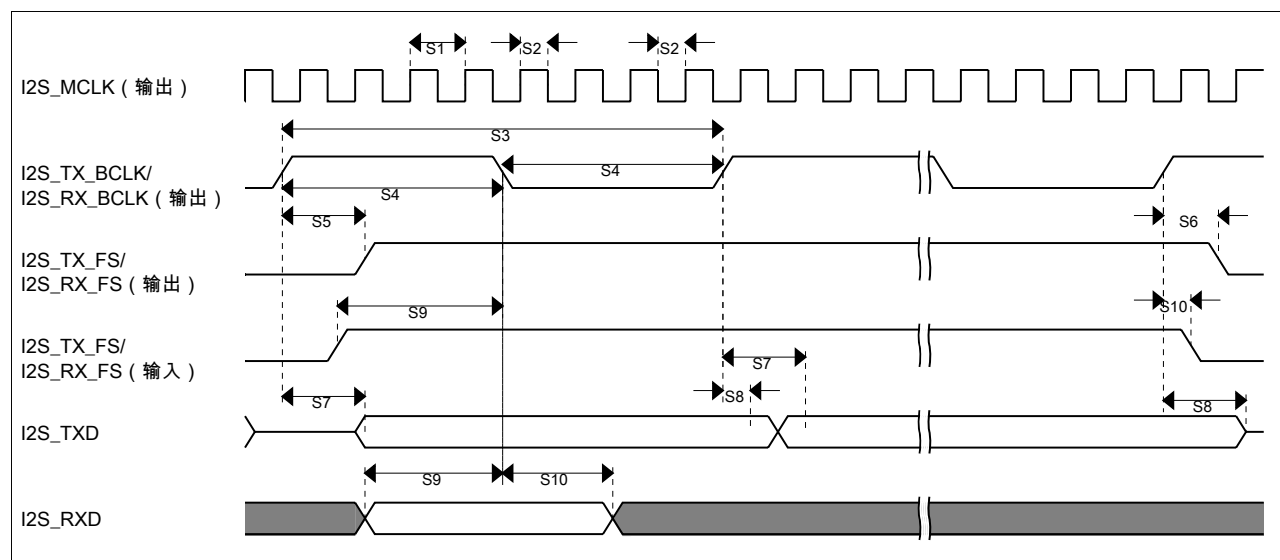


图 32. I2S/SAI 时序 — 主模式

表 76. NORMAL RUN、WAIT 和 STOP 模式中的 I2S/SAI 从模式时序（窄电压范围）

编号	特性	最小值	最大值	单位
	工作电压	2.7	3.6	V
S11	I2S_TX_BCLK/I2S_RX_BCLK 周期时间（输入）	80	—	ns
S12	I2S_TX_BCLK/I2S_RX_BCLK 高/低电平脉宽（输入）	45%	55%	MCLK 周期
S13	I2S_TX_BCLK/I2S_RX_BCLK 之前的 I2S_TX_FS/ I2S_RX_FS 输入建立时间	4.5	—	ns
S14	I2S_TX_BCLK/I2S_RX_BCLK 之后 I2S_TX_FS/ I2S_RX_FS 输入的保持时间	2	—	ns
S15	I2S_TX_BCLK 至 I2S_TXD/I2S_TX_FS 输出有效时间	—	20	ns
S16	I2S_TX_BCLK 至 I2S_TXD/I2S_TX_FS 输出无效时间	0	—	ns
S17	I2S_RX_BCLK 之前的 I2S_RXD 建立时间	4.5	—	ns
S18	I2S_RX_BCLK 之后 I2S_RXD 的保持时间	2	—	ns
S19	I2S_TX_FS 输入有效至 I2S_TXD 输出有效时间 ¹	—	25	ns

1. 适用于每帧数据的第一位，且 TCR4[FSE]位必须已清零

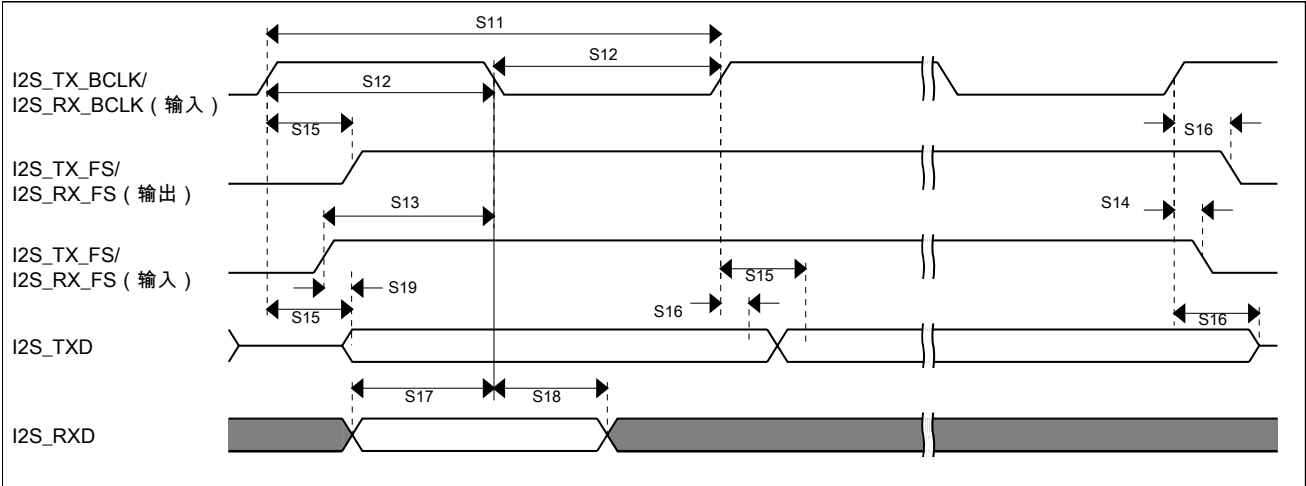


图 33. I2S/SAI 时序 — 从模式

5.4.8.6.2 在全工作电压范围内 NORMAL RUN、WAIT 和 STOP 模式的性能

本节中将描述该器件在全工作电压范围内进行 NORMAL RUN、WAIT 和 STOP 模式的操作性能

表 77. NORMAL RUN、WAIT 和 STOP 模式中的 I2S/SAI 主模式时序（全电压范围）

编号	特性	最小值	最大值	单位
	工作电压	1.71	3.6	V

下一页继续介绍此表...

表 77. NORMAL RUN、WAIT 和 STOP 模式中的 I2S/SAI 主模式时序（全电压范围）（继续）

编号	特性	最小值	最大值	单位
S1	I2S_MCLK 周期时间	40	—	ns
S2	I2S_MCLK 高/低电平脉宽	45%	55%	MCLK 周期
S3	I2S_TX_BCLK/I2S_RX_BCLK 周期时间（输出）	80	—	ns
S4	I2S_TX_BCLK/I2S_RX_BCLK 高/低电平脉宽	45%	55%	BCLK 周期
S5	I2S_TX_BCLK/I2S_RX_BCLK 至 I2S_TX_FS/ I2S_RX_FS 输出有效时间	—	15	ns
S6	I2S_TX_BCLK/I2S_RX_BCLK 至 I2S_TX_FS/ I2S_RX_FS 输出无效时间	-1.0	—	ns
S7	I2S_TX_BCLK 至 I2S_TXD 有效时间	—	15	ns
S8	I2S_TX_BCLK 至 I2S_TXD 无效时间	0	—	ns
S9	I2S_RX_BCLK 之前的 I2S_RXD/I2S_RX_FS 输入建立时间	27	—	ns
S10	I2S_RX_BCLK 之后 I2S_RXD/I2S_RX_FS 输入的保持时间	0	—	ns

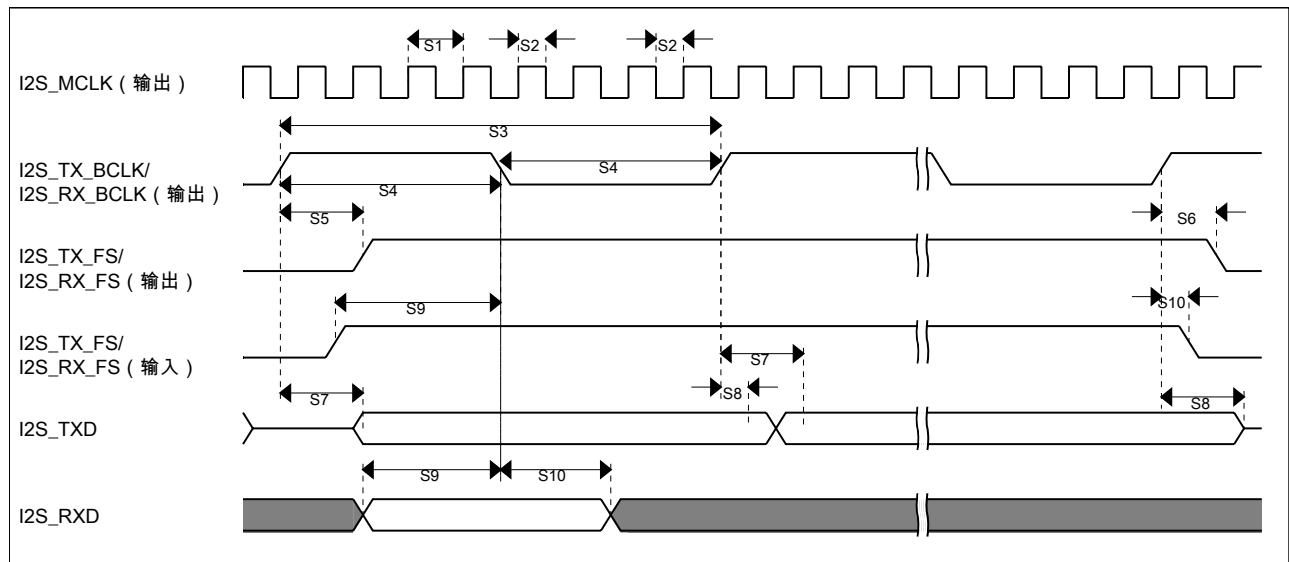


图 34. I2S/SAI 时序 — 主模式

表 78. NORMAL RUN、WAIT 和 STOP 模式中的 I2S/SAI 从模式时序（全电压范围）

编号	特性	最小值	最大值	单位
	工作电压	1.71	3.6	V
S11	I2S_TX_BCLK/I2S_RX_BCLK 周期时间（输入）	80	—	ns
S12	I2S_TX_BCLK/I2S_RX_BCLK 高/低电平脉宽（输入）	45%	55%	MCLK 周期

下一页继续介绍此表...

表 78. NORMAL RUN、WAIT 和 STOP 模式中的 I2S/SAI 从模式时序（全电压范围） (继续)

编号	特性	最小值	最大值	单位
S13	I2S_TX_BCLK/I2S_RX_BCLK 之前的 I2S_TX_FS/ I2S_RX_FS 输入建立时间	5.8	—	ns
S14	I2S_TX_BCLK/I2S_RX_BCLK 之后 I2S_TX_FS/ I2S_RX_FS 输入的保持时间	2	—	ns
S15	I2S_TX_BCLK 至 I2S_TXD/I2S_TX_FS 输出有效时间	—	28.5	ns
S16	I2S_TX_BCLK 至 I2S_TXD/I2S_TX_FS 输出无效时间	0	—	ns
S17	I2S_RX_BCLK 之前的 I2S_RXD 建立时间	5.8	—	ns
S18	I2S_RX_BCLK 之后 I2S_RXD 的保持时间	2	—	ns
S19	I2S_TX_FS 输入有效至 I2S_TXD 输出有效时间 ¹	—	26.3	ns

1. 适用于每帧数据的第一位，且 TCR4[FSE]位必须已清零

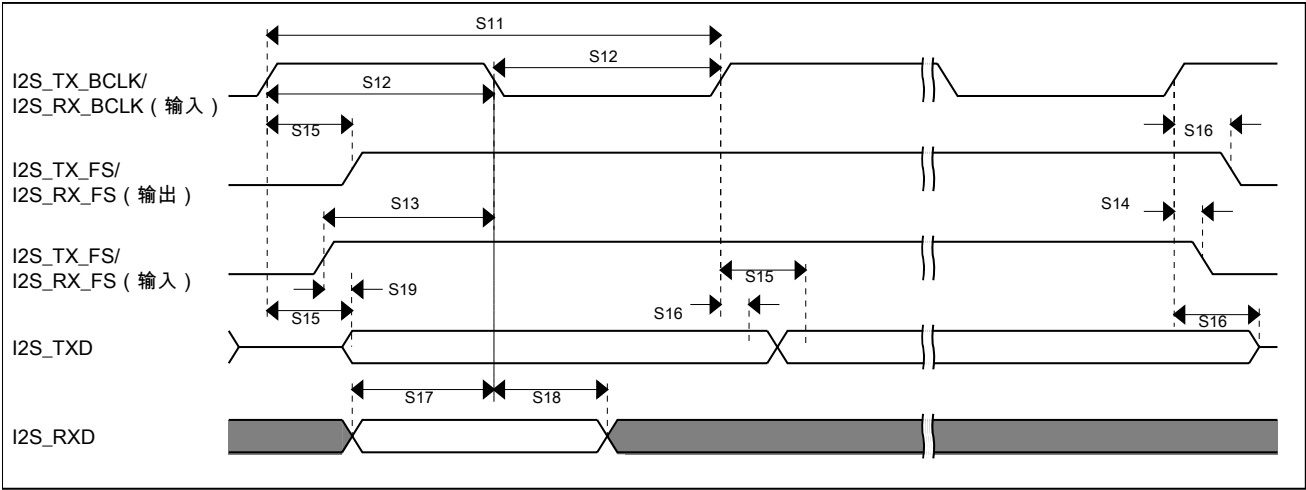


图 35. I2S/SAI 时序 — 从模式

5.4.8.6.3 在全工作电压范围内进行 VLPR、VLPW 和 VLPS 模式的性能

本节中将描述该器件在全工作电压范围内进行 VLPR、VLPW 和 VLPS 模式的操作性能

表 79. VLPR、VLPW 和 VLPS 模式中的 I2S/SAI 主模式时序（全电压范围）

编号	特性	最小值	最大值	单位
	工作电压	1.71	3.6	V
S1	I2S_MCLK 周期时间	62.5	—	ns
S2	I2S_MCLK 高/低电平脉宽	45%	55%	MCLK 周期

下一页继续介绍此表...

表 79. VLPR、VLPW 和 VLPS 模式中的 I2S/SAI 主模式时序（全电压范围）（继续）

编号	特性	最小值	最大值	单位
S3	I2S_TX_BCLK/I2S_RX_BCLK 周期时间（输出）	250	—	ns
S4	I2S_TX_BCLK/I2S_RX_BCLK 高/低电平脉宽	45%	55%	BCLK 周期
S5	I2S_TX_BCLK/I2S_RX_BCLK 至 I2S_TX_FS/ I2S_RX_FS 输出有效时间	—	45	ns
S6	I2S_TX_BCLK/I2S_RX_BCLK 至 I2S_TX_FS/ I2S_RX_FS 输出无效时间	-1	—	ns
S7	I2S_TX_BCLK 至 I2S_TXD 有效时间	—	45	ns
S8	I2S_TX_BCLK 至 I2S_TXD 无效时间	—	—	ns
S9	I2S_RX_BCLK 之前 I2S_RXD/I2S_RX_FS 输入的建 立时间	—	—	ns
S10	I2S_RX_BCLK 之后 I2S_RXD/I2S_RX_FS 输入的保 持时间	0	—	ns

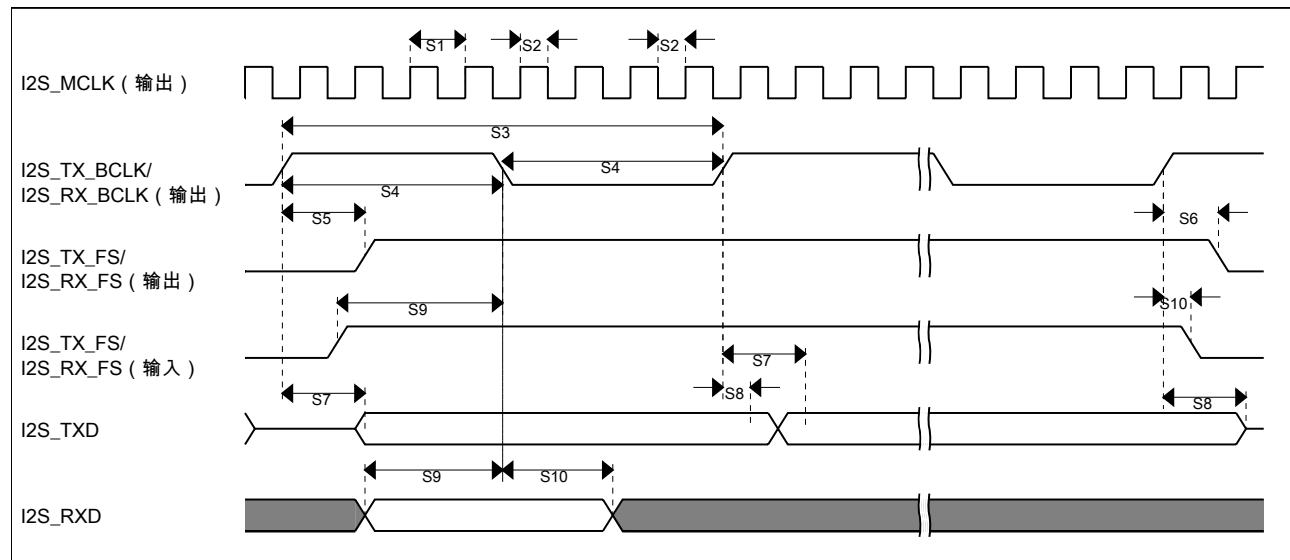


图 36. I2S/SAI 时序 — 主模式

表 80. VLPR、VLPW 和 VLPS 模式中的 I2S/SAI 从模式时序（全电压范围）

编号	特性	最小值	最大值	单位
	工作电压	1.71	3.6	V
S11	I2S_TX_BCLK/I2S_RX_BCLK 周期时间（输入）	250	—	ns
S12	I2S_TX_BCLK/I2S_RX_BCLK 高/低电平脉宽（输入）	45%	55%	MCLK 周期
S13	I2S_TX_BCLK/I2S_RX_BCLK 之前 I2S_TX_FS/ I2S_RX_FS 输入的建立时间	30	—	ns
S14	I2S_TX_BCLK/I2S_RX_BCLK 之后的 I2S_TX_FS/ I2S_RX_FS 输入保持时间	7	—	ns

下一页继续介绍此表...

表 80. VLPR、VLPW 和 VLPS 模式中的 I2S/SAI 从模式时序（全电压范围）（继续）

编号	特性	最小值	最大值	单位
S15	I2S_TX_BCLK 至 I2S_TXD/I2S_TX_FS 输出有效时间	—		ns
S16	I2S_TX_BCLK 至 I2S_TXD/I2S_TX_FS 输出无效时间	0	—	ns
S17	I2S_RX_BCLK 之前 I2S_RXD 的建立时间	30	—	ns
S18	I2S_RX_BCLK 之后的 I2S_RXD 保持时间	4	—	ns
S19	I2S_TX_FS 输入有效至 I2S_TXD 输出有效时间 ¹	—	72	ns

1. 适用于每帧数据的第一位，且 TCR4[FSE]位必须已清零

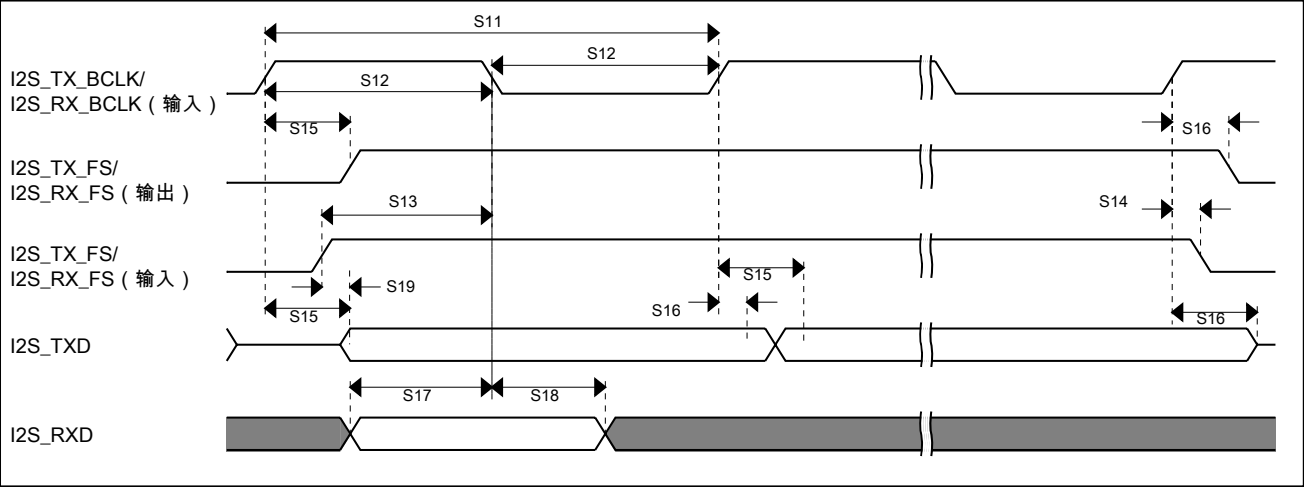


图 37. I2S/SAI 时序 — 从模式

6 设计考虑因素

6.1 硬件设计考虑因素

该器件包含保护电路，用于防止因高静态电压或电场导致损坏。但是，请采取常规的预防措施，以免任何高于最大额定电压的电压接入此高阻抗电路。

6.1.1 印刷电路板注意事项

- 将连接器或电缆置于电路板的一侧边沿，并且不要将数字电路置于连接器之间。

- 必须将用于 I/O 功能的驱动器和滤波器尽可能靠近连接器。将连接器处的 TVS 器件良好接地。将连接器处的滤波器电容良好接地。
- 如可能，通过物理方式将模拟电路与数字电路隔离。
- 将输入滤波器电容尽可能靠近 MCU。
- 为实现最佳 EMC 性能，让信号沿传输线路传送；在 LQFP 封装正下方使用接地层；将外露式焊盘 (EP) 焊接在 QFN 封装正下方。

6.1.2 功率输出系统

在功率输出系统中，请考虑以下事项：

- 使用接地平面。
- 使用 MCU VDD 电源平面（如可能）。
- 请务必先将接地布设为平面或连续面层，切勿布设为连续区段。
- 然后将电源平面或走线布设为与接地平面或走线平行。
- 将大容量电容（10 μF 或更大）置于电源平面入口。
- 将 MCU 电源域的旁路电路尽可能靠近每个 VDD/VSS 对，包括 VDDA/VSSA 和 VREFH/VREFL。
- 最小旁路要求将 0.1 μF 电容尽可能靠近封装电源引脚。
- USB_VDD 电压范围为 3.0 V 至 3.6 V。建议在滤波器电路中置入一个大容量电容（不小于 2.2 μF ）并在 USB_VDD 引脚处置入一个 0.1 μF 电容，以提高 USB 性能。

6.1.3 模拟设计

每个 ADC 输入必须具有一个 RC 滤波器，如下图所示。如果要求快速采样和高分辨率，则 R 的最大值必须为 $R_{AS\ max}$ 。电容 C 值的选择必须使 RC 时间常数与采样周期相比非常小。

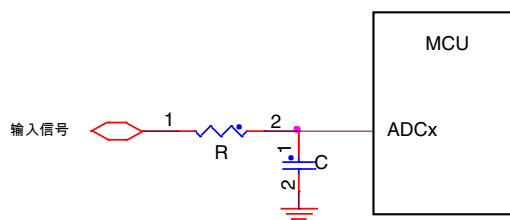


图 38. 用于 ADC 输入的 RC 电路

高电压测量电路需要分压、限流和过压保护，如下图所示。由 R1 – R4 组成的分压器产生的电压必须小于或等于 VREFH。电流必须小于注入电流限制。ADC 引脚没有接至 VDD 的二极管，所以必须配置外部钳位二极管防止瞬态过压。

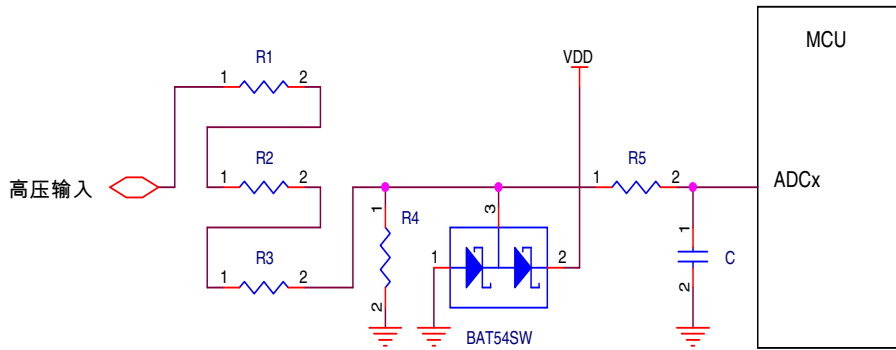


图 39. 通过 ADC 输入进行高电压测量

6.1.4 数字设计

确保所有 I/O 引脚无法上拉至高于 VDD (最大 I/O 为 $VDD+0.3V$)。

警告

请勿在 VDD 上电之前为 I/O 引脚供电，特别是 RESET_b 引脚。

• RESET_b 引脚

RESET_b 引脚为具有一个内部上拉电阻的开漏 I/O 引脚。建议使用外部 RC 电路过滤噪音，如下图所示。外部上拉电阻值范围必须在 $4.7\text{ k}\Omega$ 至 $10\text{ k}\Omega$ 之间; 建议的电容值为 $0.1\text{ }\mu\text{F}$ 。RESET_b 引脚内部还具有一个用于抑制杂散噪音的可选择数字滤波器。

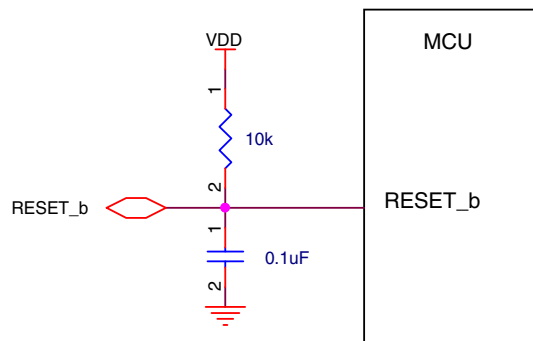


图 40. 复位电路

当外部主控芯片与 RESET_b 引脚相连时，必须使用串联电阻来避免损坏主控芯片或 RESET_b 引脚，如下图所示。串联电阻值（以下为 RS）的范围必须在 100 Ω 至 1 k Ω 之间，具体取决于外部复位芯片的驱动强度。主控芯片必须是一个高电平有效、开漏输出的器件。

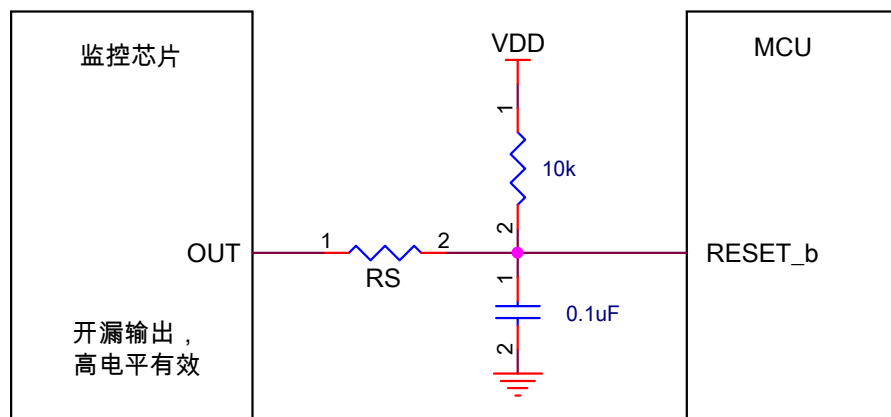


图 41. 外部复位芯片的复位信号连接

- NMI 引脚

不要在 NMI_b 引脚添加下拉电阻或电容，因为此引脚上的低电平将会触发非屏蔽中断。如果此引脚作为 NMI 功能启用，则建议使用下图所示的上拉电阻 (10 k Ω)，以提高稳定性。

如果将 NMI_b 引脚用作 I/O 引脚，则需要使用非屏蔽中断程序，通过重新映射至其他功能来禁用 NMI 功能。可以通过将 FOPT[NMI_DIS] 位设为 0 来禁用 NMI 功能。

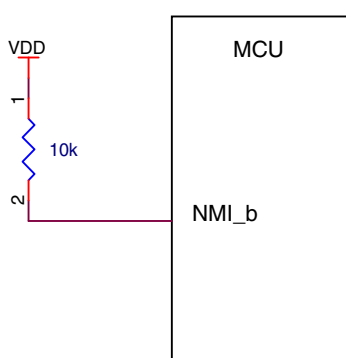


图 42. NMI 引脚偏置

- 调试接口

此 MCU 使用标准 ARM SWD 接口协议, 如下图所示。当不使用内部的上拉或下拉电阻 (SWD_DIO 具有一个内部上拉电阻, SWD_CLK 具有一个内部下拉电阻) 时, 建议使用 10 k Ω 外部拉动电阻, 以提高系统的稳定性。此外, 还必须考虑以上提到的 RESET_b 引脚建议。

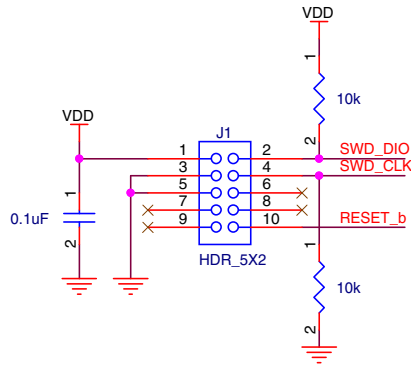


图 43. SWD 调试接口

- 低漏电停止模式唤醒

选择低漏电唤醒引脚(LLWU_Px)以将 MCU 从其中一种低漏电停止模式(LLS/VLLSx)中唤醒。引脚选择参见 [KL17 信号多路复用及引脚分配](#) [KS26 信号多路复用及引脚分配](#)。

- 未使用的引脚

未使用的 GPIO 引脚必须保持浮空 (无电气连接), 且该引脚的 PORTx_PCRn 寄存器的 MUX 字段必须等于 0:0:0。这会禁用 MCU 的数字输入路径。

如果未使用 USB 模块, 则保持 USB 数据引脚 (USB0_DP、USB0_DM) 浮空。如果未使用 USB 模块, 则通过一个 10 k Ω 电阻将 USB_VDD 接地。

6.1.5 晶体振荡器

当使用外部晶振或陶瓷谐振器作为 MCU 时钟系统的频率参考时, 请参考下面的表格和示意图。

反馈电阻(RF)从内部集成到低功耗振荡器中。使用高增益(HGO=1)模式时, 需要使用外部反馈电阻。

低频(32.786 kHz)模式下提供内部负载电容 (Cx、Cy)。使用 OSC0_CR 寄存器中的 SCxP 位调整晶振的负载电容。通常情况下, 10pf 至 16 pF 的值足以用于具有 12.5 pF CL 特性的 32.768 kHz 晶振。内部负载电容不得用于高频晶振和谐振器。

表 81. 外部晶振/谐振器连接

振荡器模式	振荡器模式
低频（32.768 kHz）、低功耗	图 1
低频（32.768 kHz）、高增益	图 2、图 4
高频（1-32 MHz）、低功耗	图 3
高频（1-32 MHz）、高增益	图 4

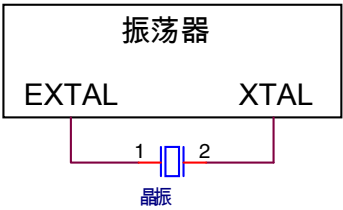


图 44. 晶振连接 - 图 1

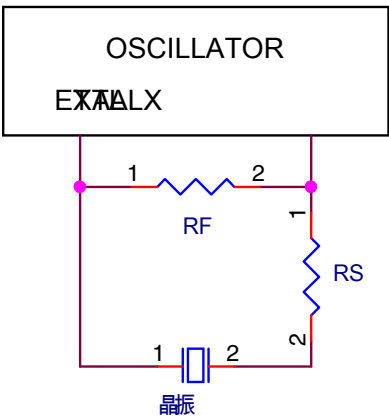


图 45. 晶振连接 - 图 2

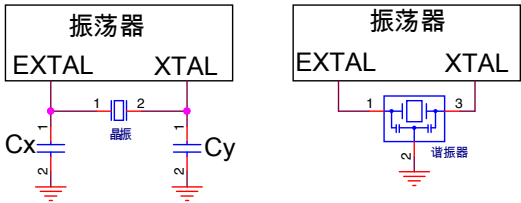


图 46. 晶振连接 - 图 3

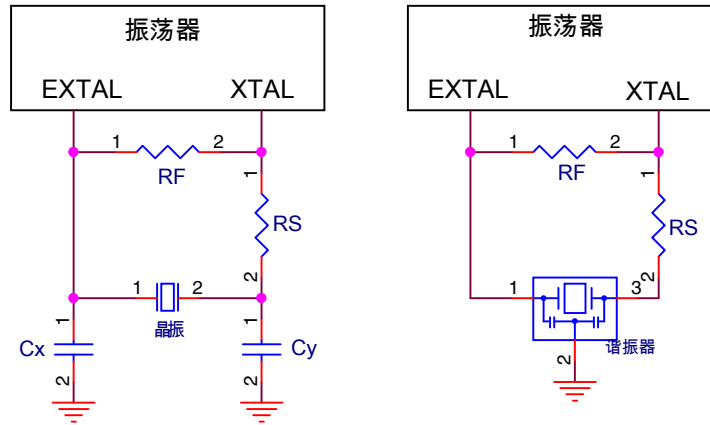


图 47. 晶振连接 – 图 4

6.2 软件方面

所有的 Kinetis MCU 单片机都会得到大量飞思卡尔和第三方软硬件开发解决方案的全面支持，从而可以降低开发成本，加快产品上市速度。以下所列为推荐软件和工具。访问 <http://www.freescale.com/kinetis/sw> 了解更多信息和支持性相关材料。

评估和硬件原型设计

- MAPS 开发工具套件: <http://www.freescale.com/KS>

面向 Kinetis MCU 单片机的 IDE

- Kinetis Design Studio IDE: <http://www.freescale.com/kds>
- 合作伙伴 IDE: <http://www.freescale.com/kide>

运行时软件

- Kinetis SDK: <http://www.freescale.com/ksdk>
- Kinetis 引导加载程序: <http://www.freescale.com/kboot>
- ARM mbed 开发平台: <http://www.freescale.com/mbed>

有关所有其他合作伙伴开发的软件和工具，请访问 <http://www.freescale.com/partners>。

7 器件标识

7.1 说明

芯片的器件型号包含识别具体器件的字段。您可以使用这些字段的值来确定收到的具体器件。

7.2 格式

此器件的器件编号采用如下格式：

Q KS## A FFF R T PP CC N

7.3 字段

下表列出器件型号中每个字段的可能值（并非所有组合都有效）：

表 82. 器件型号字段说明

字段	说明	值
Q	认证状态	<ul style="list-style-type: none"> M = 完全合格，一般市场流通 P = 资格预审
KS##	Kinetis 系列	<ul style="list-style-type: none"> KS20 KS22
A	关键属性	<ul style="list-style-type: none"> F = 带 DSP 和 FPU 的 Cortex-M4
FFF	程序 Flash 存储器大小	<ul style="list-style-type: none"> 128 = 128 KB 256 = 256 KB
R	芯片版本	<ul style="list-style-type: none"> （空白）= 主版本 A = 主版本后的修订版本
T	温度范围(°C)	<ul style="list-style-type: none"> V = -40 至 105
PP	封装标识符	<ul style="list-style-type: none"> LH = 64 LQFP (10 mm x 10 mm) LL = 100 LQFP (14 mm x 14 mm)
CC	最大 CPU 频率(MHz)	<ul style="list-style-type: none"> 12 = 120MHz
N	封装类型	<ul style="list-style-type: none"> R = 盘卷 （空白）= 盘式

7.4 示例

下面是器件编号示例：

MKS22FN256VLL12

8 修订历史记录

下表列出本文的修订历史记录。

表 83. 修订历史记录

修订版本号	日期	重大变更
2	12/2015	首次正式出版

How to Reach Us:

Home Page:
freescale.com

Web Support:
freescale.com/support

本文档中的信息仅供系统和软件实施方使用 Freescale 产品。本文并未明示或者暗示授予利用本文档信息进行设计或者加工集成电路的版权许可。Freescale 保留对此处任何产品进行更改的权利，恕不另行通知。

Freescale 对其产品在任何特定用途方面的适用性不做任何担保、表示或保证，也不承担因为应用程序或者使用产品或电路所产生的任何责任，明确拒绝承担包括但不限于后果性的或附带性的损害在内的所有责任。

Freescale 的数据表和/或规格中所提供的“典型”参数在不同应用中可能并且确实不同，实际性能会随时间而有所变化。所有运行参数，包括“经典值”在内，必须经由客户的技术专家对每个客户的应用程序进行验证。

Freescale 未转让与其专利权及其他权利相关的许可。Freescale 销售产品时遵循以下网址中包含的标准销售条款和条件：freescale.com/SalesTermsandConditions。

Freescale, Freescale logo, Energy Efficient Solutions logo, and Kinetis are trademarks of Freescale Semiconductor, Inc., Reg. U.S. Pat. & Tm. Off. All other product or service names are the property of their respective owners. ARM and Cortex are registered trademarks of ARM Limited (or its subsidiaries) in the EU and/or elsewhere. All rights reserved.

© 2015 Freescale Semiconductor, Inc.

© 2015 飞思卡尔半导体有限公司

Document Number KS22P100M120SF0
Revision 2, Dec 2015

